

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4947967号
(P4947967)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl. F I
H O 1 L 23/00 (2006.01) H O 1 L 23/00 C

請求項の数 3 (全 12 頁)

| | | | |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2005-357228 (P2005-357228) | (73) 特許権者 | 000005223 富士通株式会社 |
| (22) 出願日 | 平成17年12月12日(2005.12.12) | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (65) 公開番号 | 特開2007-165430 (P2007-165430A) | (73) 特許権者 | 000154325 住友電工デバイス・イノベーション株式会社 |
| (43) 公開日 | 平成19年6月28日(2007.6.28) | | 神奈川県横浜市栄区金井町1番地 |
| 審査請求日 | 平成20年6月10日(2008.6.10) | (74) 代理人 | 100090011 弁理士 茂泉 修司 |
| | | (72) 発明者 | 志村 利宏 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |

最終頁に続く

(54) 【発明の名称】 回路モジュール

(57) 【特許請求の範囲】

【請求項1】

誘電体基板と、
該誘電体基板に対してグランドメタル層を介して実装される半導体回路チップと、
該半導体回路チップの、該誘電体基板とは反対側に形成された抵抗膜と、
該半導体回路チップ及び該抵抗膜に被せるメタルキャップと、
を備え、該抵抗膜から該メタルキャップまでの空間距離を不要放射波において1/4波長としたことを特徴とする回路モジュール。

【請求項2】

請求項1において、
該グランドメタル層から該抵抗膜までの距離が、該不要放射波において1/4波長であることを特徴とした回路モジュール。

【請求項3】

請求項1又は2において、
該抵抗膜が、空気の実インピーダンスと等しいシート抵抗値を有することを特徴とした回路モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路モジュールに関し、特にマイクロ波やミリ波等の高周波帯に使用される

半導体回路チップを搭載する回路モジュールに関するものである。

【背景技術】

【0002】

図11は従来の回路モジュールを断面図で示している。同図(1)は同図(2)に示すA-A面で切断したときの部分断面図を示し、同図(2)は同図(1)に示すB-B面で切断したときの断面図を示しており、チップ実装用誘電体基板1上にグランドメタル層2を形成している。このチップ実装用誘電体基板1上には、グランドメタル層2と共に、信号線5aも形成されており、この信号線5aは、メタルバンプ3を経由して信号線5に繋がっており、グランドメタル層4は半導体回路チップ6の表面（主にデバイスが搭載されている面）に形成され、フリップチップ実装されている。

10

また、誘電体基板1と共に半導体回路チップ6を覆うようにキャップ9が形成されており、これによって、半導体回路チップ6の破壊防止や気密封止を図っている。なお、信号線5aは、誘電体基板1内を貫通するスルーホール8を経由して信号線5bに接続され、さらに外部回路に接続されている。

【0003】

この他に、高周波用の回路モジュールとしては、半導体回路チップを誘電体基板上にフリップチップ実装した高周波パッケージモジュールであって、誘電体基板の半導体回路チップを実装する面と反対側の面で且つ該半導体回路チップと対向する領域に、該半導体回路チップの動作周波数の波長の1/2以下の大きさの複数のランドパターンを形成した構成とし、又誘電体基板の半導体回路チップの実装領域に、金属を充填したスルーホールを1/4以下の間隔で複数形成したものがあ（例えば、特許文献1参照。）。

20

【0004】

さらに、モジュールの回路基板における最上層及び最下層にグランドパターンを形成し、回路基板における内層に高周波の伝送線路となる回路パターンを形成する構成によって、回路基板の表面からの電磁波の放射を大幅に低減することができ、キャップ取り付けによる特性変動を抑制することができる高周波モジュールがある（例えば、特許文献2参照。）。

【特許文献1】特開2003-78066号公報

【特許文献2】特開2005-209921号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

図11に示すような回路モジュールでは、高周波、特にミリ波のような波長が短い帯域において、半導体回路チップの例えば裏面（チップ実装用誘電体基板1とは反対側の回路が実装されていない面）から漏洩した不要放射波が、信号線5a メタルバンプ3 信号線5を経由して半導体回路チップ6に戻り、アイソレーションを劣化させ半導体回路チップ6の正常動作を阻害するという問題点があった。

【0006】

このため、従来は、キャップ9の内側にゴム系などの電波吸収体を貼ることで、漏洩電力を吸収していたが、ゴム系の電波吸収体は経年変化に弱く、長期信頼度に問題があった。また、ゴム系ではない有機系を用いた電波吸収体などを用いると、アウトガスが発生して半導体回路チップへの信頼性の影響が懸念されていた。

40

【0007】

従って本発明は、半導体回路チップから漏洩した不要放射波に対するアイソレーションを向上させた回路モジュールを提供することを目的とする。

【課題を解決するための手段】

【0008】

(1) 上記の目的を達成するため、本発明に係る回路モジュールは、まず、該誘電体基板と、該誘電体基板に対してグランドメタル層を介して実装される半導体回路チップと、該半導体回路チップの、該誘電体基板とは反対側に形成された抵抗膜と、を備える。

50

【0009】

すなわち、本発明に係る回路モジュールにおいて、半導体回路チップの、誘電体基板とは反対側の面（通常裏面であるが、ここではこれに限定されない。）から漏洩する不要放射波は、その裏面に形成された抵抗膜によって吸収され、また半導体回路チップの表面（これに限定されない）から漏洩しようとする不要放射波はグラウンドメタル層で反射されて戻り、やはり裏面に形成された抵抗膜において吸収（減衰）されるので、その放射電力は大きく減衰し、別の端子などから半導体回路チップに戻ってアイソレーションを劣化させるような事態を防ぐことができる。

（1-1）ここで、上記の抵抗膜は、半導体回路チップの裏面に直接形成するか、或いは非導電性接着剤を介して形成すればよい。

（1-2）また、上記のグラウンドメタル層は、半導体回路チップの表面又は誘電体基板上に直接形成され、不要放射波に対する反射層として機能する位置に置かれていればよい。

（1-3）また、上記のグラウンドメタル層から抵抗膜までの距離は、不要放射波において1/4波長である。これにより、半導体回路チップ6内で発生した不要放射波は、グラウンドメタル層で反射されて戻るとき、グラウンドメタル層から抵抗膜までの距離が1/4波長であることに伴い、この1/4波長の位置に形成された抵抗膜で定在波の腹が生じることとなり、この抵抗膜においてよりその吸収差（減衰度）が大きくなる。

（1-4）また、本発明に係る回路モジュールは、上記の半導体回路チップや抵抗膜に対して被せるメタルキャップを設け、この抵抗膜からメタルキャップまでの空間の距離を上記の不要放射波において1/4波長とする。

【0010】

これにより、抵抗膜からメタルキャップまでの空間距離が1/4波長であるため、抵抗膜で吸収し切れずに通過した不要放射波は、メタルキャップで反射され、戻って来て抵抗膜の位置において定在波の腹が生じることとなり、この抵抗膜において大きく減衰させることが可能となる。

（1-5）さらに、上記の抵抗膜は、空気の実インピーダンスと等しい抵抗値を有するものとすることができる。

【0011】

すなわち、抵抗膜のシート抵抗値が、空気の実インピーダンスと等しい値を有する場合には、半導体回路チップから漏洩した不要放射波は、抵抗膜とその抵抗膜の周囲の空気とがインピーダンス整合されていることに伴い、この抵抗膜において終端され、以て電力消費が最大になるので、最も減衰することになる。

（2）上記の如く、誘電体基板上に半導体回路チップ及び抵抗膜を載置した状態で、この抵抗膜に対してさらに別の誘電体基板を実装し、この誘電体基板の、該抵抗膜とは反対側の面にメタル層を形成してもよい。

【0012】

すなわち、半導体回路チップ内において発生した不要放射波は、抵抗膜で吸収されるが、吸収し切れずに漏洩する不要放射波は、別の誘電体基板を経由してメタル層に到達するので、このメタル層で反射し、戻って来るときにやはり抵抗膜において吸収される形となる。これは、半導体回路チップからグラウンドメタル層の方に漏洩した不要放射波についても同様である。

（2-1）上記の別の誘電体基板のメタル層は、放熱用のキャップに接続してもよく、このキャップは、半導体回路チップと抵抗膜と別の誘電体基板とを覆うものである。これにより、半導体回路チップ内で発生した熱を抵抗膜及び別の誘電体基板を介してキャップに逃がすことが可能となる。

（2-2）この場合の抵抗膜は、上記の別の誘電体基板に接着されており、且つ半導体回路チップの材質の誘電率によって決定される特性インピーダンスに等しい抵抗値を有するものであることが好ましい。

【0013】

すなわち、抵抗膜は、半導体回路チップとインピーダンス整合が取れた形になっている

10

20

30

40

50

ので、半導体回路チップから漏洩した不要放射波は、抵抗膜で最大限減衰することになり、抵抗膜で減衰し切れずに漏洩する不要放射波に関しては、上記と同様に別の誘電体基板を介してメタル層で反射させ、やはり抵抗膜で減衰させることができる。

(2-3) また、上記の抵抗膜は、上記の別の誘電体基板に接着されておらず、半導体回路チップから空間を隔てて形成されたものであってもよく、上記の別の誘電体基板のメタル層を介してキャップに接続してもよい。この場合のキャップは、上記と同様に半導体回路チップと抵抗膜と別の誘電体基板とを覆うものである。

【0014】

すなわち、この場合には、抵抗膜と半導体回路チップとが離れており、この場合に半導体回路チップから漏洩した不要放射波は空間を經由して抵抗膜に入り、この抵抗膜からさらに別の誘電体基板を通過するが、この別の誘電体基板のメタル層で反射されて戻って来るとき、抵抗膜で減衰することになる。

10

(2-4) さらに、上記の別の誘電体基板自体が半導体回路チップを覆うキャップであってもよく、この場合にこのキャップの内側に抵抗膜が、半導体回路チップから空間を隔てて形成され、その外側にはメタル層を形成すればよい。

【0015】

これは上記のキャップの代わりに別の誘電体基板を用いたものであり、不要放射波は同様に減衰することとなる。

(2-5) さらに、上記の抵抗膜は、空気特性インピーダンスと等しいシート抵抗値を有するものであることが好ましい。

20

【0016】

すなわち、半導体回路チップと抵抗膜とは空間を隔てているので、この空間における空気特性インピーダンスと等しいシート抵抗値を抵抗膜が有することにより、半導体回路チップから漏洩した不要放射波は、空間とインピーダンス整合された抵抗膜において最大限減衰され、それでもなお且つ漏洩した不要放射波は別の誘電体基板を經由してメタル層で反射し、戻って来たときにやはり抵抗膜で減衰することになる。

(2-6) 上記の別の誘電体基板は、不要放射波において1/4波長の厚さを有することが好ましい。

【0017】

すなわち、半導体回路チップから漏洩した不要放射波は、抵抗膜で一旦減衰するが、なお且つ漏洩して別の誘電体基板に入力され、反対側のメタル層で反射されたとき、誘電体基板の厚さが1/4波長であるため、やはり抵抗膜において定在波の腹が生じるので、不要放射波を最大限減衰させることが可能となる。

30

上記の抵抗膜は、メッシュ状のパターンに形成してもよい。これにより、抵抗膜のシート抵抗値は、高周波においても、或いは直流的にも高めることが可能となる。

【発明の効果】

【0018】

以上のように本発明の回路モジュールによれば、キャップの有無に関わらず、半導体回路チップから漏洩した不要放射波に対するアイソレーションを向上させることができるが、キャップを用いれば、半導体回路チップを、フリップチップ実装とは逆のフェイスアップ実装した場合に特に半導体回路チップからの不要放射波の吸収に対応できることとなる。

40

【発明を実施するための最良の形態】

【0019】

以下、本発明に係る回路モジュールの実施例を、図面を参照して説明する。

【0020】

実施例[1]: 図1及び図2

図1及び図2は、本発明に係る回路モジュールに用いられる実施例[1]を示しており、特に図1はその斜視図を示し、図2(1)は、図1においてA-A面で切断した時の断面図を部分的に示し、B-B面で切断した時の断面図を同図(2)に示している。

50

【0021】

この実施例[1]において、チップ実装用誘電体基板1上にはグラウンドメタル層2と信号線5aが形成されており、これらのグラウンドメタル層2及び信号線5aの上方には半導体回路チップ6が設けられている。この半導体回路チップ6は、その表面にグラウンドメタル層4及び信号線5が形成されており、裏面には抵抗膜7が形成されている。信号線5は、メタルバンプ3を介して信号線5aに接続されている。すなわち、信号線5とグラウンドメタル層2との間には空間が存在している。また、信号線5aは、スルーホール8を介して信号線5bに接続されており、この信号線5bから外部回路に接続されるようになっている。

このように、本発明の実施例[1]は、図11に示した従来例に対して半導体回路チップ6の裏面に抵抗膜7を設けたものであり、但しキャップ9は設けないようにしたものである。

10

【0022】

このような実施例[1]において、半導体回路チップ6の内部からチップ裏面へ漏洩する不要放射波が発生したとき、この不要放射波は抵抗膜7においてその電力が消費されて減衰する。

このとき、抵抗膜7のシート抵抗値を周囲の空気の特異インピーダンス (R_{s-air} =約380) にすることにより (式1: 特性インピーダンス $Z_0 = (\mu / \epsilon)$ 、 μ : 媒質の透磁率、 ϵ : 媒質の誘電率、この場合の媒質は空気)、周囲の空間とのインピーダンス整合が取れることとなり、不要放射波の電力が、抵抗膜7で最大消費され、減衰することになる。

【0023】

なお、この380 というシート抵抗値 R_{s-air} は、ITO (Indium-Tin-Oxide) 膜などによって実現できるが、一般的なメタル抵抗では380 より低い50~100程度の抵抗値を用いてもよい。また、低い抵抗値の抵抗膜をメッシュ状のパターンで形成することにより等価的に終端させる抵抗値を高くすることが可能である。

20

【0024】

また、半導体回路チップ6の内部で発生された不要放射波は、そのチップ表面にも進行するが、グラウンドメタル層4及び信号線5がチップ表面に反射層又は反射板として形成されている (特に図2(2)参照。) ので、ここで反射されることを考慮して、グラウンドメタル層4から抵抗膜7までの距離、すなわち半導体回路チップ6の厚みを、所定の周波数において1/4波長にすることで、抵抗膜7の位置で定在波の腹を生じさせ、この定在波を抵抗膜7で大きく消費させることが可能となる。

30

【0025】

実施例[2]: 図3

図3は、本発明に係る回路モジュールに用いられる実施例[2]を示しており、この実施例[2]は、図1及び図2に示した実施例[1]に対してキャップ9を設けた点が異なっている。そして、図1に示すような斜視図は示していないが、図1のA-A面で切断した場合に相当する断面図が図3(1)に示されており、B-B面で切断した時の断面図が同図(2)に示されている。

【0026】

この実施例[2]における不要放射波を抵抗膜7で減衰させる動作は、上記の実施例[1]と同様であるが、キャップ9を設けることにより、半導体回路チップの破壊を防止すると共に、半導体回路チップ6を形成するGaAsを気密封止する機能を備えている。

40

【0027】

このように実施例[1]の場合には、キャップが無くても不要放射波を吸収することができるのであるが、実施例[2]のように、キャップを設ければ、上述のように破壊防止や気密封止機能を付加することが可能となる。

【0028】

実施例[3]: 図4

図4は、本発明に係る回路モジュールの実施例[3]を示しており、この実施例[3]は、図3に示した実施例[2]に対して、基本的な構造は同じであるが、キャップとしてメタルキャップ9aを用いると共に、抵抗膜7とメタルキャップ9aとの間隔を所定の周波数において1/4波長にした点が異なっている。

50

【0029】

すなわち、半導体回路チップ6の内部で発生した不要放射波は、抵抗膜7において吸収（減衰）されるが、全て吸収されない場合には、この抵抗膜7からさらにメタルキャップ9aの方向へ進み、このメタルキャップ9aで反射することになる。

このとき、メタルキャップ9aと抵抗膜7との間隔を1/4波長にしておくことにより、反射した不要放射波は抵抗膜7において定在波の腹が生じ、この抵抗膜7において大きく電力消費されることになるので、メタルキャップ9aで反射した不要放射波も同時に抵抗膜7で吸収されることになる。このため、キャップとしてメタルキャップが用いられている。

実施例[4]:図5

図5は、本発明に係る回路モジュールに用いられる実施例[4]を示したもので、この実施例[4]は、基本的には図3に示した実施例[2]と同様であるが、半導体回路チップ6の表面において、図5(1)のB-B断面図及び同図(2)のA-A断面図に示すように、信号線5のみを半導体回路チップ6の表面に直接形成し、グランドメタル層4については誘電体10を介して形成している点が異なっている。このため、信号線5は、メタルパンプ3a、信号線5c、及びメタルパンプ3を経由して信号線5aに接続されている。半導体回路チップ6の厚みと誘電体10の厚みを足した厚み、すなわち抵抗膜7とグランドメタル層4との間隔を1/4波長としている。

10

【0030】

この実施例[4]についての不要放射波に関する動作は、図3に示した実施例[2]と同様である。

20

【0031】

実施例[5]:図6及び図7

図6及び図7は、本発明に係る回路モジュールに用いられる実施例[5]を示したもので、これらの図から分るように、この実施例[5]においては、図5に示した実施例[4]においてキャップを用いないと共に、抵抗膜7aが下面に形成され、メタル層13が上面に形成された誘電体基板12を、半導体回路チップ6の裏面に非導電性接着剤11で接着した点が異なっている。

このような実施例[5]において、抵抗膜7aのシート抵抗値は、半導体回路チップ6の材質の誘電率によって決定される特性インピーダンスに等しい抵抗値 R_{s-chip} を有する。一般にチップ材質の比誘電率は1よりも大きいので、式1より、インピーダンス整合させる抵抗値を低く設定できることになる。GaAs（比誘電率 ~ 13 ）の場合は100程度と低く設定できる。

30

【0032】

また、誘電体基板12の厚さは、1/4波長としている。

【0033】

従って、半導体回路チップ6から発生されて、チップ裏面に進行する不要放射波は、抵抗膜7aが半導体回路チップ6とインピーダンス整合が取れているので、この抵抗膜7aで終端され、漏洩した不要放射波の電力消費を最大にさせた状態で吸収することができる。

この抵抗膜7aで吸収できなかった不要放射波は、さらに誘電体基板12に進むが、メタル層13で反射されるので、この反射波は誘電体の厚さである1/4波長に位置する抵抗膜7aで定在波の腹となり、この抵抗膜7aでやはり大きく吸収されることとなる。

40

【0034】

なお、半導体回路チップ6の裏面に実装する誘電体基板12の厚さを1/4波長とすることで抵抗膜7aのシート抵抗値によって不要放射波が終端されていることになるので、半導体回路チップ6の厚さは必ずしも1/4波長でなくてもよい。

【0035】

実施例[6]:図8

図8には、本発明に係る回路モジュールに用いられる実施例[6]が示されており、この実施例[6]は、図7に示した実施例[5]に放熱用のキャップ9bを取り付けると共に、メタル層13と放熱キャップ9b等を接着剤14で接着固定している点が異なっている。

50

【0036】

すなわち、この実施例[6]においては、半導体回路チップ6で発生した熱を、抵抗膜7a、メタル層13、及び接着剤14を経由して放熱キャップ9bに逃がすことが可能となる。

【0037】

実施例[7]:図9

図9は、本発明に係る回路モジュールに用いられる実施例[7]を一部断面図で示したもので、図8に示した実施例[6]において、半導体回路チップ6の裏面には空間を設け、抵抗膜7とメタル層13を実装した誘電体基板12をキャップ9に接着している点が異なっている。なお、メタル層13とキャップ9との間の接着剤は省略してある。

【0038】

この実施例[7]においては、誘電体基板12は、実施例[6]と同様に1/4波長の厚さを有するが、その半導体回路チップ6の側の誘電体基板の下面に設けた抵抗膜7は、半導体回路チップ6との間の空間における特性インピーダンスに等しいシート抵抗値 R_{s-air} を有するものである。

このような実施例[7]においては、半導体回路チップ6の裏面から漏洩した不要放射波は、この空間とインピーダンス整合状態になっている抵抗膜7において終端され吸収されることになる。

【0039】

この抵抗膜7で吸収し切れなかった不要放射波はさらに誘電体基板12を通過するが、メタル層13で反射されると、1/4波長の位置に置かれている抵抗膜7で定在波の腹となるため、やはりこの抵抗膜7において不要放射波が大きく吸収されることとなる。なお、この実施例[7]においても、半導体回路チップ6の厚さは必ずしも1/4波長である必要はない。

【0040】

実施例[8]:図10

図10は、本発明に係る回路モジュールに用いられる実施例[8]の断面図を部分的に示したものであり、この実施例[8]と図9に示した実施例[7]との違いは、誘電体基板12自体をキャップとして用いた点である。すなわち、半導体回路チップ6の上方にある抵抗膜7を下面に形成すると共に上面にはメタル層13aを形成した誘電体キャップ12aが半導体回路チップ6を覆うように形成されている。

この実施例[8]の不要放射波に関する動作は、図9に示した実施例[7]と同様であるが、キャップを新たに用いなくて済むという利点を有している。

【0041】

なお、上記実施例によって本発明は限定されるものではなく、特許請求の範囲の記載に基づき、当業者によって種々の変更が可能なのは明らかである。

【0042】

(付記1)

誘電体基板と、

該誘電体基板に対してグランドメタル層を介して実装される半導体回路チップと、

該半導体回路チップの、該誘電体基板とは反対側に形成された抵抗膜と、

を備えたことを特徴とする回路モジュール。

(付記2) 付記1において、

該抵抗膜が、該半導体回路チップの裏面に直接又は非導電性接着剤を介して形成されていることを特徴とした回路モジュール。

(付記3) 付記2において、

該グランドメタル層が、該半導体回路チップの表面又は該誘電体基板上に直接形成されていることを特徴とした回路モジュール。

(付記4) 付記1において、

該グランドメタル層から該抵抗膜までの距離が、所定の周波数において1/4波長であることを特徴とした回路モジュール。

(付記5) 付記1において、

10

20

30

40

50

該半導体回路チップ及び該抵抗膜に被せるメタルキャップをさらに備え、該抵抗膜から該メタルキャップまでの空間距離を所定の周波数において1/4波長としたことを特徴とする回路モジュール。

(付記6) 付記1から5のいずれか一つにおいて、

該抵抗膜が、空気の実効インピーダンスと等しいシート抵抗値を有することを特徴とした回路モジュール。

(付記7) 付記1において、

該抵抗膜に対して実装され、該抵抗膜とは反対側の面にメタル層が形成された別の誘電体基板をさらに備えたことを特徴とした回路モジュール。

(付記8) 付記7において、

該別の誘電体基板のメタル層が、放熱用のキャップに接着され、該半導体回路チップと該抵抗膜と該別の誘電体基板が該キャップによって覆われていることを特徴とした回路モジュール。

(付記9) 付記7又は8において、

該抵抗膜が、該別の誘電体基板に接着されており、且つ該半導体回路チップの材質の誘電率によって決定される特性インピーダンスに等しいシート抵抗値を有することを特徴とした回路モジュール。

(付記10) 付記7において、

該抵抗膜が、該半導体回路チップから空間を隔てて形成され、且つ該別の誘電体基板のメタル層を介してキャップに接着されており、該半導体回路チップと該抵抗膜と該別の誘電体基板が該キャップによって覆われていることを特徴とした回路モジュール。

(付記11) 付記9において、

該別の誘電体基板が該半導体回路チップを覆うキャップとして形成され、その内側に該抵抗膜が、該半導体回路チップから空間を隔てて接着され、その外側に該メタル層が形成されていることを特徴とした回路モジュール。

(付記12) 付記10又は11において、

該抵抗膜が、空気の実効インピーダンスと等しいシート抵抗値を有することを特徴とした回路モジュール。

(付記13) 付記7から12のいずれか一つにおいて、

該別の誘電体基板の厚さが、所定の周波数において1/4波長であることを特徴とした回路モジュール。

(付記14) 付記1から13のいずれか一つにおいて、

該抵抗膜が、メッシュ状のパターンに形成されていることを特徴とした回路モジュール。

【図面の簡単な説明】

【0043】

【図1】本発明に係る回路モジュールに用いられる実施例[1]（キャップ無し）を示した斜視図である。

【図2】本発明に係る回路モジュールに用いられる実施例[1]のA-A部分断面図及びB-B断面図を示したものである。

【図3】本発明に係る回路モジュールに用いられる実施例[2]（キャップ付き）のA-A部分断面図及びB-B断面図を示したものである。

【図4】本発明に係る回路モジュールの実施例[3]（キャップ付き）の部分断面図である。

【図5】本発明に係る回路モジュールに用いられる実施例[4]（キャップ付き）のA-A部分断面図及びB-B断面図を示したものである。

【図6】本発明に係る回路モジュールに用いられる実施例[5]（キャップ無し）を示した斜視図である。

【図7】本発明に係る回路モジュールに用いられる実施例[5]の部分断面図である。

【図8】本発明に係る回路モジュールに用いられる実施例[6]（キャップ付き）の部分断

10

20

30

40

50

面図である。

【図9】本発明に係る回路モジュールに用いられる実施例[7]の部分断面図である。

【図10】本発明に係る回路モジュールに用いられる実施例[8]の部分断面図である。

【図11】従来から知られている回路モジュールのA-A部分断面図及びB-B断面図である。

【符号の説明】

【0044】

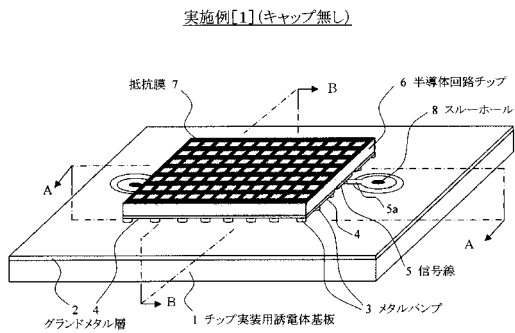
- 1 チップ実装用誘電体基板
- 2,4 グランドメタル層
- 3,3a メタルパンプ
- 5,5a,5b,5c 信号線
- 6 半導体回路チップ
- 7,7a 抵抗膜
- 8 スルーホール
- 9 キャップ
- 9a メタルキャップ
- 9b 放熱用キャップ
- 10 誘電体
- 11 非導電性接着剤
- 12 誘電体基板
- 12a 誘電体キャップ
- 13,13a メタル層
- 14 接着剤

10

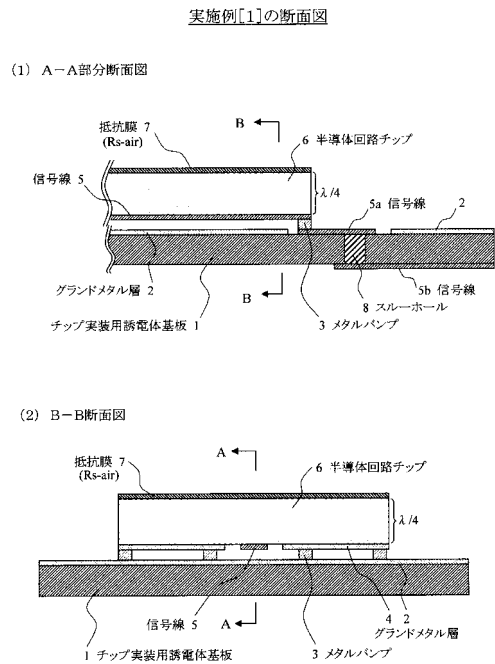
20

図中、同一符号は同一又は相当部分を示す。

【図1】



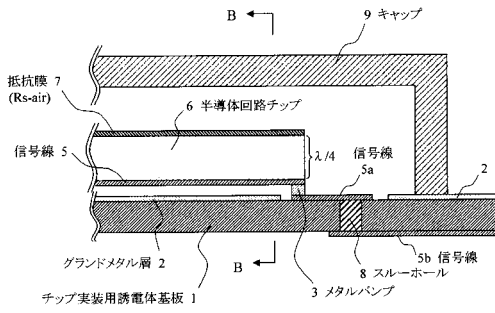
【図2】



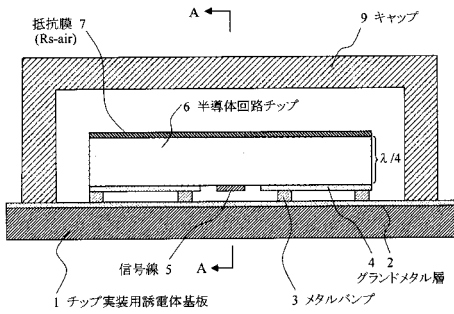
【図3】

実施例[2](キャップ付き)の断面図

(1) A-A部分断面図

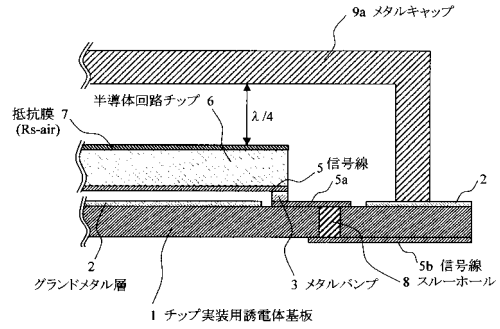


(2) B-B断面図



【図4】

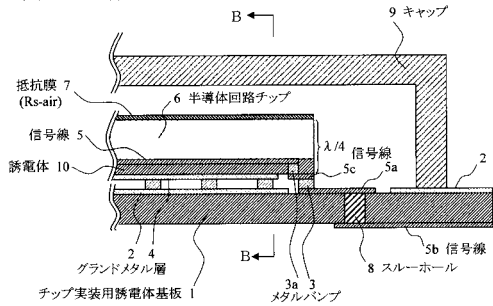
実施例[3](キャップ付き)の部分断面図



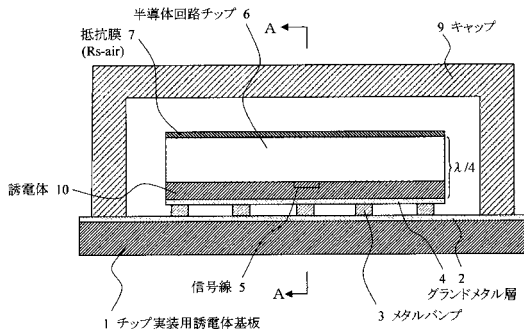
【図5】

実施例[4](キャップ付き)の断面図

(1) A-A部分断面図

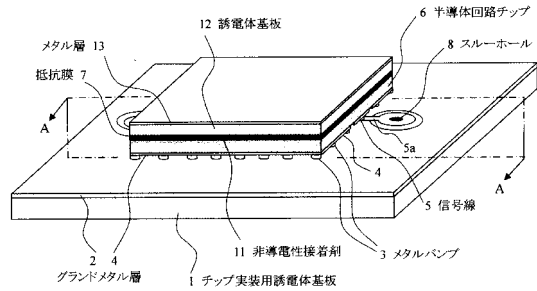


(2) B-B断面図



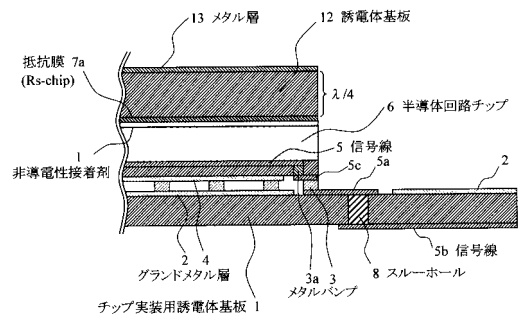
【図6】

実施例[5](キャップ無し)



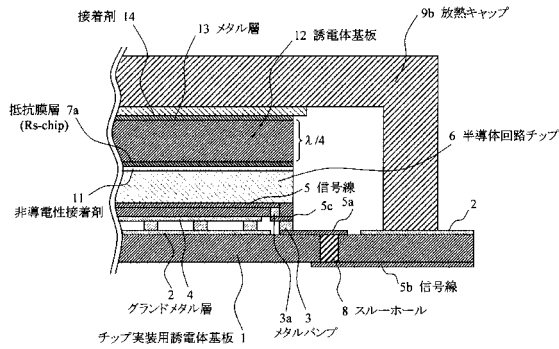
【図7】

実施例[5]の部分断面図



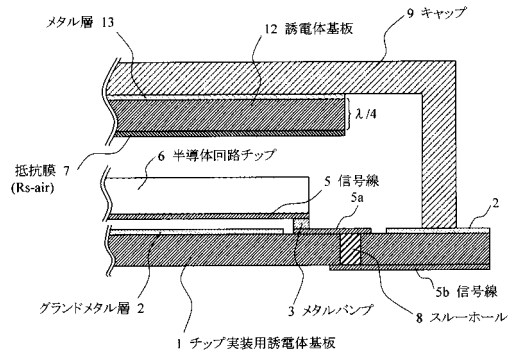
【図8】

実施例[6](キャップ付き)の部分断面図



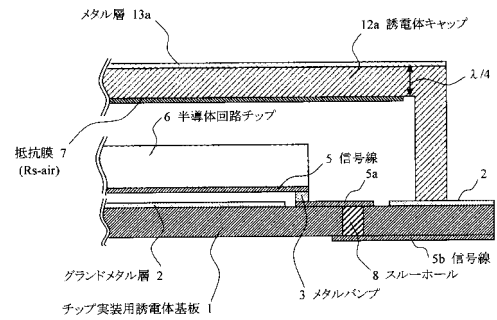
【図9】

実施例[7]の部分断面図



【図10】

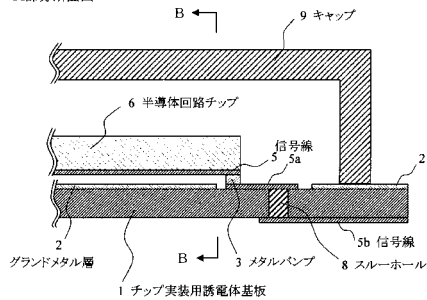
実施例[8]の部分断面図



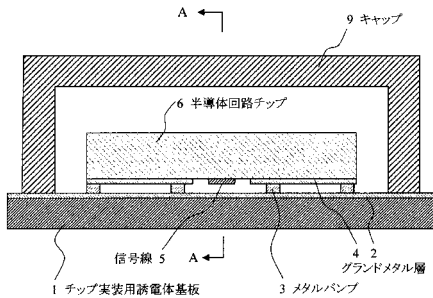
【図11】

従来例の部分断面図

(1) A-A部分断面図



(2) B-B断面図



フロントページの続き

(72)発明者 大橋 洋二

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 布川 満次

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 ユーディナデバイス株式会社内

審査官 坂本 薫昭

(56)参考文献 特開平05-335832(JP,A)

特開平11-260966(JP,A)

特開2005-123498(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/00, 02, 12, 52