

# 公告本

318223

申請日期	85 年 10 月 15 日
案 號	85112572
類 別	G06F <sup>13</sup> / <sub>4</sub>

A4  
C4

318223

Int. (C) (以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	具有低偏斜控制訊號之記憶體控制器
	英 文	Memory controller with low skew control signal
二、發明 創作人	姓 名	(1) 喬瑟夫·傑德 Jeddloh, Joseph M. (2) 傑佛瑞·盧尼 Rooney, Jeffrey J. (3) 李查德·里契森 Nicholson, Richard F.
	國 籍	(1) 美國                      (2) 美國                      (3) 美國
	住、居所	(1) 美國明尼蘇達州·明尼亞波利·依德曼德大道 3518號 3518 Edmund Blvd., Minneapolis, MN 55406 USA  (2) 美國明尼蘇達州·布萊尼·第102巷152號 152 102nd Lane NE, Blaine, MN 55434, USA  (3) 美國明尼蘇達州·湖城·奧契德雷吉區2號 2 Orchard Ridge Ct., Lake City, MN 55041 USA
三、申請人	姓 名 (名稱)	(1) 微電子股份有限公司 Micron Electronics, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國愛達華州·蘭帕·卡契爾東路900號 900 E. Karcher Road, Nampa, Idaho 83687, USA
	代 表 人 姓 名	(1) 登·凱琳 Klein, Dean A.

裝 訂 線

經濟部中央標準局員工消費合作社印製

318223

申請日期	85 年 10 月 15 日
案 號	85112572
類 別	

A4  
C4

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 登·凱琳 Klein, Dean A.
	國 籍	(4) 美國
	住、居所	(4) 美國愛達荷州·伊高·派克佛瑞斯特路147 3號 1473 Parkforest Way, Eagle, ID 83616, USA
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

318223

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 美國 1995年 9月 12日 08/526,988 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 四、中文發明摘要(發明之名稱：)

## 具有低偏斜控制訊號之記憶體控制器

提供一種裝置及方法，用以使提供給電子裝置，諸如記憶體裝置之控制信號延遲或偏移一對齊延遲時間，俾總對齊延遲所隨帶之延遲及輸出控制信號至電子裝置所隨帶之傳播延遲大致等於時脈信號之一或更多之完整週期。結果，在電子裝置處所接收之控制信號大致對齊於時脈信號。此導致不同步產生之控制信號同步或重行對齊回至同步環境。該裝置及方法當用於記憶體控制器等上時，具有獨有之應用性，以處理一或更多記憶體裝置之記憶進出，尤以在具有加強記憶轉移模式或較高轉移速度之記憶體裝置上為然，在此種記憶體裝置中，控制信號及時脈信號間之即使小量之偏移亦足以大幅降低性能。根據裝置之處理因數以及任何溫度及／或電壓變化，計算輸出控制信號至電子裝置所隨帶之傳播延遲或延遲因數。而且，可計及即時之電壓及／或溫度變化，機動修改該延遲因數。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：MEMORY CONTROLLER WITH LOW SKEW CONTROL SIGNAL)

An apparatus and a method are provided for delaying or skewing a control signal provided to an electronic device such as a memory device with an alignment delay, such that the overall delay associated with the alignment delay and the propagation delay associated with outputting the control signal to the electronic device substantially equals one or more integral cycles of a clock signal. As a result, the control signal received at the electronic device is substantially aligned with the clock signal. This results in synchronizing or realigning the asynchronously-generated control signal back into a synchronous environment. The apparatus and method have unique applicability when used in memory controllers and the like for handling memory accesses with one or more memory devices, in particular with memory devices having enhanced memory transfer modes or higher transfer speeds, where even a small amount of skew between a control signal and a clock signal may significantly degrade performance. A propagation delay, or delay factor, associated with outputting the control signal to the electronic device is computed based upon the process factor for the apparatus, as well as any temperature and/or voltage variations. In addition, the delay factor may be modified dynamically to account for real-time voltage and/or temperature variations.

## 五、發明說明(1)

### 發明部份

本發明一般係有關記憶器控制器，用以協調一或更多記憶裝置在匯流排上之信號往來轉移。更明確言之，本發明係有關記憶器控制器，此提供低偏移控制信號，以協調記憶裝置在匯流排上之記憶轉移。

### 發明背景

信號偏移在高速資料處理環境中受到許多關注。“偏移”意指信號通常對時脈或其他信號在時間上移動，此導致數位信號流中之各個別資料數元間之轉變點在時間上偏離時脈中之轉變點。

一信號在個別積體電路晶片間或在同一晶片之不同區域內可偏移不對齊另一信號。此常由於沿傳輸線上或通過積體電路之信號傳播延遲所發生。偏移信號之受到關注乃由於此可導致由於資料失落或記發器波浪通過引起誤差。為應付偏移，常加進一或更多之“等待狀態”或完整時脈週期於信號中，以確保資料有效。然而，等待狀態之插入於信號中使處理減慢，並導致資訊轉移較慢。

信號偏移通常以二種方式處理。第一，不同積體電路晶片間之信號偏移可由低偏移時脈分配網路處理。不同晶片間之偏移常由於公共信號源及晶片間之不同傳輸線長度所引起。此種偏移常由使晶片及信號源間之信號長度相等，及／或由量度不同晶片之延遲，並使用鎖相環路或插入延遲器來補償處理。然而，經發現用以量度及補償傳輸延

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

天

## 五、發明說明(2)

遲之反饋系統亦會加進一些延遲。而且，許多此種系統並不計及通過晶片本身之信號傳播延遲。

第二，信號延遲可經由內部晶片時脈同步來處理，以對齊整個晶片內之信號。例如，需要低偏移信號之一特別應用為一記憶器控制器，此協調資料經由匯流排轉移往來於一或更多記憶裝置中。記憶器控制器普通提供控制信號，以控制記憶裝置，經由匯流排接收或發送資料於例如處理器或其他控制或週邊裝置。

然而，普通記憶器控制器所產生之控制信號常對驅動該匯流排之系統時脈具有至少一些偏移。此乃由於一些邏輯組成件常在時脈輸入之下游，當晶片產生輸出信號時，常產生約 7 - 10 毫微秒之最小偏移。普通記憶器控制器常需插入一或更多之等待狀態於控制信號中，以應付記憶裝置所隨帶之進出延遲。

而且，當記憶系統加快時，對時脈週期之偏移更大，誤差之危險增加。例如，諸如 D R A M 等記憶裝置能工作於 66 M H z 以上（即具有 15 n s 時脈週期）。諸如 S R A M 等其他記憶裝置運轉甚至更快。在普通記憶器控制器產生最小 7 - 10 毫微秒之偏移於控制信號中之情形，控制信號之偏移可顯示高至總時脈週期之 67%。

同步 D R A M 為減少控制信號對匯流排偏移至最低程度之另一選擇，因為此等直接接收系統時脈，並使用此時脈來闡控來自記憶器控制器之信號。此通常減少記憶裝置中闡下游處之傳播延遲至最低程度，從而減小控制信號之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

### 五、發明說明(3)

偏移至最低程度。然而，同步 D R A M 通常並不特別適宜，因為在經濟及性能上，記憶裝置上之空間非常昂貴，故通常並不鼓勵記憶裝置上任何額外之控制電路。

故此，亟需一種記憶器控制器，能產生低偏移控制信號，以控制記憶裝置。

而且，吾人發現對使用具有加強記憶轉移模式，諸如頁模式及延伸資料輸出 ( E D O ) 模式 ( 在此等模式中，可轉移記憶裝置之同頁或行內之記憶位址，而無需重覆送出每一記憶位置之整個位址至裝置 ) 之記憶裝置之應用中之信號偏移，有特別之關注。明確言之，吾人發現，許多記憶裝置之較高之工作速度及加強之操作模式已在許多普通記憶器控制器之能力之外。由於當進出此種記憶裝置中之多個位址時，需要較少之延遲，故等待狀態或較低之轉移率常為許多普通記憶器控制器之僅有選擇。

故此，鑒於普通記憶器控制器在處理操作於加強轉移模式中之高速記憶器上之特別關注之不足，故特別需要一種記憶器控制器，能產生低偏移控制信號，以控制此種高速加強模式之裝置。

#### 發明概要

本發明針對先行技藝之此等及其他問題，提供一種裝置，此使控制裝置，諸如記憶裝置之控制信號對來自系統時鐘之時脈信號延遲或偏移一對齊延遲量，俾總對齊延遲所隨帶之延遲及輸出控制信號至電子裝置所隨帶之傳播延

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

久

86年7月3日 修正  
補充

### 五、發明說明 ( 4 )

遲大致等於一或更多之完整時脈週期。結果，在電子裝置上所接收之控制信號大致與時脈信號對齊，且故此，亦與電子裝置所連接之匯流排對齊。在實際上，此導致不同步產生之控制信號同步或重行對齊回至同步環境。此與普通低偏移時脈分配及內部晶片同步系統不同，此種系統完全移動信號脫離同步領域，並操作於不同步中。

本發明可特別應用於具有加強記憶轉移模式之記憶裝置，諸如許多市面供應之記憶裝置上所提供之 E D O 及頁模式，以及較高速度之記憶裝置，因為在每一此等應用中，控制信號及時脈信號間之小量偏移亦會大幅降低系統之整個性能。現有之另一加強操作模式為叢延遲資料輸出 ( B E D O ) 轉移模式，此發現特別適用本發明之較宜實施例。B E D O 轉移模式可依 1 - 1 - 1 ( 每一時脈週期轉移一位址 ) 轉移成叢之記憶器位址。在載入初始記憶器位址資訊後，一記憶器控制器可在每一時脈週期提供一脈閃控制信號至記憶裝置，且記憶裝置執行在現位址處之讀出或寫入轉移，然後自動增加位址指標值，以指向裝置中之次一記憶位址。藉由本發明之較宜實施例中所達成之極低偏移，吾人能解決實施 B E D O 轉移模式之記憶裝置所隨帶之特別問題。

然而，在本發明之較宜實例中，加於控制信號中之延遲 ( 俾使其對齊時脈信號 ) 並不明顯影響整個系統之性能，因為插入於控制信號中之初始延遲通常在記憶裝置之初始進出時間中發生。

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂



## 五、發明說明(5)

本發明之較宜實施例亦探討另外若干關注，此係由於在決定輸出控制信號中所隨帶之傳播延遲上之實際困難所引起。在此等實施例中，可計算記憶器控制器之傳播延遲或延遲因數，以決定適當之對齊延遲值，俾插進於控制信號中，以使其與系統時脈對齊。

在決定延遲因數中，可決定控制器之一處理因數，此與控制器之相對速度有關，且此根據用以製造實際控制器晶片之材料之特定性質改變。而且，在操作中，溫度及電壓變化常改變積體電路中所固有之整個傳播延遲，且故此，可機動修改延遲因數，以應付即時之電壓及／或溫度變化。

故此，依據本發明之一方面，提供一種裝置，用以反應處理器之進出申請來控制記憶器，該裝置及記憶器各經由匯流排電連接至處理器，資訊轉移於匯流排上，與時脈信號對齊，記憶器用以接收至少一脈閃控制信號。該裝置包含一記憶器控制電路，用以反應進出申請而提供控制信號至記憶器，其中，控制信號產生電路產生一脈閃激發信號；及一脈閃產生電路，經電連接而接收脈閃激發信號及時脈信號，用以提供脈閃控制信號至記憶器。脈閃產生電路包含一第一延遲器，用以延遲時脈信號一第一對齊延遲值，以產生一脈閃控制信號；一第二延遲器，用以延遲脈閃激發信號一第二對齊延遲值，以產生延遲脈閃激發信號；及一輸出裝置，電連接至記憶器，用以由延遲脈閃激發信號開闢通過脈閃時脈，從而提供脈閃控制信號至記憶器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

人

## 五、發明說明(6)

。選擇第一對齊延遲值，以對齊脈閃控制信號與時脈信號，及選擇第二對齊延遲值，以對齊延遲脈閃激發信號於脈閃時脈。

依據本發明之另一方面，提供一種裝置，用以控制電連接至匯流排之至少一電子裝置，此由時脈信號定時控制，該電子裝置用以接收來自本發明裝置之至少一控制信號。該裝置包含控制裝置，用以產生一控制信號，隨帶有一傳播延遲，此延遲與控制信號對時脈信號偏移有關；對齊裝置，用以使控制信號偏移一對齊延遲，以產生一偏移控制信號，其中，該對齊延遲具有一值，俾傳播延遲及對齊延遲之和與時脈信號之至少一完全週期有關；及輸出裝置，用以輸出偏移控制信號至該電子裝置；由此使偏移控制信號與時脈信號對齊。

依據本發明之另一方面，提供一種方法，用以對齊由電子裝置所接收之控制信號及時脈信號，其中，該控制信號對時脈信號偏移該控制信號輸出所隨帶之一傳播延遲。該方法包括步驟：決定一對齊延遲，此具有一值，此值當與控制信號之傳播延遲相加時，與時脈信號之至少一完整週期有關；由對齊延遲來延遲控制信號，以產生一偏移控制信號；及輸出偏移控制信號至電子裝置，俾偏移控制信號對齊在電子裝置處之時脈信號。

本發明特徵之此等及其他優點及特色載於此處所附之申請專利範圍中，並構成其一部份。然而，為更佳明瞭本發明及由其使用所獲得之目的及優點，應參考附圖及附帶

## 五、發明說明( 7 )

之說明，其中說明本發明之一較宜實施例。

### 附圖簡述

圖 1 為功能方塊圖，顯示普通信號產生器之作用。

圖 2 為時間圖，顯示圖 1 產生器中固有之延遲，以及處理此等延遲之本發明之較宜實施例之作用。

圖 3 為一處理系統之功能方塊圖，顯示使用符合本發明原理之一較宜裝置之一較宜系統控制器。

圖 4 為圖 3 之較宜控制器之功能方塊圖。

圖 5 為圖 4 之記憶器控制器方塊之功能方塊圖。

圖 6 為圖 5 之脈閃產生電路之功能方塊圖。

圖 7 為圖 6 之可程式延遲器之功能方塊圖。

圖 8 為圖 6 之輸出閘之功能方塊圖。

圖 9 為時間圖，顯示圖 6 之脈閃產生電路之作用。

圖 10 為圖 5 之因數決定電路之功能方塊圖。

圖 11 為流程圖，顯示圖 10 之比較狀態機器之作用。

圖 12 ( a ) 及 12 ( b ) 為時間圖，顯示圖 10 之延遲因數決定電路之時脈對齊程序。

圖 13 為流程圖，顯示實施於圖 3 之處理器上之延遲計數產生常式之作用。

### 較宜實施例之詳細說明

在討論本發明之較宜實施例之前，先簡要說明本發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 8 )

之原理。明確言之，為說明本發明之作用，對信號產生中固有之延遲作一基本說明。

本發明之一般目的在重新對齊一偏移之第一信號於一第二信號，俾當在一共同目的地處收到第一及第二信號時，第一信號大致對齊於第二信號。在較宜之實施例中，第二信號為一時脈信號，或更明確言之，與時脈信號對齊之任何信號，例如，在匯流排上之資料及位址信號。然而，第二信號亦可對時脈信號偏移，故此，加於第一信號上之任何延遲（而使其對齊第二信號）亦可處理第二信號之偏移。

公共目的地可為一電路或特定之邏輯裝置，此直接接收第一及第二信號二者，俾第一及第二信號相互對齊（即是，如假設二信號在一特定之時間，諸如一時脈週期之前緣轉變，則二信號大致同時轉變）。在較宜之實施例中，公共目的地為一記憶裝置，此連接至匯流排。在較宜之實施例中，第一信號為控制信號，此用以控制記憶裝置，及經由較宜實施例之作用，控制信號大致對齊時脈信號，且故此，當其由記憶裝置接收時，亦對齊匯流排。然而，應明瞭本發明亦可應用於此處所述以外之其他型式之第一及第二信號及公共目的地。

第一信號由於多種原因而可對第二信號偏移，其大部份係由於積體電路固有之傳播延遲所產生。傳送第一信號之任何邏輯閘或傳輸線可引入延遲於信號中，此使其對第二信號“偏移”。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

天

## 五、發明說明(9)

例如，在普通信號產生器，例如圖 1 所示之信號產生器 2 中，有若干延遲為使用積體電路產生信號所固有。第一，有實際產生信號所隨帶之延遲，此可包含任何接收及及譯解一申請，以產生信號，以及實際產生該信號。此由圖 1 所示之產生信號方塊表示。此方塊之輸入之一可為時脈信號，所產生之信號將與此對齊。

作為圖解，圖 2 顯示第一信號之產生，此在時脈信號之一週期中呈現高位準。線 W 顯示輸入於圖 1 之方塊 4 之點 W 處之時脈信號，此在本例中視為第二信號。圖 2 之線 X 顯示在圖 1 之點 X 處之所產生之信號，此自方塊 4 輸出。信號之偏移與產生該信號所隨帶之傳播延遲 P 有關。

除產生信號之延遲外，有信號一旦產生後輸出所隨帶之延遲，諸如置於產生信號方塊 4 及信號之公共目的地間之任何輸出閘或其他電路。此由圖 1 所示之輸出信號方塊 6 表示。輸出信號所隨帶之此額外傳播延遲  $P_2$  在圖 2 中由線 Y 表示，此相當於圖 1 之點 Y 處之方塊 6 之輸出。

應明瞭信號產生器 2 可耗用數個時脈週期來產生及／或輸出一信號。在本發明中，傳播延遲並非自信號產生之開始量度，而是自所產生之信號宜與之對齊之最後（或最近）之時脈週期開始量度。而且，應明瞭傳播延遲之幅度可隨信號產生器之特定設計而不同，且延遲  $P_1$  或  $P_2$  之一或二者可略而不計。例如，時脈信號可直接提供給輸出信號方塊 6，俾使信號在此方塊處與時脈信號對齊，從而減少產生信號方塊 4 所隨帶之任何傳播延遲至最低程度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(10)

本發明之較宜實施例由加進一對齊延遲來重新對齊一偏移之信號，當與信號產生及／或輸出所隨帶之傳播延遲相加時，此對齊延遲產生一總延遲，此使第一信號重行對齊第二信號。當第二信號為時脈信號時或與時脈信號對齊時，該總延遲故此大致等於時脈信號之一或更多之完整週期。例如，如顯示於圖2之線Z，對齊延遲A<sub>1</sub>之插入導致信號重行對齊線A所示之時脈信號。

現回來討論本發明之較宜實施例，其中，各圖中相同之部份註以相同之編號，圖3為符合本發明原理之一處理系統10之功能方塊圖。系統10表示標準PC電腦系統之許多基本組成件，包含一處理器20，一匯流排25，一時脈產生器30，一記憶器40，及一系統控制器50。

處理器20控制系統10之整個操作，且宜為英德爾所製之80X86系列之處理器及其他之一。處理器20更宜為英德爾奔騰微處理器，唯其他之處理器，包括68000系列及強力PC系列之微處理器亦可使用。

處理器20經由匯流排25連接至各種支持電路，包含記憶器40及系統控制器50。匯流排由處理器20驅動，其方式為本藝中所知，使用由普通時脈產生器30所產生之時脈信號。匯流排可工作於與處理器相同之頻率上，或可經由一分頻網路連接，以工作於處理器之速度之一分數上。匯流排普通包含多條資料及位址線，且可多工操作。用於奔騰微處理器上之較宜匯流排25包含32位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(11)

線及64資料線，並運作於66MHz以上之速度。

記憶體40經由匯流排25連接至處理器25。在較宜之實施例中，記憶體40使用多晶片(例如SIMM或SIP)模組中所提供之多個動態隨意進出記憶裝置(DRAM)實施，且用作處理器20之主要工作空間。

較宜之記憶裝置為由微技公司所製之BEDO DRAM(例如件號MT4LC4M4G64MB\*4 DRAM)，此能在高至66MHz之速度上，運作於BEDO轉移模式。BEDO轉移模式使成叢之記憶器位址可依1-1-1(即每時脈週期轉移一個位址)轉移。在載入初始記憶器位址資訊後，記憶器控制器可在每一時脈週期中提供一脈閃控制信號至記憶裝置，及記憶裝置在現位址處執行讀出或寫入轉移，然後自動增加位址指標，以指於該裝置中之次一記憶位址。在較宜之實施例中，四相鄰之記憶位置之叢包每次如此轉移。

適用於本發明之較宜實施例中之較宜之BEDO記憶裝置例如討論於以下之美專利申請書中，所有均讓渡給微技公司：於1994年12月23日提出並題為“叢式EDO記憶裝置”之S/N 08/370,761；於1995年2月10日提出並題為“具有最大寫入週期時間之叢式EDO記憶裝置”之S/N 08/386,894；於1995年2月10日提出並題為“具有管線輸出之叢式EDO記憶裝置”之S/N 08/386,563；及於1995年5月31日提出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明(12)

並題為「叢模式塊寫入」之 S / N

08 / 455, 095。所有此等申請書之參表列作參考。然而，應明瞭其他隨意進出記憶器，諸如 D R A M 及其他 S R A M，尤其是具有加強資料轉移模式者亦可使用。

雖較宜之系統 10 為 P C 電腦系統之主要處理及記憶系統，但應明瞭本發明之原理亦可應用於其他型式之系統。例如，處理器 20 可為任何型式之微處理器或微控制器，且甚至可為一裝置驅動器之控制器，此驅動器與電腦之主處理系統相互獨立運轉，例如一影像或裝置驅動器。而且，匯流排可代表電腦系統中所見之任何型式，包含一主系統匯流排，一專用記憶器匯流排，一區域匯流排，一影像匯流排等。而且，記憶器 40 可為任何型式之記憶系統，包括主記憶器，裝置緩衝記憶器，影像記憶器，晶片上記憶器，快取記憶器等，且可由任何型式之記憶裝置實施，包括可滅失記憶器，諸如 D R A M 及 S R A M；不滅失記憶器，諸如 R O M，E P R O M，及 E E P R O M；快閃記憶器等。而且，雖較宜之處理系統 10 為一 P C 基礎之系統，但應明瞭本發明之原理亦可應用於其他用具上，包括迷尼電腦系統，主構架系統，多處理器系統，特定應用系統等。

系統控制器 50 包含於系統 10 中，用以反應由控制器所接收之記憶器進出申請而控制記憶器 40。控制器 50 使用提供給記憶器之特定控制信號，協調資料之轉移通過匯流排而進出記憶器 40。控制器 50 且連接至匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水



### 五、發明說明 ( 13 )

排 2 5，以接收來自處理器 2 0 之記憶器進出申請。而且，系統控制器 5 0 亦可選擇具有處理記憶器申請之能力，通過多條匯流排，例如通過各別之 I / O 匯流排 4 5，以連接至周邊組成件（例如 I / O 裝置 4 8），此可為一影像驅動器，一大量儲存裝置等。故此，系統控制器 5 0 亦宜具有處理來自不同匯流排之多個申請及排定其時程之能力。

系統控制器 5 0 宜製成一應用特定積體電路（A S I C）裝置。以下說明控制器 5 0 用以依本發明之原理控制記憶器 4 0 所需之功能部份。然而，應明瞭用以實施此等功能部份之 A S I C 之構造為標準程序，此在普通精於本藝之人士之技術內。故此，無需較宜系統控制器之實際之下層佈置及說明來瞭解本發明，此處不作討論。

而且，應明瞭雖該較宜之裝置為 A S I C 裝置，但由該裝置所實施之一或更多之功能可置於 A S I C 或現貨邏輯裝置之多個裝置中，且可部份或整個實施於軟體中，或由處理器 2 0 或另外之處理器執行，如需要。

圖 4 顯示系統控制器 5 0 之方塊圖。該控制器包含一隨意控制系統，用以對自匯流排 2 5 及 4 5 上所接收之記憶器進出申請解碼及排程。一主匯流排控制方塊 5 2 電連接於系統匯流排 2 5 及一仲裁控制方塊 5 6 之間。方塊 5 2 處理與匯流排 2 5 通信之資料，對記憶器進出申請解碼，及轉送此申請至仲裁控制方塊 5 6。另一申請線 R E Q 用以指示收到進出申請之時。同樣，I / O 匯流排

（請先閱讀背面之注意事項再填寫本頁）

表

訂

## 五、發明說明 ( 14 )

控制器方塊 5 4 處理與匯流排 4 5 通信之資料，並提供經解碼之記憶器進出申請至仲裁控制方塊 5 6，由另一 R E Q 線告知一有效之申請。

仲裁控制方塊 5 6 對自方塊 5 2 及 5 4 所接收之進出申請排定時程，解決在二匯流排上任何同時申請間之衝突。方塊 5 6 轉送有效之申請至記憶器控制器方塊 6 0，俾發起進出記憶器 4 0。各別 R E Q 及 A C K 線電連接於方塊 5 6 及 6 0 之間，以指示一記憶器進出申請在等待中之時，及其它已完成之時。

方塊 5 2 - 5 6 均代表本藝中所知之普通系統控制器上所見之普通功能。例如，提供上述功能之一適當系統控制器為 8 2 C 5 9 0 系統控制器，由 V L S I 技術公司製造。然而，其他系統控制器，以及其他功能亦可使用。由於方塊 5 2 - 5 6 中之功能代表普通功能，故不在此詳細討論。

系統控制器 5 0 並包含一構形方塊 5 8 ( 'config' )，此連接至系統匯流排 2 5，以處理處理器 2 0 及記憶器控制器方塊 6 0 內所見之若干記發器之任何讀出／寫入操作。方塊 5 8 之用途在執行一般之連繫及記發器進出控制，使處理器 2 0 能轉送資料往來於記憶器控制器方塊 6 0。方塊 5 8 之功能在以下更詳細討論之。

記憶器控制器方塊 6 0 產生控制信號，需用於控制記憶器 4 0，以轉移資訊通過匯流排 2 5。圖 5 更詳細顯示此方塊，尤其是顯示一記憶器控制狀態機器 6 5，一脈閃

(請先閱讀背面之注意事項再填寫本頁)

表

訂

### 五、發明說明 ( 15 )

產生電路 7 0 ，及一延遲因數決定電路 8 0 。

記憶體控制器方塊 6 0 之許多功能為本藝中普通所知，且一般實施於記憶體控制電路或狀態機器 6 5 中。狀態機器處理記憶體進出申請，並產生適當之控制信號，在適當之時間處理該進出。由狀態機器 6 5 所接收之資料之型式，及由狀態機器輸出之控制信號之型式及時間順序隨產生該申請之特定處理器，以及用以實施記憶體 4 0 之特定記憶裝置而不同。供特定記憶裝置用之控制信號議定為本藝中所熟知，且故此用以協調記憶體控制之特定控制信號之產生在此僅討論其與普通記憶體控制議定不同之處。例如上述 8 2 C 5 9 0 系統控制器包含一狀態機器，此適於接收及譯解來自英德爾 8 0 x 8 6 微處理器之記憶體進出申請，並產生適當之控制信號，用於普通 8 0 x 8 6 可相容之 D R A M 上。

較宜之狀態機器 6 5 接收有關記憶體進出申請（將對之採取行動）之若干輸入。第一，狀態機器 6 5 接收來自仲裁控制方塊 5 6 之 R E Q 連繫線，並送回 A C K 連繫線。而且，接收一 W R / R D 線，以決定進出申請為用於讀出或寫入操作上。多個位址線提供欲進出之記憶體內之特定位址。而且，接收一叢線，指示一轉移係用於一單記憶體位址或一叢上，或其他之加強模式之轉移上。

於反應記憶體進出申請時，狀態機器產生若干控制信號，用以控制記憶體 4 0 。 W E 為一有效低控制信號，此表示一申請為讀出或寫入操作。 M E M A D D R 控制信

（請先閱讀背面之注意事項再填寫本頁）

表

訂

水

## 五、發明說明 ( 16 )

號為多工記憶器位址線，用以提供列或行位址資訊給記憶裝置。一有效低列位址脈閃信號 ( R A S ) 用以對記憶裝置指示在 M E M A D D R 線上所見之位址應載入於列位址緩衝器中。此等控制信號宜各直接提供給記憶裝置，且無以下所述之任何對齊電路。此等信號之產生為普通性質。

普通狀態機器並產生一有效低行位址脈閃 ( C A S ) 信號，或脈閃控制信號，此主要用於告知一記憶裝置，在 M E M A D D R 線上之記憶器位址係用以載入一行位址緩衝器。而且，在叢式或其他加強轉移模式中，C A S 信號亦可用於申請另一記憶器轉移，如果一自動增量位址緩衝器受激發。

明確言之，當操作於 B E D O 轉移模式中時，一旦列及行位址由開始位址載入於記憶裝置中時，四相鄰之記憶器位址可由 C A S 信號脈動四次來進出。然而，如上述，使用普通之記憶器控制器時，由於 C A S 信號對匯流排及系統時脈信號偏移，故在高轉移率上會有問題存在。

故此，在本發明之較宜實施例中，狀態機器 6 5 代之作用如一脈閃激發產生電路，產生一脈閃激發信號 ( 或更明確言之，一 C A S 激發信號 ) ，此信號經如以下所述延遲，以提供一偏移 C A S 信號至記憶裝置，此信號大致對齊時脈信號及匯流排。而且，如以下所述，狀態機器 6 5 並提供一調整激發信號，以更新對齊電路之狀態，俾補償在無記憶器轉移執行，晶片上之任何溫度 / 電壓變化。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 17 )

脈閃激發信號用以開闢通過一脈閃時脈信號，以提供一或更多之對齊脈波，作為脈閃控制 ( C A S ) 信號。在正常模式進出中 ( 其中，無叢線呈現 )，該脈閃激發信號為一個週期，俾輸出一個脈波，作為脈閃控制信號。然而，在一叢模式進出中 ( 其中，叢呈現 )，脈閃激發信號之持續期宜為四個週期，以提供四個脈波，作為脈閃控制信號，每一時脈週期一個，以轉移記憶器中四個相鄰之記憶器位址，此與較宜之處理系統 1 0 中之 B E D O 模式相容。然而，應明瞭脈閃控制信號中之脈波數可隨所需之記憶器轉移數及所用之特定轉移議定而改變。例如，如提供足夠之脈波，則記憶器之一整頁或行可依 1 - 1 - 1 轉移。

在較宜之記憶器控制器方塊 6 0 中，使用普通記憶器控制器中所無之另二方塊。此二方塊之第一個為脈閃產生電路 7 0，此更詳細顯示於圖 6。此電路接收來自狀態機器 6 5 之脈閃激發信號及來自時脈產生電路之時脈信號，並輸出脈閃控制信號 ( C A S )，此經延遲一充分之時間，俾在記憶裝置處對齊該信號於匯流排及時脈信號。電路 7 0 並接收來自圖 4 之構形方塊 5 8 之 R W G 進出信號，俾處理器 2 0 可進出該電路內之記發器 7 3 及 7 7。而且，電路 7 0 接收來自延遲因數決定電路 8 0 ( 圖 5 ) 之調整信號，以調整記發器中由於電壓及溫度變化所引起之值。

電路 7 0 包含一脈閃時脈產生電路 7 2，用以產生脈閃時脈信號，此基本上為時脈信號之一延遲版。電路 7 2

(請先閱讀背面之注意事項再填寫本頁)

表

訂

大

## 五、發明說明(18)

包含一第一延遲器 7 3，此用以儲存一第一延遲計數，此計數相當於一延遲量，此延遲量插於時脈信號中，以產生脈閃時脈信號。記發器 7 3 宜製成記發器／計數器，且故此含有輸入端用以接收來自構形方塊 5 8 之 R E G 進出信號，俾處理器 2 0 能寫入新值於記發器中。該進出信號包含資料輸入及激發信號，用以載入由構形方塊 5 8 提供於資料輸入端上之延遲計數值。

記發器 7 3 並包含自電路 8 0 處所接收之一調整輸入，以反應溫度或電壓變化，調整其中所儲存之計數值。調整信號宜為一對信號 I N C 及 D E C，此等分別用以增加或減少（即向上或向下計數）記發器中之值。此等信號之作用以下討論之。

記發器 7 3 之輸出饋送至一可程式延遲器 7 4，作為選擇信號，用以控制可程式延遲，以插入一固定之延遲於在其信號輸入端上所接收之時脈信號中。可程式延遲器 7 4 之輸出為脈閃時脈信號，此基本上為經延遲一固定量之時脈信號。

可程式延遲器 7 4 可由數種形態實施。例如，圖 7 顯示一種實施，多個延遲元件 7 4 a 由此串連，每一延遲元件之輸出端連接至該鏈中之次一元件之輸入端。該鏈中之第一延遲元件之輸入端接收時脈信號。而且，每一延遲元件之輸出饋送至一 N : 1 多工器 7 4 b 之一輸入端（1，2，等，至 N - 1）中。多工器並包含一選擇輸入端，此接收來自記發器 7 3 之第一延遲計數值。多工器 7 4 b 之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

## 五、發明說明 ( 19 )

輸出為脈閃時脈信號，此表示在多工器之選擇輸入端 I ( 其中  $I = 0$  至  $N - 1$  ) 上之信號。故此，可程式延遲器 7 4 插入一延遲於時脈信號中，此等於每一延遲元件之延遲乘由記發器 7 3 提供於選擇輸入端上之值。

延遲元件 7 4 a 各為相等之構造，以插入一固定之延遲於其各別之輸入信號中。延遲元件各可由任一電子構造實施，此插入一延遲於信號中，此可為電容性，電感性等。然而，更明確言之，每一延遲元件為一或更多之邏輯閘，其淨輸出僅為輸入之延遲版。例如，每一延遲元件可製成偶數之反相閘，足以提供所需之延遲。邏輯元件之其他組合亦可使用。

延遲元件各宜提供 2 5 0 微微秒至 1 毫微秒，最宜為 8 0 0 微微秒之一固定延遲。可程式延遲器 7 4 中所用之延遲元件數視時脈週期，及每一元件之延遲與時脈週期之關係而定。例如，如時脈週期為 5 毫微秒及每一延遲元件之延遲為 8 0 0 微微秒，則可使用 1 9 個延遲元件及一個 3 2 之輸入之多工器，以提供所需之延遲範圍。

回至圖 6，脈閃產生電路 7 0 並包含一延遲脈閃激發信號 7 6，此包含一記發器 7 7 及一可程式延遲器 7 8。

第二記發器 7 7 儲存一第二延遲計數，此等於欲插入於脈閃激發信號中之延遲量，以產生所需延遲之脈閃激發信號。記發器 7 7 宜與記發器 7 3 相同之構造，如一記發器 / 計數器，接收來自構形方塊 5 8 之 R E G 進出信號，俾記發器能載入第二延遲量，並接收來自電路 8 0 之調整

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

## 五、發明說明(20)

輸入，以增加或減少記發器中之值，俾補償電壓或溫度變化。

記發器 7 7 輸出至可程式延遲器 7 8 之選擇輸入端，此宜與圖 7 所示之可程式延遲器 7 4 相同之構造。然而，取代接收時脈信號作為其信號輸入者，可程式延遲器 7 8 接收來自狀態機器 6 5 之一脈閃激發信號。故此，經由選擇記發器 7 7 中之適當值，脈閃激發信號受延遲一固定之時間，以產生經延遲之脈閃激發信號。

可程式延遲器 7 8 可為與延遲器 7 4 相同之構造。或且，可使用不同數之延遲元件或每一延遲元件不同之延遲時間。

由可程式延遲器 7 4 輸出之脈閃時脈信號及由可程式延遲器 7 8 輸出之脈閃激發信號各饋送至一輸出裝置或閘 7 5。閘 7 5 在其信號輸入端上接收脈閃時脈信號及在其激發輸入端上接收延遲脈閃激發信號。輸出閘 7 5 每當其輸出端由激發輸入激發時，基本上輸出在其信號輸入端上之信號。如顯示於圖 6，閘 7 5 宜為一有效低輸出，俾輸出信號脈閃控制信號 (C A S) 為有效低位準，符合大部份記憶器控制議定。

輸出閘 7 5 可由數種方式實施。例如，輸出閘 7 5 可製成簡單之反及閘，接收脈閃時脈及延遲脈閃激發信號，並提供一有效低輸出。或且，閘 7 5 可為一閘與一反相器相連。當然，如需要一有效高輸出信號，則無需使輸入於閘中之信號反相。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水



## 五、發明說明 ( 21 )

閘 7 5 亦可包含額外之脈波整形電路，以較佳修改信號，俾由記憶裝置接收。例如，圖 8 顯示閘 7 5 之一較宜實施。在本實施中，使用一對正反器 7 5 a 及 7 5 b，以回復 c a s 信號為方波。

正反器 7 5 a 為一邊緣觸發之 T 正反器，其 T 輸入端連接至延遲激發信號，及邊緣觸發時脈輸入端連接至脈閃時脈信號。正反器 7 5 A 之 Q 輸出饋送至 D 式正反器 7 5 B 之 D 輸入端。正反器 7 5 b 之邊緣觸發時脈輸入端連接經反相器 7 5 d 而至脈閃時脈信號。正反器 7 5 a 及 7 5 b 之 Q 輸出且連接至一互斥反或閘 7 5 c (有效低互斥或) 之輸入端。

在操作時，當延遲脈閃激發信號呈現時，正反器 7 5 a 在脈閃時脈信號之上升邊緣上升至高位準。正反器 7 5 b 原先在低位準，且故此，閘 7 5 c 之輸出在低位準。於脈閃時脈之下降邊緣時，正反器 7 5 b 閃定正反器 7 5 b 之高 Q 輸出，及閘 7 5 c 之輸出升至高位準。在脈閃時脈之次一升起邊緣時，正反器 7 5 a 輸出在低位準，導致閘 7 5 c 輸出在低位準。在次一下降邊緣時，正反器 7 5 b 閃定正反器 7 5 a 之低 Q 輸出，及閘 7 5 c 輸出在高位準。只要延遲脈閃激發信號呈現，該閘如此不斷提供一振盪信號。

可能需加裝延遲器 (例如延遲器 7 5 e 及 7 5 f) 於正反器 7 5 a 或 7 5 b 之一或二者之輸出端 (或輸入端) 上，以改變所產生之 C A S 信號之責任週期。明確言之，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 22 )

經由使用此種延遲器之一或二者，任一正反器之輸出信號可對另一移動，以提供例如 50% 責任週期信號。

較宜之系統控制器 50 反應記憶器進出申請，產生控制信號，以控制系統記憶器，如下述。第一，如顯示於圖 4，經系統匯流排 25 接收來自處理器 20 之記憶器進出申請，並轉送該申請至主匯流排控制方塊 52 及仲裁控制方塊 56，此等譯解並轉送有關進出申請所需之資訊至記憶器控制器方塊 60。然而，如顯示於圖 5，此進出申請資訊轉送至記憶器控制狀態機器 65，此產生控制信號，用以協調記憶器 40 之資訊之轉移。WE, MEM ADDR, 及 RAS 控制信號依本藝中所知之方式產生。然而，為產生 CAS 信號，記憶器控制狀態機器 65 產生一適當之脈閃激發信號（此具有一或四個時脈週期之持續期，視該進出為一正常或叢模式進出而定），此轉送至脈閃產生電路 70，以產生 CAS 信號。

例如，圖 9 為一時間圖，此顯示在產生一叢模式進出 CAS 信號中之操作序列。第一，脈閃時脈產生電路 72 產生一脈閃時脈信號，此信號由可程式延遲器 74 延遲由第一延遲計數器所設定之一量。

脈閃時脈信號延遲一第一延遲計數，此代表一第一對齊延遲值  $A_1$ ，此為使脈閃控制信號與匯流排（或明確言之，在記憶裝置處之時脈信號），對齊所需要。所需之第一對齊延遲值  $A_1$  大體等於時脈週期時間  $C$  減第一傳播延遲值  $P_1$ 。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 五、發明說明 ( 23 )

如上述，傳播延遲值  $P_1$  代表自脈閃時脈信號產生脈閃控制信號並輸出該控制信號至記憶裝置所隨帶之總延遲或偏移。此值普通包含輸出閘 7 5 所隨帶之延遲，以及輸出閘及記憶裝置，包括置於系統控制器及記憶裝置間之任何緩衝器或其他電路間之任何傳輸延遲。需延遲該脈閃時脈信號，俾當在記憶器 4 0 之每一記憶裝置處收到脈閃控制信號時，此大致對齊時脈信號，且故此，亦對齊匯流排 2 5。故此，需包含在延遲器 7 4 下游處之任何延遲，俾信號適當對齊。

第二，如上述，由狀態機器 6 5 產生一脈閃激發信號。此信號隨帶有一第二傳播值  $P_2$ ，此係由於狀態機器產生該信號之結果所引起之延遲或偏移所產生，並具有四個時脈週期之一持續期。延遲脈閃激發產生電路 7 6 故此延遲脈閃激發信號一第二對齊延遲值，此代表記發器 7 7 中所儲存之第二延遲計數。選擇第二對齊延遲值  $A_2$ ，俾使延遲脈閃激發信號與在輸出閘 7 5 之輸入端上之脈閃時脈信號對齊，此通常等於時脈週期時間  $C$  減輸出脈閃激發信號所隨帶之第二傳播延遲值。第二傳播延遲值代表該信號之總傳播延遲，此為  $P_1$  加  $P_2$ ，因為閘 7 5 所隨帶之延遲及其下游之任何其他延遲亦需計及。

故此，如顯示於圖 9，脈閃時脈信號延遲脈閃激發信號大致相互對齊，並與時脈信號相差由第一傳播延遲值  $P_1$  所表示之一時間。然後，在信號傳送通過輸出閘 7 5，並發送至記憶裝置後，在記憶裝置之輸入端上所見之合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 24 )

成脈閃控制 ( C A S ) 信號如顯示於圖 9 。注意脈閃控制信號為有效低位準，且大致與時脈信號對齊。

製造有效低脈閃控制信號之另一方式為製造一有效低脈閃時脈信號來取代圖 9 所示者。此由延遲脈閃時脈信號一時間值來執行，此時間值為時脈週期之  $1 / 2 ( 0.5 \times C )$  減第一傳播延遲值  $P_1$ ，俾該信號為時脈信號經延遲後之反相版。

回至圖 6，為使 C A S 信號對齊時脈信號，需儲存適當之延遲計數值於脈閃產生電路 7 0 之記發器 7 3 及 7 7 中。由於每一晶片組所用之材料之處理因數不同，此等延遲計數值在各晶片組並不相同。而且，用以使信號適當對齊所需之延遲值可隨電壓及溫度不同而改變。晶片組之處理因數及電壓及溫度之影響可合併成晶片之一單“延遲因數”，此代表晶片由於此等因數所引起之相對速度。

故此，使用圖 5 所示之延遲因數決定電路 8 0，以產生一延遲因數，由此可決定並儲存適當之延遲計數值於時脈產生電路之記發器中。延遲因數決定電路 8 0 與記憶器控制狀態機器 6 5 通信，接收一調整激發信號，並發送一對齊信號至該處。電路 8 0 並包含用以與構形方塊 5 8 通信之線，並另具有時脈信號之一輸入端。最後，電路 8 0 提供一調整輸出至脈閃產生電路 7 0，以調整電路 7 0 之記發器中所儲存之值。

延遲因數決定電路 8 0 更詳細顯示於圖 1 0。電路 8 0 接收一時脈輸入，此饋送至一可程式延遲器 8 2 及一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(25)

D 式正反器 8 6 之邊緣觸發時脈輸入端二者。

可程式延遲器 8 2 宜為與脈閃產生電路 7 0 中之可程式延遲器 7 4 及 7 8 相同之設計，包含多個延遲元件接成串連，其各別輸出端連接至一公共多工器。或且，為減少積體電路上之組成件，可程式延遲器 8 2 可能需簡單使用圖 7 之可程式延遲器 7 4 之延遲元件 7 4 a 之同一串連。延遲器 8 2 然後可僅使用一額外之多工器實施，此多工器與延遲器 7 4 之多工器 7 4 b 並聯（即多工器輸入端並聯於延遲元件之輸出端）。由於二延遲器 7 4 及 8 2 包含一資料輸入端接收時脈信號，故二者可使用同一延遲元件鏈，而仍提供分開之延遲信號，選擇不同之輸出端來通過其各別之多工器。

回至圖 1 0，可程式延遲器 8 2 接收來自一第三記發器計數器 8 4 之一第三延遲計數值。而且，該可程式延遲器具有其輸出端連接至正反器 8 6 之 D 輸入端。

記發器計數器 8 4 包含多個記發器進出信號，用以經由構形方塊與處理器通信。記發器計數器 8 4 與電路 7 0 之記發器 7 3 及 7 7 相同構造，可由調整輸入（普通分別為 I N C 及 D E C 線）向上計數或向下計數，此輸入在記發器計數器 8 4 之情形，係獲自一比較狀態機器 9 0，此機器控制延遲因數決定電路 8 0 之整個操作。

比較狀態機器 9 0 接收來自記憶器控制狀態機器 6 5 之一調整激發信號，以及來自正反器 8 6 之 Q 輸出。狀態機器 9 0 並輸出一對齊信號，對狀態機器 6 5 指示時脈對

## 五、發明說明(26)

齊之時，並輸出一調整信號，此用以控制記發器計數器，以適當對齊系統中之各種信號。

經由使用狀態機器90，電路80能執行二主要功能。第一，在開機期間，電路80計算積體電路之一延遲因數，此其後由處理器取用，以決定延遲計數值，俾儲存於脈閃產生電路70之記發器73及77。一第二功能（此在系統正常工作期間中定期發生）為機動對齊時脈，以應付任何溫度或電壓變動。此第一功能由記憶器控制狀態機器65發起，呈現調整激發信號，此普通在系統中無記憶器進出執行時執行。

比較狀態機器90之作用更詳細顯示於圖11。比較狀態機器90經由一比較運算法100操作，此包含一第一開機決定常式102用以計算初始延遲因數，及一第二調整常式120，此即時操作，用以反應溫度及電壓改變而調整延遲計數值。

第一，有關開機常式102，應明瞭在開機時，所有記發器73，77，及84均由硬體復置設定於零，此在電路發動時發生。常式102基本上由增加記發器84中所儲存之值來操作，俾對時脈信號之延遲版連續增加延遲元件，直至該延遲版重行對齊原時脈信號為止。為執行此功能，常式10遵循一第一環路，包含方塊104，106，及108。在方塊104中，調整信號呈現，以增加記發器84中之值（普通由呈現一INC信號）。然後，在方塊106，狀態機器等待一預定之時間，普通約

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

後

## 五、發明說明 ( 27 )

1 至 2 微秒，俾該系統穩定。然後，在方塊 1 0 8，分析正反器 8 6 之輸出，以確定其是否已自初始之“零”之狀態呈現。當此發生時，此表示時脈信號之延遲版精確延遲時脈信號之半個週期，因為 Q 輸出中之零至 1 之轉變精確發生於此點。如未到達此點，則方塊 1 0 8 循環回至方塊 1 0 4，以再度增加記發器 8 4 中之值，並從而對時脈信號之延遲版增加另一延遲元件。

然而，如偵得該轉變，則控制移至 1 1 0 方塊，以再度增加延遲，然後在方塊 1 1 2 中等待一足夠時間，使該系統可穩定。然後，在方塊 1 1 4 中決定正反器 8 6 之 Q 輸出之 1 至零轉變。此 1 至零之轉變指示時脈之延遲版與時脈信號對齊之精確時間。

圖 1 2 ( a ) 及 1 2 ( b ) 顯示正反器 8 6 之 Q 輸出之 1 至零轉變。例如，在圖 1 2 ( a ) 中，延遲時脈信號之上升邊緣在時間上稍在時脈信號之上升邊緣之前。由於正反器 8 6 之輸出門定於時脈信號之上升邊緣上，故正反器之輸出在此情形中為高位準。然後，當對延遲時脈加上另一延遲元件，俾延遲時脈之上升邊緣落後時脈信號時（如顯示於圖 1 2 ( b ) ），由於在時脈信號之上升邊緣處之延遲時脈之值低，正反器 8 6 之輸出在低位準。

回至圖 1 1，當正反器 8 6 之輸出發生 1 至零之轉變時，比較狀態機器 9 0 可簡單地進入“睡眠”模式，使延遲時脈信號對齊時脈信號所需之延遲元件值儲存於記發器計數器 8 4 中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(28)

以延遲元件值儲存於此記發器中，處理器可取用記發器 8 4 中所儲存之值，且由此資訊可決定適當之延遲計數值，以儲存於記發器 7 3 及 7 7 中。例如，如顯示於圖 1 3，實施延遲計數產生常式 1 4 0 之一軟體可在圖 3 之處理器 2 0 中執行。較宜之常式 1 4 0 基本上由先在方塊 1 4 2 中發起一讀出操作來實施，俾經由匯流排獲記發器 8 4 中所儲存之值。讀出操作普通包括經由匯流排之一標準讀出，使用與記發器 8 4 相對應之特定記憶器位址。圖 4 所示之構形方塊 5 8 故此包含適當之邏輯電路，以譯觸記發器 8 4 之特定位址，並處理讀出申請，從而轉送記發器計數器 8 4 中所儲存之值經匯流排而至處理器 2 0。用以經由匯流排處理讀出操作之記憶器進出議定為本藝內所熟知。故此構形方塊 5 8 之設計為一般性質，且為精於本藝之人士所明瞭。

一旦處理器 1 4 0 已獲得記發器 8 4 中所儲存之值，控制宜進行至方塊 1 4 4，以取出一對查閱表，此包含對應之第一及第二延遲計數時，俾分別儲存於脈閃產生電路 7 0 之記發器 7 3 及 7 7 中。查閱表中之資料可由試驗或經由模擬產生，因為產生及輸出脈閃時脈及延遲脈閃激發信號所隨帶之延遲量可由普通方式可靠塑造。查閱表之合成輸出應為用以適當對齊延遲脈閃激發信號及脈閃時脈信號所需之延遲計數值，如上述，俾由系統控制器輸出一適當之 C S A 信號。查閱表中之值當然隨特定電路及其所隨帶之傳播延遲而不同，且故此在此不作進一步討論。



## 五、發明說明 ( 29 )

由記發器 8 4 中所儲存之處理因數資訊來決定第一及第二延遲計數值亦可使用其他裝置。例如，在一些應用中，處理因數及延遲計數值之間可僅為線性關係。故此，方塊 1 4 4 可僅為一比例運算，用以計算延遲計數值。在一些應用中，處理因數資訊及延遲計數值之間可存在其他數學關係，且故此，相信可使用適當之數學公式，自此資訊產生延遲計數值。

回至圖 1 3，一旦在方塊 1 4 4 中決定延遲計數值，控制然後移至方塊 1 4 6，經由匯流排 2 5 寫入此等值於記發器 7 3 及 7 7 中。與記發器 8 4 同樣，記發器 7 3 及 7 7 宜經由獨有之記憶體位址進出，由構形方塊 5 8 協助轉移延遲計數值經匯流排 2 5 而至記發器 7 3 及 7 7。

常式 1 4 0 可作為由處理器 2 0 在開機或復置操作期間所執行之基本發起常式之一部份來實施。故此，此等常式宜在處理器 2 0 之 B I O S 中實施。或且，延遲計數值之決定及儲存於記發器 7 3 及 7 7 中可在一適當之狀態機器或系統控制器 5 0 內之其他邏輯電路中實施。

回至圖 1 1，延遲因數決定電路 8 0 執行一第二功能，即調整記發器 7 3 及 7 7 中所儲存之值，以補償在系統正常操作期間中所發生之溫度或電壓之變化。此額外之功能在常式 1 2 0 中實施，此在每當調整激發信號自記憶體控制狀態機器 6 5 中呈現時執行。在此常式中，控制先移至方塊 1 2 4，以減少記發器 8 4 中所設定之延遲值，普通由呈現一 D E C 信號僱為調整信號之一部份來執行。此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(30)

具有使記發器計數器 8 4 以及相同方式操作之記發器計數器 7 3 及 7 7 之計數值減少之作用。

其次，在方塊 1 2 6 中，插入若干等待狀態，使系統穩定，然後，在方塊 1 2 8 中偵測零至 1 之轉變。如正反器 8 6 之輸出在低位準，則控制移回至方塊 1 2 4，俾再減少延遲。然而，如偵得一零至 1 轉變，則控制移至方塊 1 3 0 - 1 3 4 之環路，以連續增加延遲，等待直至系統穩定為止，且尋找正反器 8 6 之輸出中之 1 至零轉變。一旦偵得此轉變，延遲時脈應再對齊時脈。然而，由於記發器 7 3 及 7 7 連接至與記發器 8 4 同一之調整信號上，故此等記發器中所儲存之延遲計數值應以同樣之方式更新，從而同時對齊其各別之信號。

常式 1 2 0 基本上由“回退”該延遲時脈來操作，直至其再度領前時脈信號為止，然後前進該延遲時脈，直至其稍落後時脈信號為止，其方式與在常式 1 0 2 中計算原處理因數相同。參考圖 1 2 ( a ) 及 1 2 ( b )，在方塊 1 2 4 - 1 2 8 中所產生及偵得之 1 至零轉變代表延遲元件數減少，延遲時脈信號自圖 1 2 ( b ) 所示退回至圖 1 2 ( a ) 所示之位置。反之，方塊 1 3 0 - 1 3 4 中之常式使延遲時脈信號自圖 1 2 ( a ) 所示之位置前進至圖 1 2 ( b ) 所示之位置。故此，由常式 1 2 0，延遲時脈重行對齊，並對應改正分別儲存於記發器 7 3 及 7 7 中之第一及第二延遲計數值。或且，記發器可復置，並定期重復執行常式 1 0 2 及 1 4 0，俾簡單地重行計算延遲計數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 31 )

值。

常式 1 2 0 宜由記憶器控制狀態機器 6 5 定期執行，且宜在每當系統控制器中發生記憶器轉移時執行。調整常式宜約每 1 至 2 毫秒發生一次。然而，應明瞭該常式可較常或較不常執行。定期執行此常式之記憶器控制狀態機器 6 5 之構造為普通性質，且為精於本藝之人士所熟悉。

延遲因數決定電路及在處理器 2 0 中所實施之常式 1 4 0 一起構成一延遲控制電路，此儲存及保持適當之延遲計數值於記發器 7 3 及 7 7 中，以提供由系統控制器輸出之 C A S 信號之適當對齊。應明瞭在本電路中所實施之各種功能可全部或部份分配給處理器，系統控制器，或甚至各別之控制電路，作為此處所述之較宜處理器 / 系統控制器之另一選擇。

故此，可見本發明在提供低偏移控制信號上具有獨有之優點，從而在可靠性及速度上可有重大之優點。由於該較宜之實施例在本發明之範圍內可作各種修改，故本發明在後附之申請專利範圍之範圍中。

## 六、申請專利範圍

附件二： 第85112572號專利申請案  
中文申請專利範圍修正本

民國86年7月修正

1. 一種用以反應來自處理器之進出申請來控制記憶器之裝置，該裝置及記憶器經匯流排電連接至處理器，匯流排具有與時脈信號對齊之資訊轉移於其上，此種記憶器用以接收至少一脈閃控制信號，該裝置包含：

(a) 一記憶器控制電路，用以反應一進出申請而提供控制信號至記憶器，其中，控制信號產生電路產生脈閃激發信號；及

(b) 一脈閃產生電路，經電連接而接收脈閃激發信號及時脈信號，以提供一脈閃控制信號至記憶器，脈閃產生電路包含：

(1) 一第一延遲器，用以使時脈信號延遲一第一對齊延遲值，以產生一脈閃時脈信號；

(2) 一第二延遲器，用以使脈閃激發信號延遲一第二對齊延遲值，以產生一延遲脈閃激發信號；及

(3) 一輸出裝置，電連接至記憶器，用以由延遲脈閃激發信號開關通過脈閃時脈，從而提供脈閃控制信號至記憶器；

其中，選擇第一對齊延遲值來使脈閃控制信號對齊時脈信號，及選擇第二對齊延遲值來使延遲脈閃激發信號對齊脈閃時脈。

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 六、申請專利範圍

2. 如申請專利範圍第1項所述之裝置，其中，該記憶器控制電路包含一狀態機器，且其中，該狀態機器產生額外之控制信號，此反應該進出申請而直接輸出至記憶器。

3. 如申請專利範圍第2項所述之裝置，其中，該脈閃激發信號具有時脈信號之四個週期之一持續期，因而，脈閃控制信號包含脈閃時脈之四個脈波之一叢，此等對齊在記憶器處之時脈信號。

4. 如申請專利範圍第3項所述之裝置，其中，該記憶器包含多個叢延伸資料輸出、D R A M，其中，處理器為80 x 86可相容微處理器，且其中，匯流排為系統匯流排。

5. 如申請專利範圍第4項所述之裝置，其中，該裝置實施於一系統控制器中，此另連接至一輸入／輸出匯流排，且其中，系統控制器包含一隨意控制器，用以隨意進出經由系統及輸入／輸出匯流排所接收之申請。

6. 如申請專利範圍第1項所述之裝置，其中，該第一及第二延遲器為可程式延遲器，各具有一信號輸入端，一信號輸出端，及一選擇端用以選擇可變數之延遲元件，俾插於信號輸入端及信號輸出端之間，且其中，脈閃產生電路另包含第一及第二記發器，分別連接至第一及第二延遲器之選擇輸入端，以儲存分別相當於第一及第二對齊延遲值之延遲元件數有關之第一及第二延遲計數。

7. 如申請專利範圍第6項所述之裝置，其中，每一

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

延遲器之延遲元件包含輸入端及輸出，且相互串連，第一延遲元件之輸入端電連接至延遲器之信號輸入端，且其中，每一延遲器另包含一多工器，具有多個輸入端連接至延遲元件之輸出端，及一輸出端連接至延遲器之信號輸出端，此反應選擇輸入而選擇連接至多個輸入端之一個。

8. 如申請專利範圍第6項所述之裝置，另包含一延遲控制電路，連接至第一及第二記發器，用以計算第一及第二延遲計數，延遲控制電路包含：

(a) 一延遲因數決定電路，用以決定裝置之一延遲因數，此與裝置之相對速度有關；

及

(b) 延遲計數產生裝置，用以自延遲因數計算第一及第二延遲計數。

9. 如申請專利範圍第8項所述之裝置，其中，該延遲因數決定電路包含：

(a) 一第三可程式延遲器，具有一資料輸入端經連接而接收時脈信號，一輸出端用以提供經延遲之時脈信號，及一選擇輸入端用以選擇可變數之延遲元件，俾插入於資料輸入端及輸出端之間；

(b) 一偵測器，經連接而接收時脈信號及經延遲之時脈信號，用以比較經延遲之時脈信號及時脈信號，並指示經延遲之時脈信號與時脈信號對齊之時；及

(c) 一比較電路，連接至偵測器，用以施加一第三延遲量於第三可程式延遲器之選擇輸入端，以對齊經延遲

(請先閱讀背面之注意事項再填寫本頁)

表

訂

人

## 六、申請專利範圍

之時脈信號及時脈信號；因而，當經延遲之時脈信號及時脈信號對齊時，延遲因數與第三延遲計數有關。

10. 如申請專利範圍第9項所述之裝置，另包含一第三記發器，電連接至比較電路，用以儲存第三延遲計數，且從而提供第三延遲計數至第三可程式延遲器之選擇輸入端。

11. 如申請專利範圍第10項所述之裝置，其中，該比較電路包含一開機常式，用以選擇增加第三延遲計數，直至偵測器指示時脈信號及經延遲之時脈信號對齊為止。

12. 如申請專利範圍第11項所述之裝置，其中，該偵測器包含一邊緣觸發D式正反器，具有一邊緣觸發時脈輸入端經連接而接收時脈信號，一D輸入端連接而接收經延遲之時脈信號，及一輸出端連接至比較電路，且其中，比較電路出偵測D式正反器之輸出之轉變，決定經延遲之時脈信號與時脈信號對齊之時。

13. 如申請專利範圍第10項所述之裝置，其中，該延遲計數產生裝置包含：

(a) 一查閱表，用以反應第三記發器中所儲存之第三延遲計數而提供第一及第二延遲計數；及

(b) 裝置，用以儲存第一及第二延遲計數於第一及第二記發器中。

14. 如申請專利範圍第13項所述之裝置，其中，該第一，第二，及第三記發器可由處理器經匯流排定址，

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

且其中，延遲計數產生裝置由處理器在軟體中實施。

15. 如申請專利範圍第10項所述之裝置，其中，該延遲計數產生裝置包含一比例電路，用以由第一及第二比例常數按比例伸縮第三延遲計數來計算出第一及第二延遲計數。

16. 如申請專利範圍第10項所述之裝置，其中，該延遲因數產生裝置另包含一調整常式，用以反應溫度或電壓變化而調整第一及第二延遲計數。

17. 如申請專利範圍第16項所述之裝置，其中，該第一，第二，及第三記發器為計算器記發器，此等可由比較電路所提供之調整信號選擇增加或減少計數，且其中，調整常式由選擇施加調整信號於第三記發器中來控制第三延遲計數，而定期重行對齊經延遲之時脈信號及時脈信號；由此，調整第三延遲計數同樣調整第一及第二記發器中分別儲存之第一及第二延遲計數。

18. 如申請專利範圍第17項所述之裝置，其中，該調整常式操作，先減少第三延遲計數，直至經延遲之時脈信號之上升邊緣領前時脈信號之上升邊緣為止，然後增加第三延遲計數，直至經延遲之時脈信號及時脈信號對齊為止。

19. 一種用以控制至少一電子裝置之裝置，該電子裝置電連接至由時脈信號定時控制之匯流排，該電子裝置用以接收來自該裝具之至少一控制信號，該裝具包含：

(a) 控制信號，用以產生一控制信號，此隨帶一傳

(請先閱讀背面之注意事項再填寫本頁)

訂



## 六、申請專利範圍

播延遲，此與控制信號對時脈信號偏移有關；

(b) 對齊裝置，用以使控制信號偏移一對齊延遲，以產生一偏移控制信號，其中，對齊延遲具有一值，俾傳播延遲與對齊延遲之和與時脈信號之至少一完整週期有關；及

(c) 輸出裝置，用以輸出偏移控制信號至電子裝置，從而偏移控制信號對齊時脈信號。

20. 一種用以使電子裝置所接收之控制及時脈信號對齊之方法，其中，控制信號對時脈信號偏移，此偏移由輸出控制信號所隨帶之傳播延遲所引起，該方法包括步驟：

(a) 決定一對齊延遲，此具有一值，俾當與控制信號之傳播延遲相加時，此與時脈之至少一完整週期有關；

(b) 使控制信號延遲該對齊延遲之時間，以產生一偏移控制信號；及

(c) 輸出偏移控制信號至電子裝置，俾偏移控制信號在電子裝置處對齊時脈信號。

21. 如申請專利範圍第20項所述之方法，其中，該電子裝置為記憶裝置，此經由匯流排連接至處理器，其中，該方法在一控制器中實施，控制器反應由其經匯流排所接收之進出申請，處理處理器及記憶裝置間之記憶進出操作，且其中，偏移控制信號為一脈閃控制信號，此由控制器產生。

22. 如申請專利範圍第21項所述之方法，另包含

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 六、申請專利範圍

步驟：反應來自處理器之進出申請，產生一脈閃激發信號

。

2.3 . 如申請專利範圍第 2.2 項所述之方法，其中：

( a ) 該延遲步驟包括步驟：延遲時脈信號一第一對齊延遲值，以產生一脈閃時脈信號，及延遲該脈閃激發信號一第二對齊延遲值，以產生一延遲脈閃激發信號；

( b ) 該決定步驟包括步驟：決定第一對齊延遲值，以對齊脈閃控制信號於時脈信號，及決定第二對齊延遲值，以對齊延遲脈閃激發信號於脈閃時脈；及

( c ) 該輸出步驟包括步驟：由延遲脈閃激發信號開關通過脈閃時脈，從而提供脈閃控制信號至記憶裝置。

2.4 . 如申請專利範圍第 2.3 項所述之方法，其中，該產生步驟產生一脈閃激發信號，具有時脈信號之四個週期之一持續期，從而，脈閃控制信號包含一叢四個脈閃時脈之脈波，此等脈波在記憶裝置處與時脈信號對齊。

2.5 . 如申請專利範圍第 2.4 項所述之方法，其中，該延遲步驟包括步驟：轉送時脈及脈閃激發信號通過第一及第二可程式延遲器，第一及第二可程式延遲器具有選擇輸入端可分別反應第一及第二延遲計數，第一及第二延遲計數分別與延遲元件有關，元件數分別與第一及第二對齊延遲值有關。

2.6 . 如申請專利範圍第 2.5 項所述之方法，其中，該決定步驟包括步驟：決定控制器之一延遲因數，該延遲因數與控制器之相對速度有關，並由延遲因數產生第一及

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

第二延遲計數。

27. 如申請專利範圍第26項所述之方法，其中，該延遲因數決定步驟包括步驟：

(a) 由一第三程式延遲器延遲時脈信號，以產生一延遲時脈信號，其中，插入於延遲時脈信號中之延遲量與輸入至可程式延遲器中之一第三延遲量有關；

(b) 比較延遲時脈信號及時脈信號，並指示延遲時脈信號與時脈信號對齊之時；及

(c) 選擇調整第三延遲計數，以控制第三可程式延遲器，並從而對齊延遲時脈信號及時脈信號，因而，當延遲時脈信號與時脈信號時，延遲因數與第三延遲計數有關。

28. 如申請專利範圍第27項所述之方法，其中，該調整步驟包含步驟：在控制器之開機期間中，選擇增加第三延遲計數，直至時脈信號及延遲時脈信號對齊為止。

29. 如申請專利範圍第27項所述之方法，其中，該延遲計數產生步驟包括步驟：取用由第三延遲計數指引之第一及第二延遲計數之查閱表，以提供第一及第二延遲計數。

30. 如申請專利範圍第27項所述之方法，其中，該延遲計數產生步驟包括步驟：由第一及第二比例常數按比例伸縮第三延遲計數，以計算第一及第二延遲計數。

31. 如申請專利範圍第27項所述之方法，另包括步驟：反應溫度或電壓變化，機動調整第一及第二延遲計

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 六、申請專利範圍

數。

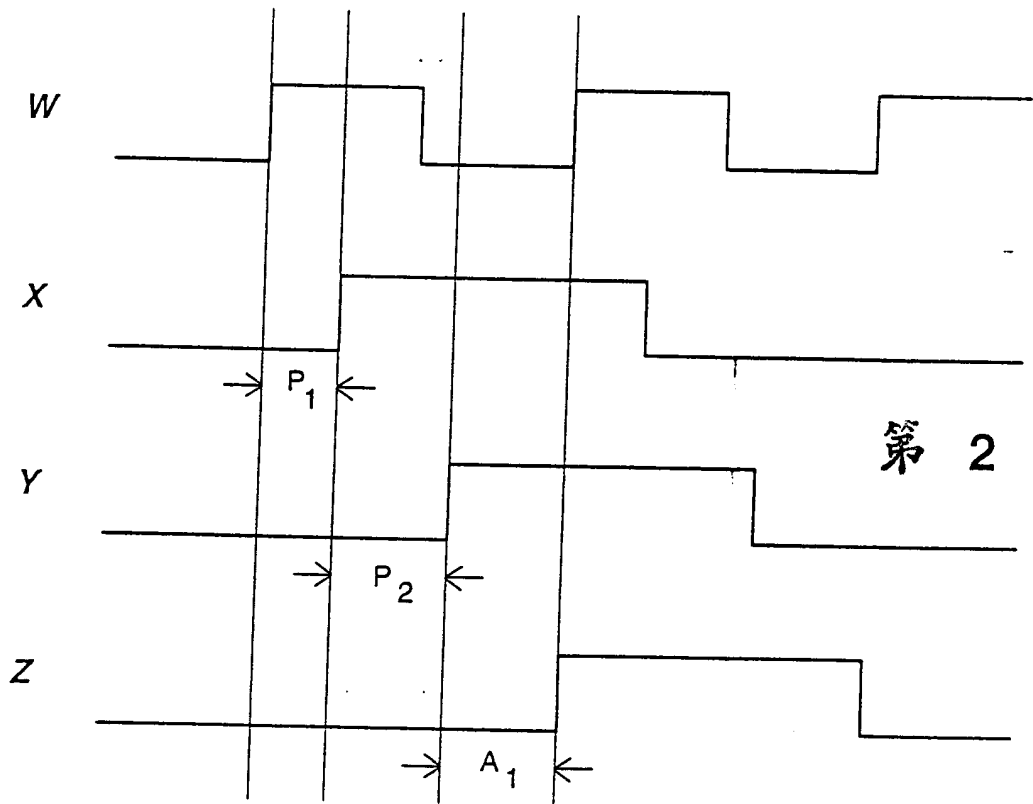
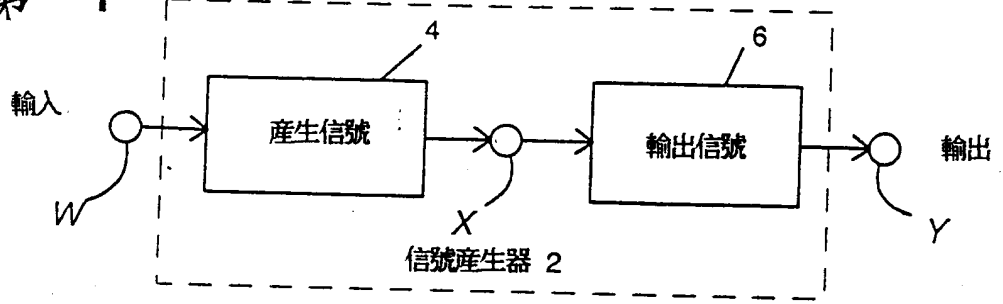
3 2 . 如申請專利範圍第 3 1 項所述之方法，其中，該第一，第二，及第三延遲計數儲存於計數器記發器中，記發器分別連接至可程式延遲器之選擇輸入端，且其中，該調整步驟包括步驟：施加一公共調整信號至各計數器記發器，以選擇增加或減少第一，第二，及第三延遲計數，直至延遲時脈信號與時脈信號對齊為止。

3 3 . 如申請專利範圍第 3 2 項所述之方法，其中，該調整步驟操作，先減少第三延遲計數，直至延遲時脈信號之上升邊緣領前時脈信號之上升邊緣為止，然後增加第三延遲計數，直至延遲時脈信號對齊時脈信號為止。

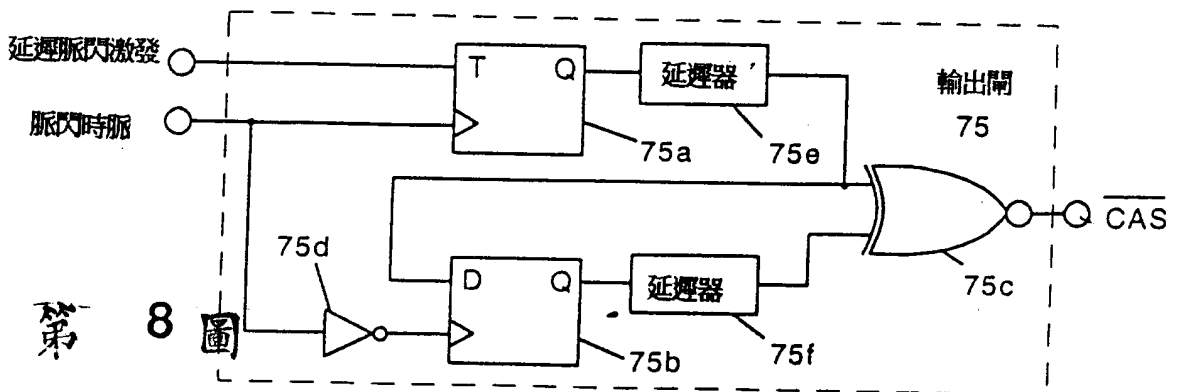
(請先閱讀背面之注意事項再填寫本頁)

訂

第 1 圖



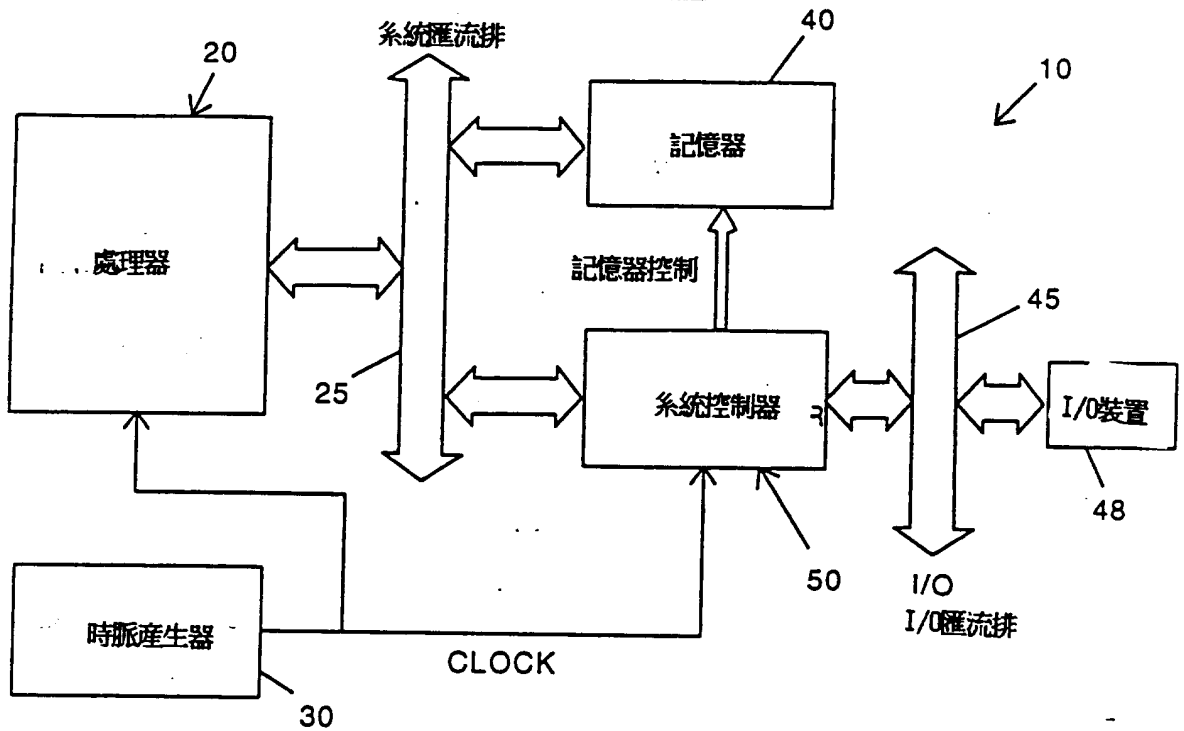
第 2 圖



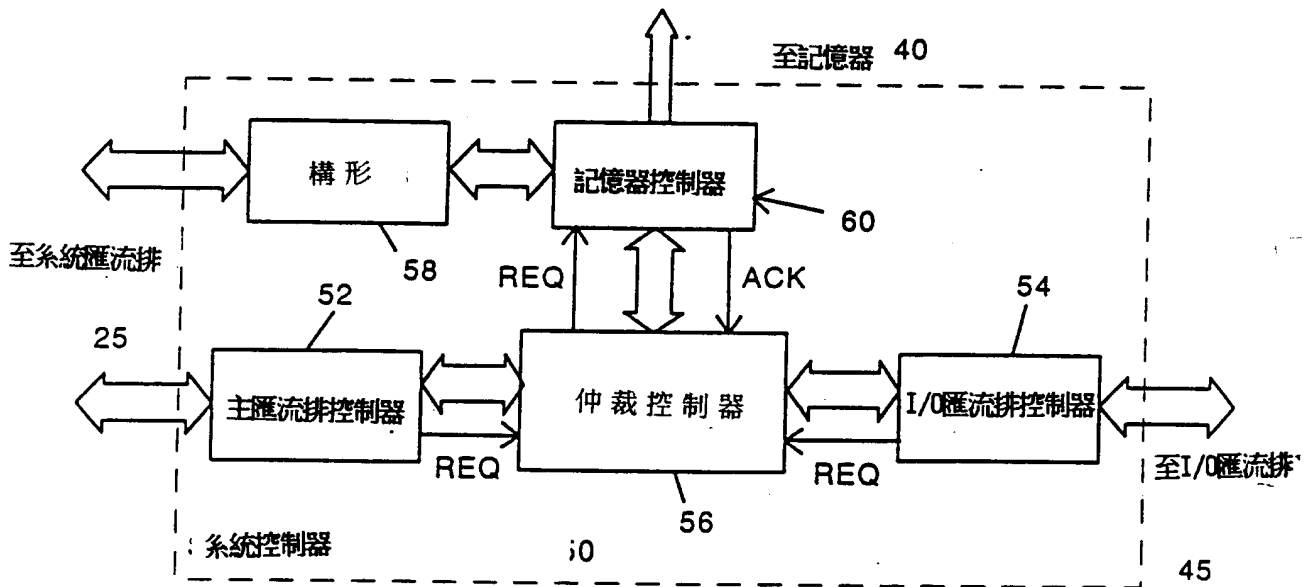
第 8 圖

86年7月3日 修正  
補充

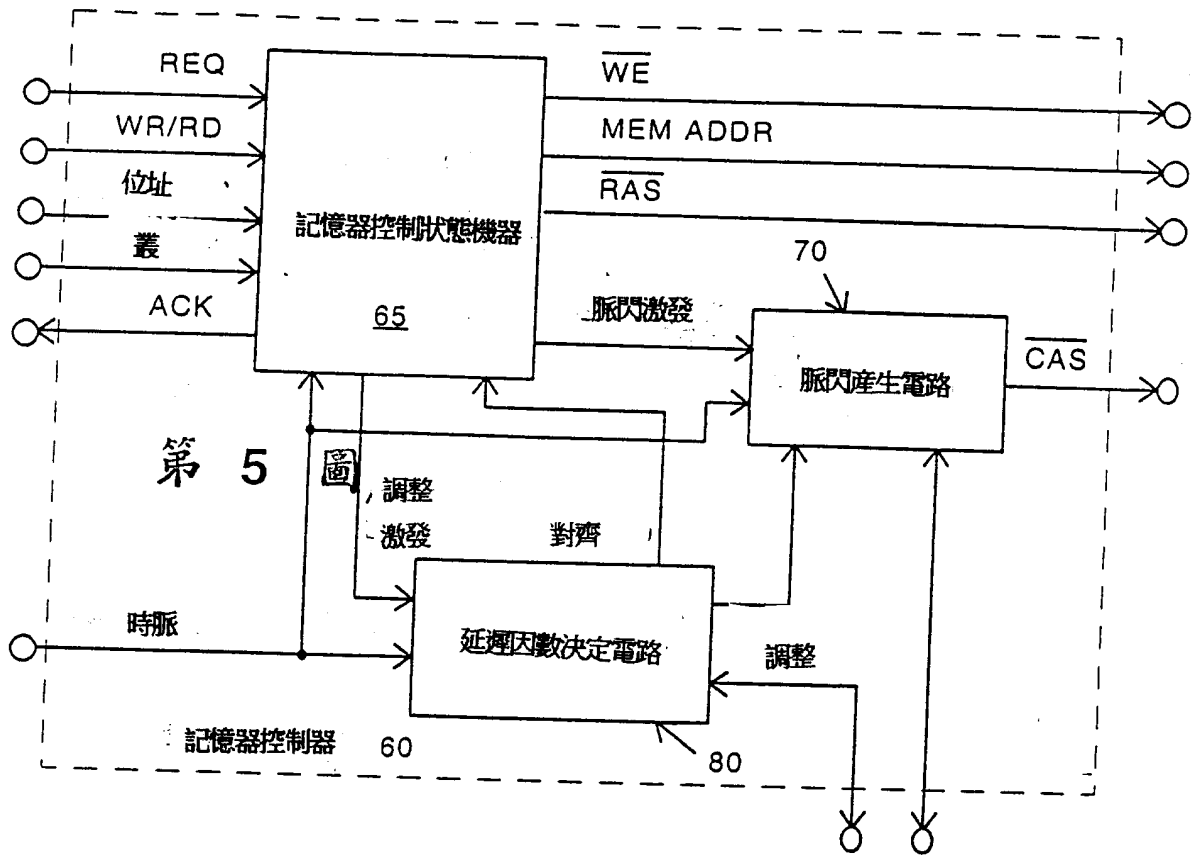
煩請委員明示本案是否變更實質內容



第 3 圖

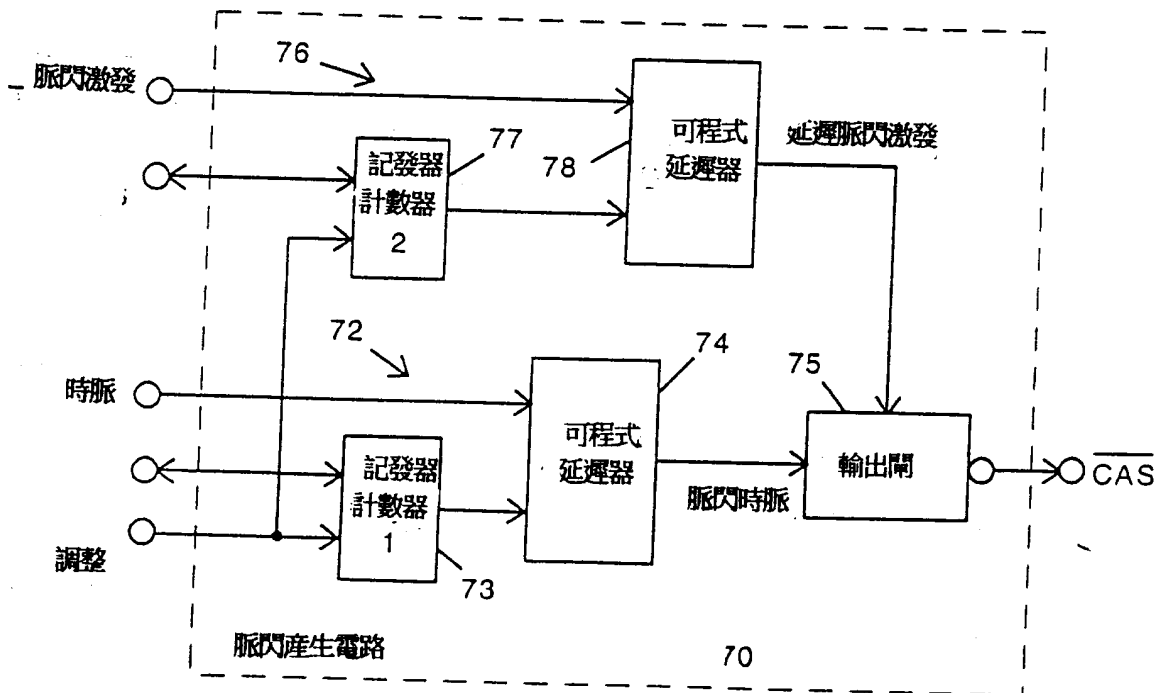


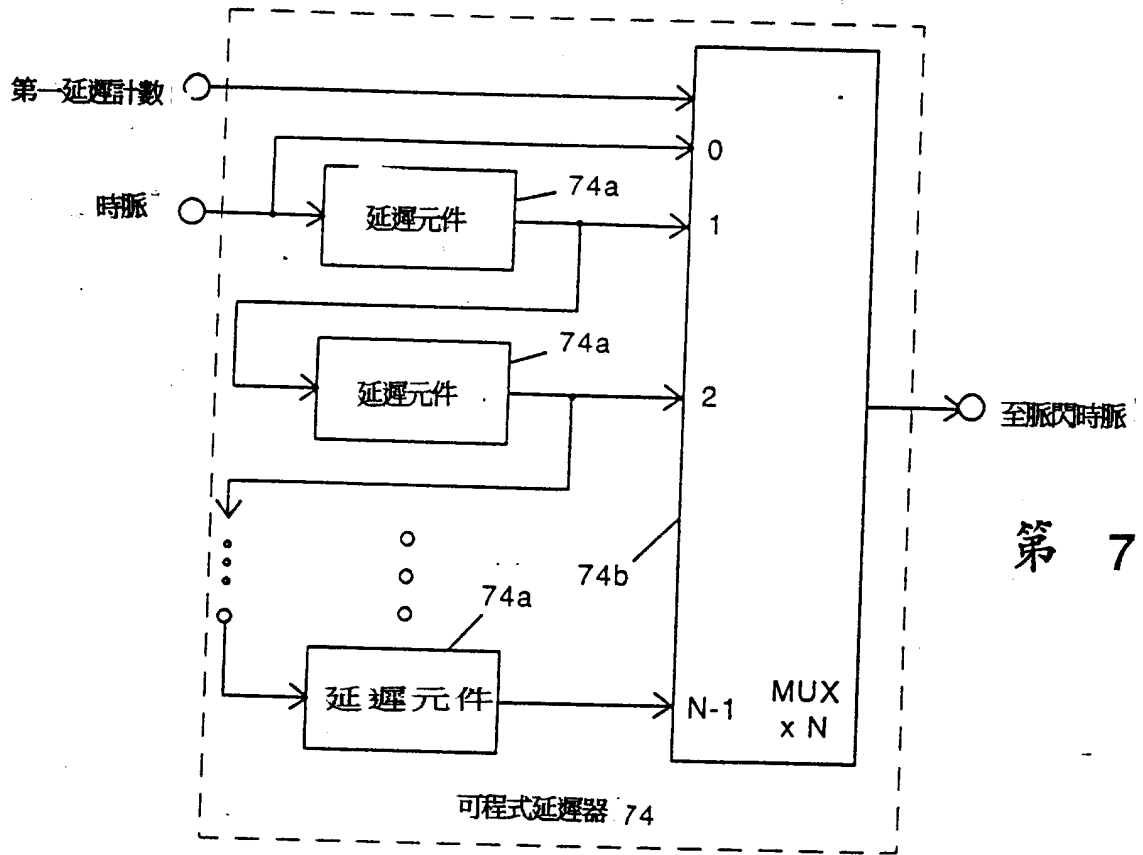
第 4 圖



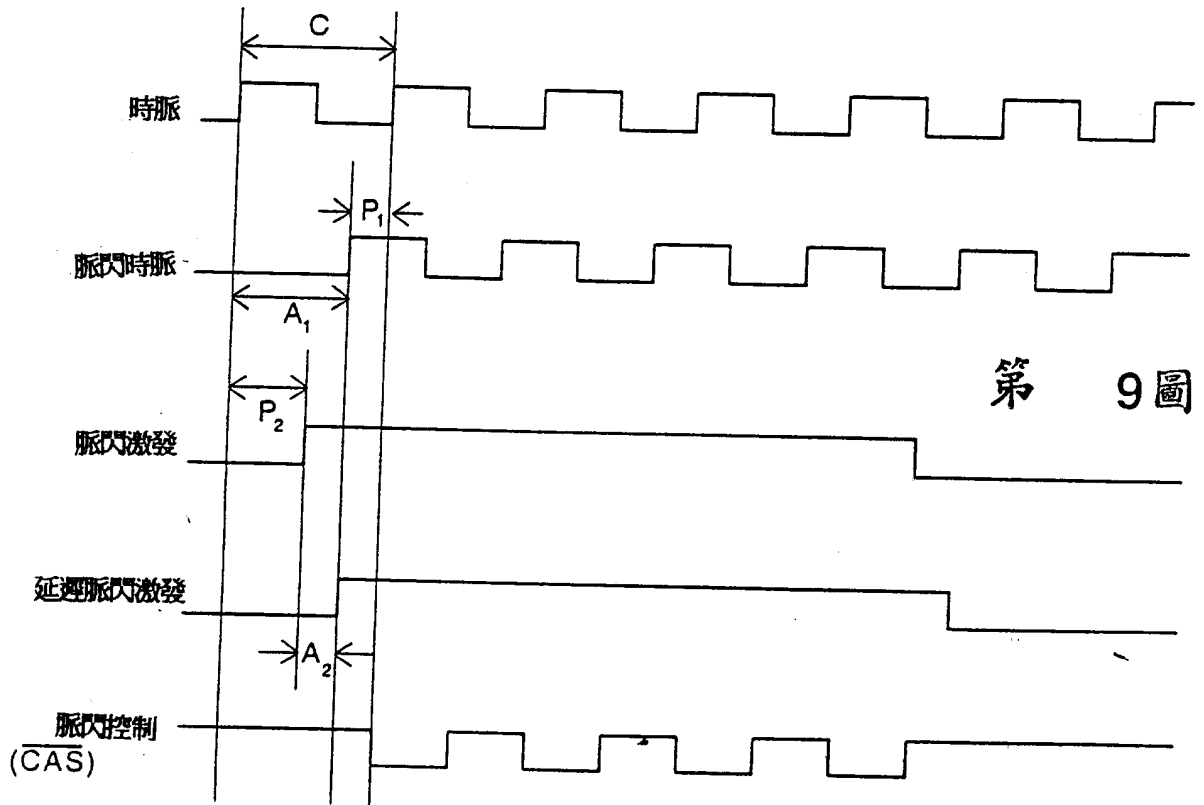
至構形方塊58

第 6 圖



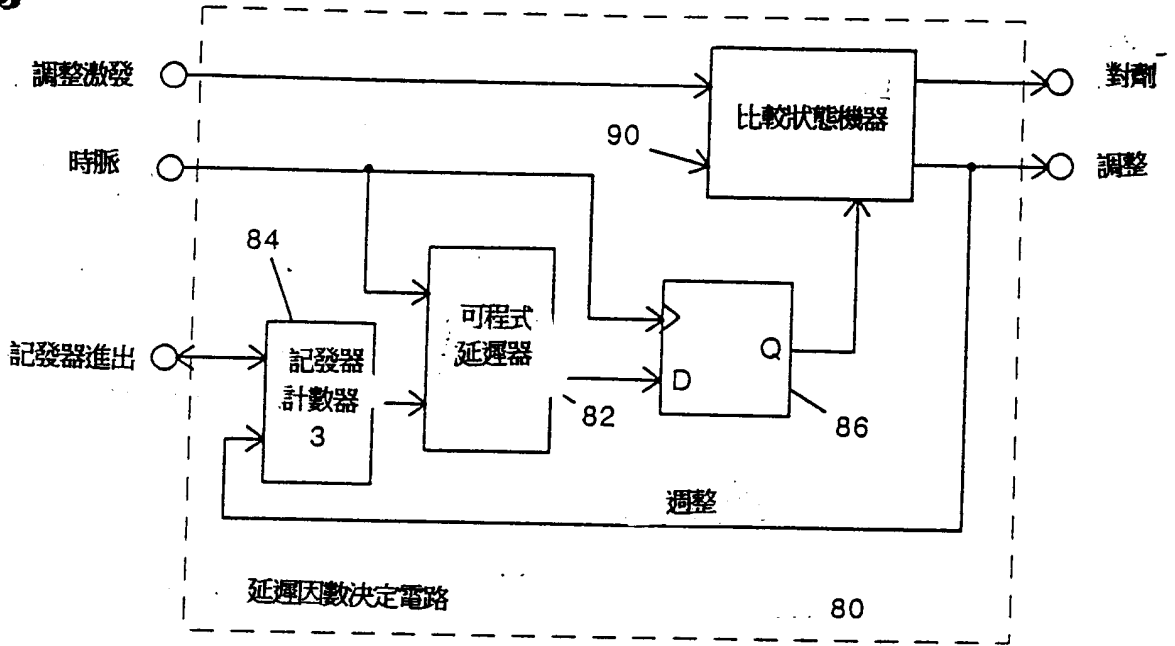


第 7 圖

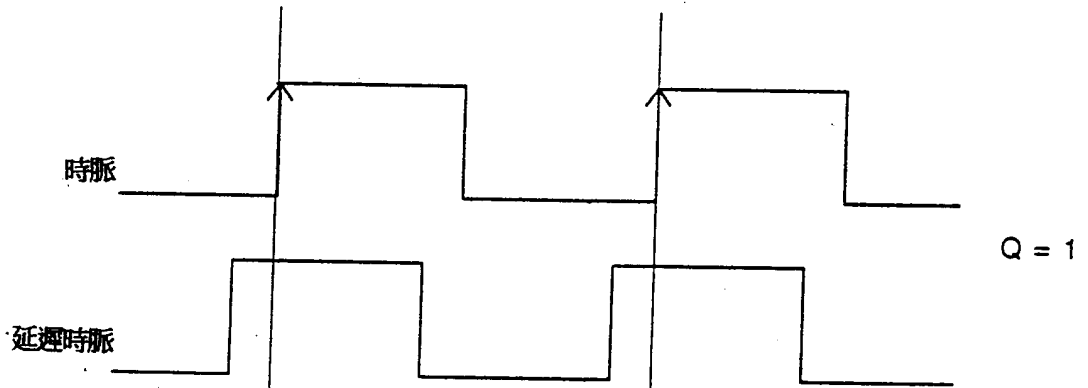


第 9 圖

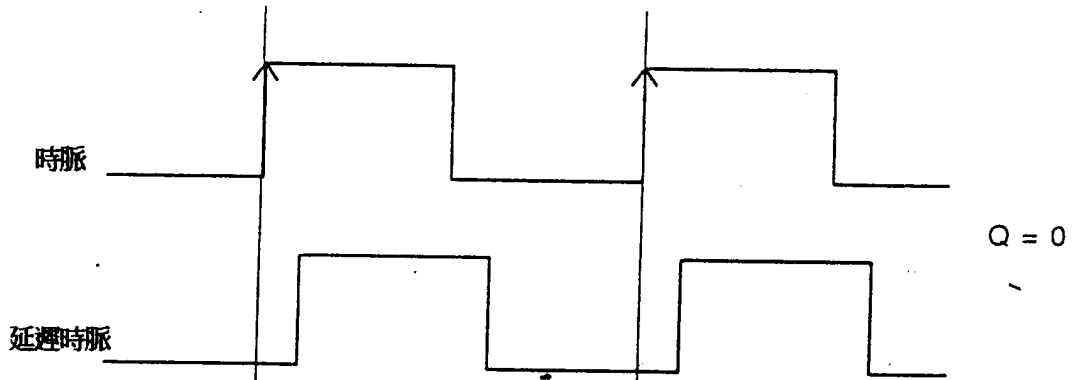




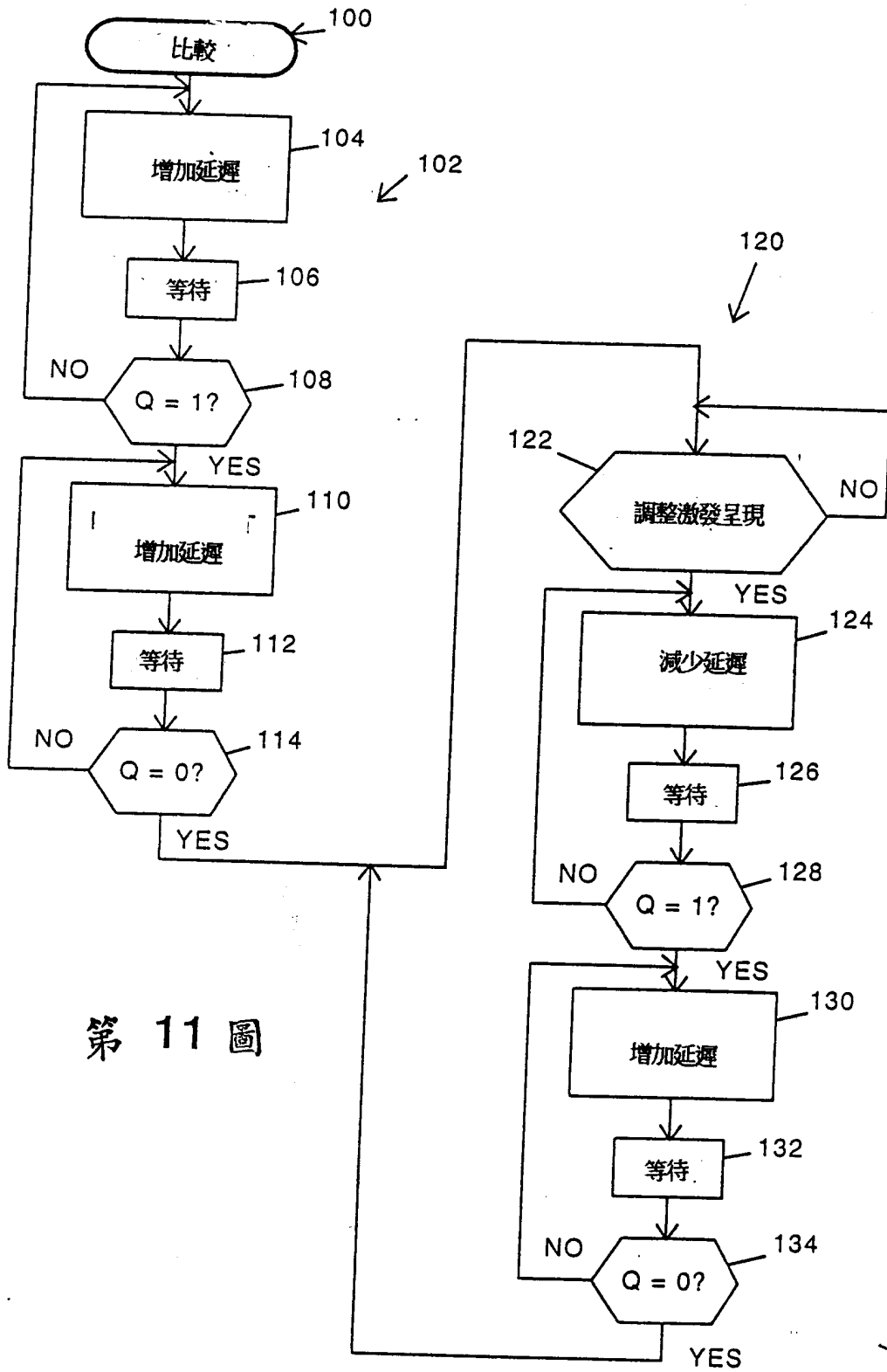
第 10 圖



第12(a)圖

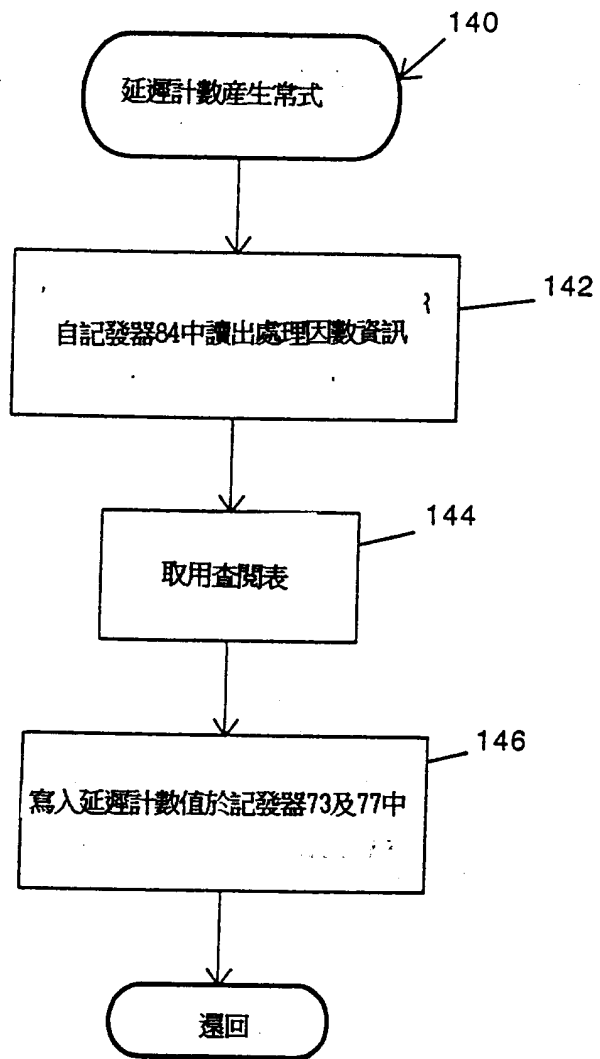


第 2(b) 圖



第 11 圖

318223



第 13 圖