



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월02일
(11) 등록번호 10-2296713
(24) 등록일자 2021년08월26일

(51) 국제특허분류(Int. Cl.)
G01N 21/64 (2006.01) C12Q 1/68 (2018.01)
(52) CPC특허분류
G01N 21/6486 (2013.01)
C12Q 1/6869 (2018.05)
(21) 출원번호 10-2016-7016349
(22) 출원일자(국제) 2014년11월17일
심사청구일자 2019년11월15일
(85) 번역문제출일자 2016년06월17일
(65) 공개번호 10-2016-0108316
(43) 공개일자 2016년09월19일
(86) 국제출원번호 PCT/US2014/066014
(87) 국제공개번호 WO 2015/074005
국제공개일자 2015년05월21일
(30) 우선권주장
61/905,282 2013년11월17일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US20120014837 A1*
US20120021525 A1
US08471230 A
WO2011153962 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
퀀텀-에스아이 인코포레이티드
미국 06437 코네티컷주 길포드 올드 화이트필드 스트리트 530
(72) 발명자
로스버그, 조나단, 엠.
미국 06437 코네티컷주 길포드 언카스 포인트 로드 215
카비리, 알리
미국 06443 코네티컷주 매디슨 그린 힐 로드 58
(뒷면에 계속)
(74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 23 항

심사관 : 박준영

(54) 발명의 명칭 **생물학 및 화학 시편들의 빠른 분석을 위한 액티브-소스-픽셀, 통합 디바이스**

(57) 요약

단일 분자 핵산 서열 분석과 같은, 생체 분자 검출 및/또는 분석을 수행할 수 있는 액티브-소스-픽셀, 통합 디바이스가 설명된다. 이 통합 디바이스의 액티브 픽셀은 분석될 샘플이 확산될 수 있는 샘플 우물, 이 샘플 우물에 여기 에너지를 제공하기 위한 여기 소스, 및 샘플로부터의 방출을 검출하도록 구성된 센서를 포함한다. 센서는 샘플에 부착되거나, 또는 샘플과 관련되는 태그들을 구별하고 식별하기 위해 분석되는 신호들의 세트를 생성하는 둘 이상의 세그먼트를 포함할 수 있다. 태그 구별은 스펙트럼 및/또는 시간 기반일 수 있다. 태그들의 식별은 생체 분자를 검출, 분석, 및/또는 그의 서열 분석에 이용될 수 있다.

(52) CPC특허분류

C12Q 1/6874 (2018.05)
G01N 21/6452 (2013.01)
C12Q 2565/628 (2013.01)
G01N 2021/6419 (2013.01)
G01N 2021/6441 (2013.01)
G01N 2021/6478 (2013.01)
G01N 2201/125 (2013.01)

(30) 우선권주장

61/917,926 2013년12월18일 미국(US)
61/941,916 2014년02월19일 미국(US)

(72) 발명자

식클러, 제이슨, 더블유.

미국 06443 코네티컷주 매디슨 하이 필드 레인 10

기야르파스, 브렛, 제이.

미국 06437 코네티컷주 길포드 너트 플레인즈 로드
164

랙키, 제레미

미국 06437 코네티컷주 길포드 노튼타운 로드 636

슈미드, 제라드

미국 06437 코네티컷주 길포드 와일드로즈 애비뉴
140

명세서

청구범위

청구항 1

복수의 샘플을 병행하여 분석하기 위한 통합 디바이스로서,

기관 상에 배열된 복수의 픽셀 - 상기 복수의 픽셀 중 개개의 픽셀은:

생물학 샘플을 유지하도록 구성된 여기 영역을 가진 샘플 우물;

상기 샘플 우물에 인접하거나 또는 상기 샘플 우물 내에 위치하고 상기 여기 영역으로의 적어도 여기 에너지의 결합에 영향을 미치도록 구성된 여기-결합 구조물; 및

상기 샘플 우물로부터 N개보다 많은 스펙트럼으로 별개의 방출 대역 사이에서 구별하도록 구성되는 N개의 광검출기 세그먼트를 갖는 센서 - N은 1 이상 10 이하의 정수임 -; 및

상기 광검출기 세그먼트들로부터의 신호를 수신하기 위해 상기 기관 상에 배열된 회로를 포함하는 통합 디바이스.

청구항 2

제1항에 있어서,

상기 샘플 우물에 상기 여기 에너지를 제공하도록 배열되는 상기 기관 상의 적어도 하나의 여기 소스를 더 포함하는 통합 디바이스.

청구항 3

제1항에 있어서,

상기 여기-결합 구조물은 상기 여기-결합 구조물에서 여기된 플라즈몬들(plasmons)을 통해 상기 여기 영역으로의 상기 여기 에너지의 결합을 개선하는 3차원의 마이크로-스케일 또는 나노-스케일 플라즈몬 구조물을 포함하는 통합 디바이스.

청구항 4

제1항에 있어서,

상기 여기-결합 구조물은 상기 여기 영역 내의 여기 에너지의 강도를 증가시키는 마이크로-광학 또는 나노-광학 구조물을 포함하는 통합 디바이스.

청구항 5

제1항에 있어서,

상기 픽셀은 상기 샘플 우물로부터의 방출된 방사(radiation)들을 상기 방출된 방사들의 파장들에 의존하는 복수의 상이한 공간 분포로 유도하고 상기 복수의 상이한 방향 각각에서 상기 방출된 방사들을 집중(condense)시키도록 구성되는 상기 샘플 우물에 인접하여 위치하는 방출-결합 컴포넌트를 더 포함하는 통합 디바이스.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 통합 디바이스와 샘플 우물은 유체 현탁액(fluid suspension)에 샘플들을 수용하도록 배열되는 통합 디바이스.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 샘플 우물은 여기 에너지가 수신되는 입구 개구를 포함하고,
상기 입구 개구의 직경은 30나노미터와 250나노미터 사이인 통합 디바이스.

청구항 8

제1항 내지 제5항 중 어느 한 항에 있어서,
상기 샘플 우물 내에 배열된 억제제(inhibiter)를 더 포함하고, 상기 억제제는 상기 샘플 우물의 적어도 하나의 표면에의 샘플의 부착을 억제하도록 구성되는 통합 디바이스.

청구항 9

제1항 내지 제5항 중 어느 한 항에 있어서,
상기 샘플 우물의 적어도 일부는 반도체 접합에 인접하여 위치하는 통합 디바이스.

청구항 10

제1항 내지 제5항 중 어느 한 항에 있어서,
상기 여기-결합 구조물은 상기 여기 에너지의 특성 주파수에 대한 공진 구조물을 포함하고, 상기 샘플 우물은 상기 공진 구조물의 결합 영역에 대응하는 위치에 위치하는 통합 디바이스.

청구항 11

제3항에 있어서,
상기 플라즈몬 구조물은 디바이스의 적어도 하나의 전극에 형성되고, 상기 적어도 하나의 전극은 상기 샘플 우물에 인접하여 위치하는 통합 디바이스.

청구항 12

제1항 내지 제5항 및 제11항 중 어느 한 항에 있어서,
상기 여기-결합 구조물은 상기 샘플 우물에 인접한 얇은 손실막(thin lossy film)을 포함하는 통합 디바이스.

청구항 13

제5항에 있어서,
상기 방출-결합 컴포넌트는 상기 샘플 우물의 광학적 근거리장(optical near field)에 형성된 플라즈몬 구조물을 포함하고,
선택적으로, 상기 플라즈몬 구조물은 상기 샘플 우물이 형성되는 동일한 층에 적어도 일부가 형성되는 통합 디바이스.

청구항 14

제1항 내지 제5항, 제11항 및 제13항 중 어느 한 항에 있어서,
상기 센서는 적어도 2개의 공간적으로 분리된 검출기를 포함하고,
선택적으로, 상기 센서는 중심 광 검출기 및 상기 중심 광 검출기를 둘러싸고 상기 중심 광 검출기로부터 이격된 적어도 하나의 링 형상의 광 검출기를 가진 볼스아이 광검출기(bullseye photodetector)를 포함하는 통합 디바이스.

청구항 15

제2항에 있어서,
상기 적어도 하나의 여기 소스는, 각각이 적어도 하나의 샘플 우물에 여기 에너지를 제공하도록 배열된 복수의 OLED, PhOLED, QLED, LED, 레이저 다이오드, 또는 VCSEL을 포함하는 통합 디바이스.

청구항 16

복수의 샘플을 병행하여 분석하는 방법으로서,

기판의 표면에서, 샘플들을 포함하는 시편을 수용하는 단계;

상기 기판 상의 복수의 픽셀에 위치하는 복수의 샘플 우물에, 유체 현탁액으로부터의 샘플들을 유지하는 단계;

적어도 하나의 여기 소스로부터 상기 샘플 우물들 중 하나 이상에 여기 에너지를 제공하는 단계;

적어도 상기 복수의 픽셀 중 하나에 대해:

샘플 우물로부터의 방출을 수신하도록 배열되는 센서에서 상기 샘플 우물로부터의 방출을 검출하는 단계 - 상기 센서는 상기 샘플 우물로부터 N개보다 많은 스펙트럼으로 별개의 방출 대역 사이에서 구별하도록 구성되는 N개의 광검출기 세그먼트를 갖고, N은 1 이상 10 이하의 정수임 - ;

상기 검출된 방출을 나타내는 상기 센서로부터의 신호 세트를 수신하는 단계; 및

상기 신호 세트의 분석에 기초하여 상기 샘플 우물에 유지된 샘플의 속성을 식별하는 단계를 포함하는 방법.

청구항 17

제16항에 있어서,

상기 신호 세트는 상기 방출로부터 상기 센서에 의해 생성되고 상기 방출의 공간 및/또는 시간 분포를 나타내는 2개의 비-제로 신호를 포함하는 방법.

청구항 18

제16항 또는 제17항에 있어서,

상기 센서는 다중-세그먼트 센서를 포함하는 방법.

청구항 19

제16항 또는 제17항에 있어서,

상기 신호 세트를 분석하는 단계를 더 포함하는 방법.

청구항 20

제16항 또는 제17항에 있어서,

상기 분석하는 단계는:

상기 신호 세트 내의 신호들의 비율을 평가하는 단계; 및

상기 평가된 비율에 기초하여 상기 방출을 생성한 방사체(emitter)의 유형을 식별하는 단계를 포함하는 방법.

청구항 21

제16항 또는 제17항에 있어서,

상기 적어도 하나의 여기 소스는 각 픽셀 내에 형성되고 상기 하나 이상의 샘플 우물에 정렬된 적어도 하나의 나노-스케일 여기 소스를 포함하는 방법.

청구항 22

제21항에 있어서,

상기 나노-스케일 여기 소스는 발광 다이오드, 수직 레이저 다이오드, 또는 수직 공동 표면 발광 레이저를 포함하는 방법.

청구항 23

제21항에 있어서,

적어도 하나의 샘플 우물 및 상기 적어도 하나의 샘플 우물에 정렬된 나노-스케일 여기 소스의 가로 치수들은 200nm 미만인 방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

청구항 119

삭제

청구항 120

삭제

청구항 121

삭제

청구항 122

삭제

청구항 123

삭제

청구항 124

삭제

청구항 125

삭제

청구항 126

삭제

청구항 127

삭제

청구항 128

삭제

청구항 129

삭제

청구항 130

삭제

청구항 131

삭제

청구항 132

삭제

청구항 133

삭제

청구항 134

삭제

청구항 135

삭제

청구항 136

삭제

청구항 137

삭제

청구항 138

삭제

청구항 139

삭제

청구항 140

삭제

청구항 141

삭제

청구항 142

삭제

청구항 143

삭제

청구항 144

삭제

청구항 145

삭제

청구항 146

삭제

청구항 147

삭제

청구항 148

삭제

청구항 149

삭제

청구항 150

삭제

청구항 151

삭제

청구항 152

삭제

청구항 153

삭제

청구항 154

삭제

청구항 155

삭제

청구항 156

삭제

청구항 157

삭제

청구항 158

삭제

청구항 159

삭제

청구항 160

삭제

청구항 161

삭제

청구항 162

삭제

청구항 163

삭제

청구항 164

삭제

청구항 165

삭제

청구항 166

삭제

청구항 167

삭제

청구항 168

삭제

청구항 169

삭제

청구항 170

삭제

청구항 171

삭제

청구항 172

삭제

청구항 173

삭제

청구항 174

삭제

청구항 175

삭제

청구항 176

삭제

청구항 177

삭제

청구항 178

삭제

청구항 179

삭제

청구항 180

삭제

청구항 181

삭제

청구항 182

삭제

청구항 183

삭제

청구항 184

삭제

청구항 185

삭제

청구항 186

삭제

청구항 187

삭제

청구항 188

삭제

청구항 189

삭제

청구항 190

삭제

청구항 191

삭제

청구항 192

삭제

청구항 193

삭제

청구항 194

삭제

청구항 195

삭제

청구항 196

삭제

청구항 197

삭제

청구항 198

삭제

청구항 199

삭제

청구항 200

삭제

청구항 201

삭제

청구항 202

삭제

청구항 203

삭제

청구항 204

삭제

청구항 205

삭제

청구항 206

삭제

청구항 207

삭제

청구항 208

삭제

청구항 209

삭제

청구항 210

삭제

청구항 211

삭제

청구항 212

삭제

청구항 213

삭제

청구항 214

- 삭제
- 청구항 215
- 삭제
- 청구항 216
- 삭제
- 청구항 217
- 삭제
- 청구항 218
- 삭제
- 청구항 219
- 삭제
- 청구항 220
- 삭제
- 청구항 221
- 삭제
- 청구항 222
- 삭제

발명의 설명

기술 분야

- [0001] 관련 출원들
- [0002] 이 출원은 "Integrated Device for Probing, Detecting and Analyzing Molecules"라는 명칭으로 2013년 11월 17일에 출원된 미국 가출원 번호 61/905282의 우선권을 주장한다. 이 출원은 "Integrated Device for Probing, Detecting and Analyzing Molecules"라는 명칭으로 2013년 12월 18일에 출원된 미국 가출원 번호 61/917926의 우선권도 주장한다. 이 출원은 "Integrated Device for Probing, Detecting and Analyzing Molecules"라는 명칭으로 2014년 2월 19일에 출원된 미국 가출원 번호 61/941916의 우선권도 주장한다. 상기 출원들의 전체 개시 내용들은 본 명세서에 참고로 포함된다.
- [0003] 분야
- [0004] 본 출원은 생물학 및 화학 시편들의 분석 및 생물학 및 화학 샘플들을 수반하는 반응을 위한 디바이스들 및 방법들에 관한 것이다.

배경 기술

- [0005] 생물학 및 화학 시편들의 분석은 종래에는 크고 값비싼 실험실 장비를 이용하여 수행될 수 있고 그 장비를 조작하고 결과들을 해석하도록 훈련받은 숙련된 과학자들을 필요로 한다. 의료 목적으로, 시편 내에 하나 이상의 분석물, 예를 들어, 병원균 또는 바이러스, 특정 화학 물질, 및 항원 또는 항체의 존재를 결정하기 위해 시편들을 분석할 수 있다. 일부 경우에, 특정 파장의 광을 방출하는 형광성 태그를 샘플에 부착하여 생물학적 검정(bioassays)을 수행한다. 여기 광원으로 태그를 조명하여 형광 발광을 일으킬 수 있다. 형광 발광은 광검출기로 검출되고, 신호를 분석하여 샘플에 관한 속성을 결정한다. 종래에 형광성 태그를 이용한 생물학적 검정은 샘플들을 조명하도록 배열된 값비싼 레이저 광원들과 옵틱스(optics)를 수반한다. 그 검정은 또한 샘플들로부터

터의 형광 발광을 수집하도록 배열된 부피가 크고 값비싼 수집 옵티스뿐만 아니라 신호들을 처리하기 위한 값비싼 전자 기기 장치도 수반할 수 있다.

[0006] 종래의 분석 장비는 전형적으로 값비싸고 숙련된 조작자를 필요로 하기 때문에, 분석될 시편들은 처리를 위해 현장의 또는 현장 밖의 설비에 보내질 필요가 있을 수 있다. 이것은 시편의 일상적인 분석과 관련해서조차 상당한 지연과 비용을 도입할 수 있다. 예를 들어, 환자는 그 환자에 의해 제공된 시편에 대한 실험실 검사의 결과에 관해 알기 위해 수일을 기다리고 의사의 사무실에 재방문하는 일정을 잡아야 할 수 있다.

발명의 내용

[0007] 본 명세서에 설명된 기술은 모바일 컴퓨팅 기기와 인터페이스될 수 있는 액티브-소스-픽셀, 통합 디바이스를 이용하여 빠르게 시편들을 분석하는 장치 및 방법들에 관한 것이다. 이 통합 디바이스는 소량의 시편을 수용하고, 상기 시편 내의 샘플들의 다수의 분석을 병행하여 실행하도록 구성되는 일회용 또는 재활용 가능한 랩온칩(lab-on-chip) 또는 패키징된 모듈의 형태로 이루어질 수 있다. 상기 통합 디바이스는 일부 실시예들에서는 특정 화학 또는 생물학 분석물들의 존재를 검출하고, 일부 실시예들에서는 화학 또는 생물학 반응들을 평가하고, 일부 실시예들에서는 유전 서열들(genetic sequences)을 결정하는 데 이용될 수 있다. 일부 구현들에 따르면, 상기 통합 디바이스는 단일 분자 유전자 서열 분석(single-molecule gene sequencing)을 위해 이용될 수 있다.

[0008] 일부 구현들에 따르면, 사용자는 상기 통합 디바이스 상에 챔버 안에 시편을 놓고, 상기 통합 디바이스를 수신 기기에 삽입한다. 상기 수신 기기는, 단독으로 또는 컴퓨터와 통신하여, 자동으로 상기 통합 디바이스와 인터페이스하고, 상기 통합 디바이스로부터 데이터를 수신하고, 수신된 데이터를 처리하고, 분석의 결과들을 사용자에게 제공한다. 알 수 있는 바와 같이, 칩, 수신 기기, 및/또는 컴퓨터상의 통합 및 계산 지능은 사용자에게 요구되는 기술 수준을 감소시킨다.

[0009] 실시예들은 핵산 분자들의 서열을 분석하기 위한 방법들을 포함한다. 일부 실시예들에 따르면, 핵산 분자의 서열을 분석하는 제1 방법은 기관 상의 제1 픽셀에 형성된 샘플 우물(sample well)에 여기 에너지를 제공하는 단계, 및 상기 제1 픽셀에 형성된 센서에서, 상기 샘플 우물로부터의 제1 방출(emission)을 수신하는 단계를 포함하고, 상기 제1 방출은 상이한 유형들의 핵산 서브유닛들 중에서 한 유형의 핵산 서브유닛과 관련된다. 상기 방법은, 상기 센서에 의해, 상기 수신된 제1 방출을 나타내는 제1 신호 및 제2 신호를 생성하는 단계, 상기 제1 신호 및 상기 제2 신호를 분석하는 단계, 및 상기 제1 신호 및 상기 제2 신호의 상기 분석에 기초하여 상기 핵산 서브유닛의 유형을 식별하는 단계를 더 포함한다.

[0010] 상기 제1 방법의 일부 양태들에서, 상기 여기 에너지를 제공하는 단계는 상기 제1 픽셀에 형성된 여기 소스(excitation source)를 활성화하는 단계를 포함할 수 있다. 일부 구현들에서, 상기 여기 소스는 유기 발광 다이오드를 포함할 수 있다. 일부 구현들에서, 상기 여기 소스는 상기 샘플 우물에 자기 정렬되는(self-aligned) 마이크로-스케일 또는 나노-스케일 여기 소스를 포함할 수 있다. 일부 양태들에서, 나노-스케일 여기 소스는 발광 다이오드, 레이저 다이오드, 또는 수직 공동 표면 발광 레이저(vertical-cavity surface-emitting laser)를 포함할 수 있다. 상기 발광 다이오드, 레이저 다이오드, 또는 수직 공동 표면 발광 레이저는 에피택셜 성장에 의해 형성되고 상기 샘플 우물에 정렬되는 마이크로-스케일 또는 나노-스케일의, 수직 성장 레이저 다이오드일 수 있다. 상기 여기 소스의 가로 치수는 일부 구현들에서는 500nm 미만이고, 일부 구현들에서는 200nm 미만일 수 있다. 일부 양태들에서, 상기 나노-스케일 여기 소스는 반도체 다이오드를 포함한다. 일부 구현들에서, 상기 여기 소스, 샘플 우물, 및 센서는 상기 기관 상에 형성된 복수의 픽셀 중 제1 픽셀 안에 위치하고, 상기 복수의 픽셀 각각은 각각의 여기 소스, 샘플 우물, 및 센서를 포함한다.

[0011] 상기 제1 방법의 일부 구현들에 따르면, 상기 샘플 우물은 제로 모드 도파관(zero mode waveguide) 또는 서브-컷오프 나노 개구(sub-cutoff nanoaperture)를 포함한다. 일부 양태들에서, 상기 제1 방출은 상기 제1 신호와 상기 제2 신호 양자 모두의 비-제로 신호 레벨을 결정한다. 일부 구현들에서, 상기 센서는 적어도 2개의 공간적으로 분리된 광검출기 세그먼트를 포함하고, 상기 제1 신호와 상기 제2 신호는 상기 제1 방출의 제1 스펙트럼 대역에 대한 공간 분포 패턴을 대표한다.

[0012] 일부 양태들에 따르면, 상기 제1 방법은 상기 제1 신호를 제1 시간에 그리고 상기 제2 신호를 제2 시간에 획득하는 단계를 더 포함할 수 있다. 상기 제1 신호와 제2 신호는 상기 제1 방출에 대한 상기 센서에서의 동일한 전하 축적 기간(charge-accumulation period) 동안에 획득될 수 있다. 이 전하 축적 기간 동안에 그리고 상기 제1 신호와 제2 신호의 획득 단계 사이에, 상기 센서의 전하 축적 노드 또는 노드들에서의 전압 또는 전압들이

리셋되지 않을 수 있다. 일부 구현들에서, 상기 분석 단계는 상기 제1 신호와 상기 제2 신호에 대한 신호 레벨들의 비율을 평가하는 단계를 포함한다.

- [0013] 상기 제1 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 핵산 분자의 서열을 분석하는 방법의 하나 이상의 실시예들에서 임의의 적합한 조합으로 포함될 수 있다.
- [0014] 일부 실시예들에 따르면, 표적 핵산 분자의 서열을 분석하기 위한 제2 방법은 (i) 상기 표적 핵산 분자, 중합 효소 및 복수의 유형의 뉴클레오티드들 또는 뉴클레오티드 유사체들을 포함하는 샘플 우물, 및 (ii) 상기 샘플 우물로 여기 에너지를 유도하는 적어도 하나의 여기 소스를 포함하는 통합 디바이스를 제공하는 단계, 및 상기 뉴클레오티드들 또는 뉴클레오티드 유사체들을 상기 표적 핵산 분자와 상보적인 성장 가닥(growing strand)에 순차적으로 통합하기 위해 상기 중합 효소의 존재 하에서 상기 표적 핵산 분자의 프라이밍 위치(priming location)에서 연장 반응(extension reaction)을 수행하는 단계를 포함할 수 있고, 상기 여기 소스로부터의 여기 에너지의 통합 및 여기 시에, 상기 뉴클레오티드들 또는 뉴클레오티드 유사체들은 상기 샘플 우물로부터의 방출들을 생성한다. 상기 제2 방법은 상기 샘플 우물로부터의 상기 방출들을 수신하도록 구성되는 센서에서 상기 방출들을 검출하는 단계, 각각의 검출된 방출에 대해 상기 센서로부터 신호 세트들을 수신하는 단계 - 상기 신호 세트들은 상기 검출된 방출들의 공간 및/또는 시간 분포들을 나타내고 뉴클레오티드들 또는 뉴클레오티드 유사체들의 유형들을 구별함 -, 및 상기 수신된 신호 세트들에 기초하여 뉴클레오티드들 또는 뉴클레오티드 유사체들의 유형들을 식별하여, 상기 표적 핵산 분자의 서열을 분석하는 단계를 더 포함한다.
- [0015] 상기 제2 방법의 일부 양태들에서 상기 뉴클레오티드들 또는 뉴클레오티드 유사체들은 상기 성장 가닥에의 통합 시에 상기 방출들을 생성하는 태그들을 포함한다. 상기 태그들은 발광성 태그들일 수 있다. 일부 구현들에서, 상기 뉴클레오티드들 또는 뉴클레오티드 유사체들은 상기 신호 세트들의 검출 후에 식별된다. 일부 양태들에서, 상기 복수의 유형의 뉴클레오티드들 또는 뉴클레오티드 유사체들은 4개의 상이한 유형의 뉴클레오티드들 또는 뉴클레오티드 유사체들을 포함할 수 있고, 상기 신호 세트들은 상기 4개의 상이한 유형의 뉴클레오티드들 또는 뉴클레오티드 유사체들과 관련되고 서로 구별 가능하다. 상기 공간 분포 패턴들은 상기 방출들의 과장들에 기초하여 구별 가능할 수 있다.
- [0016] 상기 제2 방법의 일부 구현들에서 상기 프라이밍 위치는 상기 표적 핵산 분자와 상보적인 프라이머를 포함한다. 일부 양태들에서, 연장 반응을 수행하는 단계는 상기 성장 가닥을 산출하기 위해 상기 표적 핵산 분자에 혼성된(hybridized) 상기 프라이머를 이용하여 프라이머 연장 반응을 수행하는 단계를 포함한다. 일부 양태들에서, 상기 표적 핵산 분자는 이중 가닥이다(double stranded). 일부 양태들에서, 상기 프라이밍 위치는 상기 표적 핵산 분자 내의 갭(gap) 또는 닉(nick)이다. 일부 구현들에서, 상기 중합 효소는 상기 우물에 고정화된다(immobilized). 일부 구현들에서, 상기 중합 효소는 상기 우물의 바닥 부분에 고정화된다. 일부 구현들에서, 상기 중합 효소는 상기 우물의 표면에 부착되는 링커를 이용하여 고정화된다. 일부 구현들에서, 상기 중합 효소는 가닥 변위 활성(strand displacement activity)을 보인다.
- [0017] 상기 제2 방법의 일부 구현들에 따르면, 상기 샘플 우물은 상기 통합 디바이스 내의 복수의 샘플 우물 중 하나이다. 일부 양태들에서, 상기 통합 디바이스는 상기 복수의 샘플 우물에 동작가능하게 결합된 복수의 여기 소스를 포함한다. 일부 양태들에 따르면, 상기 통합 디바이스는 상기 복수의 샘플 우물로부터의 방출들을 수신하도록 구성된 복수의 센서를 포함한다.
- [0018] 상기 제2 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 표적 핵산 분자의 서열을 분석하는 방법의 하나 이상의 실시예들에서 임의의 적합한 조합으로 포함될 수 있다.
- [0019] 통합 디바이스들의 다양한 실시예들이 고려된다. 일부 실시예들에 따르면, 복수의 샘플을 병행하여 분석하는 통합 디바이스는 기관 상에 배열된 복수의 픽셀을 포함할 수 있고, 상기 복수의 픽셀 중 개개의 픽셀은 (i) 생물학 샘플을 유지하도록 구성된 여기 영역을 가진 샘플 우물, (ii) 상기 샘플 우물에 인접하거나 또는 상기 샘플 우물 내에 위치하고 상기 여기 영역으로의 적어도 여기 에너지의 결합에 영향을 미치도록 구성된 제1 구조물, 및 (iii) 상기 샘플 우물로부터의 적어도 2개의 상이한 방출을 구별하도록 구성되는 센서를 포함하는 감지 시스템을 포함하고, 상기 2개의 상이한 방출은 스펙트럼 및/또는 시간적 차이들을 포함한다. 상기 제1 구조물은 또한 상기 센서로의 상기 샘플 우물로부터의 방출의 결합에 영향을 미칠 수 있다. 상기 통합 디바이스는 상기 샘플 우물에 상기 여기 에너지를 제공하도록 배열되는 상기 기관 상의 적어도 하나의 여기 소스, 및 상기 센서로부터 적어도 하나의 신호를 수신하기 위해 상기 기관 상에 배열된 회로를 더 포함할 수 있다.
- [0020] 통합 디바이스의 일부 양태들에서, 상기 제1 구조물은 상기 제1 구조물에서 여기된 플라즈몬들을 통해 상기 여

기 영역으로의 상기 여기 에너지의 결합을 개선하는 3차원의 마이크로-스케일 또는 나노-스케일 플라즈몬 구조물을 포함한다. 일부 구현들에서, 상기 제1 구조물은 적어도 일부의 여기 에너지를 수신하고 상기 여기 영역 내의 샘플에 여기 에너지를 비방사성으로(non-radiatively) 전달하는 분자 또는 양자점을 포함한다. 일부 구현들에서, 상기 제1 구조물은 상기 여기 영역 내의 샘플에 에너지를 비방사성으로 전달하도록 구성된 적어도 하나의 반도체 디바이스를 포함한다. 일부 구현들에서, 상기 제1 구조물은 상기 여기 영역 내의 상기 여기 에너지의 강도를 증가시키는 마이크로-광학 또는 나노-광학 구조물을 포함한다.

[0021] 통합 디바이스의 일부 구현들에서, 상기 픽셀은 상기 샘플 우물로부터의 방출된 방사(radiation)들을 상기 방출된 방사들의 파장들에 의존하는 복수의 상이한 공간 분포로 유도하고 상기 복수의 상이한 방향 각각에서 상기 방출된 방사들을 집중시키도록 구성되는 상기 샘플 우물에 인접하여 위치하는 제2 구조물을 더 포함한다. 일부 구현들에 따르면, 상기 감지 시스템은 상기 여기 영역 내의 샘플로부터의 에너지를 비방사성으로 수신하도록 구성된 적어도 하나의 분자 또는 양자점을 포함한다. 일부 구현들에 따르면, 상기 감지 시스템은 상기 여기 영역 내의 샘플로부터의 에너지를 비방사성으로 수신하도록 구성된 적어도 하나의 반도체 디바이스를 포함한다.

[0022] 통합 디바이스의 일부 양태들에서, 상기 복수의 픽셀은 상기 기판 상에 $N \times M$ 어레이로 배열되고, 여기서 N 은 상기 어레이가 제1 방향으로 연장하는 픽셀들의 수이고 M 은 상기 어레이가 제2 방향으로 연장하는 픽셀들의 수이다. 일부 양태들에서, N 과 M 각각은 50 픽셀과 100000 픽셀 사이의 값을 가진다.

[0023] 일부 구현들에 따르면, 통합 디바이스는 시편을 유지하도록 구성되는 상기 복수의 픽셀 주위에 형성된 벽이 있는 챔버(walled chamber)를 더 포함할 수 있다. 일부 구현들에서, 상기 시편은 유체 시편일 수 있다. 통합 디바이스는 상기 벽이 있는 챔버 외부의 광이 상기 복수의 픽셀을 조명하는 것을 차단하기 위해 상기 벽이 있는 챔버 위를 닫도록 배열된 커버를 더 포함할 수 있다. 일부 구현들에서, 상기 통합 디바이스와 챔버는 기기의 수용 도크(receiving dock)의 콘택트들과의 전기 연결을 위해 배열되는 외부 전기 콘택트들을 가진 단일 모듈에 패키징된다.

[0024] 통합 디바이스의 일부 양태들에 따르면, 상기 샘플 우물은 적어도 제1 재료층에 형성된 서브-컷오프 나노 개구를 포함한다. 통합 디바이스의 일부 양태들에 따르면, 상기 샘플 우물은 제1 재료층에 형성된 서브-컷오프 나노 개구를 포함한다. 일부 양태들에서, 통합 디바이스는 상기 샘플 우물로부터 상기 제1 층에 인접한 광학적으로 투명한 재료에 연장되는 디봇(divot)을 더 포함하고, 상기 여기 영역은 상기 디봇을 포함한다. 일부 양태들에서, 상기 광학적으로 투명한 재료는 유전체이다. 일부 양태들에서, 상기 제1 층은 도전층이다. 일부 구현들에서, 상기 도전층은 상기 샘플 우물에 인접한 적어도 하나의 통합 엘리먼트의 전극을 포함한다. 일부 구현들에서, 상기 적어도 하나의 통합 엘리먼트는 유기 발광 다이오드이다.

[0025] 통합 디바이스의 일부 구현들에서, 상기 통합 디바이스와 샘플 우물은 유체 현탁액(fluid suspension)에 샘플들을 수용하도록 배열된다. 일부 구현들에서, 상기 샘플 우물의 벽들은 세로 방향으로 만곡된다. 일부 구현들에서, 상기 샘플 우물의 벽들은 테이퍼된다(tapered). 일부 구현들에 따르면, 상기 테이퍼된 벽들은 상기 샘플 우물의 제2 단부에 있는 상기 샘플 우물의 입구 개구보다 단면적이 작은 상기 샘플 우물의 제1 단부에 상기 시편에 인접한 개방부(opening)를 형성한다.

[0026] 일부 양태들에 따르면, 통합 디바이스는 상기 샘플 우물 내에 형성된 플라즈몬 구조물을 더 포함하고, 상기 플라즈몬 구조물은 상기 여기 영역 내의 상기 여기 에너지를 향상시킨다. 일부 구현들에서, 상기 샘플 우물은 여기 에너지가 수신되는 입구 개구를 포함한다. 일부 구현들에서, 상기 입구 개구의 직경은 상기 여기 에너지의 특성 파장보다 작다. 일부 구현들에서, 상기 개구의 직경은 대략 30나노미터와 대략 250나노미터 사이이다. 일부 구현들에서, 상기 개구의 직경은 대략 500나노미터 미만이다.

[0027] 일부 구현들에 따르면, 상기 통합 디바이스는 상기 샘플 우물로부터 이격된 반사체를 더 포함하고, 상기 반사체와 상기 샘플 우물이 형성되는 재료는 상기 여기 영역에서의 여기 에너지의 강도를 증가시키는 공진 공동(resonant cavity) 또는 공진기를 포함한다. 상기 반사체는, 일부 양태들에서, 반사성 스택(reflective stack)일 수 있다. 일부 구현들에서, 샘플 우물은 상기 여기 영역 내에 배열된 피착체(adherent)를 더 포함한다. 상기 피착체는 상기 여기 영역에 샘플을 유지하도록 구성될 수 있다. 상기 피착체는 샘플 우물 및/또는 디봇의 적어도 바닥 표면에 배치될 수 있다. 상기 피착체는, 일부 구현들에서, 비오닐일 수 있다. 일부 양태들에서, 상기 피착체는 상기 샘플을 대략 1밀리초와 대략 1초 사이의 시간 주기 동안 유지하도록 구성된다. 일부 양태들에서, 상기 피착체는 상기 샘플 우물 내의 적어도 하나의 표면에 형성된 생물학 또는 화학 물질을 포함한다. 일부 구현들에서, 상기 피착체는 분자, 효소, 단백질, 작은 분자, 항체, 리간드, 또는 항원을 포함한다.

- [0028] 통합 디바이스의 일부 구현들에 따르면, 상기 샘플 우물은 상기 샘플 우물 내에 배열된 억제제(inhibiter)를 더 포함하고, 상기 억제제는 상기 샘플 우물의 적어도 하나의 표면에의 샘플의 부착을 억제하도록 구성된다. 상기 억제제는 상기 샘플 우물 및/또는 디봇의 벽들상의 코팅을 포함할 수 있다. 일부 구현들에서, 억제제는 상기 샘플 우물의 벽들에의 샘플들의 부착을 억제하는 부동태화(passivation) 층을 포함할 수 있다. 일부 구현들에서, 상기 샘플 우물은 상기 제1 구조물로부터 대략 30nm의 거리 이내에 샘플을 유지하도록 구성된다. 예를 들어, 상기 제1 구조물의 30nm 이내에 상기 샘플 우물의 표면 상에 피착체가 위치할 수 있다. 일부 구현들에 따르면, 상기 샘플 우물의 적어도 일부가 반도체 접합에 인접하여 위치한다. 일부 양태들에서, 상기 샘플 우물의 적어도 일부가 반도체 접합의 100nm 이내에 위치한다.
- [0029] 통합 디바이스의 일부 구현들에서, 상기 제1 구조물은 상기 여기 에너지의 특성 주파수에 대한 공진 구조물을 포함하고, 상기 샘플 우물은 상기 공진 구조물의 결합 영역에 대응하는 위치에 위치한다. 상기 결합 영역은 상기 공진 구조물 내의 또는 상기 공진 구조물에 인접한 다른 영역들과 비교하여 증가된 강도로 상기 샘플 우물에서 여기 에너지가 결합되는 상기 공진 구조물 내의 또는 상기 공진 구조물에 인접한 영역일 수 있다. 예를 들어, 상기 결합 영역은 상기 공진 구조물 내의 증가된 강도의 노드에 있을 수 있다. 일부 양태들에서, 상기 공진 구조물은 상기 샘플 우물과 동일한 층에 위치한다. 일부 구현들에서, 상기 공진 구조물은 상기 샘플 우물 주위에 형성된 광자 결정(photonic crystal)을 포함할 수 있다. 일부 구현들에서, 상기 공진 구조물은 상기 샘플 우물과는 상이한 층에 위치한다. 일부 양태들에서, 상기 공진 구조물은 지호-뜨후누아 공진기(Gire-Tournois resonator)이다. 일부 구현들에서, 상기 공진 구조물은 선형 공진기 또는 링 공진기이다. 일부 구현들에서, 상기 공진 구조물은 분산 브래그 반사체(distributed Bragg reflector)를 포함한다.
- [0030] 통합 디바이스의 일부 구현들에 따르면, 상기 제1 구조물은 상기 여기 에너지를 수신하고 변환된 에너지를 상기 샘플에 비방사성으로 전달하도록 배열된 적어도 하나의 에너지-전달 입자를 포함한다. 일부 구현들에서, 상기 여기 에너지는 포스터 공명 에너지 전달(Förster Resonant Energy Transfer ; FRET), 이중-전자 에너지 전달(double-electron energy transfer), 또는 텍스터 에너지 전달(Dexter energy transfer; DET)을 통해 샘플에 전달된다.
- [0031] 상기 제1 구조물이 플라즈몬 구조물을 포함하는 통합 디바이스의 일부 구현들에 따르면, 상기 플라즈몬 구조물은 상기 샘플 우물 내에 위치하고 상기 여기 영역 내의 상기 여기 에너지를 향상시킨다. 일부 구현들에서, 상기 플라즈몬 구조물은 도전성 재료로 형성된 나노입자를 포함한다. 일부 양태들에 따르면, 상기 플라즈몬 구조물은 상기 샘플 우물에 인접하여 위치하고 상기 여기 영역 내의 상기 여기 에너지를 향상시킨다. 일부 양태들에서, 상기 플라즈몬 구조물은 나노-안테나를 포함한다. 일부 구현들에서, 상기 플라즈몬 구조물은 공진 구조물을 포함한다. 일부 구현들에서, 상기 플라즈몬 구조물은 플라즈몬 선형 또는 링 공진기를 포함한다. 일부 양태들에서, 상기 플라즈몬 구조물은 디바이스의 적어도 하나의 전극에 형성되고, 상기 적어도 하나의 전극은 상기 샘플 우물에 인접하여 위치한다. 일부 구현들에서, 상기 플라즈몬 구조물은 하나보다 많은 주파수에서 공진하도록 구성되고, 상기 하나보다 많은 주파수는 상기 여기 에너지의 특성 주파수 및/또는 상기 샘플 우물로부터의 상기 방출들의 특성 주파수들을 포함한다.
- [0032] 통합 디바이스의 일부 양태들에 따르면, 상기 제1 구조물은 링커를 통하여 상기 샘플에 접합(conjugate)된 적어도 하나의 에너지-전달 입자를 포함하고, 상기 에너지-전달 입자는 상기 여기 에너지의 적어도 일부를 상기 샘플에 비방사성으로 전달하도록 선택된다. 일부 구현들에서, 상기 제1 구조물은 상기 샘플 우물 내에 배열된 복수의 에너지-전달 입자를 포함하여 상기 에너지-전달 입자들 중 적어도 하나로부터 상기 샘플로 여기 에너지가 비방사성으로 전달될 수 있게 한다. 일부 양태들에서, 상기 적어도 하나의 에너지-전달 입자는 포스터 공명 에너지 전달(FRET)을 통해 상기 샘플에 에너지를 전달하도록 구성된다. 일부 구현들에 따르면, 상기 제1 구조물은 상기 샘플 우물에 인접하여 배열된 복수의 에너지-전달 입자를 포함하여 상기 에너지-전달 입자들 중 적어도 하나로부터 상기 샘플로 여기 에너지가 비방사성으로 전달될 수 있게 한다. 일부 구현들에서, 적어도 하나의 에너지-전달 입자는 양자점을 포함한다. 일부 양태들에서, 적어도 하나의 에너지-전달 입자는 상기 에너지-전달 입자들로부터 상기 샘플에 전달되는 에너지에 대해 상기 여기 에너지의 제1 특성 주파수를 적어도 하나의 더 높은 특성 주파수로 변환한다. 일부 양태들에 따르면, 상기 제1 특성 주파수에 대응하는 파장은 약 900nm와 약 1100nm 사이이고 상기 더 높은 특성 주파수에 대응하는 적어도 하나의 파장은 약 480nm와 약 700nm 사이이다. 일부 양태들에서, 적어도 하나의 에너지-전달 입자는 상기 에너지-전달 입자들로부터 상기 샘플에 전달되는 에너지에 대해 상기 여기 에너지의 제1 특성 주파수를 더 낮은 특성 주파수로 변환한다. 일부 양태들에 따르면, 상기 제1 특성 주파수에 대응하는 파장은 약 500nm와 약 700nm 사이이고 상기 더 낮은 특성 주파수에 대응하는

파장은 약 620nm와 약 720nm 사이이다. 일부 구현들에서, 복수의 상기 에너지-전달 입자는 상기 샘플 우물이 형성되는 층으로부터 분리된 층에 배열된다.

[0033] 상기 제1 구조물이 반도체 디바이스를 포함하는 통합 디바이스의 일부 구현들에 따르면, 상기 반도체 디바이스는 상기 샘플 우물에 인접하여 형성된 적어도 하나의 반도체층을 포함하고, 상기 반도체층과 상기 샘플 우물 사이에 형성된 에너지-전달 입자들의 층을 더 포함하고, 상기 에너지-전달 입자들의 층은 상기 적어도 하나의 반도체층으로부터 상기 샘플 우물 내의 샘플에 에너지를 전달하도록 구성된다. 입자들로부터 샘플에의 에너지 전달은 방사성 프로세스(예를 들어, 상향 변환 또는 하향 변환), 또는 비방사성 프로세스(예를 들어, FRET 또는 DET)에 의해 이루어질 수 있다. 일부 구현들에서, 반도체층과 에너지-전달 입자들의 층 사이 또는 에너지-전달 입자들의 층과 샘플 사이의 에너지 전달은 비방사성이다. 일부 양태들에서, 상기 반도체 디바이스는 상기 샘플 우물에 인접하여 형성된 적어도 하나의 반도체층을 포함하고, 상기 샘플 우물 내의 샘플에 접합된 적어도 하나의 에너지-전달 입자를 더 포함하고, 상기 적어도 하나의 에너지-전달 입자는 상기 적어도 하나의 반도체층으로부터 상기 샘플에 에너지를 전달하도록 구성된다. 일부 구현들에 따르면, 상기 반도체층과 상기 적어도 하나의 에너지-전달 입자 사이 또는 상기 적어도 하나의 에너지-전달 입자와 상기 샘플 사이의 에너지 전달은 비방사성이다. 일부 양태들에서, 상기 반도체층과 상기 적어도 하나의 에너지-전달 입자 사이 및 상기 적어도 하나의 에너지-전달 입자와 상기 샘플 사이의 에너지 전달은 비방사성이다. 일부 구현들에서, 상기 반도체 디바이스는 p-n 접합을 포함한다. 일부 구현들에서, 상기 반도체 디바이스는 유기 반도체를 포함한다. 일부 구현들에서, 상기 반도체 디바이스는 무기 반도체를 포함한다. 일부 양태들에 따르면, 상기 적어도 하나의 반도체층으로부터 상기 샘플에 전달되는 에너지의 적어도 일부는 포스터 공명 에너지 전달(FRET)을 통한 것이다.

[0034] 통합 디바이스의 일부 구현들에 따르면, 상기 제1 구조물은 상기 샘플 우물 주위에 형성된 2차원 또는 3차원 광자 결정을 포함한다. 일부 양태들에서, 상기 광자 결정은 상기 샘플 우물에서의 결함(defect)을 포함한다. 일부 양태들에서, 상기 광자 결정은 제1 굴절률을 가진 마이크로 구조물(microstructure)들의 주기적 어레이를 포함하고, 상기 제1 굴절률은 상기 주기적 어레이가 형성되는 층의 제2 굴절률과는 상이하다. 일부 구현들에 따르면, 상기 제1 구조물은 상기 여기 영역에 상기 여기 에너지를 집중시키도록 구성된 회절성 광학 엘리먼트를 포함한다.

[0035] 통합 디바이스의 일부 구현들에서, 상기 제1 구조물은 상기 샘플 우물에 인접한 얇은 손실막(thin lossy film)을 포함한다. 일부 구현들에서, 통합 디바이스는 상기 얇은 손실막과 상기 샘플 우물 사이에 배치된 유전체층을 더 포함한다. 일부 양태들에서, 상기 얇은 손실막의 굴절률은 상기 여기 에너지의 파장에서의 상기 얇은 손실막에 대한 흡광 계수(extinction coefficient)와 동일한 자릿수(order of magnitude) 이내이다. 일부 양태들에서, 상기 얇은 손실막은 실리콘 또는 게르마늄, 또는 이들의 조합으로 형성된다. 일부 양태들에서, 상기 얇은 손실막은 대략 3nm와 대략 80nm 사이이다. 일부 구현들에서, 상기 얇은 손실막은 적어도 2개의 상이한 재료의 다수의 층을 포함한다. 일부 구현들에서, 상기 얇은 손실막은 유기 재료를 포함한다. 일부 구현들에서, 상기 얇은 손실막은 무기 재료를 포함한다.

[0036] 통합 디바이스의 일부 구현들에 따르면, 상기 제1 구조물은 상기 샘플 우물에 인접하여 위치하고 상기 여기 영역에 상기 여기 에너지를 집중시키도록 구성된 마이크로 공동(microcavity)을 포함한다. 일부 양태들에서, 상기 마이크로 공동은 상기 여기 에너지의 파장을 포함하는 하나보다 많은 광학 파장에서 공진하도록 구성된다. 일부 양태들에서, 상기 제1 구조물은 상기 샘플 우물에 인접하여 형성된 지호-뜨호누아 공진 구조물을 포함한다. 일부 양태들에서, 상기 지호-뜨호누아 공진 구조물은 상기 여기 에너지의 파장을 포함하는 하나보다 많은 광학 파장에서 공진하도록 구성된다. 일부 구현들에 따르면, 상기 지호-뜨호누아 공진 구조물의 제1 반사체는 상기 샘플 우물이 형성되는 도전층을 포함한다. 일부 양태들에서, 상기 지호-뜨호누아 공진 구조물의 제2 반사체는 상기 도전층에 인접하여 형성된 다중층 스택(multi-layer stack)을 포함한다.

[0037] 통합 디바이스의 일부 구현들에 따르면, 상기 감지 시스템은 상기 센서에서의 여기 에너지의 양을 억제하도록 구성된 파장 차별적 필터(wavelength-discriminating filter)를 포함한다. 일부 양태들에서, 상기 파장 차별적 필터는 다중층 스택을 포함한다. 일부 구현들에서, 상기 파장 차별적 필터는 주파수 선택 표면(frequency-selective surface)을 포함한다. 상기 주파수 선택 표면은 상기 주파수 선택 표면을 가로지르는 광학 방사의 진폭 및/또는 위상에 영향을 미치는 진폭 및/또는 위상 구조물들을 포함하는 상기 픽셀 내의 패터닝된 층을 포함할 수 있다. 일부 구현들에 따르면, 상기 감지 시스템은 상기 여기 소스로부터의 적어도 일부 여기 에너지를 차단하는 광 차폐물(light shield)을 포함한다. 일부 구현들에서, 상기 감지 시스템은 적어도 하나의 광학 위상 마스크를 포함한다. 위상 마스크는 상기 위상 마스크를 가로지르는 광학 방사의 위상에 영향을 미치는 위상 구조물들을 포함하는 상기 픽셀 내의 패터닝된 층을 포함할 수 있다. 일부 구현들에서, 위상 마스크는 상기 위

상 마스크를 가로지르는 광학 방사의 진폭에 상당히 영향을 미치지 않을 수 있다.

[0038] 상기 샘플 우물로부터의 방출된 방사들을 복수의 상이한 공간 분포로 유도하도록 구성되는 상기 샘플 우물에 인접하여 위치하는 제2 구조물을 포함하는 통합 디바이스의 일부 구현들에 따르면, 상기 제2 구조물은 플라즈몬 구조물을 포함한다. 일부 구현들에서, 상기 플라즈몬 구조물은 상기 샘플 우물의 광학적 근거리장(optical near field)에 형성된다. 일부 구현들에서, 상기 플라즈몬 구조물은 상기 샘플 우물이 형성되는 동일한 층에 적어도 일부가 형성된다. 일부 양태들에 따르면, 상기 플라즈몬 구조물은 층에 형성되고 상기 샘플 우물에 중심을 둔 복수의 환상 돌기(annular projection)를 포함한다. 일부 구현들에서, 각각의 상기 복수의 환상 돌기 사이의 방사상 거리는 대략 동일하다. 일부 구현들에서, 각각의 상기 복수의 환상 돌기 사이의 방사상 거리는 대략 25나노미터와 대략 600나노미터 사이이다. 일부 구현들에서, 상기 플라즈몬 구조물은 나선형 격자(spiral grating)를 포함한다. 일부 구현들에서, 상기 플라즈몬 구조물은 나노-안테나 어레이를 포함한다. 일부 구현들에 따르면, 상기 나노-안테나 어레이는 표적 체적(target volume) 주위에 분포된 원형 홀(circular hole)들의 어레이를 포함하고, 상기 홀들은 도전층에 형성된다. 일부 양태들에서, 상기 홀들이 형성되는 상기 도전층은 상기 샘플 우물이 형성되는 동일한 층이다. 일부 양태들에 따르면, 상기 원형 홀들은 다수의 상이한 직경들을 가진다. 일부 구현들에서, 상기 나노-안테나 어레이는 상기 샘플 우물 주위에 분포된 원형 디스크(circular disc)들의 어레이를 포함하고, 상기 디스크들은 도전성 재료에 형성된다. 일부 양태들에 따르면, 상기 원형 디스크들은 다수의 상이한 직경들을 가진다. 일부 구현들에서, 상기 플라즈몬 구조물은: 금, 구리, 로듐, 알루미늄, 티타늄, 크롬, 니켈, 팔라듐, 백금, 및 은으로 이루어진 그룹에서 선택된 하나 이상의 금속으로 이루어진 적어도 하나의 층을 포함한다.

[0039] 상기 샘플 우물로부터의 방출된 방사들을 복수의 상이한 공간 분포로 유도하도록 구성되는 상기 샘플 우물에 인접하여 위치하는 제2 구조물을 포함하는 통합 디바이스의 일부 구현들에 따르면, 상기 제2 구조물은 상기 샘플 우물의 광학적 원거리장(optical far field)에 형성된 광학 구조물을 포함한다. 일부 구현들에서, 상기 제2 구조물은 회절성 광학 엘리먼트를 포함한다. 일부 양태들에서, 상기 회절성 광학 엘리먼트는 원형 격자이다. 일부 양태들에서, 상기 회절성 광학 엘리먼트는 나선형 격자이다. 일부 양태들에서, 상기 회절성 광학 엘리먼트는 개구 어레이이다. 일부 구현들에서, 상기 제2 구조물은 존 플레이트(zone plate)를 포함한다. 일부 구현들에 따르면, 상기 제2 구조물은 마이크로렌즈를 더 포함한다. 일부 구현들에서, 상기 제2 구조물은 유전체 공진 안테나를 포함한다. 일부 구현들에서, 상기 제2 구조물은 프레넬 렌즈(Fresnel lens)를 포함한다.

[0040] 상기 감지 시스템이 상기 샘플로부터의 에너지를 비방사성으로 수신하도록 구성된 적어도 하나의 분자 또는 양자점을 포함하는 통합 디바이스의 일부 구현들에 따르면, 상기 적어도 하나의 분자 또는 양자점은 상기 수신된 에너지를 CMOS 회로에 의해 검출되는 전기 신호로 변환하기 위해 상기 샘플 우물에 인접한 디바이스에 배열된다. 일부 구현들에서, 상기 반도체 디바이스는 상기 샘플 우물에 인접하여 위치하는 p-n 접합을 포함하고 상기 수신된 에너지를 CMOS 회로에 의해 검출되는 전기 신호로 변환하도록 구성된다.

[0041] 통합 디바이스의 일부 양태들에서, 상기 센서는 중심 광 검출기 및 상기 중심 광 검출기를 둘러싸고 상기 중심 광 검출기로부터 이격된 적어도 하나의 링 형상의 광 검출기를 가진 불스아이 광검출기(bullseye photodetector)를 포함한다. 일부 구현들에서, 상기 중심 광 검출기는 제1 포토다이오드를 포함하고 상기 적어도 하나의 링 형상의 광 검출기는 적어도 제2 포토다이오드를 포함한다. 일부 구현들에서, 상기 중심 광 검출기는 제1 양자점 검출기를 포함하고 상기 적어도 하나의 링 형상의 광 검출기는 적어도 제2 양자점 검출기를 포함한다. 일부 구현들에 따르면, 상기 센서는 적어도 2개의 공간적으로 분리된 검출기를 포함한다. 일부 양태들에서, 상기 센서는 적어도 2개의 환상 섹터 검출기(annular sector detector)를 포함한다. 일부 양태들에서, 상기 센서는 적어도 2개의 스트라이프 검출기(stripe detector)를 포함한다. 일부 양태들에서, 상기 센서는 사분면(quadrant) 패턴으로 배열된 적어도 2개의 검출기를 포함한다. 일부 구현들에서, 상기 센서는 적어도 2개의 스택형 검출기(stacked detector)를 포함한다. 일부 구현들에 따르면, 상기 통합 디바이스는 2개 이상의 공간적으로 분리된 검출기에 의해 검출된 상기 샘플로부터의 4개의 상이한 방출 에너지의 검출을 판별하도록 구성된 판독 회로(read-out circuitry)를 더 포함할 수 있다. 일부 구현들에서, 상기 센서와 판독 회로는 CMOS 회로 엘리먼트들을 포함한다. 일부 구현들에 따르면, 상기 검출기들의 감광성 표면은 상기 시편에 대한 굴절률보다 높은 제1 광학 굴절률을 가진 재료로 형성된다. 일부 양태들에서, 상기 센서는 적어도 하나의 검출기에 인접하여 형성된 적어도 하나의 임계 결합된 공진기(critically-coupled resonator)를 더 포함하고, 여기서 임계 결합된 공진기는 상기 샘플 우물로부터의 제1 방출과 관련된 제1 파장은 허용하고 상기 샘플 우물로부터의 제2 방출과 관련된 제2 파장은 실질적으로 차단하도록 구성된다. 임계 결합된 공진기는 (상기 임계 결합된 공진기의 굴절률에 의해 수정된) 상기 샘플 우물로부터의 방출의 특성 파장의 1/2, 또는 그의 정수배인 공진 공동을

가질 수 있다. 일부 양태들에서, 상기 적어도 하나의 임계 결합된 공진기는 적어도 하나의 유전체층으로부터 형성된다.

[0042] 통합 디바이스의 일부 구현들에서, 상기 적어도 하나의 여기 소스는 대략 350nm와 대략 1000nm 사이의 특성 파장을 가진 광학 방사의 적어도 하나의 소스를 포함하고 적어도 하나의 샘플 우물을 여기시키도록 구성된다. 일부 양태들에서, 상기 적어도 하나의 여기 소스는 대략 1마이크로미터와 대략 5마이크로미터 사이의 특성 파장을 가진 광학 방사의 적어도 하나의 소스를 포함하고 적어도 하나의 샘플 우물을 여기시키도록 구성된다. 일부 구현들에서, 상기 적어도 하나의 여기 소스는 제1 특성 파장을 가지고 적어도 제1 샘플 우물을 여기시키도록 구성된 여기 에너지의 제1 소스, 및 상기 제1 특성 파장과는 상이한 제2 특성 파장을 가지고 적어도 제2 샘플 우물을 여기시키도록 구성된 여기 에너지의 제2 소스를 포함한다. 일부 구현들에 따르면, 상기 적어도 하나의 여기 소스는 복수의 픽셀의 제1 그룹을 동시에 여기시키도록 구성된 단일 여기 소스이다. 일부 구현들에서, 상기 적어도 하나의 여기 소스는 상기 샘플 우물과 상기 센서 사이에 위치한다. 일부 구현들에서, 상기 샘플 우물은 상기 적어도 하나의 여기 소스와 상기 센서 사이에 위치한다.

[0043] 통합 디바이스의 일부 구현들에 따르면, 상기 적어도 하나의 여기 소스는 상기 에너지 전달 입자를 여기시키도록 구성되는 상기 샘플 우물에 정렬된 나노-스케일 반도체 접합을 포함한다. 일부 구현들에서, 상기 나노-스케일 반도체 접합은 상기 샘플 우물에 자기 정렬된다. 일부 양태들에서, 상기 적어도 하나의 여기 소스는 유기 발광 다이오드(OLED)를 포함한다. 일부 구현들에서, 상기 OLED의 전극이 상기 샘플 우물이 형성되는 도전층으로부터 형성된다. 일부 구현들에서, 표면 피처(surface feature)들이 상기 샘플 우물에 인접하여 상기 전극에 패터닝되고 상기 OLED에 의해 여기되어 상기 여기 영역에 여기 에너지를 전달하는 표면파를 향상시키도록 배열된다. 일부 양태들에서, 상기 표면 피처들은 표면-플라즈몬 구조물들을 포함한다.

[0044] 통합 디바이스의 일부 구현들에 따르면, 상기 적어도 하나의 여기 소스는 결맞음 광원(coherent light source)을 포함한다. 일부 구현들에서, 상기 적어도 하나의 여기 소스는, 각각이 적어도 하나의 샘플 우물에 여기 에너지를 제공하도록 배열된 복수의 OLED, PhOLED, QLED, LED, 레이저 다이오드, 또는 VCSEL을 포함한다. 일부 양태들에서, 적어도 하나의 샘플 우물이 상기 적어도 하나의 여기 소스 중의 여기 소스 내에 또는 여기 소스에 바로 인접하여 형성된다. 일부 양태들에서, 통합 디바이스는 상기 적어도 하나의 여기 소스로부터의 출력 파장 및/또는 강도를 안정시키는 수단을 더 포함한다. 일부 구현들에서, 상기 적어도 하나의 여기 소스는 하나 이상의 양자점을 포함한다. 일부 양태들에서, 상기 하나 이상의 양자점은 전기적으로 자극된다. 일부 구현들에서, 상기 하나 이상의 양자점으로부터의 여기 에너지는 비방사성 프로세스를 통해 상기 샘플에 결합된다.

[0045] 통합 디바이스의 일부 구현들에서, 상기 적어도 하나의 여기 소스는 상기 샘플 우물에 인접하여 형성된 반도체 p-n 또는 p-i-n 접합을 포함한다. 일부 양태들에서, 상기 p-n 또는 p-i-n 접합은 여기된 도너들 및/또는 억셉터들로부터의 에너지를 상기 샘플에 비방사성으로 전달하도록 구성된다. 일부 양태들에서, 상기 p-n 또는 p-i-n 접합은 상기 샘플을 여기시키기 위해 상기 샘플 우물에 전하 캐리어들을 주입하도록 구성된다.

[0046] 통합 디바이스의 일부 구현들에 따르면, 상기 회로는 상기 통합 디바이스 외부의 컴퓨팅 디바이스에 데이터를 송신하고 상기 통합 디바이스 외부의 컴퓨팅 디바이스로부터 데이터를 수신하기 위한 통신 인터페이스를 포함한다. 일부 구현들에서, 상기 통신 인터페이스는 USB 인터페이스, 선더볼트(Thunderbolt) 인터페이스, 및/또는 고속 디지털 인터페이스를 포함한다. 일부 양태들에서, 상기 컴퓨팅 디바이스는 퍼스널 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 개인 휴대 정보 단말기(personal digital assistant), 스마트폰, 또는 모바일 디바이스를 포함한다. 일부 구현들에 따르면, 상기 회로는 다중-채널 아날로그-디지털 변환기들을 포함하는 CMOS 회로를 포함한다. 일부 양태들에서, 상기 CMOS 회로는 적어도 하나의 FPGA(field-programmable gate array) 및/또는 적어도 하나의 ASIC(application-specific integrated circuit)을 포함한다. 일부 구현들에서, 상기 CMOS 회로는 적어도 하나의 CMOS 회로 엘리먼트에 대한 전기 연결 또는 접지면을 제공하고 상기 적어도 하나의 여기 소스에 대한 전극이 형성되는 금속층을 포함한다. 일부 구현들에서, 적어도 하나의 샘플 우물이 상기 금속층에 형성된다.

[0047] 통합 디바이스의 양태들 및 구현들과 관련된 상기 특징들 및 기능들은 통합 디바이스의 하나 이상의 실시예에서 임의의 적합한 조합으로 포함될 수 있다. 일부 실시예들에서, 통합 디바이스는 상기 특징들 및 기능들의 임의의 적합한 조합을 가진 복수의 샘플 우물, 여기 소스, 및 센서를 포함할 수 있다. 또한 통합 디바이스 상의 상기 복수의 샘플 우물, 여기 소스, 및 센서는 통합 디바이스의 일부 실시예들에 대해 실질적으로 동일할 수 있는 반면, 다른 실시예들에서, 그 샘플 우물들, 여기 소스들, 및 센서들은 통합 디바이스에 걸쳐 상이할 수 있다. 예를 들어, 통합 디바이스 상에 샘플 우물들, 여기 소스들, 및 센서들의 그룹들이 있을 수 있고, 각 그룹은 샘플

플 우물, 여기 소스, 및/또는 센서와 관련된 상기 특징들 및 기능들의 구별 가능한 서브세트들을 가진다.

- [0048] 통합 디바이스를 수용하고 그와 통신하도록 구성될 수 있는 기기들도 고려된다. 일부 실시예들에 따르면, 통합 디바이스를 수용하고 그와 통신하도록 구성된 휴대용 기기가 적어도 하나의 프로세서, 상기 실시예들 중 임의의 실시예에서 설명된 통합 디바이스를 수용하도록 구성된 도크, 대부분의 외부 광을 상기 도크에 들어가지 못하게 차단하도록 구성된 커버, 및 상기 통합 디바이스 상의 제2 복수의 전기 콘택트에 연결되도록 구성된 제1 복수의 전기 콘택트를 포함할 수 있고, 상기 제1 복수의 전기 콘택트의 적어도 일부를 통하여 상기 통합 디바이스로 전력이 제공될 수 있고 상기 제1 복수의 전기 콘택트의 적어도 일부를 통하여 각 센서로부터의 상기 적어도 하나의 신호가 수신될 수 있다. 일부 구현들에서, 상기 제1 복수의 전기 콘택트는 사용자가 제거할 수 있는 인터포저(user-removable interposer)상에 형성된다. 일부 구현들에서, 상기 제1 복수의 전기 콘택트는 사용자가 교체할 수 있는 인터포저(user-replaceable interposer)상의 제3 복수의 콘택트와 접촉하도록 구성된다. 일부 실시예들에 따르면, 상기 휴대용 기기는 통신 인터페이스를 더 포함하고, 여기서 상기 통신 인터페이스는 USB 인터페이스, 선더볼트 인터페이스, 또는 고속 디지털 인터페이스를 포함한다.
- [0049] 일부 실시예들에 따르면, 복수의 샘플을 병행하여 분석하는 제3 방법은 기관의 표면에서, 샘플들을 포함하는 시편을 수용하는 단계, 상기 기관 상의 복수의 픽셀에 위치하는 복수의 샘플 우물에, 유체 현탁액으로부터의 샘플들을 유지하는 단계, 및 적어도 하나의 여기 소스로부터 상기 샘플 우물들 중 하나 이상에 여기 에너지를 제공하는 단계를 포함할 수 있다. 상기 제3 방법은, 적어도 상기 복수의 픽셀 중 하나에 대해, 샘플 우물로부터의 방출을 수신하도록 배열되는 센서에서 상기 샘플 우물로부터의 방출을 검출하는 단계, 상기 검출된 방출을 나타내는 상기 센서로부터의 신호 세트를 수신하는 단계, 및 상기 신호 세트의 분석에 기초하여 상기 샘플 우물에 유지된 샘플의 속성을 식별하는 단계를 더 포함할 수 있다.
- [0050] 상기 제3 방법의 일부 구현들에서, 상기 신호 세트는 상기 방출로부터 상기 센서에 의해 생성되고 상기 방출의 공간 및/또는 시간 분포를 나타내는 2개의 비-제로 신호를 포함한다. 일부 양태들에서, 상기 센서는 다중-세그먼트 센서를 포함한다. 일부 구현들에서, 상기 제3 방법은 상기 신호 세트를 분석하는 단계를 더 포함한다. 일부 구현들에서, 상기 분석하는 단계는 상기 신호 세트 내의 신호들의 비율을 평가하는 단계, 및 상기 평가된 비율에 기초하여 상기 방출을 생성한 방사체(emitter)의 유형을 식별하는 단계를 포함한다. 일부 구현들에 따르면, 상기 적어도 하나의 여기 소스는 각 픽셀 내에 형성되고 상기 하나 이상의 샘플 우물에 정렬된 적어도 하나의 나노-스케일 여기 소스를 포함한다. 일부 양태들에서, 상기 나노-스케일 여기 소스는 발광 다이오드, 수직 레이저 다이오드, 또는 수직 공동 표면 발광 레이저를 포함한다. 일부 구현들에서, 적어도 하나의 샘플 우물 및 상기 적어도 하나의 샘플 우물에 정렬된 나노-스케일 여기 소스의 가로 치수들은 200nm 미만이다.
- [0051] 상기 제3 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 복수의 샘플을 병행하여 분석하는 방법의 하나 이상의 실시예에서 임의의 적합한 조합으로 포함될 수 있다.
- [0052] 통합 디바이스의 제조와 관련된 방법들도 고려된다. 일부 실시예들에 따르면, 샘플 우물 및 상기 샘플 우물에 정렬된 광학 구조물을 제조하는 제1 방법은, 동일한 패터닝 공정에서, 기관 상에 배치된 제1 레지스트 층에 상기 샘플 우물에 대한 패턴 및 상기 광학 구조물에 대한 패턴을 형성하는 단계, 적어도 상기 샘플 우물의 패턴을 제2 레지스트 층으로 커버하는 단계, 상기 광학 구조물의 패턴을 상기 기관 내로 에칭하는 단계, 상기 제2 레지스트 층으로 커버되지 않은 상기 제1 레지스트 층의 부분들을 제거하는 단계, 상기 제2 레지스트 층을 제거하는 단계, 상기 기관 위에 재료를 퇴적하는 단계, 및 상기 제1 레지스트 층의 나머지 부분을 제거하는 단계를 포함할 수 있다.
- [0053] 샘플 우물을 제조하는 상기 제1 방법의 일부 구현들에서, 상기 샘플 우물에 대한 패턴을 형성하는 단계는 상기 제1 레지스트 층에 500nm 미만의 직경을 가진 원통형 기둥(cylindrical pillar)을 형성하는 단계를 포함한다. 일부 구현들에서, 상기 광학 구조물에 대한 패턴을 형성하는 단계는 원형 격자의 패턴을 형성하는 단계를 포함하고, 상기 샘플 우물에 대한 패턴은 상기 원형 격자의 패턴의 중심에 위치한다. 일부 양태들에 따르면, 상기 기관 위에 재료를 퇴적하는 단계는 도전층을 퇴적하는 단계를 포함한다. 일부 양태들에 따르면, 상기 기관 위에 재료를 퇴적하는 단계는 도전층을 포함하는 다수의 층을 퇴적하는 단계를 포함한다. 일부 구현들에 따르면, 상기 제1 레지스트 층의 나머지 부분을 제거하는 단계는 상기 퇴적된 재료에 샘플 우물을 정의한다. 일부 구현들에서, 상기 기관은 광학적으로 투명한 재료를 포함한다.
- [0054] 샘플 우물을 형성하는 상기 제1 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 샘플 우물을 형성하는 방법의 하나 이상의 실시예에서 임의의 적합한 조합으로 포함될 수 있다.

- [0055] 일부 실시예들에 따르면, 샘플 우물을 제조하는 제2 방법은, 동일한 패터닝 공정에서, 기관 상에 배치된 제1 층에 상기 샘플 우물에 대한 패턴 및 상기 광학 구조물에 대한 패턴을 형성하는 단계, 상기 샘플 우물 및 상기 광학 구조물의 패턴을 상기 기관 내로 에칭하는 단계, 적어도 상기 샘플 우물의 패턴을 레지스트 층으로 커버하는 단계, 상기 기관 위에 재료를 퇴적하는 단계 - 상기 재료는 상기 광학 구조물의 패턴의 에칭으로부터 상기 기관 내로 에칭된 보이드(void)들을 채움 -, 및 상기 레지스트 층을 제거하는 단계를 포함할 수 있다. 일부 구현들에서, 상기 제1 층은 도전성 재료를 포함한다. 일부 양태들에서, 상기 광학 구조물은 원형 격자를 포함한다. 일부 구현들에서, 상기 기관은 광학적으로 투명하다. 일부 구현들에 따르면, 상기 레지스트 층을 제거하는 단계는 500nm 미만의 가로 치수를 가지고 상기 기관 내로 에칭된 샘플 우물의 바닥에서의 디봇을 포함하는 상기 샘플 우물을 남긴다.
- [0056] 샘플 우물을 형성하는 상기 제2 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 샘플 우물을 형성하는 방법의 하나 이상의 실시예에서 임의의 적합한 조합으로 포함될 수 있다.
- [0057] 여기 소스들을 제조하는 방법들도 고려된다. 일부 실시예들에 따르면, 샘플 우물에 정렬된 나노-스케일 여기 소스를 형성하는 방법은 기관의 절연층 내로 비아(via)를 에칭하는 단계 - 상기 기관은 반도체층, 상기 반도체층에 인접한 절연층, 및 상기 절연층에 인접한 제1 도전층을 포함함 -, 상기 비아의 벽들에 희생 코팅(sacrificial coating)을 형성하는 단계, 상기 반도체층까지 상기 비아를 에칭하는 단계, 및 상기 반도체층으로부터 상기 비아 내에 제1 도전형을 가진 반도체 기둥을 에피택셜 성장시키는 단계를 포함할 수 있다. 일부 구현들에서, 상기 방법은 상기 기둥의 일부에서 상기 기둥의 벽들을 노출시키도록 상기 희생 코팅을 제거하는 단계, 상기 기둥의 일부 위에 제2 도전형을 가진 반도체층을 에피택셜 성장시키는 단계, 및 상기 반도체층 위에 제2 도전층을 등각으로(conformally) 퇴적하는 단계를 더 포함할 수 있고, 상기 제2 도전층은 상기 제1 도전층에 전기적으로 연결된다. 일부 양태들에서, 상기 반도체 기둥 및 반도체층은 발광 다이오드 또는 레이저 다이오드를 포함한다. 일부 양태들에서, 상기 반도체 기둥 및 반도체층은 반도체 다이오드를 포함한다. 일부 구현들에서, 상기 제1 도전층에 가장 가까운 상기 에피택셜 성장된 반도체 기둥의 단부는 상기 제1 도전층의 가장 가까운 표면으로부터 일정 거리에 놓여 있다. 일부 구현들에서, 상기 비아의 채워지지 않은 영역은 샘플 우물을 형성한다. 일부 구현들에 따르면, 상기 반도체 기둥의 가로 치수는 200nm 미만이다. 일부 양태들에서, 상기 절연층은 광학적으로 투명하다.
- [0058] 여기 소스 형성하는 상기 방법의 양태들 및 구현들과 관련된 상기 특징들 및 단계들은 여기 소스를 형성하는 방법의 하나 이상의 실시예에서 임의의 적합한 조합으로 포함될 수 있다.
- [0059] 상기 방법들 및 디바이스들은 단일 엘리먼트(예를 들어, 샘플 우물, 여기 소스, 센서, 여기-결합 구조물, 방출-결합 구조물)에 관련하여 설명될 수 있지만, 상기 방법들은 (예를 들어, 마이크로- 및 나노-제조 프로세스들을 이용하여) 다수의 디바이스들을 병행하여 제조하기 위해 병행하여 구현될 수 있다. 또한, 상기 디바이스들은 통합 디바이스 상에 다수가 배열될 수 있다.
- [0060] 용어 "픽셀(pixel)"은 본 개시 내용에서 통합 디바이스의 단위 셀을 언급하기 위해 사용된다. 상기 단위 셀은 샘플 우물 및 센서를 포함할 수 있다. 상기 단위 셀은 여기 소스를 더 포함할 수 있다. 상기 단위 셀은 상기 여기 소스로부터 상기 샘플 우물로의 여기 에너지의 결합을 향상시키도록 구성되는 적어도 하나의 여기-결합 광학 구조물("제1 구조물"로 언급될 수도 있음)을 더 포함할 수 있다. 상기 단위 셀은 상기 샘플 우물로부터 상기 센서로의 방출의 결합을 향상시키도록 구성되는 적어도 하나의 방출-결합 구조물을 더 포함할 수 있다. 상기 단위 셀은 통합 전자 디바이스들(예를 들어, CMOS 디바이스들)을 더 포함할 수 있다. 통합 디바이스 상에 어레이로 배열된 복수의 픽셀이 있을 수 있다.
- [0061] 용어 "광학(optical)"은 본 개시 내용에서 가시, 근적외선, 및 단파장 적외선 스펙트럼 대역들을 언급하기 위해 사용될 수 있다.
- [0062] 용어 "태그(tag)"는 본 개시 내용에서 분석될 샘플에 부착된 또는 샘플과 반응될 수 있는 반응물에 부착된 태그, 프로브, 마커, 또는 리포터를 언급하기 위해 사용될 수 있다.
- [0063] 문구 "여기 에너지(excitation energy)"는 본 개시 내용에서 샘플 우물 내의 샘플 및/또는 태그에 전달되는 임의의 형태의 에너지(예를 들어, 방사성 또는 비방사성)를 언급하기 위해 사용될 수 있다. 방사성 여기 에너지는 하나 이상의 특성 파장의 광학 방사를 포함할 수 있다.
- [0064] 문구 "특성 파장(characteristic wavelength)"은 본 개시 내용에서 방사의 제한된 대역폭 내의 중심의 또는 지배적인 파장을 언급하기 위해 사용될 수 있다. 일부 경우에, 그것은 방사의 대역폭의 피크 파장을 언급할 수

있다. 형광단들의 특성 파장들의 예들은 563nm, 595nm, 662nm, 및 687nm이다.

- [0065] 문구 "특성 에너지(characteristic energy)"는 본 개시 내용에서 특성 파장과 관련된 에너지를 언급하기 위해 사용될 수 있다.
- [0066] 용어 "방출(emission)"은 본 개시 내용에서 태그 및/또는 샘플로부터의 방출을 언급하기 위해 사용될 수 있다. 이것은 방사성 방출(예를 들어, 광학 방출) 또는 비방사성 에너지 전달(예를 들어, 텍스터 에너지 전달 또는 포스터 공명 에너지 전달)을 포함할 수 있다. 방출은 샘플 우물 내의 샘플 및/또는 태그의 여기를 야기한다.
- [0067] 문구 "샘플 우물로부터의 방출(emission from a sample well)" 또는 "샘플로부터의 방출(emission from a sample)"은 본 개시 내용에서 샘플 우물 내의 태그 및/또는 샘플로부터의 방출을 언급하기 위해 사용될 수 있다. 문구 "샘플 우물로부터의 방출"은 또한 본 개시 내용에서 샘플 우물 내의 캘리브레이션 입자(calibration particle)(예를 들어, 형광성 폴리스티렌 구슬(fluorescent polystyrene bead), 양자점, 등등)로부터의 방출을 언급하기 위해 사용될 수 있다.
- [0068] 용어 "자기 정렬된(self-aligned)"은 본 개시 내용에서 제1 리소그래피 패터닝 공정(예를 들어, 포토리소그래피, 이온-빔 리소그래피, EUV 리소그래피)이 제1 엘리먼트의 패턴을 인쇄하고 제2 리소그래피 패터닝 공정이 제1 리소그래피 패터닝 공정에 정렬되어 제2 엘리먼트의 패턴을 인쇄하는 2개의 개별적인 리소그래피 패터닝 공정을 이용하지 않고 적어도 2개의 별개의 엘리먼트(예를 들어, 샘플 우물 및 방출-결합 구조물, 샘플 우물 및 여기-소스)가 제조되어 서로 정렬될 수 있는 마이크로 제조 프로세스를 언급하기 위해 사용될 수 있다. 자기 정렬된 프로세스는 단일 리소그래피 패터닝 공정에 제1 및 제2 엘리먼트 양자의 패턴을 포함시키는 것을 포함할 수 있고, 또는 제1 엘리먼트의 제조된 구조물의 피쳐들을 이용하여 제2 엘리먼트를 형성하는 것을 포함할 수 있다.
- [0069] 용어 "센서(sensor)"는 본 개시 내용에서 샘플 우물로부터의 방출을 감지하고 감지된 방출을 나타내는 적어도 하나의 전기 신호를 생성하도록 구성된 하나 이상의 집적 회로 디바이스들을 언급하기 위해 사용될 수 있다.
- [0070] 용어 "나노-스케일"은 본 개시 내용에서 대략 150나노미터(nm) 이하이지만, 대략 500nm보다 크지는 않은 적어도 하나의 치수 또는 최소 피쳐 사이즈를 가진 구조물을 언급하기 위해 사용될 수 있다.
- [0071] 용어 "마이크로-스케일"은 본 개시 내용에서 대략 500nm와 대략 100마이크로미터 사이의 적어도 하나의 치수 또는 최소 피쳐 사이즈를 가진 구조물을 언급하기 위해 사용될 수 있다.
- [0072] 용어 "나노 개구(nanoaperture)"는 본 개시 내용에서 적어도 하나의 재료층 내의 나노-스케일 개방부 또는 개구를 언급하기 위해 사용될 수 있다. 예를 들어, 개방부의 직경 또는 폭은 대략 500nm 미만이다.
- [0073] 용어 "나노홀(nanohole)"은 본 개시 내용에서 적어도 하나의 재료층에 형성된 나노-스케일 홀을 언급하기 위해 사용될 수 있다. 나노홀은 나노 개구보다 큰 길이 또는 세로 치수를 가질 수 있다.
- [0074] 용어 "서브-컷오프 나노 개구(sub-cutoff nanoaperture)"는 본 개시 내용에서 도파관 구조물에 입사될 수 있는 방사의 선택된 파장에 대한 전파 모드를 지원하지 않는 도파관 구조물을 언급하기 위해 사용될 수 있다. 예를 들어, 선택된 파장은 도파관 구조물에 대한 차단 파장(cut-off wavelength)보다 길 수 있고, 전력이 도파관 내로 지수적으로(exponentially) 감쇠한다.
- [0075] 문구 "여기 에너지를 향상시키다(enhance excitation energy)"는 본 개시 내용에서 샘플 우물의 여기 영역에서의 여기 에너지의 강도를 증가시키는 것을 언급하기 위해 사용될 수 있다. 강도는, 예를 들어, 샘플 우물에 입사되는 여기 에너지를 집중시키는 것 및/또는 공진시키는 것에 의해 증가될 수 있다. 일부 경우에, 강도는 여기 에너지가 샘플 우물의 여기 영역 내로 더 침투하는 것을 허용하는 반사 방지 코팅(anti-reflective coating)들 또는 손실 층(lossy layer)들에 의해 증가될 수 있다. 여기 에너지의 향상은 샘플 우물의 여기 영역에서의 여기 에너지를 향상시키는 구조물들을 포함하지 않는 실시예에 대한 비교 언급일 수 있다.
- [0076] 용어들 "약(about)", "대략(approximately)", 및 "실질적으로(substantially)"는 본 개시 내용에서 값을 언급하기 위해 사용될 수 있고, 본 개시 내용에서 언급된 값에 허용 가능한 편차들을 더하고 뺀 것을 포괄하기 위해 의도된 것이다. 편차의 양은 일부 실시예들에서는 5% 미만이고, 일부 실시예들에서는 10% 미만이고, 또 일부 실시예들에서는 20% 미만일 수 있다. 장치가 값들의 큰 범위, 예를 들어, 하나 이상의 자릿수를 포함하는 범위에 걸쳐 제대로 기능할 수 있는 실시예들에서, 편차의 양은 2배일 수 있다. 예를 들어, 장치가 20 내지 350 범위의 값에 대해 제대로 기능한다면, "대략 80"은 40과 160 사이의 값들을 포괄할 수 있다.

[0077] 용어 "인접한(adjacent)"은 본 개시 내용에서 서로 아주 근접하여(예를 들어, 픽셀의 가로 또는 수직 치수의 약 1/5 미만인 거리 이내에) 배열된 2개의 엘리먼트를 언급하기 위해 사용될 수 있다. 일부 경우에 인접한 엘리먼트들 사이에 개재하는 구조물들 또는 층들이 있을 수 있다. 일부 경우에 인접한 엘리먼트들은 개재하는 구조물들 또는 엘리먼트들이 없이 서로 바로 인접할 수 있다.

[0078] 용어 "검출하다(detect)"는 본 개시 내용에서 샘플 우물로부터 센서에서 방사를 수신하고 그 방사를 나타내는 또는 그 방사와 관련된 적어도 하나의 전기 신호를 생성하는 것을 언급하기 위해 사용될 수 있다. 용어 "검출하다"는 또한 본 개시 내용에서 샘플 우물로부터의 방출에 기초하여 샘플 우물 내의 특정 샘플 또는 태그의 존재를 결정하는 것, 또는 그 특정 샘플 또는 태그의 속성을 식별하는 것을 언급하기 위해 사용될 수 있다.

[0079] 본 교시 내용들의 상기 및 다른 양태들, 구현들, 단계들, 기능들, 특징들, 및 실시예들은 첨부 도면들과 함께 하기의 설명으로부터 더 완전히 이해될 수 있다.

도면의 간단한 설명

[0080] 숙련된 기술자는 본 명세서에 설명된 도면들이 단지 예시를 목적으로 한다는 것을 이해할 것이다. 일부 경우에 본 발명의 다양한 양태들은 본 발명의 이해를 용이하게 하기 위해 과장되거나 확대되어 도시될 수도 있다는 것이 이해되어야 한다. 도면들에서, 유사한 참조 부호들은 일반적으로 다양한 도면 전체에 걸쳐 유사한 특징, 기능적으로 유사한 그리고/또는 구조적으로 유사한 엘리먼트를 지칭한다. 도면들은 반드시 축척에 맞지는 않을 것이며, 대신 본 발명의 원리들을 예시하는 것이 강조된다. 도면들은 어떠한 방식으로든 본 교시 내용들의 범위를 제한하기 위해 의된 것이 아니다.

- 도 1a는 일부 실시예들에 따른, 방출 파장 스펙트럼을 도시한다.
- 도 1ba는 일부 실시예들에 따른, 흡수 파장 스펙트럼을 도시한다.
- 도 1bb는 일부 실시예들에 따른, 방출 파장 스펙트럼을 도시한다.
- 도 2a는 일부 실시예들에 따른, 생물학 및 화학 시편들의 신속한 모바일 분석을 위해 이용될 수 있는 콤팩트한 장치의 블록도 표현이다.
- 도 2b는 일부 실시예들에 따른, 통합 디바이스를 도시한다.
- 도 2c는 일부 실시예들에 따른, 컴퓨팅 시스템을 도시한다.
- 도 3a는 일 실시예에 따른, 통합 디바이스의 픽셀 영역에 형성된 샘플 우물을 도시한다.
- 도 3b는 일부 실시예들에 따른, 샘플 우물에 입사되는 여기 에너지를 도시한다.
- 도 3c는 일부 실시예들에 따른, 제로-모드 도파관으로서 형성되는 샘플 우물을 따른 여기 에너지의 감쇠를 예시한다.
- 도 3d는 일부 실시예들에서 샘플 우물과 관련된 여기 영역에서 여기 에너지를 증가시키는, 디봇을 포함하는 샘플 우물을 도시한다.
- 도 3e는 일 실시예에 따른, 디봇이 있고 없는 샘플 우물들에 대한 여기 강도들을 비교한다.
- 도 3f는 일부 실시예들에 따른, 돌출부(protrusion)에 형성된 샘플 우물 및 디봇을 도시한다.
- 도 3ga는 일부 실시예들에 따른, 테이퍼된 측벽들을 가진 샘플 우물을 도시한다.
- 도 3gb는 일부 실시예들에 따른, 만곡된 측벽들을 가진 샘플 우물 및 보다 작은 가로 치수를 가진 디봇을 도시한다.
- 도 3gc 및 도 3gd는 표면 플라즈몬 구조물들로부터 형성된 샘플 우물을 도시한다.
- 도 3ge는 일부 실시예들에 따른, 샘플 우물의 측벽들을 따라 형성된 여기-에너지-향상 구조물을 포함하는 샘플 우물을 도시한다.
- 도 3gf는 일부 실시예들에 따른, 다중층 스택에 형성된 샘플 우물을 도시한다.
- 도 3h는 일부 실시예들에 따른, 샘플 우물의 표면들에 형성된 표면 코팅을 예시한다.
- 도 3ia 내지 도 3ie는 일부 실시예들에 따른, 샘플 우물을 형성하는 리프트오프 프로세스와 관련된 구조물들을

도시한다.

도 3if는 일부 실시예들에 따른, 샘플 우물을 형성하는 대안적인 리프트오프 프로세스와 관련된 구조물을 도시한다.

도 3ja 내지 도 3jd는 일부 실시예들에 따른, 샘플 우물을 형성하는 직접 에칭 프로세스와 관련된 구조물들을 도시한다.

도 3k는 일부 실시예들에 따른, 리프트오프 프로세스 또는 직접 에칭 프로세스를 이용하여 다수의 층들에 형성될 수 있는 샘플 우물을 도시한다.

도 3l은 일부 실시예들에 따른, 디봇을 형성하기 위해 이용될 수 있는 에칭 프로세스와 관련된 구조물을 도시한다.

도 3ma 내지 도 3mc는 일부 실시예들에 따른, 디봇을 형성하는 대안적인 프로세스와 관련된 구조물들을 도시한다.

도 3na 내지 도 3nd는 일부 실시예들에 따른, 피착체 및 부동태화(passivating) 층들을 퇴적하기 위한 프로세스와 관련된 구조물들을 도시한다.

도 3o는 일부 실시예들에 따른, 샘플 우물 내에 중심에 피착체를 퇴적하기 위한 프로세스와 관련된 구조물을 도시한다.

도 4aa 및 도 4ab는 일부 실시예들에 따른, 여기 소스들의 스펙트럼 여기 대역들을 도시한다.

도 4ba 내지 도 4bd는 일부 구현들에 따른 통합 디바이스 상에 포함될 수 있는 여기 소스들의 다양한 배열들을 평면도로 도시한다.

도 4be는 일부 실시예들에 따른, 픽셀 영역에 인접하여 위치하는 여기 소스의 배열을 정면도로 도시한다.

도 4ca는 일부 실시예들에 따른, 픽셀 내에 통합된 유기 발광 다이오드(OLED)를 도시한다.

도 4cb는 일부 실시예들에 따른, 픽셀 내에 통합된 발광 다이오드 구조물의 추가 세부 사항들을 도시한다.

도 4cc는 일부 실시예들에 따른 픽셀 내에 통합된 수직 공동 표면 발광 레이저(VCSEL)를 도시한다.

도 4cd는 일부 실시예들에 따른, 픽셀 내에 통합된 자기 정렬된 나노-LED를 도시한다.

도 4ce는 일부 실시예들에 따른, 픽셀 내에 통합된 자기 정렬된 나노-VCSEL을 도시한다.

도 4da 내지 도 4df는 일부 실시예들에 따른, 나노-LED 또는 나노-VCSEL을 제조하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 4dg 내지 도 4di는 일부 실시예들에 따른, 나노-LED를 제조하기 위한 대안적인 프로세스 공정들과 관련된 구조물들을 도시한다.

도 4ea는 일부 실시예들에 따른, 픽셀에 통합될 수 있는 비방사성 여기 소스를 도시한다.

도 4eb는 일부 실시예들에 따른, 픽셀에 통합될 수 있는 비방사성 여기 소스를 정면도로 도시한다.

도 4ec는 일부 실시예들에 따른, 비방사성 여기 소스를 위한 인터커넥트들을 평면도로 도시한다.

도 4ed는 일부 실시예들에 따른, 픽셀에 통합될 수 있는 나노-다이오드, 비방사성 여기 소스를 도시한다.

도 4fa 내지 도 4fu는 일부 실시예들에 따른, 자기 정렬된, 비방사성 여기 소스들을 제조하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 5aa 및 도 5ab는 단 하나의 실시예에 따른, 표면-플라즈몬 구조물을 도시한다.

도 5ac는 일부 실시예들에 따른, 샘플 우물에 인접하여 형성된 표면-플라즈몬 구조물을 도시한다.

도 5ad 및 도 5ae는 일부 실시예들에 따른, 샘플 우물에 형성된 표면-플라즈몬 구조물들을 도시한다.

도 5ba 내지 도 5bc는 일부 실시예들에 따른, 주기적인 표면-플라즈몬 구조물들의 예들을 도시한다.

도 5bd는 일부 실시예들에 따른, 주기적인 표면-플라즈몬 구조물에 인접하여 형성된 샘플 우물에서의 여기 방사

의 수치 시뮬레이션을 도시한다.

도 5be 내지 도 5bg는 일부 실시예들에 따른, 주기적인 표면-플라즈몬 구조물들을 도시한다.

도 5bh 및 도 5bi는 일부 실시예들에 따른, 표면-플라즈몬 구조물들을 포함하는 나노-안테나를 도시한다.

도 5ca 내지 도 5ce는 일부 실시예들에 따른, 표면-플라즈몬 구조물을 형성하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 5da 내지 도 5dg는 일부 실시예들에 따른, 표면-플라즈몬 구조물 및 자기 정렬된 샘플 우물을 형성하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 5ea 내지 도 5ee는 일부 실시예들에 따른, 표면-플라즈몬 구조물 및 자기 정렬된 샘플 우물을 형성하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 5fa는 일부 실시예들에 따른, 샘플 우물에 인접하여 형성된 얇은 손실막을 도시한다.

도 5fb 및 도 5fc는 일부 실시예들에 따른, 샘플 우물 및 얇은 손실막의 부근에서의 여기 방사의 수치 시뮬레이션들로부터의 결과들을 도시한다.

도 5fd는 일부 실시예들에 따른, 샘플 우물로부터 이격된 얇은 손실막을 도시한다.

도 5fe는 일부 실시예들에 따른, 샘플 우물에 인접하여 형성된 얇은 손실막 스택을 도시한다.

도 5ga는 일부 실시예들에 따른, 샘플 우물에 인접하여 공진 공동을 형성하기 위해 이용될 수 있는 반사성 스택을 예시한다.

도 5gb는 일부 실시예들에 따른, 샘플 우물에 여기 방사를 집중시키기 위해 이용될 수 있는 유전체 구조물을 도시한다.

도 5gc 및 도 5gd는 일부 실시예들에 따른, 샘플 우물에 인접하여 패터닝될 수 있는 광 밴드갭(photonic bandgap) 구조물을 도시한다.

도 5ha 내지 도 5hg는 일부 실시예들에 따른, 유전체 구조물들 및 자기 정렬된 샘플 우물을 형성하기 위한 프로세스 공정들과 관련된 구조물들을 도시한다.

도 5ia 및 도 5ib는 일부 실시예들에 따른, 비방사성 프로세스를 통해 샘플에 여기 에너지를 결합하기 위한 구조물들을 도시한다.

도 5ic 및 도 5id는 일부 실시예들에 따른, 다수의 비방사성 프로세스에 의해 샘플에 여기 에너지를 결합하기 위한 구조물을 도시한다.

도 5ie는 일부 실시예들에 따른, 방사성 또는 비방사성 프로세스를 통해 샘플에 여기 에너지를 결합하기 위해 하나 이상의 에너지-변환 입자를 포함하는 구조물을 도시한다.

도 5if는 일부 실시예들에 따른, 샘플로의 여기 에너지의 하향 변환과 관련된 스펙트럼을 도시한다.

도 5ig는 일부 실시예들에 따른, 샘플로의 여기 에너지의 상향 변환과 관련된 스펙트럼을 도시한다.

도 6aa는 일부 실시예들에 따른, 동심의 플라즈몬 원형 격자를 도시한다.

도 6ab는 일부 실시예들에 따른, 나선형 플라즈몬 격자를 도시한다.

도 6ba 내지 도 6bd는 일부 실시예들에 따른, 다양한 방출 파장들에 대한 동심의 플라즈몬 원형 격자로부터의 방출 공간 분포 패턴들을 도시한다.

도 6ca 내지 도 6cd는 일부 실시예들에 따른, 플라즈몬 나노-안테나들을 도시한다.

도 6da는 일부 실시예들에 따른, 나선형 플라즈몬 나노-안테나를 위한 패턴을 도시한다.

도 6db는 일부 실시예들에 따른, 도 6da의 나선형 플라즈몬 나노-안테나의 부근에서의 전자기장의 수치 시뮬레이션으로부터의 결과들을 도시한다.

도 6dc 내지 도 6de는 일부 실시예들에 따른, 나선형 플라즈몬 나노-안테나들의 다양한 구성들을 예시한다.

도 6ea 내지 도 6ed는 일부 실시예들에 따른, 플라즈몬 나노-안테나에 의해 둘러싸인 샘플 우물로부터 방출되는

상이한 파장들과 관련된 공간 분포 패턴들의 수치 시뮬레이션들로부터의 결과들을 도시한다.

도 6fa 및 도 6fb는 일부 실시예들에 따른, 원거리장 스펙트럼 소팅 옵틱스(far-field spectral sorting optics)를 도시한다.

도 6ga 및 도 6gb는 일부 실시예들에 따른, 원거리장 스펙트럼 필터링 옵틱스(far-field spectral filtering optics)를 도시한다.

도 7aa는 일부 실시예들에 따른, 픽셀 내의 센서(3-260)를 정면도로 도시한다.

도 7ab는 일부 실시예들에 따른, 2개의 개별적인 동심의 액티브 영역들을 가진 불스아이 센서(bulls-eye sensor)를 도시한다.

도 7ac는 일부 실시예들에 따른, 4개의 개별적인 액티브 영역들을 가진 스트라이프 센서(stripe sensor)를 도시한다.

도 7ad는 일부 실시예들에 따른, 4개의 개별적인 액티브 영역들을 가진 사분면 센서(quad sensor)를 도시한다.

도 7ae는 일부 실시예들에 따른, 4개의 개별적인 액티브 영역들을 가진 아크-세그먼트 센서(arc-segment sensor)를 도시한다.

도 7af는 일부 실시예들에 따른, 스택형 세그먼트 센서(stacked-segment sensor)를 도시한다.

도 7ba는 일부 실시예들에 따른, 제1 파장에서 방출된 방사에 대한 샘플 우물로부터의 방출 분포를 도시한다.

도 7bb는 일부 실시예들에 따른, 도 7ba에 도시된 방출 분포에 대응하는 불스아이 센서에 의해 수신된 방사 패턴을 도시한다.

도 7bc는 일부 실시예들에 따른, 제2 파장에서 방출된 방사에 대한 샘플 우물로부터의 방출 분포를 도시한다.

도 7bd는 일부 실시예들에 따른, 도 7bc에 도시된 방출 분포에 대응하는 불스아이 센서에 의해 수신된 방사 패턴을 도시한다.

도 7be는 일부 실시예들에 따른, 샘플로부터의 제1 방출 파장에 대해 2개의 액티브 영역을 가진 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7bf는 일부 실시예들에 따른, 샘플로부터의 제2 방출 파장에 대해 도 7be와 관련된 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7bg는 일부 실시예들에 따른, 샘플로부터의 제3 방출 파장에 대해 도 7be와 관련된 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7bh는 일부 실시예들에 따른, 샘플로부터의 제4 방출 파장에 대해 도 7be와 관련된 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7bi는 일부 실시예들에 따른, 샘플로부터의 제1 방출 파장에 대해 4개의 액티브 영역을 가진 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7bj는 일부 실시예들에 따른, 샘플로부터의 제2 방출 파장에 대해 도 7bi와 관련된 불스아이 센서에 대한 신호 검출의 수치 시뮬레이션으로부터의 결과들을 나타낸다.

도 7ca는 일부 실시예들에 따른, 2개의 액티브 영역을 포함하는 센서로부터의 신호들을 판독하기 위해 이용될 수 있는 통합 디바이스 상의 회로를 도시한다.

도 7cb는 일부 실시예들에 따른, 신호 축적 및 판독을 위한 센서 세그먼트에 포함될 수 있는 3-트랜지스터 회로를 도시한다.

도 7cc는 일부 실시예들에 따른, 4개의 액티브 영역들을 포함하는 센서로부터의 신호들을 판독하기 위해 이용될 수 있는 통합 디바이스 상의 회로를 도시한다.

도 7da는 일부 실시예들에 따른, 샘플 분석을 위해 이용될 수 있는 2개의 상이한 방사체에 대한 시간 방출 특성들(temporal emission characteristics)을 도시한다.

도 7db는 일부 실시예들에 따른, 여기 소스 및 샘플로부터의 발광의 시간 진화(temporal evolution)를

도시한다.

도 7dc는 일부 실시예들에 따른, 시간 지연 샘플링을 예시한다.

도 7dd는 일부 실시예들에 따른, 2개의 상이한 방사체에 대한 시간 방출 특성들을 도시한다.

도 7de는 일부 실시예들에 따른, 센서의 전하-축적 노드에서의 전압 다이내믹스를 도시한다.

도 7df는 일부 실시예들에 따른, 리셋이 없는 센서 세그먼트의 이중 판독을 도시한다.

도 7dg 및 도 7dh는 일부 실시예들에 따른, 시간적으로 별개의 방출 특성들을 가진 2개의 방사체와 관련된 제1 및 제2 판독 신호 레벨들을 예시한다.

도 8a는 일부 실시예들에 따른, 생물학 및 화학 시편들의 신속한 모바일 분석을 위해 이용될 수 있는 콤팩트한 장치의 동작 방법을 도시한다.

도 8b는 일부 실시예들에 따른, 캘리브레이션 절차를 도시한다.

도 8c는 일부 실시예들에 따른, 데이터-분석 절차를 도시한다.

본 발명의 특징들 및 이점들은 도면들과 함께 아래에 개시되는 상세한 설명으로부터 더욱 명백해질 것이다.

도면들과 관련하여 실시예들을 설명할 때, 방향 언급들("위", "아래", "상부", "하부", "왼쪽", "오른쪽", "수평", "수직", 등등)이 이용될 수 있다. 이러한 언급들은 단지 통상적인 오리엔테이션으로 도면들을 보는 독자에게 도움으로서 의도된 것에 불과하다. 이러한 방향 언급들은 구현된 디바이스의 선호되는 또는 유일한 오리엔테이션을 설명하기 위해 의도된 것은 아니다. 디바이스는 다른 오리엔테이션들로 구현될 수 있다.

발명을 실시하기 위한 구체적인 내용

I. 서론

[0081]

본 발명자들은 생물학적 검정(bioassays)을 수행하기 위한 종래의 장치들은 크고, 값비싸고, 수행하기 위해서는 진보된 실험실 기법들이 필요하다는 것을 인지하고 인식하였다. 본 발명자들은 의료, 법의학, 연구, 및 다양한 진단 목적으로 생물학 및/또는 화학 시편들을 간단하고 저렴하게 분석할 수 있는 콤팩트한 디바이스에 대한 요구가 있다는 것을 인지하고 인식하였다. 이러한 디바이스의 적용은 복수의 아미노산을 가진 폴리펩티드(예를 들어, 단백질) 또는 핵산 분자와 같은 생체 분자의 서열을 분석하기 위한 것일 수 있다. 단일 분자 또는 입자의 검출 및 정량(quantitation)을 수행하기 위한 콤팩트한 고속 장치는 생물학 및/또는 화학 샘플들의 복잡한 정량 측정들을 수행하는 비용을 감소시키고 다양한 생화학 분야에서 연구 및 개발의 속도를 빠르게 발전시킬 수 있다. 또한, 쉽게 운반 가능한 비용 효과적인 디바이스는 발전된 세계에서 생물학적 검정이 수행되는 방법을 변형시킬 수 있을 뿐만 아니라 개발 도상 지역들의 사람들에게, 처음으로, 그들의 건강과 복지를 극적으로 개선할 수 있는 필수적인 진단 검사들에의 빠른 접근을 제공할 수 있다. 예를 들어, 일부 실시예들에서, 생물학적 검정을 수행하기 위한 장치는 각자의 집에 있는 개인들에 의해, 현장에 있는 의사에 의해, 또는 개발 도상 국가들의 외진 병원 또는 시골 의사의 사무실과 같은 임의의 다른 장소에서 사용될 수 있는 혈액, 소변 및/또는 타액과 같은 생물학 샘플들의 진단 검사들을 수행하는 데 사용된다. 이러한 진단 검사들은 핵산 분자 또는 단백질과 같은, 피험자(subject)의 생물학 샘플 내의 생체 분자들의 검출을 포함할 수 있다. 일부 예들에서, 진단 검사들은 피험자의 생물학 샘플 내의 세포 유리(cell free) 데옥시리보핵산(deoxyribonucleic acid) 분자들 또는 발현 산물들(expression products)의 서열 분석과 같은, 피험자의 생물학 샘플 내의 핵산 분자의 서열을 분석하는 것을 포함한다.

[0083]

시편들 또는 생물학 샘플들에 생화학 종들(예를 들어, 핵산, 단백질, 항원, 항체, 바이러스, 작은 분자, 등등)의 존재를 검출하기 위해 콤팩트한 기기가 사용될 수 있기는 하지만, 이 기기는 동적인 생화학 프로세스들의 분석과 같은, 더 복잡한 작업들을 위해 사용될 수 있다. 이 기기가 사용될 수 있는 하나의 관심 분야는 단일 분자 유전자 서열 분석(single-molecule genetic sequencing)이다. 일부 실시예들에 따르면, 이 기기를 이용하여 실시간, 단일 분자 핵산 서열 분석을 수행하여 유전자들 또는 유전자 세그먼트들을 해독할 수 있다. 이에 따라 임상자들은, 예를 들어, 실시간으로 유해한 바이러스의 돌연변이를 추적할 수 있다.

[0084]

본 명세서에서 사용된 용어 "핵산(nucleic acid)"은 하나 이상의 핵산 서브유닛을 포함하는 분자를 일반적으로 언급한다. 핵산은 아데노신(A), 시토신(C), 구아닌(G), 티민(T) 및 우라실(U), 또는 그의 변이체들로부터 선택된 하나 이상의 서브유닛을 포함할 수 있다. 일부 예들에서, 핵산은 데옥시리보핵산(DNA) 또는 리보핵산(RNA),

또는 그의 유도체들이다. 핵산은 단일 가닥 또는 이중 가닥일 수 있다. 핵산은 원형일 수 있다.

- [0085] 본 명세서에서 사용된 용어 "뉴클레오티드(nucleotide)"는 A, C, G, T 또는 U, 또는 그의 변이체들 또는 유사체들을 포함할 수 있는 핵산 서브유닛을 일반적으로 언급한다. 뉴클레오티드는 성장하는 핵산 가닥에 통합될 수 있는 임의의 서브유닛을 포함할 수 있다. 이러한 서브유닛은 A, C, G, T, 또는 U이거나, 또는 하나 이상의 상보적인 A, C, G, T 또는 U에 특유한, 또는 퓨린(즉, A 또는 G, 또는 그의 변이체 또는 유사체들) 또는 피리미딘(즉, C, T 또는 U, 또는 그의 변이체 또는 유사체들)과 상보적인 임의의 다른 서브유닛일 수 있다. 서브유닛은 개개의 핵산 염기들 또는 염기들의 기(group)들(예를 들어, AA, TA, AT, GC, CG, CT, TC, GT, TG, AC, CA, 또는 그의 우라실-대응물들)이 분해되는 것을 가능하게 할 수 있다.
- [0086] 일반적으로 뉴클레오티드는 뉴클레오시드 및 적어도 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 또는 그 이상의 포스페이트(PO_3) 기를 포함한다. 뉴클레오티드는 핵염기, 5-탄당(리보스 또는 데옥시리보스), 및 하나 이상의 포스페이트 기를 포함할 수 있다. 리보뉴클레오티드는 당이 리보스인 뉴클레오티드이다. 데옥시리보뉴클레오티드는 당이 데옥시리보스인 뉴클레오티드이다. 뉴클레오티드는 뉴클레오시드 모노포스페이트 또는 뉴클레오시드 폴리포스페이트일 수 있다. 뉴클레오티드는 발광성 태그들 또는 마커들(예를 들어, 형광단들)과 같은 검출 가능한 태그들을 포함하는, 예를 들어, 데옥시아데노신 트리포스페이트(dATP), 데옥시사이티딘 트리포스페이트(dCTP), 데옥시구아노신 트리포스페이트(dGTP), 데옥시우리딘 트리포스페이트(dUTP) 및 데옥시티미딘 트리포스페이트(dTTP) dNTP들로부터 선택될 수 있는, 데옥시리보뉴클레오시드 트리포스페이트와 같은, 데옥시리보뉴클레오시드 폴리포스페이트일 수 있다.
- [0087] 뉴클레오시드 포스페이트는 'n' 포스페이트 기를 가질 수 있고, 여기서 'n'은 2, 3, 4, 5, 6, 7, 8, 9, 또는 10 이상인 수이다. 뉴클레오시드 포스페이트들의 예들은 뉴클레오시드 디포스페이트 또는 뉴클레오시드 트리포스페이트를 포함한다. 뉴클레오티드는 말단 포스페이트 표지된 뉴클레오시드 트리포스페이트(terminal phosphate labeled nucleoside polyphosphate)와 같은, 말단 포스페이트 표지된 뉴클레오시드일 수 있다. 이러한 표지(label)는 발광성(예를 들어, 형광성 또는 화학 발광성) 표지, 형광원성(fluorogenic) 표지, 착색 표지, 발색원성(chromogenic) 표지, 질량 태그(mass tag), 정전기 표지, 또는 전기 화학 표지일 수 있다. 표지(또는 마커)는 링커를 통하여 말단 포스페이트에 결합될 수 있다. 링커는, 예를 들어, 포스페이트 에스테르, 티오에스테르, 포스포르아미데이트 또는 알킬 포스포네이트 연결을 천연 또는 변형된 뉴클레오티드의 말단 포스페이트에 형성하기에 적합할 수 있는, 예를 들어, 적어도 하나의 또는 복수의 히드록실 기, 술포히드릴 기, 아미노 기 또는 할로알킬 기를 포함할 수 있다. 링커는, 예를 들어 중합 효소의 도움을 받아, 말단 포스페이트에서 표지를 분리시키도록 절단 가능할 수 있다. 뉴클레오티드들 및 링크들의 예들은, 본 명세서에 참고로 완전히 포함되는, 미국 특허 번호 7,041,812에서 제공된다.
- [0088] 본 명세서에서 사용된 용어 "폴리머라제(polymerase)"는 중합 반응에 촉진시킬 수 있는 임의의 효소(또는 중합 효소)를 일반적으로 언급한다. 폴리머라제들의 예들은, 핵산 폴리머라제, 전사효소(transcriptase) 또는 리가제를 포함하지만, 이들에 제한되지 않는다. 폴리머라제는 중합 효소일 수 있다.
- [0089] 용어 "게놈(genome)"은 유기체의 유전성 정보의 전체를 일반적으로 언급한다. 게놈은 DNA에 또는 RNA에 코딩될 수 있다. 게놈은 단백질들에 대해 코딩하는 코딩 영역들뿐만 아니라 비코딩 영역들도 포함할 수 있다. 게놈은 유기체 내의 모든 염색체들의 서열을 함께 포함할 수 있다. 예를 들어, 인간 게놈은 총 46개의 염색체를 가진다. 이것들 모두의 서열은 함께 인간 게놈을 구성한다.
- [0090] 본 개시 내용은 핵산 분자들과 같은, 생체 분자들 또는 그의 서브유닛들을 검출하기 위한 디바이스들, 시스템들 및 방법들을 제공한다. 이러한 검출은 서열 분석(sequencing)을 포함할 수 있다. 피험자로부터 획득된 생물학 샘플로부터 생체 분자가 추출될 수 있다. 생물학 샘플은 호흡, 타액, 소변 또는 혈액(예를 들어, 전혈 또는 혈장)과 같은, 피험자의 신체상 유체 또는 조직으로부터 추출될 수 있다. 피험자는 질병(예를 들어, 암)과 같은 건강 조건을 가진 것으로 의심될 수 있다. 일부 예들에서, 피험자의 신체상 유체 또는 조직으로부터 하나 이상의 핵산 분자가 추출된다. 하나 이상의 핵산 분자는 피험자의 조직의 일부와 같은, 피험자로부터 획득된, 또는 전혈과 같은, 피험자의 세포 유리 신체상 유체로부터 획득된 하나 이상의 세포로부터 추출될 수 있다.
- [0091] 생물학 샘플은 검출(예를 들어, 서열 분석)에 대비하여 처리될 수 있다. 이러한 처리는 생물학 샘플로부터 생체 분자(예를 들어, 핵산 분자)의 단리 및/또는 정제(isolation and/or purification), 및 생체 분자의 더 많은 복제들의 생성을 포함할 수 있다. 일부 예들에서, 피험자의 신체상 유체 또는 조직으로부터 하나 이상의 핵산 분자가 단리되어 정제되고, 폴리머라제 연쇄 반응(polymerase chain reaction)(PCR)과 같은 핵산 증폭을 통하여 증폭된다. 그 후, 하나 이상의 핵산 분자 또는 그의 서브유닛들이, 예를 들어 서열 분석을 통하여, 식별

될 수 있다.

- [0092] 서열 분석은 템플릿 생체 분자(예를 들어, 핵산 분자)와 상보적인 또는 유사한 또 다른 생체 분자를 분석하는 것에 그 템플릿 생체 분자의 개개의 서브유닛들을 식별하는 것을 포함할 수 있고, 이는 예를 들어 템플릿 핵산 분자와 상보적인 핵산 분자를 합성하고 시간이 지남에 따라 뉴클레오티드들의 통합을 식별하는 것(즉, 합성에 의한 서열 분석)에 의해 이루어진다. 대안으로서, 서열 분석은 생체 분자의 개개의 서브유닛들의 직접 식별을 포함할 수 있다.
- [0093] 서열 분석 중에, 생체 분자의 개개의 서브유닛들을 나타내는 신호들이 메모리에 수집되고 생체 분자의 서열을 결정하기 위해 실시간으로 또는 나중 시점에 처리될 수 있다. 이러한 처리는 개개의 서브유닛들의 식별을 가능하게 하는 참조 신호들과의 신호들의 비교를 포함할 수 있고, 이는 일부 경우에 판독들을 야기한다. 판독들은, 예를 들어, 염색체 또는 게놈 영역 또는 유전자상의 위치에 정렬될 수 있는, 더 큰 서열 또는 영역을 식별하기 위해 이용될 수 있는 충분한 길이(예를 들어, 적어도 약 30 염기 쌍(base pairs)(bp))의 서열들일 수 있다.
- [0094] 서열 판독들은 피험체의 게놈의 더 긴 영역을 재구성하기 위해 이용될 수 있다(정렬). 판독들은 염색체 영역들, 전체 염색체들, 또는 전체 게놈을 재구성하기 위해 이용될 수 있다. 서열 판독들 또는 이러한 판독들로부터 생성된 더 큰 서열은 피험체의 게놈을 분석하기 위해, 예를 들어 변이체들 또는 다형성(polymorphism)들을 식별하기 위해 이용될 수 있다. 변이체들의 예들은 탠덤(tandem) 단일 뉴클레오티드 다형성(single nucleotide polymorphism)(SNP)들을 포함하는 SNP들, 인델(indels) 또는 결실 삽입 다형성(deletion insertion polymorphisms) 또는 DIP들로도 언급되는, 소규모 다중-염기 결실들 또는 삽입들, 다중-뉴클레오티드 다형성(Multi-Nucleotide Polymorphism)(MNP)들, STR(Short Tandem Repeat)들, 마이크로결실(microdeletions)을 포함하는, 결실들, 마이크로삽입(microinsertions)을 포함하는, 삽입들, 중복(duplications), 역위(inversions), 전위(translocations), 증식(multiplications), 복합 멀티사이트 변이체(complex multi-site variants), 복제 수 변이(copy number variations)(CNV)를 포함하는 구조적 변이들을 포함하지만, 이들에 제한되지 않는다. 게놈 서열들은 변이체들의 조합들을 포함할 수 있다. 예를 들어, 게놈 서열들은 하나 이상의 SNP 및 하나 이상의 CNV의 조합을 포괄할 수 있다.
- [0095] 생체 분자들의 개개의 서브유닛들은 마커들을 이용하여 식별될 수 있다. 일부 예들에서, 본 명세서의 다른 곳에 설명된 바와 같이, 생체 분자들의 개개의 서브유닛들을 식별하기 위해 발광성 마커들이 이용된다.
- [0096] 핵산(예를 들어, DNA) 서열 분석은 표적 핵산 분자에서 뉴클레오티드들의 순서 및 위치의 결정을 가능하게 한다. 핵산 서열 분석 기술들은 핵산 서열을 결정하는 데 이용되는 방법들뿐만 아니라, 서열 분석 프로세스에서 속도(rate), 판독 길이, 및 오류 발생률이 달라질 수 있다. 예를 들어, 일부 핵산 서열 분석 방법들은 합성에 의한 서열 분석에 기초하는데, 이 경우 뉴클레오티드의 아이덴티티는 표적 핵산 분자와 상보적인 핵산의 새로이 합성된 가닥에 뉴클레오티드가 통합될 때 결정된다.
- [0097] 서열 분석 중에, 중합 효소가 표적 핵산 분자의 프라이밍 위치에 결합(예를 들어, 부착)될 수 있다. 프라이밍 위치는 표적 핵산 분자와 상보적인 프라이머일 수 있다. 대안으로서 프라이밍 위치는 표적 핵산 분자의 이중 가닥 세그먼트 내에 제공되는 갭(gap) 또는 닉(nick)이다. 갭 또는 닉은 길이가 0 내지 적어도 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 20, 30, 또는 40 뉴클레오티드일 수 있다. 닉은 이중 가닥 서열의 하나의 가닥에서의 틈(break)을 제공할 수 있고, 이는 예를 들어, 가닥 변위 폴리머라제 효소(strand displacing polymerase enzyme)와 같은, 중합 효소에 대한 프라이밍 위치를 제공할 수 있다.
- [0098] 일부 경우에, 샘플 우물과 같은 고정 지지체(solid support)에 고정화될 수 있거나 고정화되지 그렇지 않을 수 있는 표적 핵산 분자에 서열 분석 프라이머가 어닐링될 수 있다. 일부 실시예들에서, 서열 분석 프라이머가 고정 지지체에 고정화될 수 있고 표적 핵산 분자의 혼성화(hybridization)도 표적 핵산 분자를 고정 지지체에 고정화한다. 뉴클레오티드를 프라이머에 부가하거나 통합할 수 있는 효소(예를 들어, 폴리머라제)의 작용을 통해, 뉴클레오티드들이 5' 내지 3', 템플릿 결합 방식(template bound fashion)으로 프라이머에 부가될 수 있다. (예를 들어, 폴리머라제의 작용을 통한) 프라이머로의 뉴클레오티드들의 이러한 통합은 일반적으로 프라이머 연장 반응(primer extension reaction)으로 언급될 수 있다. 각각의 뉴클레오티드는 프라이머에, 따라서, 새로이 합성된 핵산 분자의 서열에 통합된 각각의 뉴클레오티드를 결정하기 위해 검출되고 사용될 수 있는 검출 가능한 태그와 관련될 수 있다. 새로이 합성된 핵산 분자의 서열 상보성을 통해, 표적 핵산 분자의 서열도 결정될 수 있다. 일부 경우에, 서열 분석 프라이머를 표적 핵산 분자에 어닐링하고 뉴클레오티드들을 서열 분석 프라이머에 통합하는 것은 유사한 반응 조건들(예를 들어, 동일한 또는 유사한 반응 온도)에서 또는 상이한 반응 조건들(예를 들어, 상이한 반응 온도들)에서 발생할 수 있다. 또한, 일부 합성에 의한 서열 분석 방법들은

표적 핵산 분자들의 집단(예를 들어, 표적 핵산 분자의 복제들)의 존재 및/또는 표적 핵산들의 집단을 달성하기 위한 표적 핵산의 증폭 단계를 포함할 수 있다.

[0099] 본 개시 내용의 디바이스들 및 시스템들은 높은 정확도와 긴 관독 길이들로, 예를 들어 적어도 약 50%, 60%, 70%, 75%, 80%, 85%, 90%, 95%, 96%, 97%, 98%, 99%, 99.9%, 99.99%, 99.999%, 또는 99.9999%의 정확도, 및/또는 약 10 염기 쌍(bp), 50 bp, 100 bp, 200 bp, 300 bp, 400 bp, 500 bp, 1000 bp, 10,000 bp, 20,000 bp, 30,000 bp, 40,000 bp, 50,000 bp, 또는 100,000 bp 이상의 관독 길이들로 단일 핵산 분자들의 서열 분석이 가능하다. 일부 실시예들에서, 단일 분자 서열 분석에 사용되는 표적 핵산 분자는 샘플 우물의 바닥과 같은 고정 지지체에 고정화되거나 부착된 서열 분석 반응의 적어도 하나의 부가 성분(예를 들어, DNA 폴리머라제, 서열 분석 프라이머와 같은 폴리머라제)를 포함하는 샘플 우물에 부가되거나 고정화되는 단일 가닥 핵산 분자(예를 들어, 테옥시리보핵산(DNA), DNA 유도체들, 리보핵산(RNA), RNA 유도체들) 템플릿이다. 표적 핵산 분자 또는 폴리머라제는 직접 또는 링커를 통하여 샘플 우물에, 예를 들어 샘플 우물의 바닥에 부착될 수 있다. 샘플 우물은 또한 예를 들어 적합한 완충제(buffers), 보조 인자(co-factors), 효소(예를 들어, 폴리머라제)와 같은, 프라이머 연장 반응을 통한 핵산 합성에 필요한 임의의 다른 시약들 및 형광단들과 같은 발광성 태그들을 포함하는, 예를 들어, 테옥시아데노신 트리포스페이트(dATP), 테옥시사이티딘 트리포스페이트(dCTP), 테옥시구아노신 트리포스페이트(dGTP), 테옥시우리딘 트리포스페이트(dUTP) 및 테옥시티미딘 트리포스페이트(dTTP) dNTP들을 포함하는, 테옥시리보뉴클레오시드 트리포스페이트와 같은, 테옥시리보뉴클레오시드 폴리포스페이트를 포함할 수 있다. 각각의 부류의 dNTP들(예를 들어, 아데닌-함유 dNTP들(예를 들어, dATP), 시토신-함유 dNTP들(예를 들어, dCTP), 구아닌-함유 dNTP들(예를 들어, dGTP), 우라실-함유 dNTP들(예를 들어, dUTP) 및 티민-함유 dNTP들(예를 들어, dTTP))을 별개의 발광성 태그에 접합(conjugate)하여 태그로부터 방출된 광의 검출이 새로이 합성된 핵산에 통합된 dNTP의 아이덴티티를 나타내도록 한다. 발광성 태그로부터의 방출된 광을 본 명세서의 다른 곳에 설명된 검출을 위한 디바이스들 및 방법들을 포함하는, 임의의 적합한 디바이스 및/또는 방법을 통해 검출하여 그것의 적절한 발광성 태그(그리고, 따라서, 관련된 dNTP)의 결과로 볼 수 있다. 발광성 태그는 발광성 태그의 존재가 새로이 합성된 핵산 가닥으로의 dNTP의 통합 또는 폴리머라제의 활성을 억제하지 않는 임의의 위치에서 dNTP에 접합될 수 있다. 일부 실시예들에서, 발광성 태그는 dNTP의 말단 포스페이트(감마 포스페이트)에 접합된다.

[0100] 단일 가닥 표적 핵산 템플릿을 서열 분석 프라이머, dNTP들, 폴리머라제 및 핵산 합성에 필요한 다른 시약들과 접촉시킬 수 있다. 일부 실시예들에서, 모든 적절한 dNTP들을 단일 가닥 표적 핵산 템플릿과 동시에 접촉시켜 (예를 들어, 모든 dNTP들이 동시에 존재한다) dNTP들의 통합이 연속해서 발생할 수 있도록 할 수 있다. 다른 실시예들에서는, dNTP들을 단일 가닥 표적 핵산 템플릿과 순차적으로 접촉시킬 수 있고, 이 경우 단일 가닥 표적 핵산 템플릿은 각각의 적절한 dNTP와 개별적으로 접촉하고, 단일 가닥 표적 핵산 템플릿과 상이한 dNTP들과의 접촉 사이에 세척 공정들이 있다. 단일 가닥 표적 핵산 템플릿을 각각의 dNTP와 개별적으로 접촉시키고 이어서 세척하는 이러한 사이클을 식별될 단일 가닥 표적 핵산 템플릿의 각각의 연속적인 염기 위치에 대해 반복할 수 있다.

[0101] 서열 분석 프라이머는 단일 가닥 표적 핵산 템플릿에 어닐링되고 폴리머라제는 연속적으로 dNTP들(또는 다른 테옥시리보핵산 폴리포스페이트)을 단일 가닥 표적 핵산 템플릿을 통해 프라이머에 통합한다. 각각의 통합된 dNTP와 관련된 고유의 발광성 태그를 프라이머로의 dNTP의 통합 중에 또는 통합 후에 적절한 여기 광으로 여기시킬 수 있고 그 후 그것의 방출을 본 명세서의 다른 곳에 설명된 검출을 위한 디바이스들 및 방법들을 포함하는, 임의의 적합한 디바이스(들) 및/또는 방법(들)을 이용하여 검출할 수 있다. 광의 특정 방출의 검출은 포함된 특정 dNTP에 기인하는 것으로 볼 수 있다. 그 후 검출된 발광성 태그들의 수집으로부터 획득된 서열은 서열 상보성을 통해 단일 가닥 표적 핵산 템플릿의 서열을 결정하는 데 이용될 수 있다.

[0102] 본 개시 내용은 dNTP들에 대해 언급하지만, 본 명세서에 제공된 디바이스들, 시스템들 및 방법들은 리보뉴클레오티드 및 테옥시리보뉴클레오티드들(예를 들어, 적어도 4, 5, 6, 7, 8, 9, 또는 10 포스페이트 기를 가진 디옥시리보뉴클레오시드 포스페이트들)과 같은, 다양한 유형의 뉴클레오티드들과 함께 이용될 수 있다. 이러한 리보뉴클레오티드 및 테옥시리보뉴클레오티드들은 다양한 유형의 태그들(또는 마커들) 및 링커들을 포함할 수 있다.

[0103] 뉴클레오시드들의 통합 시에 방출된 신호들은 메모리에 저장되고 표적 핵산 템플릿의 서열을 결정하기 위해 나중에 시점에 처리될 수 있다. 이것은 통합된 뉴클레오시드들의 아이덴티티들을 시간의 함수로서 결정하기 위해 신호들을 참조 신호들과 비교하는 것을 포함할 수 있다. 대안적으로 또는 부가적으로, 뉴클레오시드의 통합 시에 방출된 신호가 수집되고 실시간으로 표적 핵산 템플릿의 서열을 결정하기 위해 실시간으로(즉, 뉴클레오시드

통합 시에) 처리될 수 있다.

[0104] 본 명세서의 다른 곳에 설명된 디바이스들에서 흔히 있는 일이지만, 다수의 샘플 우물이 이용 가능한 경우 복수의 단일 가닥 표적 핵산 템플릿의 핵산 서열 분석이 완료될 수 있다. 각각의 샘플 우물에 단일 가닥 표적 핵산 템플릿이 제공될 수 있고 각각의 샘플 우물에서 서열 분석 반응이 완료될 수 있다. 샘플 우물들 각각을 프라이머 연장 반응 중에 핵산 합성에 필요한 적절한 시약들(예를 들어, dNTP, 서열 분석 프라이머, 폴리머라제, 보조 인자, 적절한 완충제, 등등)과 접촉시킬 수 있고 각각의 샘플 우물에서 서열 분석 반응이 처리될 수 있다. 일부 실시예들에서, 다수의 샘플 우물들을 모든 적절한 dNTP들과 동시에 접촉시킨다. 다른 실시예들에서는, 다수의 샘플 우물들을 각각의 적절한 dNTP와 개별적으로 접촉시키고 상이한 dNTP들과의 접촉 사이에 각각을 세척한다. 통합된 dNTP들이 각각의 샘플 우물에서 검출될 수 있고 위에 설명된 바와 같이 각각의 샘플 우물에서 단일 가닥 표적 핵산 템플릿에 대한 서열이 결정될 수 있다.

[0105] 단일 분자 핵산 서열 분석에 관한 실시예들은 표적 핵산 분자와 상보적인 핵산을 합성할 수 있는 임의의 폴리머라제를 이용할 수 있다. 폴리머라제들의 예들은 DNA 폴리머라제, RNA 폴리머라제, 내열성 폴리머라제, 야생형 폴리머라제, 변형된 폴리머라제, 이. 콜라이(E. coli) DNA 폴리머라제 I, T7 DNA 폴리머라제, 박테리오파지(bacteriophage) T4 DNA 폴리머라제 ϕ 29 (프사이29) DNA 폴리머라제, Taq 폴리머라제, Tth 폴리머라제, Tli 폴리머라제, Pfu 폴리머라제, Pwo 폴리머라제, VENT 폴리머라제, DEEPVENT 폴리머라제, EX-Taq 폴리머라제, LA-Taq 폴리머라제, Sso 폴리머라제, Poc 폴리머라제, Pab 폴리머라제, Mth 폴리머라제, ES4 폴리머라제, Tru 폴리머라제, Tac 폴리머라제, Tne 폴리머라제, Tma 폴리머라제, Tca 폴리머라제, Tih 폴리머라제, Tfi 폴리머라제, 백금 Taq 폴리머라제, Tbr 폴리머라제, Tf1 폴리머라제, Tth 폴리머라제, Pfutubo 폴리머라제, Pyrobest 폴리머라제, Pwo 폴리머라제, KOD 폴리머라제, Bst 폴리머라제, Sac 폴리머라제, Klenow 프래그먼트(fragment), 3' 내지 5' 엑소뉴클레아제(exonuclease) 활성을 가진 폴리머라제, 및 그의 변이체들, 변형된 산물들 및 유도체들을 포함한다. 일부 실시예들에서, 폴리머라제는 단일 서브유닛 폴리머라제이다. 일부 실시예들에서, 폴리머라제는 높은 진행도(processivity)를 가진 폴리머라제이다. 폴리머라제 진행도는 핵산 템플릿을 릴리스(release)하지 않고 핵산 템플릿에 연속적으로 dNTP들을 통합하는 폴리머라제의 능력을 일반적으로 언급한다. 표적 핵산의 핵염기와 상보적인 dNTP 사이의 염기 쌍형성(base pairing)시에, 폴리머라제는 새로이 합성된 가닥의 3' 히드록실 단부와 dNTP의 알파 포스페이트 사이에 포스포디에스테르 결합(phosphodiester bond)을 형성함으로써 새로이 합성된 핵산 가닥에 dNTP를 통합한다. dNTP에 접합된 발광성 태그가 형광단인 예들에서, 그의 존재는 여기에 의해 시그널링되고 통합의 공정 중에 또는 그 후에 방출의 펄스가 검출된다. dNTP의 말단(감마) 포스페이트에 접합되는 검출 표지들에 대해, 새로이 합성된 가닥으로의 dNTP의 통합은 베타 및 감마 포스페이트들과, 샘플 우물에서 자유로이 확산하는 검출 표지가 방출되는 결과를 야기하고, 결과적으로 형광단으로부터 검출되는 방출이 감소하게 된다.

[0106] 단일 분자 RNA 서열 분석에 관한 실시예들은 RNA 템플릿으로부터 상보적인 DNA(cDNA)를 합성할 수 있는 임의의 역전사효소(reverse transcriptase)를 이용할 수 있다. 이러한 실시예들에서, 역전사효소는 RNA 템플릿에 어닐링된 역전사 프라이머로의 dNTP들의 통합을 통해 RNA 템플릿으로부터 cDNA가 합성될 수 있다는 점에서 폴리머라제와 유사한 방식으로 기능할 수 있다. 그 후 cDNA는 서열 분석 반응에 참여할 수 있고 그의 서열이 위에 설명된 바와 같이 결정될 수 있다. cDNA의 결정된 서열은 그 후, 서열 상보성을 통해, 원래 RNA 템플릿의 서열을 결정하는 데 이용될 수 있다. 역전사효소들의 예들은 몰로니 뮌린 백혈병 바이러스(Moloney Murine Leukemia Virus)(M-MLV) 역전사효소, 조류 골수모구증 바이러스(avian myeloblastosis virus)(AMV) 역전사효소, 인간 면역결핍 바이러스(human immunodeficiency virus) 역전사효소(HIV-1) 및 텔로머라제(telomerase) 역전사효소를 포함한다.

[0107] 단일 분자 검출 및/또는 핵산 서열 분석을 수행하기 위한 단순한, 덜 복잡한 장치들에 대한 필요를 인지하고, 본 개시 내용은 상이한 분자들을 표지하기 위해, 광학(예를 들어, 발광성) 태그들과 같은, 태그들의 세트들을 이용하여 단일 분자들을 검출하는 기법들을 제공한다. 그러한 단일 분자들은 태그들을 가진 뉴클레오티드들 또는 아미노산들일 수 있다. 태그들은 단일 분자들에 결합된 동안, 단일 분자들로부터의 방출시에, 또는 단일 분자들에 결합되고 그로부터 방출시에 검출될 수 있다. 일부 예들에서, 태그들은 발광성 태그들이다. 선택된 세트 내의 각각의 발광성 태그는 각각의 분자와 관련된다. 예를 들어, 4개의 태그의 세트가 DNA에 존재하는 핵염기들을 "표지(label)"하는 데 이용될 수 있다 - 세트의 각 태그는 상이한 핵염기와 관련되는데, 예를 들어, 제1 태그는 아데닌(A)과 관련되고, 제2 태그는 시토신(C)과 관련되고, 제3 태그는 구아닌(G)과 관련되고, 제4 태그는 티민(T)과 관련된다. 또한, 태그들의 세트 내의 발광성 태그들 각각은 세트의 제1 태그를 세트 내의 다른 태그들과 구별하기 위해 이용될 수 있는 상이한 속성들을 가진다. 이렇게 하여, 각 태그는 이러한 특징적인 특

성들 중 하나 이상을 이용하여 고유하게 식별된다. 제한이 아닌 예로서, 하나의 태그를 또 다른 태그와 구별하기 위해 이용될 수 있는 태그들의 특성들은 여기에 응답하여 태그에 의해 방출되는 광의 방출 에너지 및/또는 파장 및/또는 특정 태그를 여기서키는 여기 광의 에너지 및/또는 파장을 포함할 수 있다.

[0108] 실시예들은 태그들의 세트 내의 제1 태그를 동일한 세트 내의 다른 태그들과 구별하기 위해 태그 특성들의 임의의 적합한 조합을 이용할 수 있다. 예를 들어, 일부 실시예들은 태그들을 식별하기 위해 태그들로부터의 방출 광의 파장만을 이용할 수 있다. 이러한 실시예들에서, 태그들의 선택된 세트 내의 각 태그는 세트 내의 다른 태그들과는 상이한 피크 방출 파장을 가지며 발광성 태그들은 모두 단일 여기 소스로부터의 광에 의해 여기된다. 도 1a는 일 실시예에 따른 4개의 발광성 태그로부터의 방출 스펙트럼을 예시하는데, 이 실시예에서 4개의 태그는 본 명세서에서 태그의 "피크 방출 파장(peak emission wavelength)"으로 언급되는, 상이한 방출 파장들에서 그 각각의 강도 피크를 보인다. 제1 발광성 태그로부터의 제1 방출 스펙트럼(1-101)은 λ_1 에서 피크 방출 파장을 갖고, 제2 발광성 태그로부터의 제2 방출 스펙트럼(1-102)은 λ_2 에서 피크 방출 파장을 갖고, 제3 발광성 태그로부터의 제3 방출 스펙트럼(1-103)은 λ_3 에서 피크 방출 파장을 갖고, 제4 발광성 태그로부터의 제4 방출 스펙트럼(1-104)은 λ_4 에서 피크 방출 파장을 가진다. 이 실시예에서, 4개의 발광성 태그의 방출 피크들은 $\lambda_1 < \lambda_2 < \lambda_3 < \lambda_4$ 의 관계를 만족시키는 임의의 적합한 값들을 가질 수 있다. 4개의 방출 스펙트럼은 겹칠 수 있거나 겹치지 않을 수 있다. 그러나, 2개 이상의 태그의 방출 스펙트럼이 겹친다면, 각자의 피크 파장에서 하나의 태그가 임의의 다른 태그보다 실질적으로 더 많은 광을 방출하도록 발광성 태그를 선택하는 것이 바람직하다. 이 실시예에서, 4개의 태그 각각이 여기 소스로부터의 광을 최대 흡수하는 여기 파장은 실질적으로 동일하지만, 그럴 필요는 없다. 상기 태그 세트를 이용하여, 4개의 상이한 분자는 태그 세트로부터의 각자의 태그로 표지될 수 있고, 태그들은 단일 여기 소스를 이용하여 여기될 수 있고, 태그들은 광학계 및 센서들을 이용하여 태그들의 방출 파장을 검출하는 것에 의해 서로 구별될 수 있다. 도 1a는 4개의 상이한 태그를 예시하지만, 임의의 적합한 수의 태그가 이용될 수 있다는 것을 인식해야 한다.

[0109] 다른 실시예들은 태그들을 식별하기 위해 태그들로부터의 방출 광의 파장과 태그들이 여기 광을 흡수하는 파장 양쪽 모두를 이용할 수 있다. 이러한 실시예들에서, 태그들의 선택된 세트 내의 각 태그는 세트 내의 다른 태그들과는 상이한 방출 파장 및 여기 파장의 조합을 가진다. 따라서, 선택된 태그 세트 내의 일부 태그들은 동일한 방출 파장을 갖지만, 상이한 파장들의 광에 의해 여기될 수 있다. 반대로, 선택된 태그 세트 내의 일부 태그들은 동일한 여기 파장을 갖지만, 상이한 파장들에서 광을 방출할 수 있다. 도 1ba는 일 실시예에 따른 4개의 발광성 태그로부터의 방출 스펙트럼을 예시하는데, 이 실시예에서 태그들 중 2개는 제1 피크 방출 파장을 갖고 다른 2개의 태그는 제2 피크 방출 파장을 가진다. 제1 발광성 태그로부터의 제1 방출 스펙트럼(1-105)은 λ_1 에서 피크 방출 파장을 갖고, 제2 발광성 태그로부터의 제2 방출 스펙트럼(1-106)은 λ_1 에서 피크 방출 파장을 갖고, 제3 발광성 태그로부터의 제3 방출 스펙트럼(1-107)은 λ_2 에서 피크 방출 파장을 갖고, 제4 발광성 태그로부터의 제4 방출 스펙트럼(1-108)은 λ_2 에서 피크 방출 파장을 가진다. 이 실시예에서, 4개의 발광성 태그의 방출 피크들은 $\lambda_1 < \lambda_2$ 의 관계를 만족시키는 임의의 적합한 값들을 가질 수 있다. 도 1bb는 4개의 발광성 태그로부터의 흡수 스펙트럼을 예시하는데, 이 실시예에서 태그들 중 2개는 제1 피크 흡수 파장을 갖고 다른 2개의 태그는 제2 피크 흡수 파장을 가진다. 제1 발광성 태그로부터의 제1 흡수 스펙트럼(1-109)은 λ_3 에서 피크 흡수 파장을 갖고, 제2 발광성 태그로부터의 제2 흡수 스펙트럼(1-110)은 λ_4 에서 피크 흡수 파장을 갖고, 제3 발광성 태그로부터의 제3 흡수 스펙트럼(1-111)은 λ_3 에서 피크 흡수 파장을 갖고, 제4 발광성 태그로부터의 제4 흡수 스펙트럼(1-112)은 λ_4 에서 피크 흡수 파장을 가진다. 도 1ba에서 방출 피크 파장을 공유하는 태그들은 도 1bb에서 흡수 피크 파장을 공유하지 않는다는 점에 주목한다. 이러한 태그 세트를 이용하는 것은 4개의 염료에 대해 2개의 방출 파장만이 존재하는 경우에도 4개의 태그의 구별을 가능하게 한다. 이것은 상이한 파장들에서 방출하는 2개의 여기 소스 또는 다수의 파장에서 방출할 수 있는 단일 여기 소스를 이용하여 가능하다. 여기 광의 파장이 각각의 검출된 방출 이벤트에 대해 알려진다면, 어느 태그가 존재했는지를 결정할 수 있다. 여기 소스(들)는 제1 여기 파장과 제2 여기 파장 사이에 교대할 수 있고, 이는 인터리빙(interleaving)으로 언급된다. 대안적으로, 제1 여기 파장의 2개 이상의 펄스가 이용되고 이어서 제2 여기 파장의 2개 이상의 펄스가 이용될 수 있다.

[0110] 도면들에 예시되어 있지는 않지만, 다른 실시예들은 흡수 주파수에만 기초해서 발광성 태그의 아이덴티티를 결정할 수 있다. 이러한 실시예들은 여기 광이 태그 세트 내의 태그들의 흡수 스펙트럼과 매칭하는 특정 파장들로 조정(tune)될 수 있는 경우에 가능하다. 이러한 시스템들에서, 각 태그로부터 방출된 광을 유도하고 검출하는 데 이용되는 광학계 및 센서는 방출된 광의 파장을 검출할 수 있을 필요가 없다. 이것은 일부 실시예들에서 유리할 수 있는데 그 이유는 이러한 실시예들에서는 방출 파장의 검출이 요구되지 않기 때문에 광학계 및 센서

들의 복잡성이 감소되기 때문이다.

- [0111] 위에 설명된 바와 같이, 본 발명자들은 상이한 발광성 태그들을, 그 태그들의 다양한 특성들을 이용하여 서로 구별할 수 있을 필요를 인지하고 인식하였다. 태그의 아이덴티티를 결정하는 데 이용되는 특성들의 유형은 이 분석을 수행하는 데 이용되는 물리적 디바이스에 영향을 준다. 본 출원은 이러한 상이한 실험들을 수행하기 위한 장치, 디바이스, 기기 및 방법들의 몇몇 실시예들을 개시한다.
- [0112] 요약하여, 본 발명자들은 다수의 픽셀(예를 들어, 수백, 수천, 수백만 또는 그 이상)을 가진 픽셀화 디바이스(pixelated device)는 복수의 개개의 분자 또는 입자를 병행하여 검출하는 것을 가능하게 한다는 것을 인지하고 인식하였다. 분자들은, 제한이 아닌 예로서, 단백질 및/또는 DNA일 수 있다. 또한, 초당 100 프레임보다 많이 데이터를 획득할 수 있는 고속 디바이스는 분석되는 샘플 내에서 시간이 지남에 따라 발생하는 동적인 프로세스들 또는 변화들의 검출 및 분석을 가능하게 한다.
- [0113] 본 명세서에 설명된 콤팩트한 장치는 이전에는 생물학 샘플들의 정량 분석을 수행할 수 없었던 세계의 지역들에 자동화된 생분석학(bioanalytics)을 가져오는 데 이용될 수 있다. 예를 들어, 유아들을 위한 혈액 검사들은 일회용 또는 재활용 가능한 통합 검정 칩(integrated assay chip)(본 명세서에서 "통합 디바이스(integrated device)"로도 언급됨) 위에 혈액 샘플을 배치하고, 분석을 위한 작은, 휴대용 기기 안에 통합 디바이스를 배치하고, 사용자가 즉각 검토할 수 있도록 기기에 연결되는 컴퓨터에 의해 결과들을 처리하는 것에 의해 수행될 수 있다. 데이터는 또한 분석되기 위해, 그리고/또는 차후의 임상 분석용으로 기록 보관되기 위해 데이터 네트워크를 통하여 원격 위치로 송신될 수 있다. 대안적으로, 기기는 통합 디바이스로부터 획득된 데이터를 분석할 수 있는 하나 이상의 프로세서를 포함하고, 외부 컴퓨터의 필요 없이 검토를 위한 결과들을 제공할 수 있다.
- [0114] II. 장치의 개관
- [0115] 시편들을 분석하기 위한 장치(2-100)의 도식적인 개관이 도 2a에 예시되어 있다. 일부 실시예들에 따르면, 장치(2-100)는 통합 검정 칩(본 명세서에서 "통합 디바이스"로도 언급됨)(2-110) 및 이 통합 디바이스가 삽입될 수 있는 베이스 기기(base instrument)(2-120)를 포함한다. 베이스 기기(2-120)는 컴퓨터 인터페이스(2-124), 적어도 하나의 전자 프로세스(2-123), 및 사용자 인터페이스(2-125)를 포함할 수 있다. 통합 디바이스는 기기 인터페이스(2-130), 적어도 하나의 샘플 우물(2-111), 적어도 하나의 여기 소스(2-121), 및 적어도 하나의 센서(2-122)를 포함할 수 있지만, 바람직한 실시예들에서는, 통합 디바이스(2-110)상에 배치된 복수의 샘플 우물, 여기 소스, 및 센서가 있을 것이다. 일부 실시예들에 따르면, 기기(2-120)는 통합 디바이스(2-110)와 인터페이스하기 위한 임의의 적합한 소켓을 포함한다. 예를 들어, 기기(2-120)는 통합 디바이스(2-110)를 수용하기 위한 기계적 정합(registration) 및 다중핀 전기 연결을 포함하는 소켓(도시되지 않음)을 포함할 수 있다.
- [0116] 일부 실시예들에서, 컴퓨터 인터페이스(2-124)는 컴퓨팅 디바이스(2-130)와 연결하기 위해 이용된다. 임의의 적합한 컴퓨터 인터페이스(2-124)와 컴퓨팅 디바이스(2-130)가 이용될 수 있다. 예를 들어, 컴퓨터 인터페이스(2-124)는 USB 인터페이스 또는 파이어월(Firewire) 인터페이스일 수 있다. 컴퓨팅 디바이스(2-130)는 랩톱 또는 데스크톱 컴퓨터와 같은 임의의 범용 컴퓨터일 수 있다. 컴퓨터 인터페이스(2-124)는 기기(2-120)와 컴퓨팅 디바이스(2-130) 사이에 정보의 통신을 용이하게 한다. 기기(2-120)를 제어하기 위한 그리고/또는 구성하기 위한 입력 정보가 기기의 컴퓨터 인터페이스(2-124)에 연결된 컴퓨팅 디바이스(2-130)를 통하여 제공될 수 있다. 또한, 기기로부터의 출력 정보가 컴퓨터 인터페이스(2-124)를 통하여 컴퓨팅 디바이스(2-130)에 의해 수신될 수 있다. 이러한 출력 정보는 기기(2-120)의 수행에 대한 피드백 및 센서들(2-122)로부터의 신호들에 관한 정보를 포함할 수 있고, 이는 일부 실시예들에서 원시 및/또는 처리된 데이터를 포함할 수 있다.
- [0117] 기기(2-120)는 또한 센서들(2-122)로부터 수신된 데이터를 분석하기 위한 적어도 하나의 처리 디바이스(2-123)를 포함할 수 있다. 일부 실시예들에서, 처리 디바이스(2-123)는 특별히 구성된 프로세서(specially-adapted processor)(예를 들어, 하나 이상의 마이크로프로세서 또는 마이크로컨트롤러 코어와 같은 CPU(central processing unit), FPGA(field-programmable gate array), ASIC(application-specific integrated circuit), 커스텀 집적 회로(custom integrated circuit), DSP(digital signal processor), 또는 이들의 조합)를 포함할 수 있다. 메모리(도시되지 않음)는 기기 관리 기능들, 신호 수집 및 처리 기능들을 실행할 뿐만 아니라, 여기 소스들의 동작과 같은 다양한 목적으로 통합 디바이스에 제어 신호들을 발행하도록 프로세서(2-123)를 특별히 구성하는 머신 판독 가능 명령들을 저장할 수 있다. 일부 실시예들에서, 센서들(2-122)로부터의 데이터의 처리는 처리 디바이스(2-123)와 외부 컴퓨팅 디바이스(2-130) 양쪽 모두에 의해 수행될 수 있다. 다른 실시예들에서, 컴퓨팅 디바이스(2-130)는 생략될 수 있고 센서(2-122)로부터의 데이터의 처리는 처리 디바이스(2-123)에 의해서만 수행될 수 있다.

- [0118] 일부 실시예들에서, 기기(2-120)는 기기의 대화형 동작을 위한 사용자 인터페이스(2-125)를 포함한다. 사용자 인터페이스(2-125)는 사용자가 기기의 기능을 제어하는 데 이용되는 명령들 및/또는 설정들과 같은 정보를 기기에 입력할 수 있도록 구성될 수 있다. 일부 실시예들에서, 사용자 인터페이스(2-125)는 버튼, 스위치, 다이얼, 터치 스크린, 터치 패드, 디스플레이, 및 음성 명령들을 수신하기 위한 마이크로폰 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 또한, 사용자 인터페이스(2-125)는 사용자가 적절한 정렬과 같은, 기기 및/또는 통합 디바이스의 수행에 대한 피드백 및/또는 통합 디바이스 상의 센서들로부터의 관독 신호들에 의해 획득된 정보를 수신하는 것을 가능하게 할 수 있다. 일부 실시예들에서, 사용자 인터페이스(2-125)는 가청 피드백을 제공하는 스피커, 및/또는 시각적 피드백을 제공하는 인디케이터 라이트(indicator lights) 및/또는 디스플레이 스크린을 이용하여 피드백을 제공할 수 있다.
- [0119] 일부 실시예들에서, 통합 디바이스(2-110)는 복수의 픽셀을 포함하고, 각 픽셀은 그 자신의 개개의 샘플 우물(2-111) 및 그 자신의 관련된 센서(2-122)와 관련된다. 복수의 픽셀은 어레이로 배열될 수 있고, 임의의 적합한 수의 픽셀이 있을 수 있다. 예를 들어, 통합 디바이스는 일부 실시예들에 따르면 100 내지 1,000 픽셀, 일부 실시예들에 따르면 1,000 내지 10,000 픽셀, 일부 실시예들에 따르면 10,000 내지 100,000 픽셀, 일부 실시예들에 따르면 100,000 내지 1,000,000 픽셀, 또한 일부 실시예들에 따르면 1,000,000 내지 10,000,000 픽셀을 포함할 수 있다. 일부 구현들에서는, 통합 디바이스 상에 더 적은 또는 더 많은 픽셀이 있을 수 있다. 통합 디바이스(2-110)와 기기(2-120)는 큰 픽셀 어레이들(예를 들어, 1000 픽셀 초과)과 관련된 데이터를 처리하기 위해 다중-채널, 고속 통신 링크들을 포함할 수 있다.
- [0120] 통합 디바이스는 도 2b에 도시된 것처럼 보일 수 있다. 전자, 광학, 및 관련 구조물들이 모두 단일 기관(2-200)상에 통합될 수 있다. 통합 디바이스는 액티브-소스 픽셀들(2-205)의 어레이 및 통합 전자 회로를 포함할 수 있다. 통합 전자 회로는 픽셀 어레이의 센서들에 결합된 구동 및 관독 회로(2-215), 및 신호 처리 회로를 포함할 수 있다. 신호 처리 회로는 아날로그-디지털 변환기(2-217) 및 하나 이상의 FPGA(field-programmable gate arrays) 및/또는 DSP(digital signal processors)(2-219)를 포함할 수 있다. 일부 실시예들은 더 많은 회로 컴포넌트를 가질 수 있고, 일부 실시예들은 기관 상에 통합된 더 적은 회로 컴포넌트를 가질 수 있다. 통합 디바이스(2-110)의 컴포넌트들은 도 2b에서 단일 레벨에 도시되어 있지만, 컴포넌트들은 기관(2-200)상의 다수의 레벨에 제조될 수 있다.
- [0121] 일부 실시예들에 따르면, 통합 디바이스 상에 복수의 픽셀들(2-205) 주위에 형성된 벽이 있는 챔버(walled chamber)가 있을 수 있다. 벽이 있는 챔버는 복수의 픽셀 위에 유체 시편을 유지하도록 구성될 수 있다. 일부 구현들에서, 벽이 있는 챔버 외부의 광이 복수의 픽셀을 조명하는 것을 차단하기 위해 벽이 있는 챔버 위를 닫을 수 있는 커버가 있을 수 있다. 일부 구현들에 따르면, 복수의 픽셀(2-205) 주위에 이어지는 리지(ridge)가 있을 수 있고, 또는 복수의 픽셀은 함몰부(depression)에 형성될 수 있다. 벽이 있는 챔버, 리지, 또는 함몰부는 복수의 픽셀 위에 유체 시편을 유지하도록 구성될 수 있다. 통합 디바이스는 기기(2-120)의 수용 도크에 삽입될 수 있고, 수용 도크 외부의 광이 복수의 픽셀을 조명하는 것을 차단하기 위해 수용 도크 위를 커버가 닫힐 수 있다. 일부 실시예들에서, 통합 디바이스(2-110)와 챔버는 단일 모듈에 패키징된다. 이 모듈은 기기(2-120)의 수용 도크의 핀들과 전기적으로 접촉하도록 배열되는 외부 전기 콘택트들을 가질 수 있다.
- [0122] 일부 실시예들에서, 하나 이상의 여기 소스(2-121)로부터의 여기 에너지를 샘플 우물들(2-111)로 유도하고 결합하기 위해 배열되는 통합 디바이스(2-110)상에 위치하는 광학 엘리먼트들(도시되지 않음)이 있을 수 있다. 이러한 소스-우물 간(source-to-well) 엘리먼트들은 샘플 우물들에 인접하여 위치하는 플라즈몬 구조물들 및 다른 마이크로 제조된 구조물들을 포함할 수 있다. 또한, 일부 실시예들에서는, 샘플 우물들(2-111)로부터의 방출 에너지를 대응하는 센서들(2-122)로 유도하기 위해 구성되는 통합 디바이스 상에 위치하는 광학 엘리먼트들이 있을 수 있다. 이러한 우물-센서 간(well-to-sample) 엘리먼트들은 샘플 우물들에 인접하여 위치하는 플라즈몬 구조물들 및 다른 마이크로 제조된 구조물들을 포함할 수 있다. 일부 실시예들에서, 단일 컴포넌트가 여기 에너지를 샘플 우물에 결합하고 샘플 우물로부터의 방출 에너지를 대응하는 센서에 전달하는 양쪽 모두의 역할을 할 수 있다.
- [0123] 일부 구현들에서, 통합 디바이스(2-110)는 샘플 우물에 있는 샘플들을 여기시키는 데 이용되는 하나보다 많은 유형의 여기 소스를 포함할 수 있다. 예를 들어, 샘플을 여기시키기 위해 다수의 여기 에너지 또는 파장을 생성하도록 구성된 다수의 여기 소스가 있을 수 있다. 일부 실시예들에서, 단일 여기 소스가 샘플 우물들에 있는 샘플들을 여기시키기 위해 이용되는 다수의 파장을 방출하도록 구성될 수 있다. 일부 실시예들에서, 통합 디바이스(2-110)의 픽셀에 있는 각 센서는 샘플로부터의 상이한 방출 에너지 특성들을 검출하도록 구성된 다수의 서

브-센서를 포함할 수 있다.

- [0124] 동작 중에, 샘플 우물들(2-111) 내의 샘플들의 병행 분석은 우물들 내의 샘플들을 여기 소스(2-121)를 이용하여 여기시키고 샘플 방출로부터의 신호들을 센서들(2-122)을 이용하여 검출하는 것에 의해 수행된다. 샘플로부터의 방출 에너지는 대응하는 센서(2-122)에 의해 검출되고 적어도 하나의 전기 신호로 변환될 수 있다. 결과의 신호, 또는 신호들은 일부 실시예들에서 통합 디바이스(2-110)상에서 처리되거나, 처리 디바이스(2-123) 및/또는 컴퓨팅 디바이스(2-130)에 의한 처리를 위해 기기(2-120)에 송신될 수 있다. 샘플 우물로부터의 신호들은 다른 픽셀들과 관련된 신호들과 독립적으로 수신되고 처리될 수 있다.
- [0125] 여기 소스(2-121)가 샘플 우물에 여기 에너지를 전달할 때, 우물 내의 적어도 하나의 샘플이 발광할 수 있고, 결과의 방출은 센서에 의해 검출될 수 있다. 본 명세서에서 사용된 문구 "샘플이 발광할 수 있다(a sample may luminesce)" 또는 "샘플이 방사를 방출할 수 있다(a sample may emit radiation)" 또는 "샘플로부터의 방출(emission from a sample)"은 발광성 태그, 마커, 또는 리포터, 샘플 자체, 또는 샘플과 관련된 반응 생성물이 방출된 방사를 생성할 수 있다는 것을 의미한다.
- [0126] 일부 실시예들에서, 샘플들은 하나 이상의 태그로 표지될 수 있고, 태그들과 관련된 방출이 기기에 의해 판별 가능하다. 예를 들어, 통합 디바이스의 컴포넌트들은 샘플 우물로부터의 방출에 영향을 미쳐 방출 과장에 의존하는 공간 방출 분포 패턴을 생성할 수 있다. 샘플 우물에 대한 대응하는 센서는, 아래에 더 상세히 설명되는 바와 같이, 샘플 우물로부터의 공간 분포 패턴들을 검출하고 상이한 방출 과장들을 구별하는 신호들을 생성하도록 구성될 수 있다.
- [0127] 다양한 태그들, 마커들, 또는 리포터들이 통합 디바이스 및 기기와 함께 사용될 수 있다. 발광성 마커들(본 명세서에서 "마커들(markers)"로 언급됨)은 외인성(exogenous) 또는 내인성(endogenous) 마커들일 수 있다. 외인성 마커들은 발광성 표지를 위한 리포터 및/또는 태그로서 이용되는 외부의 발광성 마커들일 수 있다. 외인성 마커들의 예들은 형광성 분자, 형광단, 형광성 염료, 형광성 염색, 유기 염료, 형광성 단백질, 형광 공명 에너지 전달(fluorescence resonance energy transfer)(FRET)에 참여하는 종, 효소, 및/또는 양자점을 포함할 수 있지만 이들에 제한되지 않는다. 다른 외인성 마커들이 관련 기술 분야에 공지되어 있다. 이러한 외인성 마커들은 특정 표적 또는 컴포넌트에 특히 결합하는 프로브 또는 관능기(functional group)(예를 들어, 분자, 이온, 및/또는 리간드)에 접합될 수 있다. 외인성 태그 또는 리포터를 프로브에 부착하는 것은 외인성 태그 또는 리포터의 존재의 검출을 통하여 표적의 식별을 가능하게 한다. 프로브들의 예들은 단백질, 핵산(예를 들어, DNA, RNA) 분자, 지질 및 항체 프로브를 포함할 수 있다. 외인성 마커와 관능기의 조합은, 분자 프로브, 표지된 프로브, 혼성화 프로브, 항체 프로브, 단백질 프로브(예를 들어, 비오틴-결합 프로브), 효소 표지, 형광성 프로브, 형광성 태그, 및/또는 효소 리포터를 포함한, 검출에 이용되는 임의의 적합한 프로브, 태그, 및/또는 표지를 형성할 수 있다.
- [0128] 본 개시 내용은 발광성 마커들에 대해 언급하지만, 다른 유형의 마커들이 본 명세서에 제공된 디바이스들, 시스템들 및 방법들과 함께 사용될 수 있다. 이러한 마커들은 질량 태그, 정전기 태그, 또는 전기 화학 표지일 수 있다.
- [0129] 외인성 마커들이 샘플에 부가될 수 있지만, 내인성 마커들이 이미 샘플의 일부일 수 있다. 내인성 마커들은 여기 에너지가 있을 때 발광하거나 "자가형광(autofluoresce)"할 수 있는 존재하는 임의의 발광성 마커를 포함할 수 있다. 내인성 형광단들의 자가형광은 외인성 형광단들의 도입을 요구하지 않고 표지 없는 비침습적 표지(label-free and noninvasive labeling)를 제공할 수 있다. 이러한 내인성 형광단들의 예들은, 제한이 아닌 예로서, 헤모글로빈, 산화 헤모글로빈(oxyhemoglobin), 지질, 콜라겐 및 엘라스틴 교차결합, 환원된 니코틴아마이드 아데닌 다이뉴클레오타이드(reduced nicotinamide adenine dinucleotide)(NADH), 산화 플라빈(FAD 및 FMN), 리포푸신, 케라틴, 및/또는 포르피린을 포함할 수 있다.
- [0130] 도 2c는 컴퓨팅 디바이스(2-310)의 컴포넌트들을 도시한다. 이 컴포넌트들의 일부 또는 모두가 시편들을 분석하기 위한 장치(2-100)의 실시예들에 존재할 수 있다. 분산 컴퓨팅 환경에서, 일부 컴포넌트들은 서버에 위치할 수 있고 일부 컴포넌트들은 클라이언트 디바이스에 위치할 수 있다. 일부 구현들에서, 베이스 기기(2-120)와 통신하는 컴퓨팅 디바이스(2-310)는 도 2c에 도시되어 있는 컴퓨팅 시스템(2-300)의 일부 또는 모든 컴포넌트를 포함할 수 있다. 일부 실시예들에서, 베이스 기기(2-120)는 컴퓨팅 디바이스(2-310)의 컴포넌트들의 일부 또는 모두를 포함할 수 있다.
- [0131] 컴퓨팅 디바이스(2-310)의 컴포넌트들은 처리 유닛(2-320), 메모리(2-330), 및 메모리를 포함하는 다양한 시스

템 컴포넌트들을 처리 유닛(2-320)에 결합하는 버스(2-321)를 포함할 수 있지만 이에 제한되지 않는다. 버스(2-321)는 메모리 버스 또는 메모리 컨트롤러, 주변 장치 버스 및 각종 버스 아키텍처 중 임의의 것을 이용하는 로컬 버스를 포함한 몇몇 유형의 버스 구조 중 임의의 것일 수 있다. 제한이 아닌 예로서, 이러한 아키텍처는 ISA(Industry Standard Architecture) 버스, MCA(Micro Channel Architecture) 버스, EISA(Enhanced ISA) 버스, VESA(Video Electronics Standard Association) 로컬 버스, 그리고 메자닌 버스(Mezzanine bus)로도 알려진 PCI(Peripheral Component Interconnect) 버스 등을 포함한다.

[0132] 컴퓨터(2-310)는 하나 이상의 유형의 머신 판독 가능 매체를 포함할 수 있다. 머신 판독 가능 매체는 컴퓨터(2-310)에 의해 액세스될 수 있는 임의의 사용 가능한 매체일 수 있으며, 휘발성 및 비휘발성, 제조된 저장 매체, 이동식 및 비이동식 제조된 저장 매체를 모두 포함한다. 제한이 아닌 예로서, 머신 판독 가능 매체는 컴퓨터 판독 가능 명령어, 데이터 구조, 프로그램 모듈 또는 다른 데이터와 같은 정보를 포함할 수 있다. 머신 판독 가능 매체는 RAM, ROM, EEPROM, 플래시 메모리 또는 기타 메모리 기술, CD-ROM, DVD(digital versatile disks) 또는 기타 광 디스크 저장소, 자기 카세트, 자기 테이프, 자기 디스크 저장 디바이스 또는 기타 자기 저장 디바이스, 또는 원하는 정보를 저장하기 위해 사용될 수 있고 컴퓨터(2-310)에 의해 액세스될 수 있는 임의의 다른 매체를 포함하지만, 이에 제한되지는 않는다.

[0133] 메모리(2-330)는 판독 전용 메모리(ROM)(2-331) 및 랜덤 액세스 메모리(RAM)(2-332)와 같은 휘발성 및/또는 비휘발성 메모리 형태의 컴퓨터 저장 매체를 포함할 수 있다. 기동(start-up) 동안과 같이, 컴퓨터(2-310) 내의 엘리먼트들 간 정보의 전송을 돕는 기본 루틴들을 포함하는 기본 입력/출력 시스템(2-333)(BIOS)은 ROM(2-331)에 저장된다. RAM(2-332)은 처리 유닛(2-320)이 즉시 액세스할 수 있는 그리고/또는 현재 동작시키고 있는 데이터 및/또는 프로그램 모듈들을 포함할 수 있다. 제한이 아닌 예로서, 도 2c는 운영 체제(2-334), 애플리케이션 프로그램(2-335), 기타 프로그램 모듈(2-336), 및 프로그램 데이터(2-337)를 예시한다.

[0134] 컴퓨터(2-310)는 또한 기타 이동식/비이동식, 휘발성/비휘발성 머신 판독 가능 매체를 포함할 수 있다. 단지 예로서, 도 2c는 비이동식, 비휘발성 자기 매체로부터 판독하거나 그에 기입하는 하드 디스크 드라이브(2-341), 이동식, 비휘발성 자기 디스크(2-352)로부터 판독하거나 그에 기입하는 자기 디스크 드라이브(2-351), CD-ROM 또는 기타 광 매체와 같은 이동식, 비휘발성 광 디스크(2-356)으로부터 판독하거나 그에 기입하는 광 디스크 드라이브(2-355)를 예시한다. 예시적인 운영 환경에서 사용될 수 있는 기타 이동식/비이동식, 휘발성/비휘발성 머신 판독 가능 매체는 자기 테이프 카세트, 플래시 메모리 카드, DVD(digital versatile disk), 디지털 비디오 테이프, 솔리드 스테이트 RAM, 솔리드 스테이트 ROM, 및 기타 등등을 포함하지만, 이들에 제한되지 않는다. 하드 디스크 드라이브(2-341)는 인터페이스(2-340)와 같은 비이동식 메모리 인터페이스를 통해 시스템 버스(2-321)에 연결될 수 있고, 자기 디스크 드라이브(2-351) 및 광 디스크 드라이브(2-355)는 인터페이스(2-350)와 같은 이동식 메모리 인터페이스에 의해 시스템 버스(2-321)에 연결될 수 있다.

[0135] 이상에서 설명되고 도 2c에 예시된 드라이브들 및 이들과 관련된 머신 판독 가능 매체는 컴퓨터(2-310)에 대한 머신 판독 가능 명령어, 데이터 구조, 프로그램 모듈 및 기타 데이터의 저장을 제공한다. 도 2c에서, 예를 들어, 하드 디스크 드라이브(2-341)는 운영 체제(2-344), 애플리케이션 프로그램(2-345), 기타 프로그램 모듈(2-346), 및 프로그램 데이터(2-347)를 저장하는 것으로 도시되어 있다. 이들 컴포넌트는 운영 체제(2-334), 애플리케이션 프로그램(2-335), 기타 프로그램 모듈(2-336) 및 프로그램 데이터(2-337)와 동일하거나 상이할 수 있다. 여기서 운영 체제(2-344), 애플리케이션 프로그램(2-345), 기타 프로그램 모듈(2-346) 및 프로그램 데이터(2-347)에 상이한 번호가 부여되는 것은 적어도 이들이 상이한 사본들이라는 것을 예시하기 위해서이다.

[0136] 사용자는 키보드(2-362), 및 일반적으로 마우스, 트랙볼 또는 터치 패드로 언급되는 포인팅 디바이스(2-361)와 같은 입력 디바이스들을 통해 명령 및 정보를 컴퓨터(2-310)에 입력할 수 있다. 다른 입력 디바이스들(도시되지 않음)로는 마이크로폰, 조이스틱, 게임 패드, 위성 안테나, 스캐너, 기타 등등이 있을 수 있다. 이들 및 기타 입력 디바이스들은 시스템 버스에 결합되는 사용자 입력 인터페이스(2-360)를 통해 처리 유닛(2-320)에 연결될 수 있지만, 병렬 포트, 게임 포트 또는 USB(universal serial bus) 등의 다른 인터페이스 및 버스 구조에 의해 연결될 수도 있다. 모니터(2-391) 또는 다른 유형의 디스플레이 디바이스도 비디오 인터페이스(2-390) 등의 인터페이스를 통해 시스템 버스(2-321)에 연결될 수 있다. 모니터 외에, 컴퓨팅 디바이스(2-310)는 또한 스피커(2-397) 및 프린터(2-396) 등의 기타 주변 출력 디바이스들을 포함할 수 있고, 이들은 출력 주변장치 인터페이스(2-395)를 통해 연결될 수 있다.

[0137] 컴퓨터(2-310)는 원격 컴퓨터(2-380)와 같은 하나 이상의 원격 디바이스로서의 논리적 연결을 사용하여 네트워크 환경에서 동작할 수 있다. 원격 컴퓨터(2-380)는 퍼스널 컴퓨터, 서버, 라우터, 네트워크 PC, 피어 디바이

스 또는 기타 통상의 네트워크 노드일 수 있고, 컴퓨터(2-310)와 관련하여 상기한 엘리먼트들 중 다수 또는 그 전부를 포함할 수 있지만, 도 2c에는 메모리 저장 디바이스(2-381)만이 예시되어 있다. 도 2c에 도시된 논리적 연결들은 근거리 통신망(LAN)(2-371) 및 원거리 통신망(WAN)(2-373)을 포함하지만, 다른 네트워크들도 포함할 수 있다. 이러한 네트워킹 환경은 사무실, 전사적 컴퓨터 네트워크, 인트라넷 및 인터넷에서 흔한 것이다. 네트워크 연결들은 유선, 광섬유 기반, 또는 무선일 수 있다.

[0138] LAN 네트워킹 환경에서 사용될 때, 컴퓨터(2-310)는 네트워크 인터페이스 또는 어댑터(2-370)를 통해 LAN(2-371)에 연결될 수 있다. WAN 네트워킹 환경에서 사용될 때, 컴퓨터(2-310)는 인터넷 등의 WAN(2-373)을 통해 통신을 설정하는 모뎀(2-372) 또는 기타 수단을 포함할 수 있다. 내장형 또는 외장형일 수 있는 모뎀(2-372)은 사용자 입력 인터페이스(2-360) 또는 기타 적절한 메커니즘을 통해 시스템 버스(2-321)에 연결될 수 있다. 네트워킹된 환경에서, 컴퓨터(2-310) 또는 그의 일부와 관련하여 도시된 프로그램 모듈들은 원격 메모리 저장 디바이스에 저장될 수 있다. 제한이 아닌 예로서, 도 2c는 원격 애플리케이션 프로그램(2-385)이 메모리 디바이스(2-381)에 있는 것으로 예시한다. 도시된 네트워크 연결들은 예시적인 것이고 컴퓨터들 간에 통신 링크를 설정하는 기타 수단이 사용될 수 있다는 것을 인식할 것이다.

[0139] III. 액티브 소스 픽셀 및 샘플 우물

[0140] III. A. 액티브 소스 픽셀

[0141] 이제 도 3a를 참조하면, 다양한 실시예들에서, 통합 디바이스는 복수의 액티브 소스 픽셀(3-100)을 포함할 수 있다. 액티브 소스 픽셀(본 명세서에서 "픽셀"로도 언급됨)은 픽셀에 위치하는 여기 소스를 포함한다. 복수의 픽셀은 기관(3-105)상에 규칙적인 어레이(예를 들어, 1차원 또는 2차원 어레이)로 배열될 수 있다. 픽셀들(3-100)은 일 실시예들에 따르면, 픽셀들 사이에 적어도 하나의 주기적 간격을 갖도록 배열될 수 있다. 예를 들어, 제1 방향(행 방향)을 따르는 픽셀들은 제1 주기적 간격을 가질 수 있고, 제2 방향(열 방향)을 따르는 픽셀들은 제2 주기적 간격을 가질 수 있다. 그러나, 일부 구현들은 픽셀들 사이에 규칙적인 주기적 간격들을 갖지 않을 수 있고, 또는 둘보다 많은 주기적 간격을 포함할 수 있는 픽셀들의 다른 배열들을 가질 수 있다. 통합 디바이스(2-110)상에 100 픽셀 내지 100만 픽셀이 있을 수 있지만, 일부 실시예들에서는, 통합 디바이스 상에 더 많은 픽셀이 있을 수 있다.

[0142] 도 3a에 도시된 바와 같이 그리고 통합 디바이스(2-110)의 일 실시예에 따르면, 액티브 픽셀은 샘플 우물(3-210)을 포함할 수 있고 그 안에 시편으로부터의 적어도 하나의 샘플(3-101)이 관찰을 위해 유지될 수 있다. 픽셀은 샘플 우물 내의 샘플을 여기시키는 에너지를 제공하는 적어도 하나의 여기 소스(3-240) 및 샘플로부터의 방출을 검출하는 센서(3-260)를 더 포함할 수 있다. 일부 실시예들에 따르면, 픽셀(3-100)은 추가적인 구조물들을 포함할 수 있다. 예를 들어, 픽셀(3-100)은 샘플 우물 내의 샘플로의 여기 에너지의 결합에 영향을 미치는 여기-결합 구조물(3-220)을 포함할 수 있다. 픽셀은 또한 우물 내의 샘플로부터의 방출 에너지의 센서(3-260)로의 결합에 영향을 미치는 방출-결합 구조물(3-250)을 포함할 수 있다.

[0143] 일부 실시예들에서, 픽셀(3-100)은 센서(3-260)로부터의 신호들을 처리하기 위해 이용되는 적어도 하나의 통합 CMOS(complementary metal-oxide-semiconductor) 디바이스(예를 들어, 도면에 도시되지 않은, 적어도 하나의 통합 증폭기, 적어도 하나의 게이팅 트랜지스터, 등등)를 포함할 수 있다. 통합 CMOS 회로는 센서(3-260) 근처의 하나 이상의 레벨에 위치할 수 있다. 접지면들 및/또는 인터커넥트들도 통합 디바이스의 픽셀 내에 위치할 수 있다.

[0144] 픽셀 내의 컴포넌트들의 배열은 도 3a에 도시된 것들로 제한되지 않는다. 일부 실시예들에서, 제1 구조물(3-220), 여기 소스(3-240), 제2 구조물(3-250), 및 센서(3-260)는, 도면에 도시된 것과 상이한 순서로 위에서 아래로 배열될 수 있다.

[0145] III. B 샘플 우물 실시예들

[0146] 일부 실시예들에 따르면, 샘플 우물(3-210)이 통합 디바이스의 하나 이상의 픽셀에 형성될 수 있다. 샘플 우물은, 도 3a 및 도 3b에 도시된 바와 같이, 기관(3-105)의 표면에 형성된 그리고 기관의 표면 상에 퇴적된 시편으로부터 샘플 우물 안팎으로 샘플들(3-101)이 확산할 수 있도록 배열된 작은 체적 또는 영역을 포함할 수 있다. 샘플 우물(3-210)은 때때로 샘플 우물의 세로 방향으로 언급되는, 기관 표면에 대해 법선 방향으로 연장하는 길이 또는 깊이를 가질 수 있다. 다양한 실시예들에서, 샘플 우물(3-210)은 여기 소스(3-240)로부터의 여기 에너지를 수신하도록 배열될 수 있다. 샘플 우물 안으로 확산하는 샘플들(3-101)은, 일시적으로 또는 영구적으로, 피착체(3-211)에 의해 샘플 우물의 여기 영역(3-215) 내에 유지될 수 있다. 여기 영역에서, 샘플은 여기 에너

지(예를 들어, 여기 방사(3-247))에 의해 여기되고, 그 후 방사를 방출할 수 있고 이 방사는 관찰되고 샘플을 특징짓기 위해 평가될 수 있다.

[0147] 동작을 더 상세히 설명하면, 분석될 적어도 하나의 샘플(3-101)이, 예를 들어, 샘플들의 유체 현탁액을 포함하는 시편(도시되지 않음)으로부터, 샘플 우물(3-210)로 도입될 수 있다. 기관 상의 여기 소스(3-240)로부터의 에너지가, 샘플이 샘플 우물 내의 여기 영역(3-215) 내에 있는 동안 샘플 또는 샘플에 부착된 또는 달리 샘플과 관련된 적어도 하나의 태그(생물학 마커, 리포터, 또는 프로브로도 언급됨)를 여기시킬 수 있다. 일부 실시예들에 따르면, 태그는 발광성 분자(예를 들어, 발광성 태그 또는 프로브) 또는 양자점일 수 있다. 일부 구현들에서는, 샘플을 분석하기 위해 이용되는 하나보다 많은 태그가 있을 수 있다((예를 들어, 참고로 포함되는, Science 323, 133 페이지(2009)의, J. Eid 등이 저술한 "Real-Time DNA Sequencing from Single Polymerase Molecules", 에 설명된 단일 분자 유전자 서열 분석에 사용되는 별개의 태그들). 여기 동안에 그리고/또는 여기 후에, 샘플 또는 태그는 방출 에너지를 방출할 수 있다. 다수의 태그가 사용되는 경우, 이들은 상이한 특성 에너지들에서 방출하고/하거나 상이한 시간 특성들로 방출할 수 있다. 샘플 우물로부터의 방출들은 방사하거나 달리 센서(3-260)로 이동할 수 있고 센서에서 이들은 검출되고 샘플을 특징짓기 위해 이용될 수 있는 전기 신호들로 변환된다.

[0148] 일부 실시예들에 따르면, 샘플 우물(3-210)은, 도 3b에 도시된 바와 같이, 부분적으로 둘러싸인 구조물(partially enclosed structure)일 수 있다. 일부 구현들에서, 샘플 우물(3-210)은 적어도 하나의 재료층(3-230)에 형성된 1마이크로미터 미만 사이즈의(sub-micron-sized) 홀 또는 개방부(적어도 하나의 가로 치수 D_{sw} 로 특징지어짐)를 포함한다. 일부 경우에, 홀은 "나노홀(nanohole)"로 언급될 수 있다. 샘플 우물의 가로 치수는 일부 실시예들에 따르면 대략 20나노미터와 대략 1마이크로미터 사이일 수 있지만, 일부 구현들에서는 더 크고 더 작은 사이즈들이 사용될 수 있다. 샘플 우물(3-210)의 체적은 일부 구현들에서 약 10^{-21} 리터와 약 10^{-15} 리터 사이일 수 있다. 샘플 우물은 전파 모드를 지원할 수 있는, 또는 지원할 수 없는 도파관으로 형성될 수 있다. 일부 실시예들에서, 샘플 우물은 직경(또는 최대 가로 치수)이 D_{sw} 인 원통형 형상(또는 유사 형상)을 가진 제로-모드 도파관(zero-mode waveguide)(ZMW)으로 형성될 수 있다. ZMW는 해당 홀을 통하여 전파 광학 모드를 지원하지 않는 나노스케일 홀로서 단일 금속층에 형성될 수 있다.

[0149] 샘플 우물(3-210)은 작은 체적을 갖기 때문에, 샘플들이 자연 환경들에서 발견되는 것들과 유사한 농도로 검사되는 시편에 집중될 수 있을지라도 각 픽셀에서 단일 샘플 이벤트들(예를 들어, 단일 분자 이벤트들)의 검출이 가능할 수 있다. 예를 들어, 통합 디바이스와 접촉하여 배치되는 시편에 마이크로몰 농도(micromolar concentrations)의 샘플이 존재할 수 있지만, 픽셀 레벨에서는 임의의 주어진 시간에 샘플 우물 내에 약 하나의 샘플(또는 단일 분자 이벤트)만이 있을 수 있다. 통계적으로, 일부 샘플 우물들은 하나의 샘플도 포함하지 않을 수 있고 일부는 하나보다 많은 샘플을 포함할 수 있다. 그러나, 상당한 수의 샘플 우물들이 단일 샘플을 포함할 수 있고(예를 들어, 일부 실시예들에서 적어도 30%), 따라서 다수의 픽셀에 대해 병행하여 단일 분자 분석이 수행될 수 있다. 단일 분자 또는 단일 샘플 이벤트들이 각 픽셀에서 분석될 수 있기 때문에, 이 통합 디바이스는 앙상블 평균(ensemble averages)에서는 간과될 수도 있는 희귀한 이벤트들의 검출을 가능하게 한다.

[0150] 샘플 우물의 가로 치수 D_{sw} 는 일부 실시예들에서는 약 500나노미터(nm)와 약 1마이크로미터 사이, 일부 실시예들에서는 약 250nm와 약 500nm 사이, 일부 실시예들에서는 약 100nm와 약 250nm 사이, 그리고 또 일부 실시예들에서는 약 20nm와 약 100nm 사이일 수 있다. 일부 구현들에서, 샘플 우물의 가로 치수는 대략 80nm와 대략 180nm 사이, 또는 여기 파장 또는 방출 파장의 대략 1/4과 1/8 사이이다. 일부 실시예들에서, 샘플 우물(3-210)의 깊이 또는 높이는 약 50nm와 약 500nm 사이일 수 있다. 일부 구현들에서, 샘플 우물(3-210)의 깊이 또는 높이는 약 80nm와 약 250nm 사이일 수 있다.

[0151] 파장 미만의(sub-wavelength) 가로 치수를 가진 샘플 우물(3-210)은 적어도 2개의 점에서 통합 디바이스(2-110)의 픽셀(3-100)의 동작을 개선할 수 있다. 예를 들어, 시편에 대항하는 측으로부터 샘플 우물에 입사되는 여기 에너지는 전력의 지수적 감쇠와 함께 여기 영역(3-215)에 결합되고, 샘플 우물을 통하여 시편으로 전파 모드로서 전파되지 않을 수 있다. 그 결과, 여기 에너지는 여기 영역에서는 증가되어 관심 샘플을 여기시키고, 시편에서는 감소되어 배경 잡음에 기여할 수 있는 다른 샘플들을 여기시킬 수 있다. 또한, 우물의 베이스(base)(예를 들어, 센서(3-260)에 더 가까운)에 유지된 샘플로부터의 방출은 바람직하게도 센서 쪽으로 유도되는데, 그 이유는 샘플 우물을 통하여 위로 전파되는 방출이 크게 억제되기 때문이다. 이러한 효과들 양쪽 모두는 픽셀에서의 신호 대 잡음비를 개선할 수 있다. 본 발명자들은 픽셀에서의 신호 대 잡음 레벨들을 더 증가시키도록 개선될 수 있는 샘플 우물의 몇몇 양태들을 인지하였다. 이러한 양태들은 우물 형상 및 구조와 관련된

고, 여기 에너지를 샘플 우물로의 여기 에너지 및 샘플 우물로부터의 방출된 방사의 결합에 도움을 주는 인접한 광학 및 플라즈몬 구조물들(아래 설명됨)과도 관련된다.

[0152] 일부 양태들에 따르면, 샘플 우물(3-210)은 서브-컷오프 나노 개구(sub-cutoff nanoaperture)(SCN)로 형성될 수 있다. 예를 들어, 샘플 우물(3-210)은 도전층에 원통형 형상의 홀 또는 보어(bore)를 포함할 수 있다. 샘플 우물의 단면은 원형일 필요는 없고, 일부 실시예들에서 타원형, 정사각형, 직사각형, 또는 다각형일 수 있다. 도 3b에 도시된 바와 같이, 여기 에너지(3-247)(예를 들어, 광학 방사)는 샘플 우물의 제1 단부에서 샘플 우물의 벽들(3-214)에 의해 정의될 수 있는 입구 개구(3-212)를 통하여 샘플 우물에 들어갈 수 있다. SCN으로 형성될 때, 여기 에너지는 SCN의 길이를 따라(예를 들어, 시판의 방향으로) 지수적으로 감쇠할 수 있다. 일부 구현들에서, 도파관은 샘플로부터의 방출된 방사에 대한 SCN을 포함할 수 있지만, 여기 에너지에 대한 SCN은 아닐 수 있다. 예를 들어, 샘플 우물에 의해 형성된 개구 및 도파관은 여기 에너지에 대한 전파 모드를 지원할 정도로 클 수 있는데, 그 이유는 그것이 방출된 방사보다 짧은 파장을 가질 수 있기 때문이다. 더 긴 파장에서 방출은 도파관에서의 전파 모드에 대한 차단 파장(cut-off wavelength)을 넘어설 수 있다. 일부 실시예들에 따르면, 샘플 우물(3-210)은 여기 에너지에 대한 SCN을 포함할 수 있고, 따라서 여기 에너지의 최대 강도는 샘플 우물(3-210)로의 입구에서 샘플 우물의 여기 영역(3-215)으로 국한(localize)된다(예를 들어, 도면에 도시된 바와 같이 층(3-235)과 층(3-230) 사이의 계면 부근에 국한된다). 여기 에너지의 이러한 국한은 샘플로부터의 방출 에너지의 국한을 개선하고, 관찰되는 방출을 단일 샘플(예를 들어, 단일 분자)로부터 방출된 것으로 제한할 수 있다.

[0153] SCN을 포함하는 샘플 우물의 입구 부분에서의 여기 국한의 일례가 도 3c에 도시되어 있다. SCN으로 형성된 샘플 우물(3-210) 내의 그리고 그 부분의 여기 방사의 강도를 결정하기 위해 수치 시뮬레이션이 수행되었다. 결과는 여기 방사의 강도가 샘플 우물의 입구 개구에서는 입사 에너지의 약 70%이고 샘플 우물 내의 약 100nm 이내에 입사 강도의 약 20%까지 떨어지는 것을 보여준다. 이 시뮬레이션에 대해, 여기 에너지의 특성 파장은 633nm이었고 샘플 우물(3-210)의 직경은 140nm이었다. 샘플 우물(3-210)은 금 금속층에 형성되었다. 그래프에서 각각의 수평 분할은 50nm이다. 그래프에 의해 도시된 바와 같이, 샘플 우물에 수신된 여기 에너지의 1/2 초과가 샘플 우물의 입구 개구(3-212) 내의 약 50nm로 국한된다.

[0154] 샘플 우물에서 국한되는 여기 에너지의 강도를 개선하기 위해, 본 발명자들에 의해 다른 샘플 우물 구조물들이 개발되고 연구되었다. 도 3d는 샘플 우물(3-210)의 여기 단부에 공동 또는 디봇(3-216)을 포함하는 샘플 우물의 일 실시예를 도시한다. 도 3c의 시뮬레이션 결과에서 알 수 있듯이, 샘플 우물의 입구 개구(3-212)의 바로 앞에 더 높은 여기 강도의 영역이 존재한다. 예를 들어 도 3d에 도시된 바와 같이 샘플 우물을 연장하기 위해 디봇(3-216)을 부가하는 것은, 일부 실시예들에 따르면, 샘플이 더 높은 여기 강도의 영역으로 들어가는 것을 가능하게 한다. 일부 구현들에서, 디봇의 형상 및 구조는 국소 여기장(local excitation field)을 변경하고(예를 들어, 층(3-235)과 샘플 우물 내의 유체 간의 굴절률의 차이 때문에), 디봇에서 여기 에너지의 강도를 더욱 증가시킬 수 있다.

[0155] 디봇은 임의의 적합한 형상을 가질 수 있다. 디봇은 샘플 우물의 가로 형상과 실질적으로 동등한 가로 형상을 가질 수 있다(예를 들어, 원형, 타원형, 정사각형, 직사각형, 다각형, 등등). 일부 실시예들에서, 디봇의 측면 벽들은, 샘플 우물의 벽들처럼, 실질적으로 곧고 수직일 수 있다. 일부 구현들에서, 디봇의 측면 벽들은, 도면에 도시된 바와 같이, 경사질 수 있고/있거나 만곡될 수 있다. 디봇의 가로 치수는 일부 실시예들에서는 샘플 우물의 가로 치수와 실질적으로 동일한 사이즈일 수 있고, 일부 실시예들에서는 샘플 우물의 가로 치수보다 작을 수 있고, 또는 일부 실시예들에서는 샘플 우물의 가로 치수보다 클 수 있다. 디봇(3-216)은 샘플 우물을 넘어서 대략 10nm 내지 대략 200nm 연장할 수 있다. 일부 구현들에서, 디봇은 샘플 우물을 넘어서 대략 50nm 내지 대략 150nm 연장할 수 있다. 디봇을 형성함으로써, 여기 영역(3-215)은, 도 3d에 도시된 바와 같이, 층(3-230)으로 둘러싸인 샘플 우물의 영역 밖으로 연장할 수 있다.

[0156] 도 3e는 (왼쪽 시뮬레이션 이미지에 도시된) 디봇을 포함하는 샘플 우물에 대한 여기 영역에서의 여기 에너지의 개선을 도시한다. 비교를 위해, 여기장은 오른쪽에 도시된, 디봇이 없는 샘플 우물에 대해서도 시뮬레이션된다. 장 규모(field magnitude)는 이 플롯들에서 연색(color rendering)으로부터 변환되었고, 디봇의 베이스에 있는 어두운 영역은 샘플 우물 내의 밝은 영역보다 더 높은 강도를 나타낸다. 샘플 우물 위의 어두운 영역들은 가장 낮은 강도를 나타낸다. 알 수 있는 바와 같이, 디봇은 샘플(3-101)이 더 높은 여기 강도의 영역으로 이동하는 것을 가능하게 하고, 디봇은 또한 샘플 우물의 여기 단부에서 가장 높은 강도의 영역의 국한을 증가시킨다. 높은 강도의 영역은 디봇이 없는 샘플 우물에 대해서는 더 많이 분포된다는 점에 주목한다. 일부 실시예들에서, 디봇(3-216)은 여기 영역에서 2배 이상의 여기 에너지의 증가를 제공한다. 일부 구현들에

서는, 디봇의 형상 및 길이에 따라 2배보다 더 많은 증가를 얻을 수 있다. 이러한 시뮬레이션들에서, 샘플 우물은 100nm 두께의 Al의 층(3-230)과, 50nm 깊이의 디봇(3-216)을 포함하고, 여기 에너지의 파장은 635nm이다.

[0157] 도 3f는 샘플 우물과 디봇이 기관의 표면에 있는 돌출부(3-615)를 이용하여 형성되는 샘플 우물(3-210)의 또 다른 실시예를 도시한다. 샘플 우물에 대한 결과의 구조는 샘플에서의 여기 에너지를 도 3a에 도시된 샘플 우물에 비하여 2배보다 더 많이 증가시킬 수 있고, 샘플 우물로부터의 방출을 센서(3-260)로 집중시킬 수 있다. 일부 실시예들에 따르면, 제1 재료층(3-610)에 돌출부(3-615)가 패터닝된다. 돌출부는 일부 구현들에서 원형 토대(circular pedestal)로서 형성될 수 있고, 제1 층과 돌출부 위에 제2 재료층(3-620)이 퇴적될 수 있다. 돌출부에서, 제2 층은, 도시된 바와 같이, 돌출부 위에 구형 부분(spherical portion)(3-625)과 근사한 형상을 형성할 수 있다. 일부 실시예들에서, 제2 층(3-620) 위에 도전층(3-230)(예를 들어, 반사성 금속)이 퇴적되고 돌출부 위에 도전층에 샘플 우물(3-210)을 형성하도록 패터닝된다. 그 후 제2 층 내로 디봇(3-216)이 에칭될 수 있다. 디봇은 도전층(3-230) 아래로 약 50nm 내지 약 150nm 연장할 수 있다. 일부 실시예들에 따르면, 제1 층(3-610)과 제2 층(3-620)은 광학적으로 투명할 수 있고, 동일한 재료로 형성될 수 있거나 그렇지 않을 수 있다. 일부 구현들에서, 제1 층(3-610)은 산화물(예를 들어, SiO₂) 또는 질화물(예를 들어, Si₃N₄)로 형성될 수 있고, 제2 층(3-620)은 산화물 또는 질화물로 형성될 수 있다.

[0158] 일부 실시예들에 따르면, 돌출부(3-625) 위의 도전층(3-230)은 대략 구형 반사체(spherical reflector)(3-630)로서 성형(shape)될 수 있다. 구형 부분의 형상은 돌출부 높이 h, 돌출부의 직경 또는 가로 치수 w, 및 제2 층(3-620)의 두께 t의 선택에 의해 제어될 수 있다. 여기 영역의 위치 및 샘플의 위치는 디봇 깊이 d의 선택에 의해 구형 반사체의 광학 초점에 관하여 조절될 수 있다. 구형 반사체(3-630)는 여기 에너지를 여기 영역(3-215)에 집중시킬 수 있고, 또한 샘플로부터 방출된 방사를 수집하고 그 방사를 반사하여 센서(3-260) 쪽으로 집중시킬 수 있다.

[0159] 전술한 바와 같이, 샘플 우물은 임의의 적합한 형상으로 형성될 수 있고, 원통형 형상으로만 제한되지 않는다. 일부 구현들에서, 샘플 우물은 원추형, 사면체, 오면체, 등등일 수 있다. 도 3ga 내지 도 3gf는 일부 실시예들에서 이용될 수 있는 일부 예시적인 샘플 우물 형상들 및 구조물들을 예시한다. 샘플 우물(3-210)은, 일부 실시예들에 따르면, 여기 에너지에 대한 출구 개구(exit aperture)(3-218)보다 큰 입구 개구(entrance aperture)(3-212)를 갖도록 형성될 수 있다. 샘플 우물의 측벽들은 테이퍼되거나 만곡될 수 있다. 샘플 우물을 이런 식으로 형성하는 것은 더 많은 에너지를 여기 영역에 수용할 수 있지만, 그럼에도 시편 쪽으로 이동하는 여기 에너지를 상당히 감쇠시킬 수 있다. 또한, 샘플에 의해 방사된 방출은 우선적으로 더 큰 개구를 가진 샘플 우물의 단부 쪽으로 방사될 수 있는데, 그 이유는 그 방향으로의 에너지 전달이 유리하기 때문이다.

[0160] 일부 실시예들에서, 도 3gb에 도시된 바와 같이, 디봇(3-216)은 샘플 우물의 베이스보다 더 작은 가로 치수를 가질 수 있다. 디봇을 에칭하기 전에 희생층으로 샘플 우물의 측벽들을 코팅하고, 그 후 희생층을 제거하는 것에 의해 더 작은 디봇이 형성될 수 있다. 더 작은 디봇은 샘플 우물의 도전성 벽들로부터 더 등거리인 영역에 샘플을 유지하기 위해 형성될 수 있다. 샘플 우물의 벽들로부터 등거리에 샘플을 유지하는 것은 방사하는 샘플에 대한 샘플 우물 벽들의 바람직하지 않은 효과들, 예를 들어, 방출의 켄칭(quenching) 및/또는 방사 수명의 변경을 감소시킬 수 있다.

[0161] 도 3gc 및 도 3gd는 샘플 우물의 또 다른 실시예를 도시한다. 이 실시예에 따르면, 샘플 우물(3-210)은 여기-에너지-향상 구조물들(3-711) 및 여기-에너지-향상 구조물들에 인접하여 형성된 피착체(3-211)를 포함할 수 있다. 여기-에너지-향상 구조물들(3-711)은, 일부 실시예들에 따르면, 광학적으로 투명한 층(3-235)상에 도전성 재료들에 형성된 표면 플라즈몬 또는 나노-안테나 구조물들을 포함할 수 있다. 도 3gc는 샘플 우물(3-210) 및 인근의 구조물의 정면도를 도시하고, 도 3gd는 평면도를 도시한다. 여기-에너지-향상 구조물들(3-711)은 작은 국한된 영역에서의 여기 에너지를 향상시키도록 성형 및 배열될 수 있다. 예를 들어, 이 구조물들은 샘플 우물에 여기 영역(3-215) 내의 여기 에너지의 강도를 증가시키는 예각을 가진 뾰족한 도체들을 포함할 수 있다. 도시된 예에서, 여기-에너지-향상 구조물들(3-711)은 나비벡타이의 형태로 이루어져 있다. 영역 내로 확산하는 샘플들(3-101)은, 일시적으로 또는 영구적으로, 피착체(3-211)에 의해 유지될 수 있고 샘플 우물(3-210)에 인접하여 위치하는 여기 소스(3-240)로부터 전달될 수 있는 여기 에너지에 의해 여기될 수 있다. 일부 실시예들에 따르면, 여기 에너지는 여기-에너지-향상 구조물들(3-711)에서 표면-플라즈몬 파들을 구동할 수 있다. 결과의 표면-플라즈몬 파들은 구조물들(3-711)의 뾰족한 점들에서 높은 전기장들을 생성할 수 있고, 이 높은 전기장들은 여기 영역(3-215)에 유지된 샘플을 여기시킬 수 있다. 일부 실시예들에서, 도 3gc에 도시된 샘플 우물(3-210)은 디봇(3-216)을 포함할 수 있다.

- [0162] 샘플 우물의 또 다른 실시예가 도 3ge에 도시되어 있고, 샘플 우물(3-210)의 내부 벽들을 따라 형성된 여기-에너지-향상 구조물(3-720)을 보여준다. 여기-에너지-향상 구조물(3-720)은 금속 또는 도체를 포함할 수 있고, 샘플 우물이 형성된 기판이 퇴적 동안에 회전되는 경사진(또는 새도우), 방향성 퇴적을 이용하여 형성될 수 있다. 퇴적 동안에, 샘플 우물(3-210)의 베이스는 우물의 상부 벽들에 의해 가려지고, 따라서 퇴적된 재료는 베이스에서 축적되지 않는다. 결과의 구조물(3-720)은 구조물의 바닥에서 예각(3-322)을 형성할 수 있고, 도체의 이러한 예각은 샘플 우물 내의 여기 에너지를 향상시킬 수 있다.
- [0163] 도 3ge에 도시된 바와 같은 일 실시예에서, 샘플 우물이 형성되는 재료(3-232)는 도체일 필요는 없고, 임의의 적합한 유전체일 수 있다. 일부 구현들에 따르면, 샘플 우물(3-210)과 여기-에너지-향상 구조물(3-720)은 유전체층(3-235) 내로 예칭된 블라인드 홀(blind hole)에 형성될 수 있고, 별도의 층(3-232)이 퇴적될 필요가 없다.
- [0164] 일부 구현들에서, 도 3ge에 도시된 구조물에 대해 후속하여 새도우 증발(shadow evaporation)을 수행하여, 파선에 의해 도시된 바와 같이, 샘플 우물의 베이스에 금속성 또는 도전성 에너지-향상 구조물, 예를 들어, 사다리꼴 구조물 또는 뾰족한 원추를 퇴적할 수 있다. 에너지-향상 구조물은 표면 플라즈몬들을 통해 우물 내의 여기 에너지를 향상시킬 수 있다. 새도우 증발 후에, 평탄화 프로세스(예를 들어, 화학-기계 연마 공정 또는 플라즈마 에칭 프로세스)를 수행하여 샘플 우물의 상부에 있는 퇴적된 재료를 제거하거나 에치백하면서, 우물 내에 에너지-향상 구조물을 남길 수 있다.
- [0165] 일부 실시예들에서, 샘플 우물(3-210)은 단일 금속층보다 많은 것으로 형성될 수 있다. 도 3gf는 다중층 구조물에 형성된 샘플 우물을 예시하는데, 이 구조물에서는 상이한 층들에 대해 상이한 재료들이 이용될 수 있다. 일부 실시예들에 따르면, 샘플 우물(3-210)은 (반도전성 또는 도전성 재료일 수 있는) 제1 층(3-232), (절연체 또는 유전체일 수 있는) 제2 층(3-234), 및 (도체 또는 반도체일 수 있는) 제3 층(3-230)에 형성될 수 있다. 일부 실시예들에서는, 축퇴형으로 도핑된(degeneratively-doped) 반도체 또는 그래핀이 샘플 우물의 층으로 이용될 수 있다. 일부 구현들에서는, 샘플 우물이 2개의 층에 형성될 수 있고, 다른 실시예들에서는 샘플 우물이 4개 이상의 층에 형성될 수 있다. 일부 실시예들에서, 샘플 우물을 형성하는 데 이용되는 다중층 재료들은 샘플 우물의 베이스에서 표면-플라즈몬 생성을 증가시키거나 우물의 상부에서 표면-플라즈몬 방사를 억제하도록 선택될 수 있다. 일부 실시예들에서, 샘플 우물을 형성하는 데 이용되는 다중층 재료들은 여기 방사가 샘플 우물 및 다중층 구조물을 넘어서 벌크 시편으로 전파되는 것을 억제하도록 선택될 수 있다.
- [0166] 일부 실시예들에서, 샘플 우물을 형성하는 데 이용되는 다중층 재료들은 샘플 우물에 입사되는 여기 방사에 의해 생성될 수 있는 계면 여기자들(interfacial excitons)을 증가 또는 억제하도록 선택될 수 있다. 예를 들어, 이중 여기자들(biexcitons) 및 삼중 여기자들(triexcitons)와 같은 다중 여기자들(multi-excitons)이 샘플 우물에 인접한 2개의 상이한 반도체층 사이의 계면에서 생성될 수 있다. 샘플 우물은 제1 반도체층과 제2 반도체층 사이의 계면이 샘플 우물의 여기 영역(3-215)에 있도록 금속층과 제1 반도체층 양쪽 모두에 형성될 수 있다. 계면 여기자들은 단일 반도체층의 체적 내의 여기자들보다 더 긴 수명을 가질 수 있어, 그 여기자들이 FRET 또는 DET를 통해 샘플 또는 태그를 여기시킬 가능성을 증가시킬 수 있다. 일부 실시예들에서, 다중 여기자들이 여기될 수 있는 적어도 하나의 양자점이 샘플 우물의 바닥에 부착될 수 있다(예를 들어, 연결 분자(linking molecule)에 의해). 양자점에서 여기된 여기자들도 단일 반도체층의 체적 내의 여기자들보다 더 긴 수명을 가질 수 있다. 일부 실시예들에 따르면, 계면 여기자 또는 양자점에서 생성된 여기자들이 FRET 또는 DET의 속도를 증가시킬 수 있다.
- [0167] 상기 실시예들에서 설명된 샘플 우물들을 형성하기 위해 다양한 재료들이 이용될 수 있다. 일부 실시예들에 따르면, 샘플 우물(3-210)은, 도전성 재료, 반도체, 및 절연체 중 어느 하나 또는 이들의 조합을 포함할 수 있는, 적어도 하나의 재료층(3-230)으로 형성될 수 있다. 일부 실시예들에서, 샘플 우물(3-210)은 높은 도전성의 금속층, 예를 들어, 금, 은, 알루미늄, 구리를 포함할 수 있다. 일부 실시예들에서, 층(3-230)은 금, 은, 알루미늄, 구리, 티타늄, 티타늄 질화물, 팔라듐, 백금, 및 크롬 중 어느 하나 또는 이들의 조합을 포함하는 다중층 스택을 포함할 수 있다. 일부 구현들에서, 다른 금속들이 추가적으로 또는 대안적으로 이용될 수 있다. 일부 실시예들에 따르면, 샘플 우물은 AlCu 또는 AlSi와 같은 합금을 포함할 수 있다.
- [0168] 일부 실시예들에서, 상이한 금속들 또는 합금들의 다수의 층이 샘플 우물을 형성하는 데 이용될 수 있다. 일부 구현들에서, 샘플 우물(3-210)이 형성되는 재료는 금속들 및 비금속들의 교대 층들, 예를 들어, 금속과 하나 이상의 산화물의 교대 층들을 포함할 수 있다. 일부 실시예들에서, 비금속은 폴리비닐 포스폰산 또는 폴리에틸렌 글리콜(PEG)-티올과 같은 중합체를 포함할 수 있다.
- [0169] 샘플 우물이 형성되는 층(3-230)은, 일부 실시예들에 따르면, 적어도 하나의 광학적으로 투명한 층(3-235)상에

또는 그에 인접하여 퇴적될 수 있고, 따라서 (광학 형태의) 여기 에너지와 (광학 형태의) 방출 에너지가 현저한 감소 없이 샘플 우물(3-210)로 그리고 그로부터 이동할 수 있다. 예를 들어, 여기 소스(3-240)로부터의 여기 에너지는 적어도 하나의 광학적으로 투명한 층(3-235)을 통과하여 여기 영역(3-215)으로 이동할 수 있고, 샘플로부터의 방출은 동일한 층 또는 층들을 통과하여 센서(3-260)로 이동할 수 있다.

[0170] 일부 실시예들에서, 샘플 우물(3-210)의 적어도 하나의 표면은, 도 3h에 도시된 바와 같이, 샘플 우물 내의 샘플의 작용에 영향을 미치는 하나 이상의 재료층(3-211, 3-280)으로 코팅될 수 있다. 예를 들어, 얇은 유전체층(3-280)(예를 들어, 알루미늄, 티타늄 질화물, 또는 실리카)이 샘플 우물의 측벽들상에 부동태화 코팅으로서 퇴적될 수 있다. 이러한 코팅은 여기 영역(3-215) 밖의 샘플의 샘플 부착을 감소시키기 위해, 또는 샘플 우물(3-210)이 형성되는 재료(3-230)와 샘플 사이의 상호 작용을 감소시키기 위해 구현될 수 있다. 샘플 우물 내의 부동태화 코팅의 두께는, 일부 실시예들에 따르면, 약 5nm와 약 50nm 사이일 수 있다.

[0171] 일부 구현들에서, 코팅 층(3-280)을 위한 재료는 그 재료에 대한 화학적 작용제(chemical agent)의 친화도(affinity)에 기초하여 선택될 수 있고, 따라서 층(3-280)은 층으로의 샘플 층들의 부착을 더 억제하도록 화학 또는 생물학 물질로 처리될 수 있다. 예를 들어, 코팅 층(3-280)은, 일부 실시예들에 따르면, 폴리포스포네이트 부동태화 층으로 부동태화될 수 있는, 알루미늄을 포함할 수 있다. 일부 실시예들에서는 추가적인 또는 대안적인 코팅들 및 부동태화 작용제들이 이용될 수 있다.

[0172] 일부 실시예들에 따르면, 샘플 우물(3-210) 및/또는 디봇(3-216)의 적어도 바닥 표면은 샘플의 유지를 촉진하기 위해 화학 또는 생물학 피착체(3-211)(예를 들어, 비오틴)로 처리될 수 있다. 샘플은 영구적으로 또는 일시적으로, 예를 들어, 적어도 약 0.5밀리초와 약 50밀리초 사이의 시간 주기 동안 유지될 수 있다. 또 다른 실시예에서, 피착체는 더 긴 기간 동안 샘플(3-101)의 일시적 유지를 촉진할 수 있다. 임의의 적합한 피착체가 다양한 실시예들에서 이용될 수 있으며, 비오틴으로 제한되지 않는다.

[0173] 일부 실시예들에 따르면, 샘플 우물에 인접한 재료층(3-235)은 그 층의 재료에 대한 피착체의 친화도에 기초하여 선택될 수 있다. 일부 실시예들에서, 샘플 우물의 측벽들의 부동태화는 측벽들상의 피착체의 코팅을 억제할 수 있고, 따라서 피착체(3-211)는 우선적으로 샘플 우물의 베이스에 퇴적된다. 일부 실시예들에서, 피착체 코팅은 샘플 우물의 측벽들의 일부 위로 연장될 수 있다. 일부 구현들에서, 피착체는 이방성 물리 퇴적 프로세스(예를 들어, 증발, 스퍼터링)에 의해 퇴적될 수 있고, 따라서 피착체는 샘플 우물 또는 디봇의 베이스에 축적되고 샘플 우물의 측벽들에는 상당히 형성되지 않는다.

[0174] III. C 샘플 우물 제조

[0175] 통합 디바이스를 위한 샘플 우물들(3-210)을 제조하기 위해 다양한 제조 기법들이 이용될 수 있다. 몇 개의 예가 아래에 설명되지만, 본 발명은 이러한 예들로만 제한되지 않는다.

[0176] 샘플 우물(3-210)은 임의의 적합한 마이크로- 또는 나노-제조 프로세스에 의해 형성될 수 있는데, 그 프로세스는 포토리소그래피, 원자외선 포토리소그래피(deep-ultraviolet photolithography), 액침 포토리소그래피(immersion photolithography), 근거리장 광접촉 포토리소그래피(near-field optical contact photolithography), EUV 리소그래피, x선 리소그래피, 나노임프린트 리소그래피(nanoimprint lithography), 간섭측정 리소그래피(interferometric lithography), 스텝-앤-플래시 리소그래피(step-and-flash lithography), 다이렉트-라이트 전자 빔 리소그래피(direct-write electron beam lithography), 이온 빔 리소그래피(ion beam lithography), 이온 빔 밀링(ion beam milling), 리프트오프 처리(lift-off processing), 반응성 이온 에칭(reactive-ion etching), 등등과 관련된 처리 공정들을 포함할 수 있지만, 이들에 제한되지 않는다. 일부 실시예들에 따르면, 샘플 우물(3-210)은 포토리소그래피 및 리프트오프 처리를 이용하여 형성될 수 있다. 샘플 우물의 리프트오프 처리와 관련된 예시적인 제조 공정들이 도 3i에 도시되어 있다. 픽셀에서 단 하나의 샘플 우물 또는 구조물의 제조가 전형적으로 도면들에 도시되어 있기는 하지만, 다수의 샘플 우물 또는 구조가 병행하여 기판 상에(예를 들어, 각 픽셀에서) 제조될 수 있다는 것을 이해할 것이다.

[0177] 일부 실시예들에 따르면, 도 3ia에 도시된 바와 같이, 기판 상의 층(3-235)(예를 들어, 산화물층)이 반사 방지(anti-reflection)(ARC) 층(3-910) 및 포토레지스트(3-920)로 커버될 수 있다. 포토레지스트는 포토리소그래피 및 레지스트의 현상을 이용하여 노출 및 패터닝될 수 있다. 레지스트는 (레지스터 유형에 따라) 노출된 부분들 또는 비노출된 부분들을 제거하도록 현상될 수 있으며, 이에 따라, 도 3ib에 도시된 바와 같이, 샘플 우물에 대한 원하는 직경과 대략 같은 직경을 가진 기둥(3-922)이 남는다. 기둥의 높이는 샘플 우물의 원하는 깊이보다 더 클 수 있다.

- [0178] 기둥(3-922)의 패턴은, 예를 들어, 도 3ic에 도시된 바와 같이, 이방성, 반응성 이온 에칭(RIE)을 통해 ARC 층(3-910)으로 전사될 수 있다. 그 영역은 그 후 샘플 우물을 형성하기 위해 원하는 적어도 하나의 재료(3-230), 예를 들어, 도체 또는 금속으로 코팅될 수 있다. 퇴적된 재료, 또는 재료들의 일부가, 도 3id에 도시된 바와 같이, 기둥(3-922) 위에 캡(3-232)을 형성한다. 그 후 레지스트 및 ARC는, 선택적 제거 프로세스를 이용하여 (예를 들어, 적어도 레지스트를 용해시키고 캡을 릴리스(release)하거나 "리프트 오프(lifts off)"하는 화학조(chemical bath)를 교반(agitation)과 함께 또는 교반 없이 이용하여) 기관으로부터 박리될 수 있다. ARC가 남아 있다면, 그것은 선택적 에칭을 이용하여 기관으로부터 박리될 수 있고, 이에 따라 도 3ie에 도시된 바와 같은 샘플 우물(3-210)이 남는다. 일부 실시예들에 따르면, 샘플 우물의 측벽들(3-214)은 적어도 하나의 재료(3-230)의 퇴적 특성으로 인해 경사질 수 있다.
- [0179] 본 명세서에서 사용된 "선택적 에칭(selective etch)"은 에천트가 제거되거나 에칭되기를 원하는 하나의 재료를, 에천트가 제거되기를 의도하지 않는 다른 재료들을 에칭하는 것보다 더 빠른 속도로(예를 들어, 적어도 2배의 속도로) 선택적으로 에칭하는 에칭 프로세스를 의미한다.
- [0180] 레지스트 및 ARC는 전형적으로 중합체 기반이기 때문에, 이들은 높은 종횡비(aspect ratios)(예를 들어, 높이 대 폭에 관하여 약 2:1보다 큰 종횡비)를 가진 샘플 우물들을 형성하기에는 적합하지 않을 수 있는 연질 재료들(soft materials)로 간주된다. 더 높은 종횡비를 가진 샘플 우물들에 대해서는, 리프트오프 프로세스에서 경질 재료(hard material)가 포함될 수 있다. 예를 들어, ARC 및 포토레지스트를 퇴적하기 전에, 경질(예를 들어, 무기 재료)의 층이 퇴적될 수 있다. 일부 실시예들에서, 티타늄 또는 실리콘 질화물의 층이 퇴적될 수 있다. 경질 재료층은 샘플 우물이 형성되는 재료, 또는 재료들(3-230)에 비해 우선적인 에칭을 보여야 한다. 포토레지스트가 패터닝된 후에, 기둥의 패턴이 ARC 및 하부의 경질 재료(3-930)로 전사될 수 있고 그에 따라 도 3if에 도시된 바와 같은 구조물이 생긴다. 그 후 포토레지스트 및 ARC는 박리되고, 재료(들)(3-230)가 퇴적되고, 리프트오프 공정을 수행하여 샘플 우물을 형성할 수 있다.
- [0181] 일부 실시예들에 따르면, 리프트오프 프로세스는, 도 3gc 및 도 3gd에 도시된 바와 같이, 에너지-향상 구조물(3-711)을 포함하는 샘플 우물을 형성하기 위해 이용될 수 있다.
- [0182] 샘플 우물을 형성하기 위한 대안적인 프로세스가 도 3j에 도시되어 있다. 이 프로세스에서, 샘플 우물은 적어도 하나의 재료(3-230) 내로 직접 에칭될 수 있다. 예를 들어, 샘플 우물이 형성될 적어도 하나의 재료(3-230)가 기관 상에 퇴적될 수 있다. 이 층은, 도 3ja에 예시된 바와 같이, ARC 층(3-910) 및 포토레지스트(3-920)로 커버될 수 있다. 포토레지스트는, 도 3jb에 도시된 바와 같이, 샘플 우물의 원하는 직경과 대략 같은 직경을 가진 홀을 형성하기 위해 패터닝될 수 있다. 홀의 패턴은, 예를 들어 도 3jc에 도시된 바와 같이, 이방성, 반응성 이온 에칭을 이용하여 ARC로 그리고 층(3-230)을 통하여 전사될 수 있다. 레지스트 및 ARC는 박리될 수 있고, 그에 따라 도 3jd에 도시된 바와 같은 샘플 우물이 생성된다. 일부 실시예들에 따르면, 재료층(3-230) 내로 에칭하는 것에 의해 형성된 샘플 우물의 측벽들은 리프트오프 프로세스의 결과로 생긴 측벽들보다 더 수직일 수 있다.
- [0183] 일부 실시예들에서, 포토레지스트 및 ARC는 재료(3-230) 위에 하드 마스크(예를 들어, 도시되지 않은, 실리콘 질화물 또는 산화물층)를 패터닝하는 데 이용될 수 있다. 패터닝된 홀은 그 후 하드 마스크로 전사될 수 있고, 하드 마스크는 그 패턴을 재료층(3-230)으로 전사하는 데 이용된다. 하드 마스크는 더 높은 종횡비의 샘플 우물들을 형성하기 위해, 재료층(3-230) 내로 더 큰 에칭 깊이들을 가능하게 할 수 있다.
- [0184] 위에 설명한 리프트오프 프로세스들 및 직접 에칭 제조 기법들은 샘플 우물이 형성되는 재료(3-230)의 스택을 형성하기 위해 상이한 재료들의 다수의 층이 이용되는 경우 샘플 우물을 형성하는 데 이용될 수 있다. 예시적인 스택이 도 3k에 도시되어 있다. 일부 실시예들에 따르면, 재료의 스택은 샘플 우물의 여기 영역으로의 여기 에너지의 결합을 개선하기 위해, 또는 벌크 시편으로의 여기 에너지의 송신 또는 재방사를 감소시키기 위해 샘플 우물을 형성하는 데 이용될 수 있다. 예를 들어, 제1 층(3-940) 위에 흡수층(3-942)이 퇴적될 수 있다. 제1 층은 금속 또는 금속 합금을 포함할 수 있고, 흡수층은 표면 플라즈몬을 억제하는 재료, 예를 들어, 비정질 실리콘, TaN, TiN, 또는 Cr을 포함할 수 있다. 일부 구현들에서, 샘플 우물을 둘러싸는 표면을 부동태화(예를 들어, 분자들의 부착을 억제)하기 위한 표면층(3-944)이 또한 퇴적될 수 있다.
- [0185] 샘플 우물에 인접한 디봇(3-216)의 형성은 임의의 적합한 방식으로 행해질 수 있다. 일부 실시예들에서, 디봇은 인접층(3-235) 내로, 및/또는 샘플 우물에 인접한, 임의의 중간층 또는 층들 내로 더 에칭하는 것에 의해 형성될 수 있다. 예를 들어, 재료층(3-230)에 샘플 우물을 형성한 후에, 그 층(3-230)은, 도 3l에 도시된 바와 같이, 디봇을 패터닝하기 위한 에칭 마스크로서 이용될 수 있다. 예를 들어, 기관에 대해 디봇(3-216)이 인접

층(3-235) 내로 에칭될 수 있도록 선택적, 이방성 반응성 이온 에칭이 수행될 수 있다. 예를 들어, 재료(3-230)가 금속이고 인접층(3-235)이 실리콘 산화물인 일 실시예에서, 샘플 우물 아래의 노출된 실리콘 산화물을 우선적으로 제거하고 디봇(3-216)을 형성하기 위해 CHF₃ 또는 CF₄를 포함하는 공급 가스를 가진 반응성 이온 플라즈마 에칭이 이용될 수 있다. 본 명세서에서 사용된 "실리콘 산화물(silicon oxide)"은 SiO_x를 일반적으로 언급하고, 예를 들어, 이산화 실리콘을 포함할 수 있다.

[0186] 일부 실시예들에서, 에칭 동안의 플라즈마 내의 조건들(예를 들어, 기판에 대한 바이어스 및 압력)은 디봇의 에칭 프로파일을 결정하도록 제어될 수 있다. 예를 들어, 낮은 압력(예를 들어, 약 100mTorr 미만)과 높은 DC 바이어스(예를 들어, 약 20V 초과)에서, 에칭은 매우 이방성일 수 있고, 도면에 도시된 바와 같이, 디봇의 실질적으로 곧고 수직인 측벽들을 형성할 수 있다. 더 높은 압력과 더 낮은 바이어스에서, 에칭은 더 등방성일 수 있고 그에 따라 디봇의 테이퍼된 그리고/또는 만곡된 측벽들이 생성될 수 있다. 일부 구현들에서, 디봇을 형성하기 위해 습식 에칭이 이용될 수 있고, 이는 실질적으로 등방성일 수 있고, 샘플 우물의 측벽들까지 또는 그를 넘어서, 재료(3-230) 아래로 측방으로 연장할 수 있는 실질적으로 구형인 디봇을 형성할 수 있다.

[0187] 도 3ma 내지 도 3mc는 샘플 우물(3-210)보다 작은 가로 치수를 가진 디봇(3-216)(예를 들어, 도 3gb에 도시된 것과 같은 디봇)을 형성하기 위해 이용될 수 있는 프로세스 공정들을 도시한다. 일부 구현들에서, 샘플 우물을 형성한 후에, 샘플 우물을 포함하는 영역 위에 등각의 회생층(3-960)이 퇴적될 수 있다. 일부 실시예들에 따르면, 이 회생층(3-960)은 기상 증착 프로세스, 예를 들어, 화학 기상 증착법(CVD), 플라즈마를 이용한 CVD(plasma-enhanced CVD), 또는 원자층 증착법(ALD)에 의해 퇴적될 수 있다. 회생층은 그 후, 회생층(3-960)에 대해 선택적이고, 수평 표면들로부터 층을 제거하고, 도 3mb에 도시된 바와 같이, 샘플 우물의 벽들에 측벽 코팅들(3-962)을 남기는 제1 이방성 에칭을 이용하여 에치백될 수 있다. 이 에치백은 일부 실시예들에서는 선택적이고 재료(3-230) 및 인접층(3-235)에서 정지할 수 있고, 또는 일부 실시예들에서는 비선택적인, 타이밍된 에치(non-selective, timed etch)일 수 있다.

[0188] 인접층(3-235)에 대해 선택적인 제2 이방성 에칭을 실행하여, 도 3mc에 도시된 바와 같이 인접층 내로 디봇(3-216)을 에칭할 수 있다. 그 후 임의적으로 회생 측벽 코팅들(3-962)이 선택적 습식 또는 건식 에치에 의해 제거될 수 있다. 측벽 코팅들의 제거는 디봇(3-216)보다 큰 가로 치수를 갖도록 샘플 우물을 개방한다.

[0189] 일부 실시예들에 따르면, 회생층(3-960)은 인접층(3-235)과 동일한 재료를 포함할 수 있다. 이러한 실시예들에서, 제2 에칭은 디봇이 인접층(3-235) 내로 에칭될 때 측벽 코팅(3-962)의 적어도 일부를 제거할 수 있다. 측벽 코팅의 이러한 에치백은 일부 실시예들에서 디봇의 테이퍼된 측벽들을 형성할 수 있다.

[0190] 일부 구현들에서, 회생층(3-960)은 샘플 우물의 측벽들을 부동태화하기 위해(예를 들어, 샘플 우물의 측벽들에서의 샘플들의 부착을 감소시키기 위해) 이용되는 재료로 형성되거나, 이러한 재료의 층을 포함할 수 있다. 그 후 디봇의 형성 후에 샘플 우물의 벽들에 층(3-960)의 적어도 일부가 남겨질 수 있다.

[0191] 일부 실시예들에 따르면, 디봇의 형성 후에 측벽 코팅들(3-962)의 형성이 발생한다. 이러한 실시예에서 층(3-960)은 디봇의 측벽들을 코팅한다. 이러한 프로세스는 디봇의 측벽들을 부동태화하고 샘플을 디봇의 중심에 국한시키기 위해 이용될 수 있다.

[0192] 샘플 우물(3-210)의 베이스의 피착체(3-211), 및 부동태화 층(3-280)을 퇴적하는 것과 관련된 프로세스 공정들이 도 3n에 도시되어 있다. 일부 실시예들에 따르면, 샘플 우물은 샘플 우물의 측벽들에 제1 부동태화 층(3-280)을 포함할 수 있다. 이 제1 부동태화 층은, 예를 들어, 도 3mb 또는 도 3h와 관련하여 위에 설명된 바와 같이 형성될 수 있다. 일부 실시예들에서, 제1 부동태화 층(3-280)은 임의의 적합한 퇴적 프로세스 및 에치백에 의해 형성될 수 있다. 일부 실시예들에서, 제1 부동태화 층은 샘플 우물이 형성되는 재료(3-230)를 산화시키는 것에 의해 형성될 수 있다. 예를 들어, 샘플 우물은 알루미늄으로 형성될 수 있고, 이것은 샘플 우물들의 측벽들에 알루미늄의 코팅을 생성하기 위해 산화될 수 있다.

[0193] 피착체(3-980) 또는 피착체 전구체(adherent precursor)(예를 들어, 피착체를 우선적으로 결합하는 재료)가, 도 3na에 도시된 바와 같이, 이방성 물리 퇴적 프로세스, 예를 들어, 증발 퇴적을 이용하여 기판 상에 퇴적될 수 있다. 피착체 또는 피착체 전구체는, 도 3nb에 도시된 바와 같이, 샘플 우물의 베이스에 피착체 층(3-211)을 형성할 수 있고, 샘플 우물이 형성되는 재료(3-230)의 상부 표면을 코팅할 수 있다. 도 3nc에 도시된 후속의 경사진, 방향성 퇴적(때때로 새도우 퇴적 또는 새도우 증발 프로세스로 언급됨)이 피착체 층(3-211)을 커버하지 않고 재료(3-230)의 상부 표면 위에 제2 부동태화 층(3-280)을 퇴적하기 위해 이용될 수 있다. 새도우 퇴적 프로세스 동안, 기판은 기판에 대해 법선인 축을 중심으로 회전될 수 있고, 따라서 제2 부동태화 층(3-280)은 샘플

플 우물의 상부 테두리(upper rim) 주위에 더 균일하게 퇴적된다. 결과의 구조물이 일부 실시예들에 따라 도 3nd에 도시되어 있다. 제2 부동태화 층을 퇴적하는 것의 대안으로서, 재료(3-230)의 상부 표면으로부터 피착체를 제거하기 위해 평탄화 에칭(예를 들어, CMP 공정)이 이용될 수 있다.

[0194] 일부 구현들에 따르면, 피착체 층(3-211)은, 도 3o에 도시된 바와 같이, 테이퍼된 샘플 우물의 베이스에 중심에 퇴적될 수 있다. 예를 들어, 피착체, 또는 피착체 전구체가, 위에 설명된 바와 같이 형성된, 테이퍼된 샘플 우물에, 도 3na에 도시된 바와 같이, 방향성으로 퇴적될 수 있다. 샘플 우물의 벽들은 피착체 층(3-211)의 퇴적 전에 또는 후에 산화 프로세스에 의해 부동태화될 수 있다. 재료(3-230)의 표면에 남아 있는 피착체 또는 전구체는 도 3nd와 관련하여 설명된 바와 같이 부동태화될 수 있다. 일부 실시예들에서, 재료(3-230)의 상부 표면상의 피착체는 화학-기계 연마 공정에 의해 제거될 수 있다. 샘플 우물의 베이스에 중심에, 피착체 층, 또는 피착체 층 전구체를 형성함으로써, 샘플로부터의 방출에 대한 유해한 효과들(예를 들어, 샘플 우물로부터의 샘플 방사의 억제 또는 쉐딩, 샘플이 샘플 우물 주위에 형성된 에너지 결합 구조물들에 대하여 중심에 위치하지 않기 때문에 샘플로부터의 바람직하지 못한 방사 분포, 샘플에 대한 발광 수명에 대한 역효과들)이 감소될 수 있다.

[0195] 일부 실시예들에서, 샘플 우물 및 디봇을 형성하는 데 이용되는 리프트오프 패터닝, 에칭, 및 퇴적 프로세스들은 통합 디바이스 상에 통합 CMOS 회로들을 형성하는 데 이용되는 CMOS 프로세스와 호환될 수 있다. 따라서, 통합 디바이스는 종래의 CMOS 설비 및 제조 기법들을 이용하여 제조될 수 있지만, 일부 구현들에서는 커스텀 또는 특수화된 제조 설비가 이용될 수도 있다.

[0196] 위에 설명된 프로세스 공정들의 변형들이 샘플 우물들의 대안적인 실시예들을 형성하는 데 이용될 수 있다. 예를 들어, 도 3ga 또는 도 3gb에 도시된 것과 같은 테이퍼된 샘플 우물은 도 3nc에 도시된 경사진 퇴적 프로세스를 이용하여 형성될 수 있다. 도 3gb의 샘플 우물에 대해, 퇴적 각도는 퇴적 프로세스 동안 변경될 수 있다. 이러한 실시예들에서는, 실질적으로 곧고 수직인 측벽들을 가진 샘플 우물이 먼저 형성될 수 있고, 그 후 샘플 우물의 측벽들을 테이퍼하기 위해 경사진 퇴적에 의해 추가적인 재료(3-230)가 퇴적될 수 있다.

[0197] 일부 실시예들에서는, 샘플 우물(3-210)이 여기 소스가 형성된 후에 픽셀에 형성될 수 있다. 예를 들어, 픽셀에 대한 여기 소스가, 픽셀 내부 또는 외부에, 통합 디바이스 상의 또 다른 영역 및/또는 또 다른 레벨에 형성될 수 있다. 여기 소스의 유형은 샘플 우물(3-210)을 제조하는 데 이용되는 공정들에 처리 제약을 가할 수 있다. 예를 들어, 여기 소스가 유기 발광 다이오드(OLED)를 포함한다면, 샘플 우물(3-210)을 제조하는 데 이용되는 처리 공정들은 약 100°C보다 높은 온도들을 초과하지 않을 수 있다. 또한, 처리 공정들은 OLED를 가혹한 화학적 환경들 또는 산화 환경들에 처하게 하지 않을 수 있다.

[0198] 상기한 샘플 우물들의 실시예들 중 어느 하나 이상의 실시예가 통합 디바이스의 일 실시예에 포함될 수 있다.

[0199] IV. 여기 소스들

[0200] 다시 도 3a를 참조하면, 샘플 우물(3-210) 내의 샘플(3-101)을 여기시키기 위해 통합 디바이스에서 이용될 수 있는 여기 소스들(3-240)의 상이한 유형들이 존재한다. 일부 실시예들에 따르면, 여기 소스는 방사성 프로세스를 통해 샘플을 여기시킬 수 있다. 예를 들어, 여기 소스는 가시 방사(예를 들어, 약 350nm와 약 750nm 사이의 파장을 가진 방사), 근적외선 방사(예를 들어, 약 0.75마이크로미터와 약 1.4마이크로미터 사이의 파장을 가진 방사), 및/또는 단파장 적외선 방사(예를 들어, 약 1.4마이크로미터와 약 3마이크로미터 사이의 파장을 가진 방사)를 적어도 하나의 샘플 우물의 적어도 하나의 여기 영역(3-215)에 제공할 수 있다. 일부 구현들에 따르면, 여기 소스는 비방사성 프로세스를 통해 샘플을 여기시키는 에너지를 제공할 수 있다. 예를 들어, 에너지는 포스터 공명 에너지 전달(FRET) 또는 텍스터 에너지 전달(DET)을 통해 샘플에 전달될 수 있다.

[0201] 에너지 전달 경로들의 조합들도 고려된다. 예를 들어, 방사성 여기 소스는 샘플 우물의 여기 영역에 바로 인접한 매개자(intermediary)(예를 들어, 분자, 양자점, 또는 선택된 분자들 및/또는 양자점들을 포함하는 재료층)를 여기시키는 에너지를 제공할 수 있다. 매개자는 그것의 에너지를 비방사성 프로세스를 통해(예를 들어, FRET 또는 DET를 통해) 샘플에 전달할 수 있다.

[0202] 일부 실시예들에서, 여기 소스는 하나보다 많은 여기 에너지의 소스를 제공할 수 있다. 예를 들어, 방사성 여기 소스는 둘 이상의 별개의 스펙트럼 특성을 가진 여기 에너지들을 전달할 수 있다. 예로서, 다중색 LED가 둘 이상의 파장에 중심을 둔 에너지들을 방출할 수 있고, 이 에너지들이 샘플 우물의 여기 영역에 전달될 수 있다.

[0203] IV.A. 방사성 여기 소스들

- [0204] 개관에서 그리고 일부 실시예들에 따르면, 통합 디바이스는 여기 에너지를 적어도 하나의 샘플 우물의 적어도 하나의 여기 영역에 또는 그 여기 에너지를 변환하거나 하나 이상의 여기 영역 내의 적어도 하나의 샘플에 결합하는 적어도 하나의 매개자에 제공하기 위해 디바이스 상에 배열된 적어도 하나의 방사성 여기 소스를 포함할 수 있다. 도 3b에 도시된 바와 같이, 여기 소스(3-240)로부터의 방사(3-247)는, 예를 들어, 샘플 우물(3-210) 주위의 영역에 부딪힐 수 있다. 일부 실시예들에서는, 입사 여기 에너지를 샘플 우물의 여기 영역(3-215)에 집중시키는 데 도움을 주는 여기-결합 구조물들(도시되지 않음)이 있을 수 있다.
- [0205] 방사성 여기 소스는 각각이 특성 파장을 가진 하나 이상의 별개의 스펙트럼 대역에 의해 특징지어질 수 있다. 단지 교육 목적으로, 여기 소스로부터의 스펙트럼 방출의 일례가 도 4aa의 스펙트럼 그래프에 도시되어 있다. 여기 에너지는 실질적으로 스펙트럼 여기 대역(4-110) 내에 포함될 수 있다. 스펙트럼 여기 대역의 피크 파장(4-120)은 여기 에너지를 특징짓는 데 이용될 수 있다. 여기 에너지는 스펙트럼 분포, 예를 들어, 도면에 도시된 바와 같은 FWHM(full-width-half-maximum)에 의해서도 특징지어질 수 있다. 도 4aa에 도시된 바와 같은 여기 소스 생성 에너지는 대략 540nm 방사의 파장에서 에너지를 전달하고 대략 55nm의 FWHM 대역폭을 가진 것으로 특징지어질 수 있다.
- [0206] 도 4ab는 하나 이상의 샘플 우물에 2개의 여기 에너지 대역을 제공할 수 있는 여기 소스(또는 여기 소스들)의 스펙트럼 특성들을 도시한다. 일부 실시예들에 따르면, 도면에 예시된 바와 같이, 제1 여기 대역(4-112)은 대략 532nm에 있고, 제2 여기 대역(4-114)은 대략 638nm에 있다. 일부 실시예들에서, 제1 여기 대역은 대략 638nm에 있을 수 있고, 제2 여기 대역은 대략 650nm에 있을 수 있다. 일부 실시예들에서, 제1 여기 대역은 대략 680nm에 있을 수 있고, 제2 여기 대역은 대략 690nm에 있을 수 있다. 일부 실시예들에 따르면, 여기 대역들의 피크들은 이들 값들의 $\pm 5\text{nm}$ 이내에 있을 수 있다. 일부 실시예들에서는 다른 여기 대역들이 이용될 수 있다.
- [0207] 일부 경우에, 방사성 여기 소스는 도 4aa에 도시된 바와 같은 넓은 여기 대역을 생성할 수 있다. 넓은 여기 대역(4-110)은, 일부 실시예들에 따르면, 대략 20nm보다 큰 대역폭을 가질 수 있다. 넓은 여기 대역은, 예를 들어, 발광 다이오드(LED)에 의해 생성될 수 있다. 일부 구현들에서, 방사성 여기 소스는, 도 4ab에 도시된 바와 같이, 좁은 여기 대역을 생성할 수 있다. 좁은 여기 대역은, 예를 들어, 레이저 다이오드에 의해 생성될 수 있고, 또는 LED로부터의 출력을 스펙트럼으로 필터링하는 것에 의해 생성될 수 있다.
- [0208] 일부 실시예들에서, 적어도 하나의 여기 소스(3-240)는, 도 4ba에 도시된 바와 같이, 통합 디바이스의 기관(1-100)상에 각각의 액티브 픽셀(3-100)에 형성될 수 있다. 샘플 우물 및 그의 여기 영역이 작기 때문에(예를 들어, 대략 100nm의 가로 치수를 가짐), 여기 소스(3-240)는, 일부 실시예들에 따르면, 도 4ba에 도시된 바와 같이, 샘플 우물(3-210)의 부근에만 형성될 수 있다. 예를 들어, 여기 소스는 샘플 우물의 가로 치수의 약 20배 미만(예를 들어, 약 100nm의 직경을 가진 샘플 우물에 대해 직경이 약 2마이크로미터 미만)인 가로 치수를 가질 수 있다. 도 4ba는 4개의 픽셀만 도시하고 있지만, 기관(1-100)상에 더 많은 픽셀이 있을 수 있다.
- [0209] 일부 양태들에서, 각 여기 소스는 개별적으로 제어될 수 있다. 이에 따라 각 소스의 행-및-열 어드레싱을 위해 기관(1-100)상에 인터커넥트들 및 구동 회로(도 4ba에 도시되지 않음)가 필요할 수 있다. 인터커넥트들은 픽셀들 사이에 그리고/또는 픽셀들(3-100) 사이의 갭들(4-230)에 이어질 수 있다. 일부 실시예들에 따르면, 통합된 배선 및 회로는 여기 소스들의 행들 또는 열들을 개별적으로 제어 및 구동하도록 배열될 수 있다. 예를 들어, 행 내의 모든 여기 소스들(3-240)은 공통 제어 신호를 이용해 함께 구동될 수 있다. 일부 실시예들에서, 통합된 배선 및 회로는 기관 상의 여기 소스들의 그룹들을 공통 제어 신호를 이용해 제어 및 구동하도록 배열될 수 있다. 일부 구현들에서, 통합된 배선 및 회로는 모든 여기 소스들을 공통 제어 신호를 이용해 제어 및 구동하도록 배열될 수 있다. 더 많은 수의 여기 소스들을 함께 구동함으로써, 여기 소스들에 대해 더 적은 수의 인터커넥트 및 구동 전자 회로가 요구된다.
- [0210] 도 4bb는 여기 소스들(4-242)이 통합 디바이스의 기관(1-100)상에 스트립들에 배열되는 일 실시예를 도시한다. 스트립들에 배열될 때, 여기 소스들은 도파 특성들(wave guiding properties)을 보일 수 있고, 여기 소스들로부터의 광이 스트립들을 따라 측방으로 샘플 우물들(3-210)로 유도될 수 있다. 스트립 여기 소스들(4-242)은 일부 실시예들에서 개별적으로 구동될 수 있고, 또는 함께 구동될 수 있다. 일부 실시예들에서, 스트립들은 샘플 우물들에서 교차하는 그리드 패턴(grid pattern)으로 배열될 수 있다.
- [0211] 일부 구현들에서, 통합 디바이스 상에 형성된 여기 소스들의 수가 픽셀들보다 적을 수 있고, 여기 소스로부터의 광이 도파관과 같은 여기-결합 구조물을 통해 하나보다 많은 샘플 우물에 전달될 수 있다. 일부 경우에, 단일 여기 소스가 모든 액티브 픽셀들을 가로질러 연장하고, 단일 구동 신호에 의해 제어되고, 모든 샘플 우물들 내

의 여기 영역들을 동시에 조명할 수 있다.

- [0212] 일부 실시예들에 따르면, 여기 소스들(4-244)은, 도 4bc에 도시된 바와 같이, 체커보드 패턴으로 배열될 수 있다. 이러한 실시예에서, 여기 소스들(4-244)은 픽셀(3-100)이 없는 영역들에 위치할 수 있다. 픽셀들에서 떨어진 영역들에 여기 소스들을 배치하는 것은 통합 디바이스를 제조하기 위한 제조 제약들을 완화할 수 있다. 예를 들어, 여기 소스들의 제조는 센서들 및 샘플 우물들의 제조 후에 수행될 수 있다. 여기 소스들로부터의 에너지는, 예를 들어, 스트립 또는 슬래브 도파관들(도시되지 않음)을 통해 픽셀들에 제공될 수 있다. 여기 소스들(4-244)은 일부 실시예들에 따르면 개별적으로, 일부 실시예들에 따르면 그룹들로, 또는 일부 실시예들에서는 다 함께 구동될 수 있다. 여기 소스들을 개별적으로 구동하는 것은 여기 소스들의 그룹을 구동하는 데 요구될 수 있는 것보다 더 많은 수의 제어 회로들 및 인터커넥트들을 필요로 할 수 있다.
- [0213] 일부 구현들에서, 여기 소스(4-246)는, 도 4bd에 도시된 바와 같이, 픽셀들(3-100)의 그룹 주위에 형성될 수 있다. 여기 소스(4-246)로부터의 방사는, 일부 실시예들에 따르면, 슬래브 도파관 또는 스트립 도파관들을 통해 픽셀들(3-100)에 전달될 수 있다. 일부 구현들에서는, 픽셀들 쪽으로 방사를 반사하기 위한 반사성 벽이 위상 여기 소스(4-246)의 주연부에 있을 수 있다. 일부 실시예들에서는, 기관(1-100)상에 통합 디바이스의 주연부 주위에 위치하는 집적 회로들(4-210)(예를 들어, 구동 전자 디바이스, 증폭기, 트랜지스터, 및/또는 관독 회로)이 있을 수 있다.
- [0214] 여기 소스들을 픽셀이 없는 영역들에 배치시킴으로써, 통합 디바이스의 제조가 간소화될 수 있다. 예를 들어, 여기 소스들(4-244)의 제조 프로세스는 픽셀들(3-100)에 대한 제조 프로세스와 실질적으로 별개일 수 있다. 예를 들어, 도 4bc 및 도 4bd에 도시된 여기 소스들은 픽셀들 및/또는 집적 회로(4-210)의 제조 후에 제조될 수 있다. 이것은 여기 소스가 통합 디바이스의 픽셀 구조들 및/또는 집적 회로들을 제조하는 데 필요할 수 있는 높은 프로세스 온도들에 민감하거나 그에 의해 열화될 수 있는 유기 또는 다른 재료를 포함하는 경우에 바람직할 수 있다.
- [0215] 도 4be는 픽셀들의 그룹에 인접한 기관(1-100)의 영역에 여기 소스(4-246)가 패터닝되는 일 실시예를 도시한다. 이 도면은 여기 소스(4-246)와 이 여기 소스로부터 100마이크로미터 초과해서 위치할 수 있는 샘플 우물(3-210) 양쪽 모두의 정면도를 도시한다. 샘플 우물은 통합 디바이스 상의 픽셀들의 그룹 내의 임의의 픽셀 내에 위치할 수 있다. 여기 소스(4-246)는 일부 구현들에서는 에지-방출(edge-emitting) 발광 다이오드(LED), 또는 일부 실시예들에서는 레이저 다이오드를 포함하고, 다이오드 스택(4-250)을 포함할 수 있다. 다이오드 스택과의 전기 연결은 캐소드 패드(4-281)와 애노드 패드(4-282)를 포함할 수 있다. 캐소드와 애노드는 금속성이고 반사성일 수 있고 반사를 측방으로 반사 및/또는 산란시키는 산란 구조물들을 포함할 수 있다.
- [0216] 일부 실시예들에 따르면, 다이오드(4-246)로부터의 광은 픽셀들의 그룹 내의 샘플 우물들에 방사를 유도하는 슬래브 도파관에 결합될 수 있다. 슬래브 도파관은 제1 유전체층(3-235), 코어 층(4-270), 및 제2 유전체층(3-245)을 포함할 수 있다. 코어 층(4-270)의 굴절률은 제1 및 제2 유전체층들의 굴절률보다 클 수 있다. 예를 들어, 코어 층은 실리콘 질화물층을 포함할 수 있고, 제1 및 제2 유전체층들은 실리콘 산화물층들을 포함할 수 있다. 여기 소스(4-246)로부터의 광은 코어 유전체층(4-270)으로 실질적으로 구속되고, 샘플 우물들(3-210)로 유도될 수 있다. 일부 실시예들에서, 샘플 우물의 디봇은 코어 층(4-270)을 통하여 어느 정도, 또는 그를 통하여 완전히 연장할 수 있다. 일부 실시예들에서, 코어 층은 샘플 우물들에서의 디봇들의 에칭 동안 에치 스톱으로서 역할을 할 수 있다.
- [0217] 도 4be에 도시된 실시예는 도 4bd에 도시된 바와 같은 분산된 여기 소스(4-246)와 관련하여 설명되지만, 다른 실시예들에서는 별개의 여기 소스들이 픽셀들의 그룹의 주연부에 위치하고 슬래브 도파관보다는 스트립 도파관들을 통해 적어도 일부 픽셀들(예를 들어, 하나 이상의 행 또는 열 내의 픽셀들)에 전달될 수 있다.
- [0218] 다양한 유형의 방사성 여기 소스들이 도 4ca 내지 도 4ce에 도시되어 있다. 일부 실시예들에 따르면, 여기 소스는 유기 발광 다이오드(OLED)를 포함할 수 있다. OLED는 도 4ca에 도시된 바와 같이, 유기 방출층(organic emissive layer)(4-342) 및 유기 도전층(organic conducting layer)(4-344)을 포함할 수 있다. 각각의 유기층은 유기 분자들을 포함하고/하거나 유기 중합체로 형성될 수 있다. 방출층 내의 유기 분자들은 원하는 파장 또는 원하는 파장들의 조합에서 방출하도록 선택될 수 있다. OLED와의 전기 접촉은 캐소드 및 애노드(4-346)를 통하여 이루어질 수 있다. 애노드는 임의의 적합한 도전성 재료로 형성될 수 있고, 유기층들의 퇴적에 앞서 형성될 수 있다. 일부 실시예들에 따르면, 애노드(4-346)는 샘플 우물에 인접한 개방부(4-347)를 포함할 수 있고, 따라서 샘플로부터의 방출은 기관을 통과하여 샘플 아래에 위치한 센서로 이동할 수 있다. 일부 실시예들에서, 캐소드는 샘플 우물(3-210)이 형성되는 도전층 또는 도전성 재료(3-230)를 포함할 수 있다. 일부 구현

들에서, 디봇(3-216)이 OLED의 방출층(4-342) 내로 형성될 수 있고, 따라서 OLED로부터의 광이 샘플 우물의 여기 영역 내로 더 효율적으로 전달될 수 있다.

- [0219] 일부 구현들에서, OLED는 도 4ca에 도시된 것보다 샘플 우물로부터 더 멀리 수직으로 이격될 수 있다. 예를 들어, OLED는 절연 또는 투명층(3-235) 아래에 형성될 수 있다. 이러한 실시예들에서, OLED의 캐소드는 인듐 주석 산화물(ITO)과 같은 투명 도체를 포함할 수 있고, 따라서 OLED로부터의 광이 샘플 우물로 통과할 수 있다. 일부 실시예들에 따르면, OLED는 샘플 우물 아래에 500nm 내지 10마이크로미터 이격될 수 있다.
- [0220] 통합 디바이스에 OLED를 이용하는 것의 하나의 이점은 현대의 OLED들은 높은 광 강도 출력이 가능하다는 점이다. 또 다른 이점은 OLED들의 저비용이다. OLED 수명과 관련된 문제점들은 통합 디바이스에 문제가 되지 않는데, 그 이유는 통합 디바이스는 한 번 또는 몇 번 사용될 수 있고, OLED가 그의 성능이 열화할 정도로 충분히 사용되기 전에 폐기될 수 있기 때문이다.
- [0221] 일부 실시예들에 따르면 샘플 우물들을 조명하기 위해 솔리드-스태이트 또는 반도체 LED들이 사용될 수도 있다. 도 4cb는 일부 구현들에서, 샘플 우물에 인접하여 제조될 수 있는 통합된 반도체 발광 디바이스를 도시한다. 반도체 LED는, 도면에 도시된 바와 같이, 복수의 층을 포함할 수 있다. 일부 구현들에서, 이 층들은 전자 운반층(electron transport layer)(4-352), 정공 차단층(hole blocking layer)(4-354), 및 방출층(emissive layer)(4-356), 정공 운반층(4-357), 및 전자 차단층(electron blocking layer)(4-359)을 포함할 수 있다. 층들의 스택은 도 4ca와 관련하여 설명된 바와 같이 애노드 및 캐소드에 의해 전기적으로 접촉될 수 있다. 도 4cb에 도시된 LED 구조는 OLED, PhOLED, 및 양자점 LED(QLED)를 포함하지만 이에 제한되지 않는 다른 유형의 LED들에 이용될 수 있다.
- [0222] 일부 실시예들에 따르면, 반도체 레이저 다이오드가 기판(1-100)상에 통합될 수 있다. 도 4cc는 일부 구현들에서 이용될 수 있는 수직 공동 표면 발광 레이저(VCSEL)를 도시한다. VCSEL은 VCSEL 공동의 대향 단부들에 형성된 반사성 스택들(4-364, 4-362)을 포함할 수 있다. 다중 양자 우물(4-365)이 VCSEL의 공동 내에 형성될 수 있다. 일부 구현들에서, 반사성 재료(3-230)가 VCSEL 공동의 한 단부에 캐소드 또는 애노드를 형성할 수 있고, 이 캐소드 또는 애노드에 샘플 우물(3-210)이 형성될 수 있다. 일부 실시예들에 따르면, 도면에 도시된 바와 같이, 디봇(3-216)이 VCSEL의 공동 내로 연장할 수 있다.
- [0223] 디봇이 VCSEL 공진기 내로 연장하기 때문에, 샘플은 공동 외부에 위치하는 경우보다 상당히 더 높은 강도에 노출될 수 있다. 예를 들어, VCSEL 공동의 반사성 스택들이 90%보다 크다면, 공동 내부의 강도는 공동 외부의 강도보다 대략 10 내지 100배 더 높을 수 있다. 일부 실시예들에서, VCSEL 공동의 적어도 하나의 반사체는 이색성(dichroic)일 수 있고, 따라서 그것은 여기 에너지에 대해 반사율이 높고(예를 들어, 약 90% 초과) 샘플로부터 높은 백분율의 방출(예를 들어, 약 60% 초과)을 전송한다.
- [0224] 도 4cb 및 도 4cc에서, 여기 소스들은 샘플 우물의 가로 치수보다 상당히 더 큰 영역을 가로질러 연장한다. 따라서, 샘플로부터의 방출은 샘플 우물 아래에 위치한 센서에 도달하기 위해 여기 소스를 통과해야 한다. 이러한 실시예들에서 샘플로부터의 방출의 일부는 여기 소스 내에서 흡수될 수 있다.
- [0225] 도 4cd 및 도 4ce는 샘플 우물의 가로 치수와 대략 같은 가로 치수들을 가진 나노스케일 여기 소스들을 도시한다. 예를 들어, 나노스케일 여기 소스의 가로 치수는, 일부 실시예들에 따르면, 50nm와 500nm 사이일 수 있지만, 다른 실시예들에서는 더 클 수도 있다. 이들 나노스케일 여기 소스들은, 일부 실시예들에 따르면, 제조 동안에 샘플 우물에 자기 정렬될 수 있다. 일부 실시예들에서, 나노스케일 여기 소스들과 유사하지만, 마이크로 스케일 가로 치수들을 가진, 마이크로스케일 여기 소스들이 샘플 우물에 인접하여 형성될 수 있다.
- [0226] 도 4cd는 샘플 우물 아래에 형성되는 나노-LED를 도시한다. 이 나노-LED는 p-n 접합을 형성하기 위해 제1 도전형을 가진 기둥(pillar)(4-374)과 제2 도전형을 가진 캡(cap)(4-376)을 포함할 수 있다. 기둥(4-374)은 반도체층(4-380)으로부터 에피택셜 성장에 의해 형성될 수 있다. 기둥의 성장 동안에, 일부 실시예들에 따르면, 기둥 및/또는 도펀트 농도의 교대 재료들에 의해 반사성 스택(4-375)이 형성될 수 있다. 기둥(4-374)과의 전기 접촉은 반도체층(4-380)을 통하여 이루어질 수 있다. 나노-LED는 샘플 우물이 형성되는 도전성 재료(3-230)를 통해 캡(4-376)에 전기적으로 연결하기 위해 이용되는 도전성 표면 코팅(4-372)을 더 포함할 수 있다. 일부 실시예들에서는, 도면에 도시된 것보다 더 많은 층이 나노-LED에 있을 수 있다. 예를 들어, 나노-LED는 전자 운반, 전자 차단, 정공 운반, 및/또는 정공 차단층들을 포함할 수 있다. 일부 실시예들에 따르면, 샘플 우물 내부 및 그 주위의 영역 위에 부동태화 층(4-378)(예를 들어, 산화물)이 퇴적될 수 있다.
- [0227] 일부 실시예들에서, 도전층(4-372) 내의 부동태화 층(4-378)은 샘플 우물 내의 샘플에 의해 방출된 방사에 투명

할 수 있다. 예를 들어, 부동태화 층(4-378)은 알루미늄이나 또는 산화물을 포함할 수 있다. 도전성 코팅(4-372)도 샘플에 의해 방출된 방사에 투명할 수 있고, 일부 실시예들에 따르면, 인듐 주석 산화물(ITO)을 포함할 수 있다. 일부 구현들에서, 도전성 코팅(4-372)은 그래핀, 인듐 도핑된 아연 산화물, 알루미늄 도핑된 아연 산화물, 또는 갈륨 도핑된 아연 산화물을 포함할 수 있다. 부동태화 층과 도전성 코팅은 투명하기 때문에, 샘플로부터의 광은, 도 4cb 및 도 4cc에 도시된 디바이스들에서 발생할 수 있는 바와 같이, 실리콘 또는 반도체를 통과하지 않고 반도체 기판(4-380)까지 이동할 수 있다. 일부 실시예들에서, 샘플로부터의 방출을 검출하기 위한 하나 이상의 센서(도시되지 않음)가 기판(4-380)에 형성될 수 있다.

[0228] 일부 실시예들에 따르면, 나노-LED(4-371) 또는 나노스케일 여기 소스는 수직 도파관을 포함할 수 있다. 예를 들어, 나노-LED의 굴절률은 주위의 층(3-235)의 굴절률보다 상당히 더 클 수 있다. 따라서, 나노-LED(4-371)로부터의 방출은 샘플 우물(3-210)의 여기 영역으로 수직으로 유도되어 그 영역에 집중될 수 있다. 따라서, 나노-LED는, 예를 들어, 도 4cb에 도시된 다이오드와 같은, 더 큰 디바이스보다 더 효율적으로 여기 영역을 조명할 수 있다.

[0229] 일부 실시예들에서, 나노-LED의 제2 도전형을 가진 캡(4-376)은 기둥을 노출시키도록 에치백될 수 있다. 그 후 반사성 스택(4-375)에 대항하는 상부 표면 상에 반사성 코팅을 형성하여 나노스케일의, 수직 에지 방출 레이저 다이오드(nanoscale, vertical edge emitting laser diode)(나노-VEELD)를 형성할 수 있다.

[0230] 나노-LED의 높이는 에피택셜 성장에 의해 신중하게 제어될 수 있다. 따라서, 나노-LED의 방출 단부와 샘플 우물이 형성되는 재료(3-230)의 하부 표면 사이의 거리가 신중하게 제어될 수 있다. 또한, 샘플 우물의 여기 영역과 나노-LED의 방출 단부 사이의 거리를 신중하게 제어하기 위해 부동태화 재료 또는 유전체의 (도 3id와 관련하여 설명된 것과 같은) 방향성 물리 퇴적이 이용될 수 있다. 이들 거리들의 신중한 제어는 샘플 우물에 인접하여 형성된 결합 구조와 조합하여, 여기 에너지의 여기 영역으로의 결합 및 샘플로부터의 방출의 하나 이상의 센서로의 결합을 개선할 수 있다.

[0231] 도 4ce는 일부 구현들에 따른, 샘플 우물 아래에 형성된 자기 정렬된, 나노-VCSEL을 도시한다. 이 나노-VCSEL은 나노-LED를 형성하는 데 이용된 것들과 유사한 기법들을 이용하여 형성될 수 있다(아래에 더 상세히 설명됨). 일부 실시예들에 따르면, 나노-VCSEL은 기둥의 에피택셜 성장 동안에 형성된 제1 반사성 스택(4-377), 다중 양자 우물 구조물(4-330) 또는 양자점, 및 제2 반사성 스택(4-373)을 포함할 수 있다. 나노-VCSEL의 하나의 단부와 전기 연결은, 나노-LED와 관련하여 설명된 바와 같이, 도전성 코팅(4-372)에 의해 이루어질 수 있다.

[0232] 작은 사이즈 때문에, 나노-LED(4-371)와 나노-VCSEL은 낮은 접합 커패시턴스들을 가질 것이다. 따라서, 그것들은 고속으로 변조될 수 있다. 일부 실시예들에서, 나노-LED, 나노-VEELD, 또는 나노-VCSEL은 대략 1마이크로초 미만의 턴온 및 턴오프 시간들을 가질 수 있다. 나노-LED, 나노-VEELD, 또는 나노-VCSEL은 일부 구현들에서는 대략 100나노초 미만, 일부 구현들에서는 대략 10나노초 미만, 일부 실시예들에서는 대략 1나노초 미만, 그리고 또한 일부 실시예들에서는 대략 100피코초 미만의 턴온 및 턴오프 시간들을 가질 수 있다.

[0233] 또한, 샘플 우물의 여기 영역에서만 강한 여기 에너지가 필요하기 때문에, 나노-LED, 나노-VEELD, 또는 나노-VCSEL은 더 적은 출력 전력으로 더 효율적으로 샘플을 여기시킬 수 있다. 이것은 일부 구현들에서 유익할 수 있는데, 그 이유는 높은 전력 손실(power dissipation)은 시편을 받아들이지 않을 정도로 높은 온도까지 가열할 수 있고 샘플을 손상시킬 가능성이 있기 때문이다. 또한, 나노-LED, 나노-VEELD, 또는 나노-VCSEL로부터의 방출은 주로 여기 영역에만 전달되기 때문에, 샘플 우물(3-210)의 여기 영역(3-215)보다 실질적으로 더 큰 영역에 걸쳐 방사를 방출하는 더 큰 여기 소스와 비교하여, 더 적은 전체 여기 에너지가 요구된다. 더 적은 전체 여기 에너지가 요구되기 때문에, 일부 실시예들에 따르면, 여기 소스로부터의 더 적은 배경 방사로 인해 샘플로부터의 방출에 대한 신호 대 잡음비가 증가할 수 있다.

[0234] 도 4ca 내지 도 4cd에서 설명된 여기 소스들을 제조하기 위해 다양한 기법들이 이용될 수 있다. 일부 실시예들에 따르면, 통합 디바이스 상에 적어도 하나의 OLED, PhOLED, 또는 QLED를 형성하기 위해 종래의 기법들이 이용될 수 있다. 예를 들어, LED들이 형성되는 영역들에서는 다수의 층 퇴적들이 수행될 수 있는 반면, 다른 영역들은 그 영역들에서의 기판 상의 퇴적들을 방지하기 위해 마스크될 수 있다. OLED, PhOLED, 또는 QLED 디바이스는 상승된 온도들에 민감할 수 있기 때문에, 이러한 디바이스들의 형성 후의 처리 온도는 온도 한계 아래로 유지될 필요가 있을 수 있고, 그 온도 한계 위에서는 OLED, PhOLED, 또는 QLED 디바이스들에 손상이 발생할 수 있다. 예를 들어, OLED는 대략 100°C 위의 온도들에 노출에 의해 손상되거나 열화될 수 있다. 따라서, 통합 디바이스 상에 OLED의 형성 후에, 처리 온도들은 후속의 제조 공정들 동안에 대략 100°C로 제한될 수 있다.

[0235] 통합 디바이스 상에 무기 반도체 LED들, 레이저 다이오드들, 또는 VCSEL들의 형성은, 일부 실시예들에 따르면, 종래의 기법들을 이용하여(예를 들어, 이온 주입 및 확산 및/또는 다수의 에피택셜 퇴적을 이용하여) 수행될 수 있다. 다른 구현들에서, 무기 반도체 LED들, 레이저 다이오드들, VCSEL들, 및/또는 샘플 우물들은 별도의 SOI(semiconductor-on-insulator) 기판 상에 형성될 수 있고 그것은 그 후 통합 디바이스의 기판(1-100)에 정렬되고 접합된다. 예를 들어, 레이저 다이오드 또는 VCSEL을 위한 에피택셜 층들이 SOI 기판 상에 형성될 수 있고, 그것은 그 후, 예를 들어, 도 4cb에 도시된 유전체층(3-235)에 접합될 수 있다. 접합 후에, 형성된 VCSEL을 가진 실리콘 층은 SOI 기판으로부터 릴리스될 수 있고, 일부 실시예들에 따르면 추가로 에치백될 수 있다. 그 후 샘플 우물들(3-210)이 각 픽셀에 형성될 수 있다.

[0236] IV. B. 방사성 여기 소스들의 제조

[0237] 도 4da 내지 도 4di는 일부 실시예들에 따른, 샘플 우물에 자기 정렬되는, 나노-LED, 나노-VEELD, 또는 나노-VCSEL을 형성하기 위해 이용될 수 있는 프로세스 공정들과 관련된 구조물들을 도시한다. 도시된 프로세스 공정들은 디바이스들을 제조하는 데 이용될 수 있는 방법들의 일부 실시예들만을 예시한다. 나노-LED, 나노-VEELD, 또는 나노-VCSEL 디바이스들은 일부 실시예들에서 다른 또는 추가적인 프로세스 공정들을 이용하여 제조될 수 있다. 예를 들어, 일부 프로세스들은 샘플 우물들에의 이들 디바이스들의 포토리소그래피 정렬을 필요로 할 수 있다. 일부 실시예들에서, 나노스케일 여기 소스들의 제조에 대하여 설명된 하나 이상의 공정을 이용하여 마이크로스케일 여기 소스들이 제조될 수 있다.

[0238] 일부 구현들에 따르면, 도 4da에 도시된 바와 같이, 반도체층(4-380), 절연층(3-235) 및 상부층(3-230)을 포함하는 기판에 홀 또는 비아(4-410)가 형성될 수 있다. 홀은 도 3ja 내지 도 3jd와 관련하여 설명된 바와 같이, 상부층(3-230) 위에 레지스트에 홀을 패터닝하는 것에 의해 형성될 수 있다. 상부층을 통하여 홀 패터닝을 에칭하기 위해 제1 선택적 이방성 에칭이 이용될 수 있고, 절연층(3-235) 내에 홀 패터닝을 에칭하기 위해 제2 선택적 이방성 에칭이 이용될 수 있다.

[0239] 상부층은 샘플 우물이 형성되는 재료 또는 재료들의 스택을 포함할 수 있고, 홀(4-410)은 샘플 우물의 위치를 정의할 수 있다. 일부 실시예들에서, 반도체층(4-380)은 실리콘을 포함할 수 있지만, 다른 반도체 재료들이 이용될 수도 있다. 일부 경우에, 반도체층(4-380)은 SOI 기판의 얇은, 또는 초박형(ultrathin)(예를 들어, 두께가 대략 50nm 미만인), 반도체층을 포함할 수 있고, 따라서 샘플 우물로부터의 방출은 약 30% 미만의 손실로 이층을 통과할 수 있다. 절연층(3-235)은 여기 소스로부터의 방사 및 샘플로부터의 방사를 투과하는 산화물(예를 들어, SiO₂) 또는 임의의 적합한 재료를 포함할 수 있다. 상부층(3-230)은, 일부 구현들에 따르면, 도전성 금속, 재료들의 스택(예를 들어, 반도체, 금속, 및 절연체), 또는 샘플 우물(3-210)의 제조와 관련하여 본 명세서에 설명된 임의의 적합한 재료들의 조합을 포함할 수 있다.

[0240] 그 후, 도 4db에 도시된 바와 같이, 홀(4-410)을 라이닝하기 위해 희생 코팅(4-420)이 퇴적될 수 있다. 희생 코팅(4-420)은 먼저 균일한 층(도시되지 않음)으로 영역 위에 퇴적될 수 있다. 예를 들어, 희생 코팅은 화학 기상 증착(CVD) 프로세스 또는 원자층 증착(ALD) 프로세스와 같은 등각 퇴적 프로세스(conformal deposition process)를 이용하여 퇴적될 수 있다. 퇴적 후에, 희생 코팅은 (도면에서 볼 때) 수평 평면 표면들상의 희생 재료를 제거하기 위해 에치백될 수 있다. 이러한 퇴적 및 에치백 프로세스는 도 3ma 및 도 3mb와 관련하여 설명된다. 임의의 적합한 재료가 희생 코팅(4-420)에 이용될 수 있다. 다양한 실시예들에서, 희생 코팅(4-420)에 이용되는 재료는 상부층(3-230), 절연층(3-235), 및 반도체층(4-380)으로부터 에피택셜 방식으로 성장될 반도체 재료보다 높은 에치 선택비(etch selectivity)를 보일 것이다. 일부 실시예들에서, 희생 코팅(4-420)은, 예를 들어, 실리콘 질화물로 형성될 수 있다. 희생 코팅(4-420)의 형성 후에, 반도체층(4-380)의 표면을 노출시키도록 반도체층에 제2 홀(4-412)이 에칭될 수 있다. 결과의 구조물은, 일부 구현들에 따르면, 도 4dc에 도시된 것처럼 보일 수 있다.

[0241] 그 후, 도 4dd에 도시된 바와 같이, 반도체층(4-380)으로부터 반도체 기둥(4-374)이 성장될 수 있다. 일부 실시예들에 따르면, 기둥은 분자 유기 화학 기상 증착(molecular organic chemical vapor deposition)(MOCVD)과 같은 에피택셜 성장 프로세스를 통해 성장될 수 있다. 일부 실시예들에 따르면, 기둥은 반도체층까지 에칭되고 절연층(3-235) 및 희생 코팅(4-420)의 벽들에 의해 정의되는 홀에 형성될 수 있다. 홀은 기둥의 성장을 위한 몰드(mold)를 제공할 수 있다. 홀의 상부 부분에 샘플 우물(3-210)이 후속하여 형성될 것이기 때문에, 기둥(4-374)은 후속하여 형성된 샘플 우물(3-210)에 자기 정렬되어 성장한다.

[0242] 일부 실시예들에서, 기둥의 성장 동안에, 기둥의 베이스에 방사성 스택(4-375)이 형성될 수 있거나, 형성되지

않을 수 있다. 이 반사성 스택은 일부 구현들에 따르면, 나노-LED로부터의 방출에 대해 높은 반사율을 보일 수 있고, 나노-LED로부터의 방출의 대략 1/2을 샘플 우물 쪽으로 반사하는 데 이용될 수 있다. 일부 실시예들에서, 반사성 스택(4-375)은 샘플 우물 내의 샘플로부터의 반사에 대해 낮은 반사율(예를 들어, 약 30% 미만)을 보일 수 있다.

[0243] 기둥(4-374)은 임의의 선택된 도전형으로 형성될 수 있다. 예를 들어, 기둥의 도전형을 정의하기 위해 기둥의 에피택셜 성장 동안 도너 또는 억셉터 종들이 추가될 수 있다. 일부 실시예들에서 기둥은 p형일 수 있고, 다른 실시예들에서 기둥은 n형일 수 있다.

[0244] 기둥(4-374)의 형성 후에, 희생 코팅(4-420)은 선택적 에칭 프로세스에 의해 제거될 수 있다. 이 에칭 프로세스는 희생 코팅을 우선적으로 제거하지만 절연층(3-235), 상부층(3-230) 또는 반도체 기둥(4-374)은 상당히 제거하지 않는 습식 에치 또는 건식 에치될 수 있다. 희생 코팅(4-420)의 제거로 홀 내부에 노출된 반도체 기둥의 상부 부분이 남는다.

[0245] 그 후 도 4de에 도시된 바와 같이, 기둥 위에 반도체 캡(4-376)을 형성하기 위해 제2 에피택셜 성장이 실행될 수 있다. 반도체 캡(4-376)의 도전형은 p-n 접합을 형성하기 위해 기둥(4-374)의 도전형과 반대로 될 수 있다. 일부 실시예들에서, 반도체 캡(4-376)은 노출된 기둥으로부터 성장함에 따라 홀(4-410)의 중간 영역을 채울 수 있다. 일부 구현들에서, 반도체 캡은 홀의 하부 영역을 완전히 채우지 않을 수 있고, 그것과 절연층(3-235)의 측벽들 사이에 개방된 공간을 남길 수 있다.

[0246] 그 후 도 4de에 도시된 바와 같이, 영역 위에 도전성 표면층(4-372)이 퇴적될 수 있다. 이 도전성 표면층은 일부 실시예들에서 ITO의 층을 포함할 수 있고, 상부층(3-230)으로부터 반도체 캡(4-376)으로의 전기 연결(예를 들어, 나노-LED의 p 또는 n 영역으로의 전기 연결)을 제공할 수 있다. 도전성 표면층(4-372)은 임의의 적합한 등각 퇴적 프로세스, 예를 들어, 일부 실시예들에 따르면, 원자층 증착 또는 화학 기상 증착에 의해 퇴적될 수 있다.

[0247] 일부 구현들에서, 그 후 도 4df에 도시된 바와 같이, 영역 외에 부동태화 층(4-378)이 등각으로 퇴적될 수 있다. 이 부동태화 층은 일부 실시예들에 따르면, 알루미늄 또는 실리콘 산화물과 같은 절연층일 수 있다. 예를 들어, 도 3n 또는 도 3o와 관련하여 설명된 바와 같이, 샘플 우물의 베이스에 피착체(도시되지 않음)가 퇴적될 수 있다. 도 4df에서 알 수 있는 바와 같이, 결과의 샘플 우물(3-210)과 나노-LED는 자기 정렬된다.

[0248] 나노-LED를 제조하는 대안적인 실시예들에 대한 프로세스 공정들과 관련된 구조물들이 도 4dg 내지 도 4di에 도시되어 있다. 예를 들어, 도 4db에 도시된 구조물을 획득한 후에, 코팅 층(4-372)의 수평 평면 표면들 및 반도체 캡(4-376) 및 반도체 기둥(4-374)의 일부를 선택적으로 제거하기 위해 선택적 이방성 에칭 공정들이 실행될 수 있다. 결과의 구조물은 도 4dg에 도시된 것처럼 보일 수 있다.

[0249] 일부 실시예들에서, 그 후 영역 위에 스페이싱 층(spacing layer)(4-440)이 퇴적될 수 있다. 이 스페이싱 층은 투명한 재료, 예를 들어, 실리콘 산화물을 포함할 수 있다. 스페이싱 층은 물리 퇴적 프로세스, 예를 들어, 전자빔 증발(electron beam evaporation)에 의해 퇴적될 수 있다. 스페이싱 층은 샘플 우물의 바닥에 플러그(4-442)를 형성할 수 있다. 이 플러그는 나노-LED의 단부로부터 샘플의 위치를 신중하게 이격시키기 위해 이용될 수 있다. 퇴적된 층의 두께는 몇 나노미터 이내로, 매우 정확히 제어될 수 있기 때문에, 나노-LED와 샘플의 위치 사이의 간격은 상당히 정밀하게 제어될 수 있다. 그 후 도 4di에 도시된 바와 같이, 영역 위에 부동태화 층(4-378)이 퇴적될 수 있고, 피착체가 후속하여 퇴적될 수 있다.

[0250] 자기 정렬된 나노-LED를 형성하는 데 이용되는 일부 프로세스 공정들은 자기 정렬된 나노-VEELD 또는 자기 정렬된 나노-VCSEL을 제조하는 데에도 이용될 수 있다. 나노-VCSEL의 제조는 도 4db 및 도 4dc에 도시된 공정들을 필요로 하지 않을 수 있다. 대신에, 반도체층(4-380)에 홀(4-410)이 에칭될 수 있고, 이 홀에 에피택셜 성장에 의해 반사성 스택(4-375)을 포함하는 VCSEL 기둥의 제1 부분(예를 들어, p형 부분)이 형성될 수 있다. 후속하여, 기둥의 n형 부분이 형성될 수 있고, 예를 들어, 도 4de에 도시된 바와 같은 공정을 이용하여 n형 부분과의 전기 접촉이 이루어질 수 있다.

[0251] 일부 구현들에 따르면, 나노-LED, 나노-VEELD, 또는 나노-VCSEL을 형성하기 위한 절연층(3-235)의 두께는 대략 100nm와 대략 2마이크로미터 사이일 수 있다. 일부 구현들에서, 샘플 우물(3-210)로부터의 방출을 검출하기 위한 하나 이상의 센서(3-260)(도면에 도시되지 않음)가 반도체층(4-380)에 패터닝될 수 있다. 하나 이상의 센서는 나노스케일 여기 소스 근처에 패터닝될 수 있고, 따라서 여기 소스, 샘플 우물, 및 센서는 최대 가로 치수가 약 20마이크로미터 미만이고 높이가 약 2마이크로미터 미만으로 측정되는 체적 내에 포함된다. 일부 실시예들

에서, 이 체적은 최대 가로 치수가 약 5마이크로미터 미만일 수 있다.

[0252] 더 광자선속(photon flux)이 요구된다면, 나노-LED, 나노-VEELD, 또는 나노-VCSEL은 나노스케일 여기 소스의 형성 후에도 3ma 및 도 3mb에 도시된 것들과 유사한 프로세스 공정들을 이용하여, 샘플 우물의 가로 치수보다 큰 가로 치수를 갖도록 제조될 수 있다.

[0253] IV. C. 비방사성 여기 소스들

[0254] 샘플 우물의 여기 영역 내의 샘플들(3-101)은, 일부 실시예들에 따르면, 비방사성 프로세스들을 통해 여기될 수 있다. 비방사성 프로세스는 약 10nm까지의 거리에 걸쳐 발생할 수 있는 포스터 공명 에너지 전달(FRET), 또는 약 1nm까지의 거리에 걸쳐 발생할 수 있는 텍스터 에너지 전달(DET)을 포함할 수 있다. 따라서, 통합 디바이스에 포함될 수 있는 비방사성 여기 소스들도 본 발명자들에 의해 고려되었다. 방사성 여기 소스들과 마찬가지로, 통합 디바이스 상에 하나 이상의 개별적으로 제어 가능한, 비방사성 여기 소스가 있을 수 있다. 예를 들어, 일부 실시예들에서 단일 비방사성 소스가 통합 디바이스의 전체 픽셀 어레이 또는 픽셀들의 그룹에 의해 공유될 수 있다. 일부 구현들에서는, 비방사성 여기 소스가 각 픽셀에 제조될 수 있다.

[0255] 도 4ea는 통합 디바이스의 픽셀에 형성될 수 있는 비방사성 여기 소스의 단지 하나의 실시예를 도시한다. 일부 실시예들에 따르면, 반도체층(4-510)이 절연 기판(4-530)상에 형성될 수 있다. 반도체층은 유기 반도체 또는 무기 반도체를 포함할 수 있다. 일부 구현들에서, 반도체층은 SOI 기판의 얇은, 또는 초박형 반도체층일 수 있다. 반도체층은 일부 실시예들에 따르면, 대략 10nm와 대략 100nm 사이의 두께를 가질 수 있다. 제1 전극(4-520)이 반도체층상에 배치될 수 있다. 전극들(4-520)은 반도체층(4-510)의 표면을 따라 이어지고(예를 들어, 샘플 우물들(3-210) 사이의 공간들을 따라 연장하고), 반도체층과의 제1 전기 연결을 제공할 수 있다. 제2 절연층(4-540)이 반도체층 및 제1 전극들(4-520)에 인접하여 형성될 수 있다. 도전층(4-542)이 제2 절연층(4-540)에 인접하여 형성될 수 있다. 일부 실시예들에 따르면, 샘플 우물(3-210)이 제2 절연층에 그리고 도전층(4-542)에 형성될 수 있고, 도면에 도시된 바와 같이, 샘플 우물의 벽들에 도전성 코팅(4-544)이 형성될 수 있다. 도전성 코팅(4-544)은 반도체층과의 제2 전기 접촉을 제공할 수 있다.

[0256] 동작시에, 제1 전극들(4-520)과 도전층(4-542) 사이에 전기 바이어스가 인가될 수 있다. 샘플 우물 근처의 반도체층(4-510)을 통하여 전류가 흐르고, 반도체층(4-510) 내에 여기자들(4-508)을 생성할 수 있다. 여기자들은, 일부 실시예들에 따르면, 충돌 여기(collisional excitation)에 의해 생성될 수 있고, 샘플 우물(3-210)에서 반도체층(4-510)의 표면으로 확산할 수 있다. 샘플 우물에서 표면 근처에 있을 때, 여기자들은 FRET 또는 DET를 통해 샘플 우물 내의 샘플에 에너지를 전달할 수 있다.

[0257] 비방사성 여기 소스의 대안적인 실시예가 도 4eb에 도시되어 있다. 일부 실시예들에 따르면, 비방사성 여기 소스는 샘플 우물(3-210)의 베이스에 인접하여 형성된 수평형 다이오드(lateral diode)(4-512)를 포함할 수 있다. 일부 실시예들에서, 다이오드는 p-n 접합을 포함할 수 있거나 p-i-n 접합을 형성하도록 진성(intrinsic) 또는 도핑되지 않은 영역(4-513)을 포함할 수 있다. 도 4eb에 도시된 바와 같은 비방사성 여기 소스는 다이오드의 p 및 n 영역들과 전기 접촉하기 위한 캐소드 및 애노드 전극들(4-520)을 포함할 수 있다. 일부 실시예들에서, 다이오드의 접합 영역에 형성된 얇은 부동태화 층(예를 들어, 10nm 미만) 및/또는 피착층(adherent layer)(4-550)이 있을 수 있다.

[0258] 일부 실시예들에 따른, 도 4eb에 도시된 비방사성 여기 소스의 일 실시예의 평면도가 도 4ec에 도시되어 있다. 이 평면도는 제1 절연층(4-530)과 제2 절연층(4-540) 사이의 계면에서 취한 것이다. 이 평면도는 다이오드의 p 및 n 영역들과 전극들이 통합 디바이스 상에 어떻게 배열될 수 있는지에 대한 단지 하나의 실시예를 도시한다. 일부 실시예들에서, 고농도로 도핑된 반도체 영역들(4-515, 4-517)이 전극들 근처에 형성될 수 있고, 각 샘플 우물 근처의 영역까지 연장할 수 있다. 통합 디바이스에 다이오드들의 p 및 n 영역들을 배열하기 위해 임의의 적합한 패턴이 이용될 수 있다. 예를 들어, 도 4ec에 도시된 바와 같은 상호맞물린 패턴(interdigitated pattern)을 이용하는 대신에, 다이오드들의 사행 패턴(serpentine pattern)이 대신 이용될 수 있다.

[0259] 도 4ed는 샘플 우물(3-210)에서 수직 성장에 의해 형성될 수 있는 비방사성 여기 소스의 대안적인 실시예를 도시한다. 일부 구현들에서, 이 소스는 샘플 우물(3-210)에 자기 정렬되는 다이오드(4-514)를 포함한다. 이 다이오드는, 도면에 도시된 바와 같이, 제2 도전형을 가진 반도체 원통형 셸(cylindrical shell)에 의해 둘러싸이는 제1 도전형을 가진 반도체로 형성된 원통형 기둥을 가진 나노스케일 p-n 또는 p-i-n 다이오드를 포함할 수 있다. 이 나노-다이오드의 형상은 임의의 적합한 형상일 수 있고 원통형일 필요는 없다. 예를 들어, 샘플 우물이 정사각형, 직사각형, 또는 다각형 단면을 갖도록 형성된다면, 나노-다이오드는 유사한 형상을 취할 수 있

다.

- [0260] 다이오드의 제1 영역(예를 들어, n 영역)과의 연결은 반도체층(4-380)을 통하여 이루어질 수 있다. 일부 실시예들에서, 다이오드와의 전기 연결을 개선하기 위해 나노-다이오드의 베이스에 반도체층상에 고농도로 도핑된 우물(4-582)이 형성될 수 있다. 다이오드의 제2 영역과의 연결은 샘플 우물이 형성되는 도전층(3-230), 및 도전성 코팅(4-372)을 통하여 이루어질 수 있다. 일부 실시예들에서, 도전성 코팅(4-372)은 ITO를 포함할 수 있다.
- [0261] 동작시에, 나노-다이오드 내의 전류는 다수(majority)가 재결합하는 다이오드의 표면으로 확산하는 여기자들을 생성할 수 있다. 일부 경우에, 여기자들은 재결합시에 샘플 우물(3-210) 내의 샘플에 비방사성으로 에너지를 전달할 수 있다. 따라서, 샘플 우물 내의 샘플 여기는 여기 소스로부터의 방사성 방출 없이 발생할 수 있다. 비방사성 여기의 이점은 여기 소스가 신호 검출 동안에 센서에서 어떤 상당한 방사 잡음에도 기여하지 않을 수 있다는 점이다. 두 번째 이점은 샘플 여기가 여기 소스로부터 약 10nm 이내로 국한된다는 점이다. 이것은 샘플로부터의 에너지를 센서로 결합하는 데 유의할 수 있고, 또한 여기 소스로부터 약 10nm 너머에 있는 시편 내의 다른 샘플들로부터의 잡음 방사를 감소 또는 제거할 수 있다.
- [0262] 도 4ea 내지 도 4ed에 도시된 비방사성 소스들을 제조하기 위해 다양한 제조 기법들이 이용될 수 있다. 도 4ea에 도시된 디바이스의 제조는 종래의 패터닝 및 에칭 프로세스 공정들을 이용할 수 있고, 본 명세서에 설명된 바와 같은 샘플 우물을 형성하는 것과 관련된 프로세스 공정들을 포함할 수 있다. 일부 실시예들에서, 도 4ea에 도시된 바와 같은 나노-다이오드는, 도 4dg와 관련하여 설명된 바와 같은, 나노-LED를 형성하기 위해 이용되는 제조 공정들을 이용하여 형성될 수 있다.
- [0263] IV. D. 비방사성 여기 소스들의 제조
- [0264] 도 4fa 내지 도 4fu는, 예를 들어, 도 4eb에 도시된 바와 같은, 샘플 우물에 자기 정렬되는 수평형 접합(lateral-junction), 비방사성 여기 소스를 형성하기 위해 이용될 수 있는 프로세스 공정들과 관련된 구조물들을 도시한다. 진성 영역, 또는 p-n 접합이 샘플 우물의 베이스에 자기 정렬될 수 있다.
- [0265] 일부 실시예들에 따르면, 이 프로세스는 반도체 기판(4-535), 절연층(4-530), 및 진성 또는 도핑되지 않은 반도체층(4-513)을 포함하는, 도 4fa에 도시된 바와 같은 SOI(silicon on insulator) 기판을 획득하는 것으로 시작될 수 있다. 일부 실시예들에서, 샘플로부터의 방출을 검출하는 데 이용되는 하나 이상의 센서 및 통합 디바이스에서 이용될 수 있는 관련 집적 회로들과 같은, 집적 회로가 반도체 기판(4-535)에 형성될 수 있다. 절연층(4-530)은, 일부 실시예들에 따르면, 약 50nm와 약 500nm 사이의 두께를 가질 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다. 반도체층(4-513)은 절연층상에 배치되고 대략 10nm와 대략 100nm 사이의 두께를 가질 수 있다.
- [0266] 도 4fb에 도시된 바와 같이, 바(bar)들을 포함하는 마스크(4-610)가 반도체층(4-513)상에 패터닝될 수 있다. 바들은 반도체층의 표면을 따라 이어질 수 있고, 격자(grating)의 외관을 가질 수 있다. 마스크는 일부 실시예들에서는 하드 마스크, 예를 들어 실리콘 산화물로 형성된 마스크일 수 있지만, 다른 재료들이 이용될 수도 있다. 다른 실시예들에서는, 예를 들어, 중합체로 형성된 소프트 마스크가 이용될 수 있다. 마스크는 반도체층(4-513)보다 높은 에치 선택비를 보일 수 있다. 마스크의 두께는 대략 50nm와 대략 250nm 사이일 수 있다. 마스크의 바들 사이의 간격은 대략 통합 디바이스의 픽셀들 사이의 분리 거리일 수 있다. 바들의 폭도 대략 통합 디바이스의 픽셀들 사이의 분리 거리일 수 있다. 바들은 통합 디바이스의 액티브 픽셀 영역을 가로질러 연장할 수 있다. 일부 구현들에서, 마스크(4-610)는 바들의 에지들이 반도체 기판(4-535)상에 형성된 센서들 위에 대략 중심을 두도록 기판에 정렬될 수 있다.
- [0267] 일부 실시예들에서, 도 4fc에 도시된 바와 같이, 층(4-620)이 마스크(4-610) 위에 등각으로 퇴적될 수 있다. 이 층은, 일부 실시예들에 따르면, 실리콘 질화물과 같은 경질 재료를 포함할 수 있다. 층(4-620)은, 일부 실시예들에 따르면, 반도체층(4-513)보다 높은 그리고 마스크(4-610)보다 높은 에치 선택비를 보일 수 있다. 층(4-620)의 두께는, 일부 구현들에서, 샘플 우물(3-210)의 원하는 사이즈와 대략 같을 수 있다. 예를 들어, 층(4-620)의 두께는 대략 80nm와 대략 250nm 사이일 수 있지만, 일부 실시예들에서는 다른 두께들이 이용될 수 있다.
- [0268] 그 후 층(4-620)은 선택적 이방성 에치 프로세스를 이용하여 에치백될 수 있고, 그에 따라 도 4fd에 도시된 바와 같은 구조물이 얻어진다. 층(4-620)의 에치는 층의 수평 부분들을 제거하고 마스크 바들(4-610)에 인접한 수직 측벽들(4-622)은 남긴다. 그 후 기판의 영역은, 도면에 도시된 바와 같이, 이온 주입을 겪을 수 있다.

예를 들어 도너 또는 억셉터 이온들이 층이 노출되는 반도체층(4-513) 내로 주입될 수 있다. 이온들은 수직 측벽들(4-622) 및 마스크(4-610)에 의해 반도체층에 들어가지 못하게 차단될 수 있다. 일부 실시예들에서, 이온 주입은 도너들을 포함하고, 도 4fe에 도시된 바와 같은, n형 반도체 영역들(4-632)을 생성할 수 있다. 수직 측벽들 및 마스크 아래의 영역들은 여전히 진성 반도체 영역들(4-630)일 수 있다.

[0269] 그 후 도 4ff에 도시된 바와 같이, 얇은 층(4-624)이 영역 위에 등각으로 퇴적될 수 있다. 일부 실시예들에 따르면, 이 얇은 층은 층(4-620)과 동일한 재료로 형성될 수 있다. 일부 실시예들에 따르면 얇은 층은 실리콘 질화물일 수 있지만, 다른 실시예들에서는 다른 재료들이 이용될 수 있다. 층(4-624)의 두께는, 일부 실시예들에 따르면, 대략 5nm와 대략 20nm 사이일 수 있다.

[0270] 그 후 도 4fg에 도시된 바와 같이, 평탄화 재료(4-640)가 영역 위에 퇴적될 수 있다. 일부 실시예들에 따르면, 평탄화 재료(4-640)는 마스크(4-610), 수직 측벽들(4-622), 및 얇은 층(4-624)보다 높은 에치 선택비를 보인다. 일부 실시예들에서, 평탄화 재료는 또한 반도체층(4-630)의 진성 영역보다 높은 에치 선택비를 보일 수 있다. 일부 구현들에 따르면, 평탄화 재료(4-640)는 비정질 실리콘을 포함할 수 있지만, 다른 실시예들에서는 다른 재료들이 이용될 수 있다.

[0271] 그 후 도 4fh에 도시된 바와 같이, 재료(4-640) 및 기관의 표면은 평탄화될 수 있다. 예를 들어, 영역을 평탄화하기 위해 화학 기계 연마(CMP) 공정이 이용될 수 있다. CMP 공정은 재료(4-640)를 선택적으로 에칭하지만 층(4-624)은 에칭하지 않고, 일부 구현들에서는, 본질적으로 층(4-624) 위에서 정지할 수 있다. 그 후 도 4fi에 도시된 바와 같이, 비선택적 평탄화 에치를 이용하여 기관을 에치백하여 마스크 바들(4-610)을 노출시킬 수 있다.

[0272] 그 후 마스크 바들(4-610)은 선택적 에칭 프로세스에 의해 제거될 수 있다. 선택적 에칭 프로세스는 건식 에치 또는 습식 에치일 수 있다. 결과의 구조물은 도 4fj에 도시된 것처럼 보일 수 있다. 그 후 이 기관은 도면에 도시된 바와 같이 제2 이온 주입을 겪을 수 있다. 예를 들어, 진성 반도체층(4-512)의 노출된 영역들 내로 억셉터 이온들이 주입되어, 이들 영역을 p형 반도체 영역들(4-634)로 변환할 수 있다. 그 후 평탄화 재료(4-640)는 선택적 건식 또는 습식 에치에 의해 제거될 수 있다.

[0273] 일부 실시예들에서는, 평탄화 재료(4-640)를 제거하기 전에, p형 영역들(4-634)을 보호하기 위해 기관 상에 추가적인 평탄화 중합체 또는 산화물층(도시되지 않음)이 형성되고 평탄화 재료(4-640)를 노출시키기 위해 평탄화될 수 있다. 평탄화 재료(4-640)의 제거 후에, 추가적인 평탄화 재료를 선택적으로 에칭하여 수직 측벽들(4-622)의 부분들 및 얇은 층(4-624)의 나머지 부분을 남길 수 있다.

[0274] 수직 측벽들(4-622) 및 얇은 층(4-624)이 노출될 때, 이들을 이방성 선택적 에치를 이용해 에치백하여 n형 영역들(4-632)을 커버하는 얇은 층(4-624)의 수평 부분을 제거할 수 있다. 결과의 구조물은 도 4fk에 도시된 것처럼 보일 수 있고, 수직 측벽들(4-622)의 나머지 부분들 및 얇은 층(4-624)의 나머지 부분들을 포함하는 나머지 수직 바들(4-626)을 보여준다. 반도체층의 도핑되지 않은 진성 영역들(4-630)은 수직 바들(4-626) 아래에 남는다. 일부 실시예들에서, p-i-n 접합의 공간 범위를 줄이기 위해, 또는 p-i-n 접합 대신에 p-n 접합이 선호되는 경우 수직 바들 아래의 도펀트들을 드라이브하기 위해 열확산 프로세스, 예를 들어, 스파이크 어닐(spike anneal)이 이용될 수 있다.

[0275] 도 4fl에 나타낸 바와 같이, 일부 실시예들에 따르면, 영역 위에 레지스트(4-650)(예를 들어, 포토레지스트)가 퇴적될 수 있다. 이 레지스트는 수직 바들(4-626)에 정렬되는 마스크를 이용하여 패턴링될 수 있고, 따라서 수평형 다이오드 구조물의 n형 및 p형 영역들 위의 레지스터의 부분들은 노출되고 현상 제거된다. 그 후 일부 실시예들에 따르면, 리프트오프 프로세스를 이용하여 전극들(4-520)이 형성될 수 있다. 예를 들어, 다이오드의 노출된 n형 및 p형 영역들에 전극 재료가 퇴적될 수 있다. 나머지 레지스트를 기관으로부터 박리하여 레지스터(4-650) 위의 전극 재료의 부분들을 리프트오프하여, 수평형 p-i-n 영역들 위에 수직 바들 및 전극들을 남길 수 있다.

[0276] 그 후 도 4fm에 도시된 바와 같이, 영역 위에 평탄화 재료(4-660)를 퇴적하고 그 재료와 영역을 평탄화할 수 있다. 평탄화 재료(4-660)는 일부 실시예들에서는 산화물 또는 일부 실시예들에서는 중합체일 수 있다. 일부 구현들에서는, 영역을 평탄화하고 수직 바들(4-626)을 노출시키기 위해 CMP 공정이 이용될 수 있다. 도 4fn은 일부 실시예들에 따른, 평탄화 후의 영역의 평면도를 도시한다. 파선은 도 4fm에 도시된 정면도에 대응하는 단면의 위치를 나타낸다.

[0277] 그 후 도 4fo의 평면도에 도시된 바와 같이, 액티브 픽셀 영역 위에 추가적인 마스크 바들(4-670)이 패턴링될

수 있다. 이 바들은 임의의 적합한 리소그래피 프로세스를 이용하여 패터닝될 수 있고, 수직 바들(4-626)의 폭과 대략 같은 폭을 가질 수 있다. 마스크 바들(4-670)은 수직 바들(4-626)에 대해 가로로 배향될 수 있고, 마스크 바들은 통합 디바이스의 픽셀들 사이의 거리와 대략 같은 거리를 두고 이격될 수 있다. 다양한 실시예들에서, 마스크 바들은 수직 바들(4-626) 아래의 반도체 기판(4-535)에 위치할 수 있는 센서들의 중심들에 정렬된다. 일부 실시예들에 따르면 마스크 바들(4-670)은 수직 바들(4-626)보다 높은 에치 선택비를 보인다. 예를 들어, 마스크 바들은 중합체 또는 산화물로 형성될 수 있고, 수직 바들은 실리콘 질화물을 포함할 수 있다.

[0278] 도 4fp에 나타낸 바와 같이, 선택적 이방성 에치를 이용하여 수직 바들(4-626)의 부분들을 에칭 제거하여 하부의 반도체층의 진성 영역들(4-630)을 노출시킬 수 있다. 마스크 바들(4-670) 때문에, 수직 바들(4-626)의 부분들이 마스크 바들 아래에 남는다.

[0279] 그 후 마스크 바들(4-670)이 영역으로부터 제거되고, 영역 위에 평탄화 층(4-680)(예를 들어, 산화물층)이 퇴적될 수 있다. CMP 공정을 이용하여 픽셀 영역을 평탄화할 수 있고 그에 따라 도 4fq에 평면도로, 그리고 도 4fr에 정면도로 도시된 바와 같은 구조물을 얻을 수 있다. 일부 실시예들에 따르면, 수직 바들의 나머지 부분들은 수직 기둥들(4-628)을 형성한다. 일부 구현들에서, 수직 기둥들(4-628)의 가로 치수는 대략 80nm와 대략 250nm 사이이다. 수직 기둥들은 대략 정사각형 또는 직사각형 형상을 가질 수 있다. 그 후 기둥들(4-628)을 선택적으로 에칭하고 기판으로부터 제거하여, 도 4fs에 도시된 바와 같이, 하부의 다이오드 접합에 실질적으로 자기 정렬되는 샘플 우물들을 생성할 수 있다.

[0280] 도 4fq에 도시된 바와 같이, 기둥들(4-628) 사이의 간격은 제1 방향(페이지에서 볼 때 수직 방향)에서 대략 동등할 수 있다. 기둥들 사이의 간격은 제2 방향(페이지에서 볼 때 수평 방향)에서는 동등하지 않을 수 있다. 일부 실시예들에서, 마스크 바들(4-610)의 폭 및 간격, 층(4-622)의 두께, 및 층(4-624)의 두께는 제2 방향에서 샘플 우물들 사이에 대략 동등한 간격을 생성하도록 선택될 수 있다.

[0281] 일부 구현들에서는, (도 4fr에 도시된 바와 같이) 평탄화 층(4-680)으로 단일 재료가 퇴적되는 대신에, 재료들의 스택, 예를 들어, 절연체, 반도체, 및 금속의 조합이 퇴적될 수 있다. 그 후 이 스택을 평탄화하여 샘플 우물을 위한 층상 구조를 생성할 수 있다.

[0282] 도 4fs에서, 다이오드들의 p형 및 n형 영역들은 평면이다. 일부 실시예에서, 그리고 도 4f1을 다시 참조하면, 노출된 p형 및 n형 영역들은, 도 4ft에 도시된 바와 같이, 레지스트(4-650)를 패터닝한 후에 그리고 전극들을 퇴적하기 전에 에칭될 수 있다. 예로서, 반도체의 결정학적 면들을 따라 선택적으로 에칭하기 위해 습식 이방성 에치가 이용될 수 있다. 이 에치는 일부 실시예들에 따르면, 도면에 나타낸 바와 같은 나머지 레지스트(4-650)를 언더컷하는 타이밍된 에치일 수 있다. 그 후 도 4fu에 도시된 바와 같이 전극 재료가 퇴적될 수 있다.

[0283] 일부 실시예들에서, 전극 재료(4-520)는 투명한 도체, 예를 들어 ITO일 수 있고, 따라서 샘플로부터의 방출이 전극 재료를 통과할 수 있다. 일부 구현들에서는, 얇은 반도체층(4-512)이 이용되고, 따라서 이 반도체층을 통과하는 샘플로부터의 방출의 흡수율은 약 30% 미만이다. 예를 들어, 다이오드들이 형성되는 반도체층의 두께는 대략 50nm 미만일 수 있다.

[0284] 상기한 여기 소스들의 실시예들 중 어느 하나 이상의 실시예가 통합 디바이스의 일 실시예에 포함될 수 있다.

[0285] V. 여기 결합

[0286] 여기 소스로부터 샘플로의 에너지의 결합은 샘플 우물 내에 그리고/또는 샘플 우물에 인접하여 여기-결합 구조물들을 형성하는 것에 의해 개선되거나 영향을 받을 수 있다. 여기-결합 구조물들은 일부 실시예들에서는 샘플 우물 주위에 제조된 마이크로- 또는 나노스케일 구조물들을 포함할 수 있고, 또는 일부 실시예들에서는 샘플 우물에 형성된 구조물들 또는 입자들을 포함할 수 있다. 여기-결합 구조물들은 일부 구현들에서는 샘플의 방사성 여기에 영향을 미칠 수 있고, 일부 구현들에서는 샘플의 비방사성 여기에 영향을 미칠 수 있다. 다양한 실시예들에서, 방사성 여기-결합 구조물들은 샘플 우물의 여기 영역 내의 여기 에너지의 강도를 증가시킬 수 있다. 비방사성 여기-결합 구조물들은 (방사성 또는 비방사성일 수 있는) 여기 소스로부터 샘플로의 비방사성 에너지-전달 경로들을 개선 및/또는 변경할 수 있다.

[0287] V. A. 방사성 플라즈몬 여기-결합 구조물들

[0288] 여기 소스로부터 샘플 우물 내의 여기 영역으로의 여기 에너지의 결합에 영향을 미치기 위해 이용될 수 있는 다수의 상이한 유형의 방사성 여기-결합 구조물들이 존재한다. 일부 방사성 결합 구조물들은 도체로 형성될 수 있고(예를 들어, 금속층을 포함하고), 여기 에너지에 국소적으로 영향을 미치는(예를 들어, 전자기장을 국소적

으로 변경하는) 표면 플라즈몬 발진들을 지원할 수 있다. 일부 경우에, 표면-플라즈몬 구조물들은 샘플 우물의 여기 영역 내의 여기 에너지를 2배 이상 향상시킬 수 있다. 일부 방사성 결합 구조물들은 샘플 우물 내의 여기 에너지를 향상시키기 위해 여기장의 위상 및/또는 진폭을 변경할 수 있다. 이 섹션에서는 방사성 여기-결합 구조물들의 다양한 실시예들이 설명된다.

[0289] 도 5aa는 샘플 우물로의 여기 에너지의 결합을 향상시키기 위해 이용될 수 있는 표면-플라즈몬 구조물(5-120)의 단지 하나의 예를 도시한다. 도면은 표면-플라즈몬 구조물(5-120) 주위의 영역의 평면도를 도시하고, 구조물 주위의 전기장의 수치 시뮬레이션의 결과들을 나타낸다. 도면은 샘플 우물(도시되지 않음)에 아주 근접하여 위치하는 뾰족한 정점들을 가진 3개의 삼각형 피쳐(features)를 포함하는 표면-플라즈몬 구조물을 도시한다. 일부 실시예들에 따르면, 표면-플라즈몬 구조물은 금속 또는 도체(예를 들어, 다음과 같은 금속들 또는 금속 합금들: Al, Au, Ag, Ti, TiN 중 어느 하나 또는 그 조합의 패터닝된 얇은 막)를 포함할 수 있다. 막의 두께는 일부 실시예들에서는 대략 10nm와 대략 100nm 사이일 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다. 일부 실시예들에서, 표면-플라즈몬 구조물은 샘플 우물에 아주 근접하여(약 100nm 이내) 위치하는 뾰족한 피쳐들(5-110)을 포함할 수 있다.

[0290] 도 5ab는 파선에서 취해진, 도 5aa의 표면-플라즈몬 구조물의 단면 정면도를 도시한다. 시뮬레이션은 표면-플라즈몬 구조물의 삼각형의 정점에 인접하여 여기 에너지의 국한된 고강도 영역(3-505)을 보여준다. 이 시뮬레이션을 위해, 표면-플라즈몬 구조물(5-120)은 도파관(5-130) 위에 유전체층(5-135)(예를 들어, 이산화 실리콘) 상에 위치하였다. 표면-플라즈몬 구조물은 도파관의 소멸장(evanescent field)으로부터의 에너지를 탭(tap)하고, 샘플 우물에서 그 강도를 향상시킨다.

[0291] 일부 실시예들에서, 표면-플라즈몬 구조물에 의한 여기 에너지의 향상은 샘플 우물(3-215)이 요구되지 않는 정도까지 국한될 수 있다. 예를 들어, 고강도 영역(3-505)이 영역 외부의 영역의 약 80%보다 큰 피크 강도 값으로 대략 100nm의 직경을 가지고 형성된다면, 깊은 샘플 우물이 요구되지 않을 수 있다. 고강도 영역(3-505) 내의 샘플들만이 검출을 위한 상당한 방사에 기여할 수 있다.

[0292] 입사 전기장이 표면-플라즈몬 구조물과 상호 작용할 때, 그 구조물에서 표면과 전류들이 생성된다. 구조물의 형상은 이 표면-플라즈몬들의 강도 및 분포에 영향을 미칠 수 있다. 이 국한된 전류들은, 예를 들어, 도 5ab에서 고강도 영역(3-505)에 의해 도시된 바와 같이, 표면-플라즈몬 구조물의 바로 부근에서 입사 전기장과 상호 작용하여 그것을 현저하게 변경하고 강화시킬 수 있다. 일부 실시예들에서, 표면-플라즈몬 구조물 근처에서 방사를 방출하는 방사체(예를 들어, 형광 태그)는 그의 방출이 구조물에 의해 변경될 수 있고, 따라서 방사체로부터의 원거리장 방사 패턴이 변경될 수 있다.

[0293] 표면-플라즈몬 구조물(5-122)의 또 다른 실시예가 도 5ac의 평면도에 도시되어 있다. 예시된 나비벡타이 구조물은 샘플 우물(3-210)에 인접하여 위치하는 2개의 삼각형 금속 구조물을 포함한다. 이 구조물들은, 예를 들어, 샘플 우물 아래에, 그리고/또는 샘플 우물의 여기 영역에 인접하여 패터닝될 수 있다. 일부 구현들에서는, 표면-플라즈몬 구조물의 뾰족한 피쳐들(5-125)과 샘플 우물 사이에 갭(5-127)이 있을 수 있다. 이 갭(5-127)은, 일부 실시예들에 따르면, 대략 10nm와 대략 200nm 사이일 수 있다. 일부 구현들에서, 갭(5-127)은 대략 10nm와 대략 100nm 사이일 수 있다. 뾰족한 피쳐들(5-125)은, 도면에 도시된 바와 같이, 표면-플라즈몬 구조물의 에지에 포인트 또는 뾰족한 만곡부(sharp bend)를 포함할 수 있다. 뾰족한 피쳐들은 입사의 적합한 형상을 가질 수 있다. 일부 실시예들에서 뾰족한 피쳐(5-125)의 만곡부 반경은 입사 여기 에너지와 관련된 대략 5개 파장 미만일 수 있다. 일부 실시예들에서 뾰족한 피쳐(5-125)의 만곡부 반경은 입사 여기 에너지와 관련된 대략 2개 파장 미만일 수 있다. 일부 실시예들에서 뾰족한 피쳐(5-125)의 만곡부 반경은 입사 여기 에너지에 의해 여기되는 표면-플라즈몬 파와 관련된 대략 5개 파장 미만일 수 있다. 일부 실시예들에서 뾰족한 피쳐(5-125)의 만곡부 반경은 입사 여기 에너지에 의해 여기되는 표면-플라즈몬 파와 관련된 대략 2개 파장 미만일 수 있다.

[0294] 일부 실시예들에 따르면, 도 5ad의 정면도에 예시된 바와 같이 표면-플라즈몬 구조물들(5-122)이 샘플 우물(3-210) 내에 패터닝될 수 있다. 일부 실시예들에서, 샘플 우물 내의 표면-플라즈몬 구조물들은, 도면에 도시된 바와 같이, 샘플 우물의 측벽들 위에 패터닝된 하나 이상의 핑거(fingers)(예를 들어, 금속성 핑거)를 포함할 수 있다. 도 5ae는 샘플 우물 내의 측벽들에 형성된 표면-플라즈몬 구조물들(5-122)을 보여주는 샘플 우물(3-210)의 평면도를 도시한다. 일부 실시예들에서, 이 표면-플라즈몬 구조물들(5-122)의 하부 단부들은 뾰족한 피쳐들 또는 만곡부들을 형성하고 여기서 전기장이 향상될 것이다. 표면-플라즈몬 구조물들(5-122)은 샘플 우물의 베이스까지 연장할 수 있거나, 연장하지 않을 수 있다.

- [0295] 일부 실시예들에서, 표면-플라즈몬 구조물들(5-122)은 샘플 우물로부터의 방출된 방사 및/또는 여기 에너지의 분극에 영향을 미치도록 배열될 수 있다. 예를 들어, 도 5ae에 도시된 바와 같은 패턴은 샘플 우물 내의 방사체로부터의 선형 또는 타원형 분극의 선호되는 배향 및/또는 선형 또는 타원형 여기 분극의 선호되는 배향에 영향을 미치기 위해 이용될 수 있다.
- [0296] 표면-플라즈몬 구조물들은 도 5aa 내지 도 5ae에 도시된 것들과 다른 형상들로 패터닝될 수 있다. 예를 들어, 표면-플라즈몬 구조물들은, 일부 실시예들에 따르면, 도 5ba에 도시된 바와 같이, 규칙적인 또는 주기적인 구조물들로서 패터닝될 수 있다. 예를 들어, 표면-플라즈몬 구조물은 샘플 우물(3-210)이 형성되는 재료(3-230)의 하부 표면 상에 돌출 피쳐들(5-210)의 어레이로 패터닝될 수 있다. 주기적인 표면-플라즈몬 구조물들은 규칙적인 어레이, 예를 들어, 격자(grating), 그리드(grid), 래티스(lattice), 원형 격자, 나선형 격자, 타원형 격자, 또는 임의의 다른 적합한 구조로 형성될 수 있다. 일부 구현들에서는, 표면-플라즈몬 구조물의 돌출부들(5-210) 사이에 실질적으로 균일한 간격 s 가 있을 수 있다. 일부 구현들에서, 그 간격 s 는 대략 40nm와 대략 250nm 사이의 임의의 값을 가질 수 있다. 일부 실시예들에 따르면, 돌출부들은 대략 20nm와 대략 100nm 사이의 높이 h 를 가질 수 있다. 일부 구현들에서, 간격 s 는 불균일할 수 있거나 처프형(chirped)(더 큰 반사상 거리들에서 감소하는 값을 갖는 것)일 수 있다. 일부 실시예들에서, 표면-플라즈몬 구조물의 돌출부들(5-210)은 프레넬 존 플레이트(Fresnel zone plate)로서 패터닝될 수 있다. 일부 실시예들에 따르면, 5-210의 표면-플라즈마 구조물은 투명한 층 및/또는 유전체층(3-235)에 인접하여 형성될 수 있다.
- [0297] 일부 구현들에서, 표면-플라즈마 구조물(5-212)은 도 5bb에 도시된 바와 같이 샘플 우물이 형성되는 재료(3-230)로부터 이격될 수 있다. 예를 들어, 표면-플라즈마 구조물(5-212)과 재료(3-230) 사이에 개재 유전체층(intervening dielectric layer)(5-247)이 있을 수 있다. 일부 실시예들에 따르면, 표면 플라즈마 구조물(5-212)은, 도면에 도시된 바와 같이, 샘플 우물의 디봇(3-216)에 인접하여 위치할 수 있다. 예를 들어, 표면-플라즈마 구조물(5-212)은, 도 5bb에 도시된 바와 같이, 디봇(3-216)의 측벽들에 인접하여 위치할 수 있다.
- [0298] 도 5bc는 동심의 원형 격자로서 형성되는 표면-플라즈마 구조물(5-214)을 예시한다. 구조물(5-214)은 일부 실시예들에 따르면, 동심의 도전 링들(concentric conducting rings)(5-215)을 포함할 수 있다. 이 링들은 도 5ba와 관련하여 설명된 바와 같이, 규칙적인 간격 s 에 의해 분리되고 높이 h 를 가질 수 있다. 일부 실시예들에 따르면, 임의적인 디봇을 가진 샘플 우물(3-210)이 링들의 중심에 위치할 수 있다. 원형 격자는 샘플 우물의 베이스에 인접하여 패터닝될 수 있다.
- [0299] 표면-플라즈몬 구조물의 주기성은 일부 실시예들에 따른 공진 구조물을 형성하도록 선택될 수 있다. 예를 들어 표면-플라즈몬 구조물의 간격 s 는 여기 에너지에 의해 구조물에서 생성되는 표면-플라즈몬 파의 파장의 대략 1/2이 되도록 선택될 수 있다. 공진 구조물로서 형성될 때, 표면-플라즈몬 구조물은 주기적인 표면-플라즈몬 구조물의 방향을 따라 여기 에너지를 축적하고 공진시킬 수 있다. 이러한 공진 작용은, 도 5bd에 도시된 도시된 바와 같이, 샘플 우물 내의, 또는 샘플 우물에 인접한 전자기 에너지를 강화시킬 수 있다.
- [0300] 도 5bd는 샘플 우물의 베이스에서의 그리고 주기적인 표면-플라즈몬 구조물 주위의 수치 시뮬레이션된 전자기장 결과들을 나타낸다. 표면-플라즈몬 구조물(5-216)은 샘플 우물이 형성되는 재료(3-230)에 인접하여 위치하고, 샘플 우물(3-210)의 베이스에 인접해 있다. 표면-플라즈몬 구조물은 시뮬레이션된 영역의 외부 그리고 샘플 우물에서 떨어진 영역들에서 규칙적인 스페이싱 간격을 두고 반복되는 격자 또는 원형 격자의 형태로 이루어질 수 있다. 예를 들어, 표면-플라즈몬 구조물(5-216)의 3개 내지 50개의 반복된 격자 돌출부가 있을 수 있다. 고강도 영역(5-240)이 샘플 우물(3-210)의 베이스에서 보일 수 있다. 이 영역 내의 강도는 표면-플라즈몬 구조물 바로 아래의 주위의 영역에 비하여 2배보다 더 많이 향상되었다.
- [0301] 도 5be는 공진 표면-플라즈몬 구조물(5-218)의 대안적인 실시예를 정면도로 도시한다. 일부 실시예들에 따르면, 표면-플라즈몬 구조물은 주기적인 격자 또는 그리드 패턴들로서 형성될 수 있고, 다수의 층(5-247)에 패터닝될 수 있다. 일부 실시예들에 따르면, 샘플 우물(3-210)은 다수의 층(5-247)을 통하여 그리고 공진 표면-플라즈몬 구조물(5-218) 내에 패터닝될 수 있다. 일부 구현들에서, 공진 표면-플라즈몬 구조물은 도 5bf의 평면도에 도시된 바와 같이 별개의 도전성 엘리먼트들(5-222)을 포함할 수 있다. 일부 구현들에서, 공진 표면-플라즈몬 구조물은 도 5bg에 도시된 바와 같이, 연속적인 래티스 패턴(5-250)을 포함할 수 있다. 도전성 재료(5-250)의 보이드들에 유전체 충전제(dielectric filler)(5-252)가 위치할 수 있고, 보이드 내에 샘플 우물(3-210)이 위치할 수 있다.
- [0302] 샘플 우물로의 결합을 향상시키거나 샘플 우물 내의 샘플로부터의 방출에 영향을 미치기 위해 이용될 수 있는 각종 상이한 표면-플라즈몬 구조물들이 존재한다. 도 5bh는 표면-플라즈몬 구조물의 또 다른 대안적인 실시예

를 평면도로 도시한다. 이 구조물의 정면도가 도 5bi에 도시되어 있다. 일부 구현들에 따르면, 표면-플라즈몬 구조물은 샘플 우물(3-210) 주위에 분포된 디스크(disc)들의 어레이를 포함할 수 있다. 일부 구현들에서는, 도전성 디스크들(5-260)을 이용하는 대신에, 표면-플라즈몬 구조물은 홀들의 분포된 패턴이 형성되는 도전층을 포함할 수 있다. 이러한 구조물은 "나노-안테나"로 언급될 수 있다.

[0303] V. B. 플라즈몬 여기-결합 구조물들의 제조

[0304] 샘플 우물에 인접한 표면-플라즈몬 구조물들을 패터닝하기 위해 각종 상이한 프로세스들이 이용될 수 있다. 도 5ca 내지 도 5ee는 일부 실시예들에 따른, 샘플 우물에 인접한 표면-플라즈몬 구조물들을 형성하기 위해 이용될 수 있는 프로세스 공정들과 관련된 구조물들을 도시한다. 이제 도 5ca를 참조하면, 표면-플라즈몬 구조물을 형성하기 위한 프로세스는 마스크 층(5-330)상에 반사 방지 코팅(ARC)(5-320)상에 레지스트 층(5-310)을 형성하는 것을 포함할 수 있다. 이 층들은 일부 구현들에 따르면, 투명한 유전체층(3-235)상에 배치될 수 있다. 레지스트 층(5-310)은 리소그래피 방식으로 패터닝될 수 있는 포토레지스트 또는 전자- 또는 이온-빔 레지스트를 포함할 수 있다. 마스크 층(5-330)은 일부 실시예들에 따르면, 무기 재료(예를 들어, 실리콘 또는 실리카 질화물, 또는 임의의 다른 적합한 재료)로 형성될 수 있다.

[0305] 일부 구현들에서, 도 5cb에 도시된 바와 같이 레지스트(5-310)를 패터닝하기 위해 포토리소그래피 프로세스가 이용될 수 있다. 선택된 패턴은 원하는 표면-플라즈몬 구조물을 형성하기 위해 이용될 돌출부들 또는 홀들의 레이아웃을 포함할 수 있다. 레지스트(5-310)의 현상 후에, ARC의 영역들이 노출될 것이고, 패턴은 ARC 층(5-320) 내로 그리고 마스크 층(5-330) 내로 에칭될 수 있다. 레지스트 및 ARC는 기관으로부터 박리될 수 있고, 결과의 구조물은 도 5cc에 도시된 것처럼 보일 수 있다. 그 후 마스크 층(5-330)이 에치 마스크로서 이용될 수 있고, 따라서 도 5cd에 도시된 바와 같이, 패턴은 선택적 이방성 에치를 통해 하부의 유전체층(3-235)으로 전사될 수 있다.

[0306] 그 후 도 5ce에 예시된 바와 같이, 도전성 재료(3-230), 또는 도체를 포함하는 재료들의 층이 영역 위에 퇴적될 수 있다. 재료(3-230)로부터 개별적인 층으로서 퇴적되는지 여부에 관계없이, 표면 플라즈몬 구조물을 형성하기 위해 임의의 적합한 도전성 재료가 이용될 수 있다. 예를 들어, 일부 경우에, 제1 도전성 재료가 표면-플라즈몬 구조물이 형성되는 재료(3-230)의 베이스 층으로서 퇴적될 수 있다. 표면-플라즈몬 구조물을 형성하기 위해 이용될 수 있는 재료들의 예들은 Au, Al, Ti, TiN, Ag, Cu, 및 이들의 합금들 또는 조합 층들을 포함하지만, 이에 제한되지 않는다.

[0307] 재료(3-230), 또는 재료들의 층은 물리 퇴적 프로세스 또는 화학 기상 증착 프로세스를 포함하지만 이에 제한되지 않는 임의의 적합한 퇴적 프로세스에 의해 퇴적될 수 있다. 일부 실시예들에서, 재료(3-230)는 대략 80nm와 대략 300nm 사이의 두께를 가질 수 있다. 일부 구현들에서, 재료(3-230)는 (예를 들어, CMP 프로세스를 이용하여) 평탄화될 수 있지만, 평탄화가 필요한 것은 아니다. 샘플 우물을 제조하는 것과 관련하여 본 명세서에 설명된 임의의 적합한 프로세스를 이용하여 샘플 우물이 재료(3-230)에 형성될 수 있다.

[0308] 본 발명자들은 도 5ca 내지 도 5ce에 도시된 단계들에 따라 표면-플라즈몬 구조물을 형성하는 것은 표면-플라즈몬 구조물들의 샘플 우물의 정확한 정렬을 요구하지 않을 수 있다는 것을 인지하였다. 예를 들어, 도 5bc에 도시된 바와 같은, 중심의 격자를 포함하는 표면-플라즈몬 구조물은 표면-플라즈몬 구조물(5-214)의 중심에의 샘플 우물(3-210)의 정확한 정렬을 요구하지 않을 수 있다. 이러한 정확한 정렬과 관련된 제조 어려움을 피하기 위해, 본 발명자들은 도 5da 내지 도 5ee에 도시되어 있는 자기 정렬 프로세스들을 개발하였다.

[0309] 이제 도 5da를 참조하면, 표면-플라즈몬 구조물 및 이 표면-플라즈몬 구조물에 자기 정렬되는 샘플 우물을 형성하기 위한 프로세스는 투명한 유전체층(3-235)상에 마스크 층(5-410)을 형성하는 것을 포함할 수 있다. 마스크 층은 일부 실시예들에 따르면, 실리콘 또는 실리카 질화물과 같은 무기 재료로 형성된 하드 마스크를 포함할 수 있다. 마스크 층(5-410)의 두께는 샘플 우물(3-210)의 원하는 높이와 대략 같을 수 있다. 예를 들어, 마스크 층의 두께는 일부 실시예들에 따르면, 대략 50nm와 대략 200nm 사이일 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다.

[0310] 마스크 층(5-410)은 유전체층(3-235)에 패터닝될 표면-플라즈몬 구조물의 원하는 패턴을 가진 보이드들(5-430)을 생성하기 위해 패터닝될 수 있다. 마스크 층(5-410)의 패터닝은 임의의 적합한 리소그래피 프로세스(예를 들어, 포토리소그래피, 전자-빔 리소그래피, 이온-빔 리소그래피, EUV 리소그래피, x선 리소그래피)를 이용하여 행해질 수 있다. 결과의 구조물은 도 5db에 도시된 것처럼 보일 수 있다. 이 구조물은 중심 기둥(central pillar)(5-420)을 포함할 것이고, 이것은 후속하여 자기 정렬된 샘플 우물을 형성하는 데 이용될 것이

다.

- [0311] 그 후 도 5dc에 도시된 바와 같이, 패터닝된 마스크층(5-410) 위에 레지스트(5-440)(예를 들어, 포토레지스트)가 패터닝될 수 있다. 레지스터(5-440)를 패터닝하기 위한 정렬(예를 들어, 마스크 대 기관 정렬)은 매우 정확할 필요가 없고, 레지스트(5-440)가 표면-플라즈몬 구조물을 형성하기 위해 이용될 보이드들(5-430)은 커버하지 않고 중심 기둥(5-420)을 커버하기만 하면 된다.
- [0312] 그 후 일부 실시예들에 따르면 도 5dd에 도시된 바와 같이, 유전체층(3-235) 내로 에칭하고 표면-플라즈몬 구조물의 패턴을 유전체로 전사하기 위해 선택적 이방성 에치가 이용될 수 있다. 그 후 마스크층(5-410)의 노출된 위치들을 제거하기 위해 선택적 등방성 에치가 이용될 수 있다. 이 등방성 에치는, 예를 들어, 습식 에치일 수 있지만, 일부 실시예들에서는 등방성 건식 에치가 이용될 수 있다. 도 5de에 도시된 바와 같이, 레지스트(5-440)가 중심 기둥(5-420)을 커버하기 때문에, 중심 기둥은 에칭되지 않고 기관 상에 남을 것이다. 그 후 도 5df에 도시된 바와 같이, 레지스트(5-440)가 기관으로부터 박리되어 기둥(5-420)을 노출시킬 수 있다.
- [0313] 일부 실시예들에 따르면, 그 후 도 5dg에 예시된 바와 같이 영역 위에 금속 도전성 재료(3-230), 또는 도전성 재료를 포함하는 재료들의 스택이 퇴적될 수 있다. 그 후 중심 기둥(5-420) 및 기둥 위의 퇴적된 재료의 캡을 기둥의 선택적 습식 에치에 의해 제거하여, 캡을 리프트오프할 수 있다. 중심 기둥의 제거는 하부의 표면-플라즈몬 구조물(5-450)에 자기 정렬되는 샘플 우물을 남긴다.
- [0314] 표면-플라즈몬 구조물에 자기 정렬되는 샘플 우물을 형성하기 위해 대안적인 프로세스가 이용될 수 있고, 도 5ea 내지 도 5ee에 도시되어 있다. 일부 실시예들에 따르면, 도 5ea에 도시된 바와 같이, 임의의 적합한 리소그래피 프로세스를 이용하여 투명한 유전체층(3-235)상에 하나 이상의 도전층(5-510, 5-520)이 패터닝될 수 있다. 일부 구현들에서, 제1 층(5-510)은 알루미늄을 포함할 수 있고, 제2 층(5-520)은 티타늄 질화물을 포함할 수 있지만, 다양한 실시예들에서 다른 재료 조합들이 이용될 수 있다. 하나 이상의 층의 총 두께는 일부 실시예들에 따르면, 샘플 우물의 원하는 높이와 대략 같을 수 있다. 패터닝은 하나 이상의 층에 샘플 우물(3-210), 및 이 샘플 우물에 인접한 보이드들(5-525)을 형성할 수 있다. 보이드들은 원하는 표면-플라즈몬 구조물의 패턴으로 배열될 수 있다.
- [0315] 일부 구현들에서, 도 5eb에 도시된 바와 같이, 유전체층(3-235)을 에칭하여 표면-플라즈몬 구조물 및 샘플 우물(3-210)의 패턴을 유전체층으로 전사할 수 있다. 유전체로의 에치 깊이는 일부 실시예들에 따르면, 대략 20nm와 대략 150nm 사이일 수 있다. 도 5ec에 도시된 바와 같이, 샘플 우물을 커버하도록 레지스트(5-440)를 패터닝할 수 있다. 레지스트를 패터닝하기 위한 정렬을 매우 정확할 필요가 없고, 표면-플라즈몬 구조물을 형성하기 위해 이용될 유전체층(3-235)의 인접한 에칭된 영역들은 커버하지 않고 샘플 우물을 커버하기만 하면 된다.
- [0316] 도 5ed에 예시된 바와 같이, 임의의 적합한 퇴적 프로세스를 이용하여 영역 위에 도전성 재료(5-512), 또는 도체를 포함하는 재료들의 층들이 퇴적될 수 있다. 이 재료(5-512)는 유전체층의 에칭된 영역들을 채울 수 있고, 하나 이상의 층(5-510, 5-520) 위로 연장할 수 있다. 그 후 레지스트(5-440) 및 이 레지스트를 커버하는 재료가 리프트오프 프로세스에 따라 제거될 수 있다. 도 5ee에 도시된, 결과의 구조물은 주위의 표면-플라즈몬 구조물에 자기 정렬되는 샘플 우물을 남긴다. 샘플 우물은 디봇(3-216)을 포함한다.
- [0317] 일부 실시예들에서 도 5ea 내지 도 5ee에 도시된 프로세스는 디봇(3-216)을 갖지 않는 샘플 우물을 형성하는 데 이용될 수 있다. 예를 들어, 유전체층(3-235)이 에칭되기 전에 샘플 우물(3-210) 위에 레지스트(5-440)가 패터닝될 수 있다. 그 후 유전체층(3-235)이 에칭될 것이고, 이는 디봇은 형성하지 않고 표면-플라즈몬 구조물의 패턴을 유전체층으로 전사할 것이다. 그 후 프로세스는 디봇이 없는 자기 정렬된 샘플 우물을 생성하기 위해 도 5ed 및 도 5ee에 예시된 바와 같이 진행될 수 있다.
- [0318] V. C. 진폭/위상 여기-결합 구조물들
- [0319] 표면-플라즈몬 구조물들에 추가로 또는 대안으로서, 다른 구조물들이 샘플 우물 내의 여기 에너지를 증가시키기 위해 샘플 우물(3-210)의 부근에 패터닝될 수 있다. 예를 들어 일부 구조물들은 샘플 우물 내의 여기 에너지의 강도를 증가시키도록 입사 여기장의 위상 및/또는 진폭을 변경할 수 있다. 도 5fa는 입사 여기 방사의 위상 및 진폭을 변경하고 샘플 우물 내의 전자기 방사의 강도를 증가시키기 위해 이용될 수 있는 얇은 손실막(5-610)을 도시한다.
- [0320] 일부 실시예들에 따르면, 얇은 손실막은 여기 방사의 보강 간섭(constructive interference)을 일으키고, 이는 샘플 우물의 여기 영역 내의 장 방향의 결과를 야기할 수 있다. 도 5fb는 샘플 우물에 바로 인접하여 얇은 손실막(5-610)이 형성된 샘플 우물에 입사되는 여기 방사의 수치 시뮬레이션을 도시한다. 이 시뮬레이션을 위해,

샘플 우물은 대략 80nm의 직경을 갖고 두께가 대략 200nm인 금의 금속성 층으로 형성된다. 샘플 우물은 SCN을 포함하고, 샘플 우물을 통한 여기 방사의 전파를 억제한다. 얇은 손실막(5-610)은 두께가 대략 10nm이고, 게르마늄으로 형성되고, 이산화 실리콘을 포함하는 하부의 투명한 유전체를 커버한다. 이 얇은 손실막은 샘플 우물의 입구 개구를 가로질러 연장한다. 시뮬레이션은 여기 방사의 강도가 샘플 우물의 입구 개구에서 가장 높은 값이라는 것을 보여준다. 이 밝은 영역(5-620)에서의 여기 방사의 강도는 샘플 우물의 왼쪽과 오른쪽의 강도의 값의 2배를 초과한다.

- [0321] 얇은 손실막은 임의의 적합한 재료로 만들어질 수 있다. 예를 들어, 얇은 손실막은 굴절률 n 이 해당 재료에 대한 흡광 계수 k 와 대략 동일한 자릿수(order of magnitude)인 재료로 만들어질 수 있다. 일부 실시예들에서, 얇은 손실막은 굴절률 n 이 해당 재료에 대한 흡광 계수 k 의 값으로부터 약 두 자릿수 차이 이내인 재료로 만들어질 수 있다. 가시 파장들에서 이러한 재료들의 비제한적인 예들은 게르마늄과 실리콘이다.
- [0322] 얇은 손실막은 여기 소스, 또는 소스들과 관련된, 특성 파장, 또는 파장들에 의존할 수 있는, 임의의 적합한 두께일 수 있다. 일부 실시예들에서, 얇은 손실막은 두께가 대략 1nm와 대략 45nm 사이일 수 있다. 다른 실시예들에서, 얇은 손실막은 두께가 대략 15nm와 대략 45nm 사이일 수 있다. 또 다른 실시예들에서, 얇은 손실막은 두께가 대략 1nm와 대략 20nm 사이일 수 있다.
- [0323] 샘플 우물이 형성되는 재료(3-230)로부터의 반사율, 얇은 손실막 내의 여기 에너지 손실, 및 재료(3-230) 내의 여기 에너지 손실에 대한 얇은 손실막의 효과들이 도 5f에의 그래프에 도시되어 있다. 그래프에 플로팅된 하나의 곡선은 반사율 곡선(5-634)을 나타내고, 재료(3-230) 및 얇은 손실막(5-610)으로부터의 반사율이 얇은 손실막의 두께가 0nm에서 100nm까지 변화함에 따라 어떻게 달라지는지를 보여준다. 시뮬레이션된 실시예에 따르면, 반사율은 약 25nm에서 최솟값에 도달한다. 반사율 최솟값은 얇은 손실막 및 재료(3-230)에 사용되는 재료들 및 여기 에너지의 특성 파장에 따라 상이한 두께들에서 발생할 것이다. 일부 구현들에서 얇은 손실막의 두께는 반사율이 대략 그것의 최솟값에 있도록 선택된다.
- [0324] 일부 실시예들에서, 얇은 손실막(5-610)은, 도 5f에 도시된 바와 같이, 샘플 우물(3-210) 및 재료(3-230)로부터 이격될 수 있다. 예를 들어, 얇은 손실막 위에 얇은 유전체층(5-620)(예를 들어, 실리콘 산화물 SiO_x)이 형성될 수 있고, 이 유전체층(5-620)에 인접하여 샘플 우물(3-210)이 형성될 수 있다. 유전체층(5-620)의 두께는 일부 실시예들에 따르면 대략 10nm와 대략 150nm 사이일 수 있지만, 일부 실시예들에서는 다른 두께들이 이용될 수 있다.
- [0325] 단일 층으로서 도시되어 있기는 하지만, 얇은 손실막은 둘 이상의 재료의 다수의 층을 포함할 수 있다. 일부 구현들에서, 도 5f에 도시된 바와 같이, 얇은 손실막(5-610)과 유전체층(5-620)의 교대 층들을 포함하는 다중 층 스택이 샘플 우물(3-210)에 인접하여 형성될 수 있다. 일부 실시예들에 따르면, 층들의 스택 내의 얇은 손실막(5-610)의 두께는 대략 5nm와 대략 100nm 사이일 수 있고, 층들의 스택 내의 유전체층(5-620)의 두께는 대략 5nm와 대략 100nm 사이일 수 있다. 일부 구현들에서, 다중층 스택은 대략 2nm와 대략 8nm 사이의 두께를 가진 이산화 실리콘의 층, 대략 5nm와 대략 20nm 사이의 두께를 가진 실리콘의 층, 및 대략 2nm와 대략 12nm 사이의 두께를 가진 게르마늄의 층을 포함할 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다. 일부 구현들에서, 다중층 스택은 이산화 실리콘의 층(두께가 대략 4.2nm), 실리콘의 층(두께가 대략 14.4nm), 및 게르마늄의 층(두께가 대략 6.5nm)을 포함할 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다.
- [0326] 얇은 손실막은 입사 방사에 대해 적어도 얼마간의 손실을 보이는 임의의 적합한 재료로 제조될 수 있다. 일부 실시예들에서, 얇은 손실막은 반도체 재료, 예를 들어 실리콘 및 게르마늄을 포함할 수 있지만, 다른 재료들이 사용될 수도 있다(예를 들어, SiGe, Ga, N, C, GaN, InP, AlGaIn, InGaP, 등등). 일부 구현들에서, 얇은 손실막은 무기 재료 또는 금속을 포함할 수 있다. 일부 실시예들에서, 얇은 손실막은 합금 또는 화합물 반도체를 포함할 수 있다. 예를 들어, 얇은 손실막은 Si(중량으로 57.4%), Ge(중량으로 25.8%), 및 SiO_2 (중량으로 16.8%)를 포함하는 합금을 포함할 수 있지만, 다른 실시예들에서는 다른 비율들 및 조성들이 이용될 수 있다.
- [0327] 일부 실시예들에 따르면, 얇은 손실막은 임의의 적합한 블랭킷 퇴적 프로세스, 예를 들어, 물리 퇴적 프로세스, 화학 기상 증착 프로세스, 스핀온(spin on) 프로세스, 또는 이들의 조합을 이용하여 기판 상에 형성될 수 있다. 일부 실시예들에서, 얇은 손실막은 퇴적 후에 처리될 수 있다(예를 들어, 베이킹되고, 어닐링되고/되거나 이온 주입을 겪는다).
- [0328] 샘플 우물 내의 여기 에너지를 향상시키기 위해 추가적으로 또는 대안적으로 다른 위상/진폭 변경 구조물들이 이용될 수 있다. 일부 구현들에 따르면 그리고 도 5g에 도시된 바와 같이, 반사성 스택(5-705)이 샘플 우물

(3-210)로부터 이격될 수 있다. 일부 실시예들에서, 반사성 스택은 교대 굴절률들을 가진 재료들의 유전체 스택을 포함할 수 있다. 예를 들어 제1 유전체층(5-710)은 제1 굴절률을 가질 수 있고, 제2 유전체층(5-720)은 제1 굴절률과는 다른 제2 굴절률을 가질 수 있다. 반사성 스택(5-705)은 일부 실시예들에서 여기 방사에 대해서는 높은 반사율을 보일 수 있고, 샘플 우물 내의 방사체로부터의 방사성 방출에 대해서는 낮은 반사율을 보일 수 있다. 예를 들어, 반사성 스택(5-705)은 여기 방사에 대해서는 대략 80%보다 높은 반사율 그리고 샘플로부터의 방출에 대해서는 대략 40%보다 낮은 반사율을 보일 수 있지만, 일부 실시예들에서는 다른 반사율 값들이 이용될 수 있다. 여기 에너지를 투과하는 유전체층(5-730)이 반사성 스택과 샘플 우물 사이에 위치할 수 있다.

[0329] 일부 구현들에 따르면, 도 5ga에 도시된 반사성 스택(5-705)은 샘플 우물(3-210)이 형성되는 재료(3-230)와 공진기 또는 공진 공동을 형성할 수 있다. 예를 들어, 반사성 스택은 재료(3-230)로부터, 유전체 재료(5-730) 내의 여기 방사의 파장의 1/2, 또는 그의 정수배와 대략 같은 거리만큼 이격될 수 있다. 공진기를 형성함으로써, 여기 에너지가 반사성 스택을 통과하고, 공진하고, 재료(3-230)와 반사성 스택(5-705) 사이의 공간에 축적될 수 있다. 이것은 샘플 우물(3-210) 내의 여기 강도를 증가시킬 수 있다. 예를 들어, 강도는 공진 구조물 내에서 일부 실시예들에서는 2배보다 더 많이, 일부 실시예들에서는 5배보다 더 많이, 그리고 또 일부 실시예들에서는 10배보다 더 많이 증가할 수 있다.

[0330] 샘플 우물에 형성된 공진 공동은, 일부 실시예들에 따르면, 지호-뜨후누아 공진기(Gires-Tournois resonator)를 포함할 수 있다. 일부 구현들에서, 공진 구조물은 선형 공진 공동 또는 링 공진기를 포함할 수 있다. 일부 구현들에서, 공진 구조물은 샘플 우물에 인접하여 형성된 분산 브래그 반사체(distributed Bragg reflector)를 포함할 수 있다. 분산 브래그 반사체는 상이한 굴절률들을 가진 재료의 교대 층들을 포함할 수 있다. 일부 구현들에서 공진 공동은 마이크로 공동(microcavity)을 포함할 수 있다. 이 마이크로 공동은 마이크로 스케일 치수들을 가질 수 있다. 일부 양태들에서, 마이크로 공동은 (이 공진 공동의 굴절률 n 에 의해 수정된) 여기 소스의 특성 파장의 1/2 또는 그의 정수배와 대략 같은 사이즈를 가질 수 있다. 예를 들어, 마이크로 공동의 치수는 $M \lambda / 2n$ 일 수 있고, 여기서 M 은 정수이다.

[0331] 도 5gb 및 도 5gc에 도시된 바와 같이, 샘플 우물의 부근에 추가적인 구조물들이 추가될 수 있다. 일부 실시예들에 따르면, 도 5gb에 도시된 바와 같이, 유전체(5-730)의 제2 굴절률보다 높은 제1 굴절률을 가진 유전체 플러그(5-740)가 샘플 우물(3-210)에 인접하여 형성될 수 있다. 플러그는 샘플 우물의 직경과 대략 같은 직경을 가진 원통의 형상일 수 있지만, 다른 형상들 및 사이즈들이 사용될 수도 있다. 그것의 더 높은 굴절률 때문에, 유전체 플러그(5-740)는 여기 방사를 집중시키고 샘플 우물 쪽으로 유도할 수 있다.

[0332] 플러그(5-740)와 같은 유전체 구조물은, 일부 실시예들에 따르면, 반사성 스택(5-705)과 함께 또는 반사성 스택 없이 이용될 수 있다. 이러한 유전체 구조물은 유전체 공진 안테나(dielectric resonant antenna)로 언급될 수 있다. 유전체 공진 안테나는 임의의 적합한 형상, 예를 들어, 원통형, 직사각형, 정사각형, 다각형, 사다리꼴, 또는 피라미드형을 가질 수 있다.

[0333] 도 5gc 및 도 5gd는 일부 실시예들에 따른, 샘플 우물(3-210)의 부근에 형성될 수 있는 광 밴드갭(photonic bandgap)(PBG) 구조물을 도시한다. 광 밴드갭 구조물은 광학 콘트라스트(optical contrast) 구조물들(5-750)의 규칙적인 어레이 또는 래티스를 포함할 수 있다. 광학 콘트라스트 구조물들은, 일부 실시예들에 따르면, 주위의 유전체 재료의 굴절률과는 상이한 굴절률을 가진 유전체 재료를 포함할 수 있다. 일부 구현들에서, 광학 콘트라스트 구조물들(5-750)은 주위의 매질과는 상이한 손실 값을 가질 수 있다. 일부 구현들에서, 샘플 우물(3-210)은 도 5gd에 도시된 바와 같이 래티스 내의 결손(defect)에 위치할 수 있다. 다양한 실시예들에 따르면, 광 래티스(photonic lattice) 내의 결손은 결손의 영역 내에 광자들을 구속할 수 있고 샘플 우물에서 여기 에너지의 강도를 향상시킬 수 있다. 광 밴드갭 구조물로 인한 구속(confinement)은 실질적으로 기관의 표면에 가로인 2차원에서 이루어질 수 있다. 반사성 스택(5-705)과 조합될 때, 구속은 샘플 우물에서 3차원에서 이루어질 수 있다. 일부 실시예들에서, 광 밴드갭 구조물은 반사성 스택 없이 이용될 수 있다.

[0334] 도 5fa 내지 도 5gd에 도시된 여기-결합 구조물들을 제조하기 위해 다양한 방법들이 고려되었다. 얇은 평면막들(예를 들어, 교대 굴절률의 유전체막들)을 요구하는 구조물들은, 일부 실시예들에 따르면, 평면 퇴적 프로세스들에 의해 형성될 수 있다. 평면 퇴적 프로세스들은 물리 퇴적(예를 들어, 전자빔 증발 또는 스퍼터링) 또는 화학 기상 증착 프로세스들을 포함할 수 있다. 도 5gb에 도시된 유전체 공진 안테나(5-740) 또는 도 5gc에 도시된 광학 콘트라스트 구조물들(5-750)과 같은, 3차원 형상들로 형성된 별개의 임베드된 유전체들을 요구하는 구조물들은 예를 들어, 기관 내에 패터닝을 에칭하기 위한 리소그래피 패터닝 및 에칭 프로세스들을 이용하여, 그리고 후속의 유전체층의 퇴적, 및 기관의 평탄화를 이용하여 형성될 수 있다. 또한 샘플 우물(3-210)의 부근에

광 밴드갭 구조물뿐만 아니라 유전체 공진 안테나들을 형성하기 위한 자기 정렬 처리 기법들도 고려된다.

[0335] V. D. 진폭/위상 여기-결합 구조물들의 제조

[0336] 도 5ha 내지 도 5hg는 도 5gc에 예시된 바와 같은 광 밴드갭 구조물 및 자기 정렬된 샘플 우물을 형성하기 위해 이용될 수 있는 단지 하나의 자기 정렬 프로세스를 위한 프로세스 공정들과 관련된 구조물들을 도시한다. 일부 실시예들에 따르면, 도 5ha에 예시된 바와 같이, 먼저 유전체층(3-235) 위에 기판 상에 반사성 스택(5-705)이 형성될 수 있다. 그 후 반사성 스택 위에 제2 유전체층(5-730)이 퇴적될 수 있다. 이 유전체층(5-730)의 두께는 재료에서의 여기 방사의 파장의 약 1/2, 또는 그의 정수배와 대략 같을 수 있다. 그 후 도 5da 내지 도 5de와 관련하여 설명된 프로세스 공정들을 수행하여 유전체층(5-730) 위에 기둥(5-420) 및 광 밴드갭 구조물을 위한 에칭된 피처들(5-810)의 패턴을 형성할 수 있다. 에칭된 피처들은 유전체층(5-730) 내로 그리고 임의적으로 반사성 스택(5-705) 내로 연장할 수 있다. 결과의 구조물은 도 5ha에 도시된 것처럼 보일 수 있다.

[0337] 도 5hb에 도시된 바와 같이, 기둥(5-420)을 커버하는 레지스트(5-440)가 기판으로부터 박리되고 에칭된 피처들을 충전 재료(5-820)로 채우기 위해 등각 퇴적이 수행될 수 있다. 충전 재료(5-820)는, 일부 실시예들에 따르면, 기둥(5-420)을 형성하기 위해 이용되는 동일한 재료일 수 있다. 예를 들어, 충전 재료(5-820)와 기둥(5-420)은 실리콘 질화물로 형성될 수 있고 유전체층(5-730)은 산화물, 예를 들어, SiO₂를 포함할 수 있다.

[0338] 그 후 이방성 에치를 수행하여 충전 재료(5-820)를 에치백할 수 있다. 충전 재료는, 일부 실시예들에 따르면, 유전체층(5-730)의 표면을 노출시키도록 에치백될 수 있고, 그 결과 도 5hc에 도시된 바와 같은 구조물이 얻어질 수 있다. 에치는 원래의 기둥(5-420) 및 충전 재료(5-820)로부터 남는 측벽들(5-822)을 포함하는 기둥(5-830)을 남길 수 있다.

[0339] 그 후 도 5hd에 도시된 바와 같이 기판 위에 레지스트(5-440)가 패터닝될 수 있다. 예를 들어, 이 레지스트는 기판 상에 코팅될 수 있고, 레지스트에 홀이 패터닝될 수 있고, 기둥(5-830) 주위의 레지스트의 영역을 개방하도록 레지스트가 현상될 수 있다. 기둥에 대한 홀의 정렬은 매우 정확할 필요가 없고, 유전체층(5-730)에 임베드된 하부의 광 밴드갭 구조물들은 노출시키지 않고 기둥(5-830)을 노출시키기만 하면 된다.

[0340] 기둥(5-830)이 노출된 후에, 기둥의 가로 치수를 감소시키기 위해 등방성 에칭이 이용될 수 있다. 일부 실시예들에 따르면, 결과의 기둥 형상은 도 5he에 도시된 것처럼 보일 수 있다. 그 후 기판으로부터 레지스트(5-440)가 박리될 수 있고 재료(3-230), 또는 재료들의 층이 영역 위에 퇴적될 수 있다. 일부 실시예들에서, 도 5hf에 도시된 바와 같이 영역을 평탄화하기 위해 CMP 프로세스를 이용하여 재료(3-230)가 에치백될 수 있다. 후속하여, 선택적 건식 습식 에치를 이용하여 나머지 기둥 구조물을 제거하여, 도 5hg에 예시된 바와 같이, 샘플 우물(3-210)을 남길 수 있다. 도면들에 의해 나타난 바와 같이, 샘플 우물(3-210)은 유전체층(5-730)에 패터닝된 광 밴드갭 구조물에 자기 정렬된다.

[0341] 대안적인 프로세스로서, 충전 재료(5-820)는 기둥(5-420)을 형성하기 위해 이용되는 재료와는 상이한 재료를 포함할 수 있다. 이 프로세스에서, 도 5hd 및 도 5he와 관련된 공정들은 생략될 수 있다. 도 5hf에 도시된 바와 같이, 재료(3-230)의 퇴적 및 평탄화 후에, 선택적 에치를 수행하여 기둥(5-420)을 제거할 수 있다. 이에 따라 샘플 우물(3-210)을 라이닝하는 충전 재료(5-820)의 측벽들이 남을 수 있다.

[0342] V. E. 비방사성 여기-결합 구조물들 및 제조

[0343] 샘플 우물 내의 샘플로의 여기 에너지의 비방사성 결합을 위한 구조물들도 본 발명자들에 의해 고려되었다. 비방사성 결합 구조의 단지 하나의 실시예가 도 5ia에 도시되어 있다. 일부 실시예들에 따르면, 비방사성 결합 구조물은 샘플 우물(3-210)에 바로 인접하여 형성된 반도체층(5-910)을 포함할 수 있다. 이 반도체층(5-910)은 일부 실시예들에서는 유기 반도체, 또는 일부 실시예들에서는 무기 반도체일 수 있다. 일부 구현들에서, 반도체층에 디봇(3-216)이 형성될 수 있거나, 형성되지 않을 수 있다. 반도체층(5-910)은 일부 실시예들에 따르면 대략 5nm와 대략 100nm 사이의 두께를 가질 수 있지만, 일부 실시예들에서는 다른 두께들이 이용될 수도 있다. 일부 구현들에 따르면, 여기 소스로부터의 여기 방사 또는 광자들(5-930)이 반도체층(5-910)에 부딪히고 여기자들(5-920)을 생성할 수 있다. 여기자들은 샘플 우물의 표면으로 확산할 수 있고 여기서 그것들은 비방사성으로 재결합하고 샘플 우물의 벽들에 인접한 샘플에 에너지를 전달할 수 있다.

[0344] 도 5ib는 반도체층(5-912)이 여기 에너지로부터의 에너지를 샘플에 비방사성으로 전달하기 위해 이용될 수 있는 또 다른 실시예를 도시한다. 일부 실시예들에서, 반도체층(5-912)은, 도면에 도시된 바와 같이, 샘플 우물의 바닥에 또는 샘플 우물(3-210)의 디봇에 형성될 수 있다. 반도체층(5-912)은, 일부 실시예들에 따르면, 샘플

우물의 베이스에 피착체를 퇴적하기 위한 프로세스 공정들과 관련하여 본 명세서에 설명된 바와 같은 방향성 퇴적 프로세스를 이용하여 샘플 우물에 형성될 수 있다. 반도체층(5-912)은 일부 실시예들에 따르면 대략 5nm와 대략 100nm 사이의 두께를 가질 수 있지만, 다른 실시예들에서는 다른 두께들이 이용될 수 있다. 입사 방사광 반도체층 내에 여기자들을 생성할 수 있고, 그것들은 그 후 샘플 우물(3-210)의 바닥 표면으로 확산할 수 있다. 그 후 여기자들은 에너지를 샘플 우물 내의 샘플에 비방사성으로 전달할 수 있다.

[0345] 여기 에너지를 샘플에 전달하기 위한 다수의 비방사성 경로들도 본 발명자들에 의해 고려되었다. 일부 실시예들에 따르면, 그리고 도 5ic에 도시된 바와 같이, 샘플 우물 내에 에너지-전달 입자(5-940)가 퇴적될 수 있다. 에너지-전달 입자는 일부 실시예들에서는 양자점을 포함할 수 있고, 또는 일부 실시예들에서는 분자를 포함할 수 있다. 일부 구현들에서, 에너지-전달 입자(5-940)는 연결 분자(linking molecule)를 통하여 샘플 우물의 표면에 관능화(functionalize)될 수 있다. 도면에 도시된 바와 같이, 얇은 반도체층(5-910)이 샘플 우물에 인접하여, 또는 샘플 우물 내에 형성될 수 있고, 이 반도체층에 입사되는 여기 방사로부터 반도체층 내에 여기자들이 생성될 수 있다. 여기자들은 샘플 우물의 표면으로 확산할 수 있고, 에너지-전달 입자(5-940)에 에너지를 비방사성으로 전달할 수 있다. 에너지-전달 입자(5-940)는 그 후 샘플 우물 내의 샘플(3-101)에 에너지를 비방사성으로 전달할 수 있다.

[0346] 일부 구현들에 따르면, 샘플 우물 내에 하나보다 많은 에너지-전달 입자(5-940)가 있을 수 있다. 예를 들어, 도 5ic에 도시된 샘플 우물과 같은 샘플 우물 내에 에너지-전달 입자들(5-942)의 층이 퇴적될 수 있다.

[0347] 도 5id는 전자적으로 여기된 반도체층(4-510)에 인접한 샘플 우물의 베이스에 퇴적된 에너지-전달 입자들(5-942)의 층을 예시한다. 반도체층(4-510) 내에 생성된 여기자들은 에너지-전달 입자들(5-942)에 비방사성으로 에너지를 전달할 수 있고 에너지-전달 입자들은 우물 내의 샘플(3-101)에 비방사성으로 에너지를 전달할 수 있다. 도 5id에 도시된 구조물은 도 4ea와 관련하여 본 명세서에 설명된다.

[0348] 일부 구현들에서, 도 5ie에 도시된 바와 같이, 에너지-전달 입자들(5-942), 또는 단일 에너지-전달 입자(5-940)가 샘플 우물의 베이스에 퇴적될 수 있다. 에너지-전달 입자, 또는 입자들은 우물 내의 샘플(3-101)에 방사성으로 또는 비방사성으로 여기 에너지를 전달할 수 있다. 예를 들어, 에너지-전달 입자는 입사 방사를 흡수하여 에너지-전달 입자의 여기된 상태를 형성하고, 그 후 에너지를 샘플(3-101)에 방사성으로 또는 비방사성으로 전달할 수 있다.

[0349] 일부 구현들에서, 에너지-전달 입자는 입사 여기 에너지를 흡수하고, 그 후 흡수된 여기 에너지의 파장과는 상이한 파장에서 방사성 에너지를 재방출할 수 있다. 재방출된 에너지는 그 후 샘플 우물 내의 샘플을 여기시키는 데 이용될 수 있다. 도 5if는 하향 변환하는(down-convert) 에너지-전달 입자와 관련된 스펙트럼 그래프들을 나타낸다. 일부 실시예들에 따르면, 하향 변환하는 에너지-전달 입자는 짧은 파장 방사(더 높은 에너지)를 흡수하고, 하나 이상의 더 긴 파장 방사(더 낮은 에너지)를 방출하는 양자점을 포함할 수 있다. 6 내지 7nm의 반경을 가진 양자점에 대해 예시적인 흡수 곡선(5-952)이 그래프에 파선으로 도시되어 있다. 이 양자점은 곡선(5-954)에 의해 예시된 제1 방사 대역, 곡선(5-956)에 의해 예시된 제2 방사 대역, 및 곡선(5-958)에 의해 예시된 제3 방사 대역을 방출할 수 있다.

[0350] 일부 구현들에서 에너지-전달 입자는 여기 소스로부터의 에너지를 상향 변환(up convert)할 수 있다. 도 5ig는 에너지-전달 입자로부터의 상향 변환과 관련된 스펙트럼들을 도시한다. 일부 실시예들에 따르면, 양자점은 대략 980nm의 방사광으로 여기되고, 그 후 그래프에 예시된 바와 같은 3개의 스펙트럼 대역 중 하나로 재방출할 수 있다. 제1 대역은 대략 483nm에 중심을 둘 수 있고, 제2 대역은 대략 538nm에 중심을 둘 수 있고, 제3 대역은 대략 642nm에 중심을 둘 수 있다. 양자점으로부터의 재방출된 광자들은 양자점을 여기시키기 위해 이용되는 방사광의 광자들보다 더 역동적(energetic)이다. 따라서, 여기 소스로부터의 에너지가 상향 변환된다. 방출된 스펙트럼 대역들 중 하나 이상이 샘플 우물 내의 하나 이상의 샘플을 여기시키는 데 이용될 수 있다.

[0351] 상기한 여기-결합 구조물들의 실시예들 중 어느 하나 이상의 실시예가 통합 디바이스의 일 실시예에 포함될 수 있다.

[0352] VI. 방출 결합

[0353] 하나 이상의 방출-결합 컴포넌트가 샘플 우물과 픽셀 내의 대응 센서 사이에 형성되어 센서에 의한 샘플 우물로부터의 방출 에너지의 수집을 개선할 수 있다. 방출-결합 컴포넌트들은, 예를 들어, 샘플을 분석할 목적으로, 태그의 검출을 개선하기 위해 방출 에너지 신호 대 배경 신호의 신호 대 잡음비를 개선할 수 있다. 일부 실시예들에 따르면, 방출-결합 컴포넌트들은 상이한 특성 파장들의 방출 에너지들을 공간적으로 유도하고/하거나 공

간적으로 분리하도록 구성될 수 있다.

[0354] 일부 구현들에서, 방출-결합 컴포넌트들은 샘플 우물로부터의 여기 에너지를 픽셀 내의 하나 이상의 센서 세그먼트로 유도할 수 있다. 일부 실시예들에서, 샘플 우물에 대하여 방출-결합 구조물의 위치는 샘플 우물로부터의 방출 에너지를 하나 이상의 센서 세그먼트 쪽으로 특정한 방식으로 유도하도록 선택된다. 예를 들어, 방출-결합 구조물은 태그에 의해 방출된 특성 파장에 의존하는 형상을 가진 반사 분포 패턴으로 방출 에너지를 유도하도록 구성될 수 있다. 센서는 공간 분포 패턴들을 판별하도록 그리고 상이한 패턴들을 구별하기 위해 분석될 수 있는 신호들을 생성하도록 구성될 수 있다. 따라서, 각각이 상이한 스펙트럼 대역들 내에서 방출하는 다수의 상이한 태그들은, 방출이 샘플 우물에 인접하여 형성된 방출-결합 구조물에 결합하고, 그에 의해 영향을 받을 때 형성되는 이들 각자의 방사 패턴들에 의해 구별 가능할 수 있다. 필터들과 같은 다른 컴포넌트들이 픽셀 내에 포함될 수 있고 배경 방사(예를 들어, 여기 에너지 및 샘플로부터의 방출과 관련되지 않은 다른 에너지)를 감소시킬 수 있다.

[0355] VI. A. 표면 옵틱스

[0356] 방출-결합 컴포넌트들 또는 구조물들은 픽셀 내에 형성되고 샘플 우물 근처에(예를 들어, 일부 구현들에서는 샘플 우물로부터 약 5마이크로미터 이내에) 위치할 수 있다. 이 방출-결합 컴포넌트들은 "표면 옵틱스(surface optics)"로 언급될 수 있고, 표면 플라즈몬을 지원할 수 있다. 다양한 실시예들에서, 방출-결합 컴포넌트들은 샘플 우물 내의 샘플로부터의 방출과 결합하고 이 방출에 영향을 미치거나 이 방출을 변경하도록 구성될 수 있다. 일부 실시예들에서, 통합 디바이스의 픽셀 내의 2개의 층 사이의 계면에 표면-광학 구조물들이 형성될 수 있다. 예를 들어, 일부 방출-결합 컴포넌트들은 샘플 우물이 형성되는 층과 샘플 우물의 입구 개구 단부에서 인접한 층 사이의 계면에 형성될 수 있다. 일부 경우에, 샘플 우물에 인접한 층은 유전체층이지만, 인접한 층으로 다른 재료들(예를 들어, 손실막들, 반도체, 투명한 도체)이 이용될 수도 있다.

[0357] 표면-에너지 결합 엘리먼트들은 샘플 우물로부터의 방사성 방출에 의해 여기되고 그와 상호 작용하는 표면 광학 구조물들일 수 있다. 이 표면 광학 구조물들은 상이한 특성 파장들의 방출 에너지들에 대해 상이한 공간 방사 패턴들을 형성하도록 구성될 수 있다.

[0358] 격자 주기, 피치 사이즈, 또는 샘플 우물로부터의 거리와 같은, 표면-광학 구조물의 특성 치수는 방출 에너지 운동량 벡터의 평행 성분(parallel component)을 표면 플라즈몬을 위한 표면과 운동량 벡터로 최대도 결합하도록 선택될 수 있다. 예를 들어, 방출 에너지 운동량 벡터의 평행 성분은, 일부 실시예들에 따르면, 구조에 의해 지원되는 표면 플라즈몬을 위한 표면과 운동량 벡터에 매칭될 수 있다. 일부 실시예들에서, 샘플 우물로부터 표면 광학 구조물의 예지 또는 특징적 피치까지의 거리 d 는 샘플 우물로부터의 방출 에너지를 선택된 방향, 예를 들어 표면에 대해 법선으로 또는 표면에 대해 법선으로부터 각도 θ 로 경사지게 유도하도록 선택될 수 있다. 예를 들어, 그 거리 d 는 표면에 대해 법선 방향으로 방출을 유도하기 위해 정수개의 표면-플라즈몬 파장일 수 있다. 일부 실시예들에서, 거리 d 는 표면에 대해 법선으로부터 각도 θ 로 방출을 유도하기 위해, 표면-플라즈몬 파장의 분수, 또는 그의 파장 모듈로(modulo)이도록 선택될 수 있다.

[0359] 동작시에, 방출-결합 컴포넌트 및 샘플 우물은 샘플 우물로부터 샘플 우물을 포함하는 픽셀 내의 하나 이상의 센서 세그먼트로 방사되는 방출 에너지의 양을 증가시키도록 구성될 수 있다. 방출-결합 컴포넌트가 없다면, 여기된 샘플은 주로 샘플 우물이 형성되는 층의 존재로 인해 하프-셸(half-shell) 또는 램버시안(Lambertian) 분포로 방사를 방출할 수 있다. 샘플 우물이 방출 에너지의 전파를 허용한다면, 일부 방출은 벌크 시편 내로 진행할 수 있다. 샘플 우물이, 예를 들어, ZMW를 포함한다면, 방출은 센서의 방향에서 대략 램버시안일 수 있다. 샘플 우물에서 방출-결합 컴포넌트들의 추가는 램버시안 분포와 현저하게 상이할 수 있는 매우 이방성의 방출 분포들을 생성할 수 있고, 그 분포 패턴은 방출 파장에 의존할 수 있다.

[0360] 일부 실시예들에 따르면, 방출-결합 구조물은 제1 특성 파장에서의 샘플 우물로부터의 방사성 방출 에너지를 제1 방향으로 그리고/또는 제1 특성 공간 패턴으로 결합할 수 있다. 결합된 에너지는, 예를 들어, 제1 방향으로 좁아진 이방성 방사 패턴으로 유도될 수 있다. 일부 실시예들에서, 방출-결합 구조물은 또한 제2 특성 파장에서의 동일한 샘플 우물로부터의 방사성 방출 에너지를 제1 방향 및/또는 제1 특성 공간 패턴과 상이한 제2 방향 및/또는 제2 특성 공간 패턴으로 결합할 수 있다. 제2 방출도 좁아진 이방성의 방사 패턴으로 유도될 수 있다. 일부 실시예들에서, 제1 특성 파장을 가진 방사는 표면 광학 구조물이 형성되는 표면에 대해 법선으로 좁아진 로브(narrowed lobe)로 유도되고, 제2 특성 파장의 방사는 표면에 대해 법선으로부터 소정 각도로 환상 로브들(annular lobes)로 유도된다. 동일한 방출-결합 구조물에 대해 다른 특성 파장들에서 다른 공간 분포 패턴들이 생성될 수 있다.

- [0361] 방출-결합 구조물의 비제한적 예는 도 6aa에 도시된 바와 같은, 동심 격자(concentric grating)이다. 일부 실시예들에 따르면, 동심 격자 구조물이 통합 디바이스의 픽셀에 형성되고 픽셀 내의 하나 이상의 센서 세그먼트 쪽으로 방출 에너지를 유도하도록 구성될 수 있다. 동심 격자는 샘플 우물 주위에 형성된, 볼스아이 패턴으로 배열된, 환상 링들 또는 돌출부를 포함할 수 있다. 이 동심 격자 구조물은 샘플 우물로부터의 방출과 결합하여 샘플 우물로부터의 방출 에너지의 전파 및 픽셀 내의 하나 이상의 센서 세그먼트에의 방출 에너지의 집중을 개선할 수 있다.
- [0362] 동심의 원형 격자(6-102) 방출-결합 구조물의 예가 도 6aa에 도시되어 있다. 이 원형 격자는 임의의 적합한 수의 링을 포함할 수 있고 도 6aa에 도시된 링들의 수는 비제한적인 예이다. 원형 격자는 도전막의 표면으로부터의 돌출 링들을 포함할 수 있다. 예를 들어, 원형 격자는 샘플 우물 층과 이 샘플 우물 층 아래에 형성된 유전체층의 계면에 형성될 수 있다. 샘플 우물 층은 도전성 재료일 수 있고 동심 격자는 그 도전성 재료와 유전체 사이의 계면에 격자 구조물을 패터닝하는 것에 의해 형성될 수 있다. 원형 격자의 링들은 규칙적인 주기적 간격으로 있을 수 있고, 또는 링들 사이에 불규칙적인 비주기적 간격들을 가질 수 있다. 샘플 우물은 원형 격자의 중심에 또는 중심 근처에 위치할 수 있다. 일부 실시예들에서, 샘플 우물은 원형 격자에 대해 중심을 벗어나 위치할 수 있고 격자의 중심으로부터 소정 거리에 위치할 수 있다.
- [0363] 일부 실시예들에서, 격자형 방출-결합 컴포넌트는 나선형 격자를 포함할 수 있다. 나선형 격자(6-202)의 예가 도 6ab에 도시되어 있다. 나선형 격자(6-202)는 일부 실시예들에서는 도전막 내의 나선형 개구를 포함할 수 있고, 또는 일부 실시예들에 따르면 도전층상에 형성된 나선형 돌출부를 포함할 수 있다. 나선형 격자를 형성하기 위해 나선형 격자의 임의의 적합한 치수들이 이용될 수 있다.
- [0364] 샘플 우물에 인접하여 형성된 도 6aa 또는 도 6ab에 도시된 것들과 같은 격자 구조는 샘플 우물에서 비롯되는 방출에 대해 상이한 공간 분포 패턴들을 생성할 수 있다. 격자의 영향으로 인해 형성될 수 있는 가능한 공간 분포 패턴들의 예들이 도 6ba 내지 도 6bd에 도시되어 있다. 예를 들어, 통합 디바이스의 층(6-306)은 샘플 우물과 이 샘플 우물 아래에 위치하는 동심 격자 구조물(6-302)을 포함할 수 있다. 제1 특성 파장을 가진 방출 에너지가 샘플 우물 내의 샘플에 의해 방출될 때, 그 방출 에너지는 동심 격자와 결합하고 도 6ba에 예시된 제1 공간 분포 패턴(6-304)을 형성한다. 또한, 제2 특성 파장을 가진 방출 에너지가 샘플 우물 내의 샘플에 의해 방출될 때, 도 6bb에 예시된 공간 분포 패턴(6-404)과 같은 제2 분포 패턴이 형성될 수 있다. 유사하게, 도 6bc는 제3 특성 파장을 가진 방출 에너지에 대한 제3 공간 분포 패턴(6-504)을 예시하고 도 6bd는 제4 특성 파장을 가진 방출 에너지에 대한 제4 공간 분포 패턴(6-604)을 예시한다. 이 상이한 공간 분포 패턴들은 제1, 제2, 제3, 및 제4 특성 파장들을 구별하기 위해 픽셀 내의 공간적으로 분리된 센서 세그먼트들에 의해 검출될 수 있다.
- [0365] 표면 윙크스 또는 표면 플라즈몬 구조물의 또 다른 예는 나노-안테나 구조물이고, 그 일례가 도 6ca에 도시되어 있다. 나노-안테나 구조물은 상이한 특성 파장들의 방출 에너지를 공간적으로 유도하고/하거나 공간적으로 분리하도록 구성될 수 있다. 일부 실시예들에서, 샘플 우물에 대하여 나노-안테나 구조물의 위치는 샘플 우물로부터의 방출 에너지를 하나 이상의 센서 세그먼트 쪽으로 특정한 방식으로 유도하도록 선택된다. 나노-안테나들은 방출 에너지에 의해 여기될 때 방향성 방사 패턴을 생성하도록 구성되는 나노스케일 다이폴 안테나 구조물들을 포함할 수 있다. 나노-안테나들은 샘플 우물 주위에 분포될 수 있다. 방향성 방사 패턴은 안테나들의 전자기장들의 합계의 결과로 얻어질 수 있다. 일부 실시예들에서, 방향성 방사 패턴은 안테나들의 전자기장들과 샘플로부터 직접 방출된 장의 합계의 결과로 얻어질 수 있다. 일부 구현들에서, 샘플로부터 직접 방출된 장은 나노-안테나 구조물과 관련된 표면 플라즈몬 파들에 의해 조정(mediate)될 수 있다.
- [0366] 나노-안테나 구조물을 형성하는 개개의 나노-안테나들의 치수들은 하나 이상의 방출 에너지의 특정 분포 패턴들을 생성하는 전체 나노-안테나 구조물의 결합된 능력을 위해 선택될 수 있다. 예를 들어, 개개의 나노-안테나들의 직경들은 나노-안테나 구조물 내에서 달라질 수 있다. 그러나, 일부 경우에, 직경들은 나노-안테나들의 세트 내에서 동일할 수 있다. 다른 구현들에서, 전체 나노-안테나 구조물을 통틀어 소수의 선택된 직경들이 이용될 수 있다. 일부 나노-안테나들은 반경 R의 원에 분포될 수 있고 일부는 원으로부터 방사상 방향으로 시프트될 수 있다. 일부 나노-안테나들은 반경 R의 원 주위에 등간격으로 배치될 수 있고(예를 들어, 동등한 편각 증분들(equivalent polar-angle increments)에 중심을 둘 수 있고), 일부는 원 주위에 등간격으로부터 시프트될 수 있다. 일부 실시예들에서, 나노-안테나들은 샘플 우물 주위에 나선형 구성으로 배열될 수 있다. 추가적으로 또는 대안적으로, 샘플 우물 주위에 행렬 어레이(matrix array), 십자형 분포(cross distribution), 및 성상 분포(star distributions)와 같은, 나노-안테나들의 다른 구성들이 가능하다. 개개의 나노-안테나들은 원 이외의 형상, 예를 들어 정사각형, 직사각형, 십자형, 삼각형, 나비벡타이, 환상 링, 오각형, 육각형, 다각형,

등등일 수 있다. 일부 실시예들에서, 개구 또는 디스크의 원주는 대략 분수 파장의 정수배, 예를 들어, $(N/2)\lambda$ 일 수 있다.

[0367] 나노-안테나 어레이는 샘플로부터의 방출 에너지를 방출 에너지의 특정 파장에 의존하는 공간 패턴을 가진 집중된 방사 로브 내로 유도할 수 있다. 샘플이 에너지를 방출할 때, 그것은 샘플 우물로부터 샘플 우물 주위에 분포된 나노-안테나들로 전파하는 표면 플라즈몬들을 여기시킬 수 있다. 표면 플라즈몬들은 그 후 샘플 우물 층의 표면에 수직인 방사를 방출하는 나노-안테나들에서의 방사 모드들 또는 다이폴 방사체들을 여기시킬 수 있다. 나노-안테나에서의 여기된 모드 또는 다이폴의 위상은 샘플 우물로부터의 나노-안테나의 거리에 의존할 것이다. 샘플 우물과 개개의 나노-안테나 간의 거리의 선택은 나노-안테나로부터 방출된 방사의 위상을 제어한다. 나노-안테나에서 여기된 공간 방사 모드는 나노-안테나의 기하학적 형상 및/또는 사이즈에 의존할 것이다. 개개의 나노-안테나의 기하학적 형상 및/또는 사이즈의 선택은 나노-안테나로부터 방출된 공간 방사 모드를 제어한다. 어레이 내의 모든 나노-안테나들 및, 일부 경우에 샘플 우물로부터의 기여들은 방사 패턴을 형성하는 전체 방사 로브 또는 로브들을 결정할 수 있다. 인식될 수 있는 바와 같이, 개개의 나노-안테나로부터 방출된 위상 및 공간 방사 모드는 파장에 의존할 수 있고, 따라서 방사 패턴을 형성하는 전체 방사 로브 또는 로브들도 파장에 의존할 것이다. 상이한 특성 파장들의 방출 에너지들의 전체 방사 로브 패턴들을 결정하기 위해 전자기장들의 수치 시뮬레이션들이 이용될 수 있다.

[0368] 나노-안테나는 도전막에 홀들 또는 개구들의 어레이를 포함할 수 있다. 예를 들어, 나노-안테나 구조물은 도전성 샘플 우물 층과 하부의 유전체층 사이의 계면에 형성될 수 있다. 홀들은 중심점을 둘러싸는 동심원들에 분포된 홀들의 세트를 포함할 수 있다. 일부 실시예들에서, 샘플 우물은 어레이의 중심점에 위치하는 반면, 다른 실시예들에서 샘플 우물은 중심을 벗어날 수 있다. 각각의 원형으로 분포된 홀들의 세트는 원형 분포 주위에 가장 작은 것에서 가장 큰 것까지 배열된 상이한 직경들의 집합(collection)을 포함할 수 있다. 홀 직경들은 세트들 사이에 상이할 수 있고(예를 들어, 하나의 세트 내의 가장 작은 홀이 또 다른 세트 내의 가장 작은 홀보다 클 수 있다), 가장 작은 홀의 위치는 원들의 각 세트에 대해 상이한 편각으로 배향될 수 있다. 일부 실시예들에서, 나노-안테나에 원형으로 분포된 홀들의 1 내지 7개 세트가 있을 수 있다. 다른 실시예들에서는, 7개보다 많은 세트가 있을 수 있다. 일부 실시예들에서, 홀들은 원형이 아닐 수 있고, 임의의 적합한 형상일 수 있다. 예를 들어, 홀들은 타원형, 삼각형, 직사각형, 등등일 수 있다. 다른 실시예들에서, 홀들의 분포는 원형이 아닐 수 있고, 나선형 형상을 생성할 수 있다.

[0369] 도 6ca 및 도 6cb는 도전층에 홀들 또는 개구들로 구성된 예시적인 나노-안테나 구조물을 예시한다. 도 6ca는 홀들(6-122)에 의해 둘러싸인 샘플 우물(6-108)을 가진 통합 디바이스의 표면의 평면도를 도시한다. 나노-안테나 홀들은 반경 R의 원 주위에 대략 분포된다. 이 비제한적인 예에서, 홀 직경들은 홀들의 원의 원주 주위로 점증적으로 증가함으로써 달라진다. 도 6cb는 도 6ca에 도시된 나노-안테나의 라인 B-B를 따르는 개략 정면도를 도시한다. 샘플 우물 층(6-116)은 도체를 포함하고 나노-안테나 구조물의 일부인 개구들(6-122) 및 샘플 우물(6-108)을 포함할 수 있다. 인접한 층(6-118)은 유전체 재료 및/또는 광학적으로 투명한 재료일 수 있다.

[0370] 일부 실시예들에서, 나노-안테나 구조물을 복수의 디스크를 포함할 수 있다. 나노-안테나 구조물의 디스크들은 도전성 재료의 표면으로부터 돌출하는 도전성 디스크들로서 형성될 수 있다. 도전성 재료는, 일부 실시예들에 따르면, 광학적으로 투명한 재료에 인접할 수 있다. 일부 실시예들에서, 나노-안테나들은 샘플 우물 주위에 분포될 수 있다. 일부 경우에, 나노-안테나들은 반경 R의 원에 대략 그들의 중심을 두고 샘플 우물 주위에 분포될 수 있다. 나노-안테나 어레이는 샘플 우물 주위에 상이한 반경들의 추가적인 원들에 대략 분포된 나노-안테나들의 다수의 세트를 포함할 수 있다.

[0371] 도 6cc 및 도 6cd는 도전층으로부터 돌출하는 디스크들을 포함하는 나노-안테나 구조물의 예시적인 실시예를 예시한다. 도 6cc는 디스크들(6-224)에 둘러싸인 샘플 우물(6-208)을 가진 통합 디바이스의 표면의 개략 평면도이다. 나노-안테나 디스크들은 반경 R의 원 주위에 대략 분포된다. 이 비제한적인 예에서, 디스크들에 2개의 직경이 이용되고 디스크들은 나노-안테나의 원주 주위로 이 2개의 직경 사이에 교대한다. 도 6cd는 도 6cc에 도시된 나노-안테나의 라인 D-D를 따르는 개략 정면도를 도시한다. 샘플 우물 층(6-216)은 도체를 포함하고 나노-안테나 구조물의 일부인 디스크들(6-224) 및 샘플 우물(6-208)을 포함할 수 있다. 디스크들(6-224)은 샘플 우물 층(6-216)으로부터 소정의 거리만큼 돌출한다. 일부 실시예들에서, 디스크들이 샘플 우물 층으로부터 연장하는 거리는 나노-안테나 구조물 내에서 달라질 수 있다. 인접한 층(6-218)은 유전체 재료 및/또는 광학적으로 투명한 재료를 포함할 수 있다. 샘플 우물 층(6-216) 및 돌출 디스크들은 도전성 재료일 수 있다.

[0372] 나노-안테나 구조물을 형성하는 홀들 및/또는 디스크들은 샘플 우물로부터의 방출 에너지가 나노-안테나 구조물

의 나노-안테나들 중 하나 이상과 결합하도록 하는 임의의 적합한 패턴 또는 분포일 수 있다. 나노-안테나 구조물의 또 다른 예가 도 6da에 도시되어 있고, 이 도면은 나노-안테나가 형성될 수 있는 나선형 패턴을 나타낸다. 샘플 우물에는 샘플 우물 내에 나노-안테나 구조물(6-312)에 대하여 소정 위치(6-308)에 위치할 수 있다. 샘플 우물로부터 방출 에너지가 방출될 때 나노-안테나 구조물의 영역에 표면 플라즈몬들이 형성될 수 있다. 도 6db는 일부 실시예들에 따른, 나노-안테나 구조물의 부근에서의 표면 플라즈몬들의 수치 시뮬레이션으로부터의 결과들을 예시한다. 이 결과들은 나노-안테나의 개구들에 의한 전자기장 강도도 도시한다. 픽셀 내의 나노-안테나 구조물을 형성하는 나노-안테나들의 다른 예시적인 패턴들 및 분포들이 도 6dc 내지 도 6de에 도시되어 있다.

[0373] 나노-안테나 구조물은 상이한 특성 파장들에서의 방출들을 구별하기 위해 이용될 수 있다. 나노-안테나 개구 구조물은 상이한 특성 파장들의 방출 에너지에 대해 상이한 방향들로 샘플 우물로부터 연장하는 방사 로브들을 생성할 수 있다. 이 방사 로브들은 방출 에너지의 특성 파장들에 따라 상이한 공간 분포 패턴을 형성한다. 샘플 우물 아래에 위치하는 나노-안테나 구조물을 가지는 것의 결과로서 형성되는 가능한 공간 분포 패턴들의 예들이 도 6ea 내지 도 6ed에 도시되어 있다. 예를 들어, 픽셀 내의 층(6-906)은 샘플 우물과 이 샘플 우물에 인접하여 위치하는 나노-안테나 구조물(6-902)을 포함할 수 있다. 샘플 우물 내의 샘플에 의해 제1 특성 파장을 가진 방출 에너지가 방출될 때, 이 방출 에너지는 나노-안테나 구조물 내의 나노-안테나들과 결합하고 이 나노-안테나 구조물은 방출 에너지를 도 6ea에 예시된 제1 공간 분포 패턴(6-904) 내로 유도한다. 또한, 샘플 우물 내의 샘플에 의해 제2 특성 파장을 가진 방출 에너지가 방출될 때, 도 6eb에 도시된 분포 패턴(6-1004)과 같은 제2 분포 패턴이 형성될 수 있다. 유사하게, 도 6ec는 제3 특성 파장을 가진 방출 에너지에 대한 제3 공간 분포 패턴(6-1104)을 예시하고, 도 6ed는 제4 특성 파장을 가진 방출 에너지에 대한 제4 공간 분포 패턴(6-1204)을 예시한다. 이 상이한 공간 분포 패턴들은 제1, 제2, 제3, 및 제4 특성 파장들을 구별하기 위해 픽셀 내의 공간적으로 분리된 센서들에 의해 검출될 수 있다.

[0374] VI. B. 원거리장 유틸리티

[0375] 샘플 우물 내의 샘플로부터 방출된 방출 에너지는 다양한 방식으로 픽셀의 센서에 전송될 수 있고, 그 일부 예들이 아래에 상세히 설명된다. 일부 실시예들은 특정 파장의 광이 센서의 하나 이상의 세그먼트로 유도되는 가능성을 증가시키기 위해 광학 및/또는 플라즈몬 컴포넌트들을 이용할 수 있다. 센서는 상이한 파장들의 방출 에너지를 동시에 검출하기 위한 다수의 세그먼트를 포함할 수 있다.

[0376] 도 6fa는 일부 실시예들에 따라, 특정 파장의 방출 에너지를 각자의 센서 세그먼트로 유도하기 위해 적어도 하나의 소팅 엘리먼트가 이용되는, 일부 실시예들에 따른 통합 디바이스의 단일 픽셀의 개략도이다. 도전성 재료(6-603)에 형성된 샘플 우물(6-601)이 샘플을 수용하고 방출 에너지(6-604)를 방출할 수 있다. 명확성을 위해, 샘플 우물에서의 임의의 광학 및 플라즈몬 컴포넌트들의 세부 사항들은 도시되어 있지 않다. 방출 에너지(6-604)는 소팅 엘리먼트(6-607)에 도달할 때까지 유전체 재료(6-605)를 통하여 이동한다. 소팅 엘리먼트(6-607)는 방출 에너지(6-604)의 파장을 공간 자유도에 결합하고, 이에 의해 방출 에너지를 소팅된 방출 에너지(sorted emission energy)로 인입되는, 그의 구성 파장 성분들로 분리한다. 도 6fb는 방출 에너지(6-604)가 유전체 재료(6-609)를 통하여 4개의 소팅된 방출 에너지 경로로 분리되는 것을 개략적으로 예시하는데, 여기서 4개의 경로 각각은 픽셀의 서브-센서(6-611 내지 6-614)와 관련된다. 이렇게 하여, 각 센서 세그먼트는 스펙트럼의 상이한 부분과 관련되어, 통합 디바이스의 각 픽셀에 대한 분광계(spectrometer)를 형성할 수 있다.

[0377] 임의의 적합한 소팅 엘리먼트(6-607)가 방출 에너지의 상이한 파장들을 분리하는 데 이용될 수 있다. 실시예들은 광학 또는 플라즈몬 엘리먼트들을 이용할 수 있다. 광학 소팅 엘리먼트들의 예들은, 홀로그래피 격자(holographic gratings), 위상 마스크 격자(phase mask gratings), 진폭 마스크 격자(amplitude mask gratings), 주파수 선택 표면(frequency selective surfaces), 회절 광학 엘리먼트(diffractive optical elements), 및 오프셋 프레넬 렌즈(offset Fresnel lenses)를 포함하지만, 이들에 제한되지 않는다. 플라즈몬 소팅 엘리먼트들의 예들은, 위상 나노-안테나 어레이(phased nano-antenna arrays), 및 플라즈몬 준결정(plasmonic quasi-crystals)을 포함하지만, 이들에 제한되지 않는다.

[0378] 도 6fb는 특정 파장의 방출 에너지를 각자의 서브-센서로 유도하고 다른 파장들의 방출 에너지가 서브-센서에 도달하는 것을 막기 위해 적어도 하나의 필터링 엘리먼트가 이용되는, 일부 실시예들에 따른 통합 디바이스의 단일 픽셀의 개략도이다. 도 6fb의 컴포넌트들이 도 6fa의 컴포넌트들과 유사한 경우, 동일한 참조 번호들이 사용된다. 도전성 재료(6-603)에 형성된 샘플 우물(6-601)이 샘플을 수용하고 방출 에너지(6-604)를 방출할 수 있다. 명확성을 위해, 샘플 우물에서의 광학 및 플라즈몬 컴포넌트들의 세부 사항들은 도시되어 있지 않다.

방출 에너지(6-604)는 필터링 엘리먼트들(6-621 내지 6-624) 중 하나에 도달할 때까지 유전체 재료(6-605)를 통하여 이동한다. 필터링 엘리먼트들(6-621 내지 6-624)은 각각 센서(6-611 내지 6-614)의 특정 파장과 관련될 수 있고, 각각 방출 에너지를 흡수하는 것(도 6fb에 예시되지 않음) 및/또는 방출 에너지를 반사하는 것에 의해 각자의 파장의 방출 에너지를 전송하고 다른 파장들의 방출 에너지를 거부하도록 구성된다. 각자의 필터링 엘리먼트를 통과한 후에, 필터링된 방출 에너지는 유전체 재료(6-609)를 통하여 이동하고 픽셀의 대응하는 서브-센서(6-611 내지 6-614)에 부딪힌다. 이렇게 하여, 각 서브-센서는 스펙트럼의 상이한 부분과 관련되어, 통합 디바이스의 각 픽셀에 대한 분광계를 형성한다.

[0379] 임의의 적합한 필터링 엘리먼트들이 방출 에너지의 상이한 파장들을 분리하는 데 이용될 수 있다. 실시예들은 광학 또는 플라즈몬 필터링 엘리먼트들을 이용할 수 있다. 광학 필터링 엘리먼트들의 예들은, 반사성 다중층 유전체 필터 또는 흡수 필터를 포함하지만, 이들에 제한되지 않는다. 플라즈몬 필터링 엘리먼트들의 예들은, 특정 파장 및 광 밴드갭 결정들에서 에너지를 전송하도록 구성된 주파수 선택 표면을 포함하지만, 이에 제한되지 않는다.

[0380] 위에 언급된 소팅 엘리먼트들 및 필터링 엘리먼트들에 대안적으로, 또는 추가적으로, 각 서브-센서(6-611 내지 6-614)에 인접하여 추가적인 필터링 엘리먼트들이 배치될 수 있다. 이 추가적인 필터링 엘리먼트들은 특정 파장에 대해 센서 또는 센서 세그먼트에서 특정 파장의 방출 에너지에 대한 보강 간섭을 일으키도록 구성된 얇은 손실막을 포함할 수 있다. 이 얇은 손실막은 단일 또는 다중층 막일 수 있다. 얇은 손실막은 임의의 적합한 재료로 만들어질 수 있다. 예를 들어, 얇은 손실막은 굴절률 n 이 흡광 계수 k 와 대략 동일한 자릿수인 재료로 만들어질 수 있다. 다른 실시예들에서, 얇은 손실막은 굴절률 n 이 해당 재료의 흡광 계수 k 의 값으로부터 약 두 자릿수 차이 이내인 재료로 만들어질 수 있다. 가시 파장들에서 이러한 재료들의 비제한적인 예들은 게르마늄과 실리콘이다.

[0381] 얇은 손실막은 임의의 적합한 두께일 수 있다. 일부 실시예들에서, 얇은 손실막은 두께가 1 - 45nm일 수 있다. 다른 실시예들에서, 얇은 손실막은 두께가 15 - 45nm일 수 있다. 또 다른 실시예들에서, 얇은 손실막은 두께가 1 - 20nm일 수 있다. 도 6ga는 얇은 손실막들(6-711 내지 6-714)이 각각, 각 서브-센서(6-611 내지 6-614)와 관련되는 파장에 의해 적어도 부분적으로 결정되는 상이한 두께를 갖는 일 실시예를 예시한다. 막의 두께는 이 얇은 손실막을 선택적으로 통과하여 서브-센서로 이동할 별개의 파장을 적어도 부분적으로 결정한다. 도 6ga에 예시된 바와 같이, 얇은 손실막(6-711)은 두께 d_1 을 갖고, 얇은 손실막(6-712)은 두께 d_2 를 갖고, 얇은 손실막(6-713)은 두께 d_3 를 갖고, 얇은 손실막(6-714)은 두께 d_4 를 갖는다. $d_1 > d_2 > d_3 > d_4$ 이 되도록 각각의 후속의 얇은 손실막의 두께는 이전의 얇은 손실막보다 작다.

[0382] 추가로, 또는 대안적으로, 얇은 손실막들은 상이한 파장들의 방출 에너지가 각각의 각자의 서브-센서에서 보강 간섭하도록 상이한 속성들을 가진 상이한 재료로 형성될 수 있다. 예를 들어, 굴절률 n 및/또는 흡광 계수 k 는 특정 파장의 방출 에너지의 투과를 최적화하도록 선택될 수 있다. 도 6gb는 동일한 두께를 가진 얇은 손실막들(6-721 내지 6-724)을 예시하지만 각각의 얇은 손실막은 상이한 재료로 형성된다. 일부 실시예들에서, 얇은 손실막들의 재료와 얇은 손실막들의 두께 양쪽 모두는 원하는 파장의 방출 에너지가 보강 간섭하고 막을 통하여 투과되도록 선택될 수 있다.

[0383] 상기한 방출-결합 엘리먼트들의 실시예들 중 어느 하나 이상의 실시예가 통합 디바이스의 일 실시예에 포함될 수 있다.

[0384] VII. 센서들

[0385] 센서들, 센서 동작, 및 신호 처리 방법들의 다양한 실시예들이 본 발명자들에 의해 고려되었다. 일부 실시예들에 따르면, 픽셀에서의 센서(3-260)는 샘플 우물 내의 하나 이상의 태그로부터 방출 에너지를 수신하고, 수신된 방출들을 나타내는 하나 이상(예를 들어, 적어도 2, 3, 또는 4개)의 전기 신호를 생성할 수 있는 임의의 적합한 센서를 포함할 수 있다. 일부 실시예들에서, 센서는 적어도 1, 2, 3, 또는 4개의 광검출기를 포함할 수 있다. 각각의 광검출기는 반도체 기관에 형성된 p-n 접합을 포함할 수 있다. 도 7aa는 통합 디바이스의 픽셀(3-100) 내에 제조될 수 있는 센서의 단지 하나의 실시예를 도시한다.

[0386] 일부 실시예들에 따르면, 센서(3-260)가 통합 디바이스의 각각의 액티브 픽셀(3-100)에 형성될 수 있다. 센서는 샘플 우물(3-210)에 중심을 두고, 샘플 우물로부터, 대략 1마이크로미터와 대략 20마이크로미터 사이의 거리만큼 이격될 수 있다. 샘플 우물과 센서 사이에 하나 이상의 투명한 층(7-110)이 있을 수 있고, 따라서 샘플 우물로부터의 방출은 현저한 감쇠 없이 센서로 이동할 수 있다. 센서(3-260)는 일부 실시예들에 따르면, 픽셀

의 베이스에 반도체 기판(7-120)에 형성되고, 여기 소스(도시되지 않음)와 샘플 우물의 동일한 측에 위치할 수 있다.

[0387] 센서는 하나 이상의 반도체 접합 광검출기 세그먼트를 포함할 수 있다. 각각의 반도체 접합은 제1 도전형의 웰(well)을 포함할 수 있다. 예를 들어, 각각의 반도체 접합은 도면에 도시된 바와 같이, p형 기판에 형성된 n형 웰을 포함할 수 있다. 일부 실시예들에 따르면, 센서(3-260)는 도 7ab의 평면도에 도시된 바와 같이, 불스아이 검출기(7-162)로서 배열될 수 있다. 제1 광검출기(7-124)가 센서의 중심에 위치할 수 있고, 제2 환상 광검출기(7-122)가 중심 광검출기를 둘러쌀 수 있다. 웰들과의 전기 접촉들은 제1 또는 후속 금속화 레벨에 형성된 도전성 트레이스들(7-134)을 통하여 그리고 도전성 비아들(7-132)을 통하여 이루어질 수 있다. 비아들의 접촉 영역들에 고농도로 도핑된 반도체 재료(7-126)의 영역이 있을 수 있다. 일부 실시예들에서, 필드 산화물(7-115)이 광검출기들 사이의 표면들에 형성될 수 있고/있거나 각 광검출기의 일부를 커버할 수 있다. 일부 구현들에서, 센서(3-260)에 인접하여 픽셀 내에 형성된 추가적인 반도체 디바이스들(7-125)(예를 들어, 트랜지스터, 증폭기, 등등)이 있을 수 있다. 픽셀 내에 추가적인 금속화 레벨들(7-138, 7-136)이 있을 수 있다.

[0388] 일부 구현들에서, 금속화 레벨들(7-136)은 픽셀의 대부분을 가로질러 연장하고 샘플 우물(3-210) 아래에 개방부를 가질 수 있고, 따라서 샘플 우물로부터의 방출이 센서에 도달할 수 있다. 일부 경우에, 금속화 레벨(7-136)은 기준 전위 또는 접지면으로서의 역할을 할 수 있고, 추가로 적어도 일부 배경 방사(예를 들어, 여기 소스로부터 또는 주변 환경으로부터의 방사)가 센서(3-260)에 도달하는 것을 막는 광학 블록(optical block)으로서의 역할을 할 수 있다.

[0389] 도 7aa 및 도 7ab에 도시된 바와 같이, 센서(3-260)는 서로 공간적으로 그리고 전기적으로 분리되는 복수의 광검출기 세그먼트(7-122, 7-124)로 세분될 수 있다. 일부 실시예들에서, 센서(3-260)의 세그먼트들은 정반대로 도핑된 반도체 재료의 영역들을 포함할 수 있다. 예를 들어, 제1 센서 세그먼트에 대한 제1 전하 축적 웰(7-124)은 제1 웰 내에 제1 도전형(예를 들어, n형)을 갖도록 기판의 제1 영역을 도핑하는 것에 의해 형성될 수 있다. 기판은 p형일 수 있다. 제2 센서 세그먼트에 대한 제2 전하 축적 웰(7-122)은 제2 웰 내에 제1 도전형을 갖도록 기판의 제2 영역을 도핑하는 것에 의해 형성될 수 있다. 제1 및 제2 웰들은 기판의 p형 영역에 의해 분리될 수 있다.

[0390] 센서(3-260)의 복수의 세그먼트들은 불스아이 레이아웃 이외의 임의의 적합한 방식으로 배열될 수 있고, 센서에 2개보다 많은 세그먼트가 있을 수 있다. 예를 들어, 일부 실시예들에서는, 도 7ac에 도시된 바와 같이, 복수의 광검출기 세그먼트(7-142)가 서로 측방으로 분리되어 스트라이프 센서(7-164)를 형성할 수 있다. 일부 실시예들에서는, 도 7ad에 도시된 바와 같이, 세그먼트들(7-144)을 사분면 패턴(quad pattern)으로 배열함으로써 사분면 센서(7-166)가 형성될 수 있다. 일부 구현들에서, 도 7ae에 도시된 바와 같이, 불스아이 패턴과 조합하여 아크 세그먼트들(7-146)을 형성하여 아크-세그먼트형 센서(arc-segmented sensor)(7-168)를 형성할 수 있다. 또 다른 센서 구성은 원의 개별적인 섹션들에 배열된 개개의 센서들을 포함할 수 있는, 파이 조각 섹션들(pie-piece sections)을 포함할 수 있다. 일부 경우에, 센서 세그먼트들은 샘플 우물(3-210) 주위에 대칭으로 또는 샘플 우물 주위에 비대칭으로 배열될 수 있다. 센서 세그먼트들의 배열은 상기한 배열들로 제한되지 않고, 센서 세그먼트들의 임의의 적합한 분포가 이용될 수 있다.

[0391] 본 발명자들은 사분면 센서들(7-166), 파이-섹터 센서, 또는 유사한 섹터 센서가 다른 센서 구성들보다 더 유리하게 더 작은 픽셀 사이즈들로 스케일링될 수 있다는 것을 발견하였다. 사분면 및 섹터 검출기들은 액티브 센서 영역 및 검출되는 다수의 파장에 대해 더 적은 픽셀 영역을 소비할 수 있다. 사분면 및 섹터 검출기들을 나노-안테나 어레이들 또는 표면-플라즈몬 구조물들과 조합하여 이용하여 검출기들에 의해 판별 가능한 별개의 공간 분포 패턴들을 생성할 수 있다. 센서들은 다양한 기하학적 구성들로 배열될 수 있다. 일부 예들에서, 센서들은 정사각형 구성 또는 육각형 구성으로 배열될 수 있다.

[0392] 본 개시의 센서들은 독립적으로(또는 개별적으로) 어드레싱 가능할 수 있다. 개별적으로 어드레싱 가능한 센서는 대응하는 샘플 우물로부터의 방출을 검출하고 다른 센서들과 독립적인 출력 신호들을 제공할 수 있다. 개별적으로 어드레싱 가능한 센서는 개별적으로 판독 가능할 수 있다.

[0393] 일부 실시예들에서, 도 7af에 도시된 바와 같이, 수직 스택으로 복수의 분리된 센서 세그먼트들(7-148)을 제조하는 것에 의해 스택형 센서(stacked sensor)(7-169)가 형성될 수 있다. 예를 들어, 세그먼트들은 하나 위에 다른 하나가 배치되는 식으로(one above the other) 위치할 수 있고, 스택형 세그먼트들 사이에 절연층들이 있을 수 있거나, 없을 수 있다. 각각의 수직층은 특정 에너지의 방출 에너지를 흡수하고, 상이한 에너지들에서 방출을 통과시키도록 구성될 수 있다. 예를 들어, 제1 검출기는 보다 짧은 파장의 방사(예를 들어, 샘플로부터

의 약 500nm 아래의 청색 파장 방사)를 흡수하고 검출할 수 있다. 제1 검출기는 샘플로부터의 녹색 및 적색 파장 방사들을 통과시킬 수 있다. 제2 검출기는 녹색 파장 방사(예를 들어, 약 500nm와 약 600nm 사이)를 흡수하고 검출하고 적색 방출들은 통과시킬 수 있다. 제3 검출기는 적색 방출들을 흡수하고 검출할 수 있다. 일부 실시예들에서는, 선택된 파장 대역의 광을 세그먼트를 통하여 도로 반사하기 위해 스택에 반사성 막들(7-149)이 통합될 수 있다. 예를 들어, 막은 제2 세그먼트에 의해 흡수되지 않은 녹색 파장 방사를 제2 세그먼트를 통하여 도로 반사하여 그것의 검출 효율을 증가시킬 수 있다.

[0394] 수직 수택형 센서 세그먼트들을 가진 일부 실시예들에서, 방출 파장에 의존하는 샘플 방출의 별개의 공간 분포 패턴들을 생성하기 위해 샘플 우물에 방출-결합 컴포넌트들이 포함되지 않을 수 있다. 일부 실시예들에 따르면, 수직 수택형 센서(7-169)를 이용하여 그것의 스택형 세그먼트로부터의 신호들의 비율을 분석하는 것에 의해 스펙트럼으로 상이한 방출들의 판별이 달성될 수 있다.

[0395] 일부 실시예들에서, 센서(3-260)의 세그먼트들은 실리콘으로 형성되지만, 임의의 적합한 반도체(예를 들어, Ge, GaAs, SiGe, InP, 등등)가 이용될 수 있다. 일부 실시예들에서, 센서 세그먼트는 유기 광도전막(organic photoconductive film)을 포함할 수 있다. 다른 실시예들에서는, 센서 세그먼트들로 양자점 광검출기들이 이용될 수 있다. 양자점 광검출기들은 양자점의 사이즈에 기초하여 상이한 방출 에너지들에 반응할 수 있다. 일부 실시예들에서, 샘플 우물로부터 수신된 상이한 방출 에너지들 또는 파장들을 구별하기 위해 다양한 사이즈들의 복수의 양자점이 이용될 수 있다. 예를 들어, 제1 세그먼트는 제1 사이즈를 가진 양자점들로부터 형성될 수 있고, 제2 세그먼트는 제2 사이즈를 가진 양자점들로부터 형성될 수 있다. 다양한 실시예들에서, 센서들(2-260)은 종래의 CMOS 프로세스들을 이용하여 형성될 수 있다.

[0396] 진술한 바와 같이, 일부 실시예들에서는 샘플 우물에 인접하여 방출-결합 컴포넌트들이 제조될 수 있다. 이 방출-결합 컴포넌트들은 샘플 우물(3-210) 내의 샘플로부터의 방출을 변경하여 방출 파장에 의존하는 샘플 방출의 별개의 공간 분포 패턴들을 생성할 수 있다. 도 7ba는 제1 파장에서 제1 샘플로부터 생성될 수 있는 제1 공간 분포 패턴(7-250)의 예를 도시한다. 이 제1 공간 분포 패턴(7-250)은, 예를 들어, 불스아이 센서(7-162)의 중심 세그먼트 쪽으로 유도되는 두드러진 중심 로브(central lobe)를 가질 수 있다. 단지 하나의 예로서, 이러한 패턴(7-250)은 원형 격자(7-220) 방출-결합 구조물에 의해 둘러싸인 샘플 우물로부터 생성될 수 있고, 여기서 샘플은 약 663nm의 파장에서 방출한다. 센서에 입사되는 투사된 패턴(projected pattern)(7-252)은 도 7bb에 예시된 것처럼 보일 수 있다.

[0397] 도 7bc는 일부 실시예들에 따른, 동일한 샘플 우물로부터 제2 파장에서 방출하는 제2 샘플로부터 생성될 수 있는 공간 분포 패턴(7-260)을 도시한다. 이 제2 공간 분포 패턴(7-260)은 2개의 방사 로브를 포함하고 제1 공간 분포 패턴(7-250)과 상이할 수 있다. 제2 공간 분포 패턴(7-260)의 투사된 패턴(7-262)은, 일부 실시예들에 따르면, 도 7bd에 도시된 것처럼 보일 수 있다. 단지 하나의 예로서, 제2 공간 분포 패턴(7-260)은 원형 격자(7-220) 방출-결합 구조물에 의해 둘러싸인 동일한 샘플 우물로부터 생성될 수 있고, 여기서 샘플은 약 687nm의 파장에서 방출한다.

[0398] 센서(3-260)의 세그먼트들은, 일부 실시예들에 따르면, 특정 방출 에너지들을 검출하도록 배열될 수 있다. 예를 들어, 센서의 세그먼트들 및 샘플 우물에 인접한 방출-결합 구조물들은 결합하여 특정 방출 에너지들 간의 신호 구별을 증가시키도록 구성될 수 있다. 방출 에너지들은 통합 디바이스와 함께 사용될 선택된 태그들에 대응할 수 있다. 예로서, 불스아이 센서(7-162)는 샘플로부터의 투사된 패턴들(7-260, 7-262)과 더 잘 매칭하는 사이즈의 그리고/또는 더 잘 매칭하도록 위치하는 그것의 세그먼트들을 가질 수 있고, 따라서 더 높은 강도의 영역들은 센서의 액티브 세그먼트들 내의 더 중심에 속한다. 대안적으로 또는 추가로, 방출-결합 구조물들은 강한 영역들이 센서의 세그먼트들 내의 더 중심에 속하도록 투사된 패턴들(7-260, 7-262)을 변경하도록 구성될 수 있다.

[0399] 센서(3-260)는 2개의 세그먼트를 포함할 수 있지만, 일부 실시예들에서는 샘플로부터 2개보다 많은 스펙트럼으로 별개의 방출 대역을 판별하는 것이 가능하다. 예를 들어, 각각의 방출 대역은 센서 세그먼트들에 별개의 투사된 패턴을 생성하고 센서 세그먼트들로부터의 신호들의 별개의 조합을 산출할 수 있다. 이 신호들의 조합은 방출 대역을 판별 및 식별하기 위해 분석될 수 있다. 도 7be 내지 도 7bh는 4개의 상이한 방출체로부터의 4개의 별개의 방출 패턴들에 노출된 2-세그먼트 센서(3-260)로부터의 신호 세트들의 수치 시뮬레이션들로부터의 결과들을 나타낸다. 이 방출 패턴들은 샘플 우물에 인접하여 형성된 원형 격자를 가진 샘플 우물로부터의 4개의 파장(565nm, 595nm, 663nm, 687nm)에서 생성되는 것으로 시뮬레이션되었다. 알 수 있는 바와 같이, 2개의 센서 세그먼트로부터의 신호들(또는 신호 세트들)의 각각의 조합은 별개이고, 4개의 파장에서 방사체들을 구별하기

위해 이용될 수 있다. 이 시뮬레이션을 위해, 불스아이 센서(7-162)의 바깥쪽 검출기 세그먼트는 더 큰 영역을 가졌기 때문에, 그 검출기에 대해 더 많은 신호가 통합되었다. 또한, 검출기들 사이의 영역에 부딪친 광은 양쪽 검출기 세그먼트 쪽으로 드리프트하고 양쪽 세그먼트들로부터의 신호들에 기여할 수 있는 캐리어들을 생성하였다.

[0400] 일부 실시예들에서, 픽셀마다 N개의 광검출기 세그먼트가 있고, 여기서 N은 임의의 정수 값이다. 일부 실시예들에서, N은 1 이상이고 10 이하일 수 있다. 다른 실시예들에서, N은 2 이상이고 5 이하일 수 있다. N개 검출기에 의해 검출될 수 있는 판별 가능한 샘플 방출들(예를 들어, 상이한 발광성 태그로부터의 별개의 방출 파장들)의 수 M은 N 이상일 수 있다. M개 샘플 방출의 판별은, 일부 실시예들에 따르면, 각각의 센서 세그먼트로부터의 신호들의 비율을 평가하는 것에 의해 달성될 수 있다. 일부 구현들에서는, 샘플 우물로부터의 방출의 특성 파장을 결정하기 위해 수신된 신호들의 비율, 합계 및/또는 진폭들이 측정 및 분석될 수 있다.

[0401] 일부 실시예들에서는, 샘플 우물(3-210) 내의 주어진 시간 윈도우(time window)에서 하나보다 많은 방사체가 상이한 특성 파장들에서 방출할 수 있다. 센서(3-260)는 상이한 파장들에서의 다수의 방출로부터의 신호들을 동시에 검출하고 합계된 신호를 데이터 처리를 위해 제공할 수 있다. 일부 구현들에서는, 다중 파장 방출이 센서 세그먼트들로부터의 신호 값들(도 7be 내지 도 7bh에 도시된 것들과 상이한 신호 값들)의 또 다른 세트로서 구별 가능할 수 있다. 이 신호 값들은 다중 파장 방출이 발생한 것을 판별하고 그 방출들과 관련된 방사체들의 특정 조합을 식별하기 위해 분석될 수 있다.

[0402] 본 발명자들은 또한 적어도 2, 3, 또는 4개의 동심 세그먼트를 가진 불스아이 센서를 고려하고 분석하였다. 세그먼트들로부터의 신호 세트들이 도 7bg 및 도 7bh와 관련된 동일한 방출 조건들에 대해 각각 도 7bi 및 도 7bj에 플로팅되어 있다. 이 4-세그먼트 불스아이 센서도 샘플 우물 내의 특정 방사체를 식별하기 위해 분석될 수 있는 판별 가능한 신호들을 보여준다.

[0403] 각 센서 세그먼트에서 파장 필터링이 이용되거나, 스펙트럼 분리가 높은 경우, 센서의 각 세그먼트는 실질적으로 선택된 방출 대역만을 검출할 수 있다. 예를 들어, 제1 파장은 제1 세그먼트에 의해 검출될 수 있고, 제2 파장은 제2 세그먼트에 의해 검출될 수 있고, 제3 파장은 제3 세그먼트에 의해 검출될 수 있다.

[0404] 다시 도 7aa를 참조하면, 픽셀(2-205) 내에, 센서(3-260)의 각 세그먼트로부터의 신호들을 수집하고 판독하기 위해 이용될 수 있는 추가적인 전자 회로(7-125)가 있을 수 있다. 도 7ca 및 도 7cd는 일부 실시예들에 따른, 다중 세그먼트 센서와 조합하여 이용될 수 있는 회로를 도시한다. 예로서, 신호 수집 회로(7-310)는 각 센서 세그먼트에 대해 3개의 트랜지스터를 포함할 수 있다. 3개 트랜지스터의 배열이, 일부 구현들에 따라, 도 7cb에 도시되어 있다. 각 세그먼트와 관련된 전하 축적 노드(7-311)에서의 신호 레벨은 전하 축적 기간에 앞서 리셋 트랜지스터 RST에 의해 리셋될 수 있고, 세그먼트에 대한 신호 레벨(전하 축적 노드에서의 전하의 양에 의해 결정됨)은 전하 축적 기간 동안에 그리고/또는 전하 축적 기간의 마지막에 판독 트랜지스터 RD를 이용하여 판독된다. 신호들은, 전술한 바와 같이, N개의 공간적으로 분리된 검출기들에 의해 검출된 샘플로부터의 M개의 상이한 방출 파장의 검출을 판별하기 위한 분석을 위해 프로세서(도시되지 않음)에 제공될 수 있다.

[0405] 일부 실시예들에 따르면, 픽셀 회로는 증폭 및 상관 이중 샘플링 회로(7-320)를 더 포함할 수 있다. 이 증폭 및 이중 샘플링 회로는 센서 세그먼트들로부터의 신호들을 증폭하도록 구성된 트랜지스터들뿐만 아니라 전하 축적 노드에서의 전압 레벨을 리셋하고 (예를 들어, 샘플 우물에서의 여기 에너지의 인가에 앞서) 센서에 방출 방사체가 존재하지 않을 때 노드에서 배경, 또는 "리셋" 신호를 판독하고 예를 들어, 후속 방출 신호를 판독하도록 구성된 트랜지스터들을 포함할 수 있다.

[0406] 일부 실시예들에 따르면, 검출된 방출 신호 레벨로부터 배경 또는 리셋 신호 레벨을 감산하는 것에 의해 배경 잡음을 감소시키기 위해 상관 이중 샘플링이 이용될 수 있다. 센서의 각 세그먼트와 관련된 수집된 방출 신호 및 배경 신호는 열(column) 라인들(7-330)상으로 판독될 수 있다. 일부 실시예들에서, 방출 신호 레벨과 배경 신호는 공통 열 라인상으로 시간 다중화된다. 각 센서 세그먼트에 대해 개별적인 열 라인이 있을 수 있다. 열 라인들로부터의 신호들은 버퍼링되고/되거나 증폭 회로(7-340)(액티브 픽셀 어레이의 외부에 위치할 수 있음)를 이용하여 증폭되고, 추가의 처리 및 분석을 위해 제공될 수 있다. 일부 실시예들에서 이중 샘플링된 신호들의 감산은 칩 밖에서(off-chip), 예를 들어, 시스템 프로세서에 의해 계산된다. 다른 실시예들에서, 그 감산은 칩에서 또는 베이스 기기의 회로에서 수행될 수 있다.

[0407] 상관 이중 샘플링의 일부 실시예들은 샘플에 대한 행(row)을 선택하는 것에 의해 동작할 수 있고, 여기서 행과 관련된 센서들은 샘플링 기간에 걸쳐 통합된 신호 전하들을 가지고 신호 레벨들을 포함한다. 이 신호 레벨들은

열 라인들상으로 동시에 판독될 수 있다. 통합된 신호 레벨들을 샘플링한 후에, 선택된 행의 모든 픽셀들이 리셋되고 즉시 샘플링될 수 있다. 이 리셋 레벨은 리셋이 해제된 후에 측적을 시작하고, 나중에 동일한 행이 다시 선택될 때 프레임의 통합을 완료하는 다음 통합 신호에 상관될 수 있다. 일부 실시예들에서, 프레임의 리셋 값들은 칩 밖에 저장될 수 있고 따라서 신호들이 통합을 완료하고 샘플링되었을 때, 저장된 상관된 리셋 값들이 감산될 수 있다.

[0408] 일부 실시예들에서, 2개보다 많은 세그먼트를 가진 센서(3-260)는 추가적인 회로를 요구할 수 있다. 도 7cc는 사분면 센서와 관련된 신호 수집(7-312), 증폭(7-320), 및 이중 샘플링 회로를 도시한다. 일부 실시예들에 따르면, 도면에 도시된 바와 같이, 2개 이상의 세그먼트로부터의 신호들이 픽셀에서 공통 신호 채널상으로 시간 다중화될 수 있다. 시간 다중화된 신호들은 잡음 제거를 위해 각 세그먼트에 대해 샘플링된 배경 신호들을 포함할 수 있다. 또한, 2개 이상의 세그먼트로부터의 신호들은 공통 열 라인상으로 시간 다중화될 수 있다.

[0409] 일부 실시예들에 따르면, 여기 소스 또는 소스들로부터의 배경 신호 레벨들을 감소시키고/시키거나, 샘플과 관련된 상이한 방사체들로부터의 상이한 방출들을 판별하기 위해 시간 신호 획득(temporal signal-acquisition) 기법들이 이용될 수 있다. 도 7da는 일부 실시예들에 따른, 샘플에 태그를 부착하기 위해 이용될 수 있는 2개의 상이한 방사체로부터의 형광 방출 및 붕괴를 도시한다. 2개의 방출은 상당히 상이한 시간-붕괴 특성들을 갖는다. 제1 방사체로부터의 제1 시간-붕괴 곡선(7-410)은 로다민(rhodamine)과 같은 공통 형광 분자에 대응할 수 있다. 제2 시간-붕괴 곡선(7-420)은 양자점 또는 인광 방사체(phosphorescent emitter)와 같은 제2 방사체의 특성일 수 있다. 양쪽 방사체들은 방사체의 초기 여기 후에 얼마간의 시간 동안 연장하는 방출-감쇠 테일(emission-decay tail)을 보인다. 일부 실시예들에서, 방출-감쇠 테일 동안에 적용된 신호 수집 기법들은 일부 실시예들에서는 여기 소스로부터 배경 신호를 감소시키기 위해, 그리고 일부 실시예들에서는 방사체들을 구별하기 위해 타이밍될 수 있다.

[0410] 일부 구현들에 따르면, 여기 소스로부터의 방사로 인한 배경 신호를 감소시키기 위해 방출-붕괴 테일 동안에 시간 지연 샘플링(time-delayed sampling)이 이용될 수 있다. 도 7db 및 도 7dc는 일부 실시예들에 따른 시간 지연 샘플링을 예시한다. 도 7db는 여기 소스로부터의 여기 방사의 여기 펄스(7-440), 및 샘플 우물 내에서 여기되는 샘플로부터 후속할 수 있는 후속 방출 펄스(7-450)의 시간 진화(temporal evolution)를 도시한다. 여기 펄스(7-440)는, 도 7dc에 도시된 바와 같이, 짧은 시간 기간 동안 구동 신호(7-442)로 여기 소스를 구동한 결과로 생길 수 있다. 예를 들어, 구동 신호는 제1 시간 t_1 에 시작하고 제2 시간 t_2 에 종료할 수 있다. 구동 신호의 지속 시간($t_2 - t_1$)은 일부 실시예들에 따르면, 약 1피코초와 약 50나노초 사이일 수 있지만, 일부 구현들에서는 더 짧은 지속 시간들이 이용될 수 있다.

[0411] 여기 소스에 대한 구동 신호의 종료 후 시간 t_3 에서, 픽셀에서의 센서(3-260)(또는 센서 세그먼트)는 시간 t_3 에서 시간 t_4 까지 연장하는 제2 시간 간격 동안 전하 축적 노드(7-311)(도 7cb를 참조)에 전하를 축적하기 위해 게이팅될 수 있다. 이 제2 시간 간격은 일부 실시예들에 따르면 약 1나노초와 약 50마이크로초 사이일 수 있지만, 일부 구현들에서는 다른 지속 시간들이 이용될 수 있다. 도 7db를 참조하여 알 수 있는 바와 같이, 전하 축적 노드는 여기 소스로 인한 것보다 방출 샘플로 인한 더 많은 신호 전하를 수집할 것이다. 따라서, 개선된 신호 대 잡음비가 얻어질 수 있다.

[0412] 다시 도 7da를 참조하면, 방사체들의 상이한 시간 방출 특성들 때문에, 센서에서의 대응하는 신호들이 상이한 시간들에서 피크에 달할 수 있다. 일부 구현들에서는, 방출-붕괴 테일 동안에 적용되는 신호 획득 기법들이 상이한 방사체들을 판별하는 데 이용될 수 있다. 일부 실시예들에서는, 상이한 방사체들을 판별하기 위해 시간 검출 기법들을 공간 및 스펙트럼 기법들(예를 들어, 도 7b와 관련하여 위에 설명된 것)과 조합하여 이용할 수 있다.

[0413] 도 7dd 내지 도 7dh는 상이한 시간 방출 특성들을 가진 2개의 방사체들을 구별하기 위해 센서, 또는 센서 세그먼트에서의 이중 샘플링이 어떻게 이용될 수 있는지를 예시한다. 도 7dd는 제1 방사체 및 제2 방사체와 각각 관련된 방출 곡선들(7-470, 7-475)을 도시한다. 예로서, 제1 방사체는 로다민과 같은 공통 형광단일 수 있고 제2 방사체는 양자점 또는 인광 방사체일 수 있다.

[0414] 도 7de는 도 7dd의 2개의 상이한 방출 특성에 응답하여 발생할 수 있는 전하 축적 노드(7-311)에서의 동적인 전압 레벨들을 나타낸다. 이 예에서, 형광 방사체에 대응하는 제1 전압 곡선(7-472)은 더 짧은 방출 스캔(emission span) 때문에, 더 빠르게 변화하고, 제1 시간 t_1 에 그것의 최댓값(또는 노드의 극성에 따라, 최솟값)에 도달할 수 있다. 제2 전압 곡선(7-477)은 제2 방사체의 더 긴 방출 특성으로 인해 더 느리게 변화하고,

제2 시간 t_2 에 그것의 최댓값(또는 최솟값)에 도달할 수 있다.

[0415] 일부 실시예들에서는, 도 7df에 도시된 바와 같이, 샘플 여기 후 2개의 시간 t_3 , t_4 에 전하 축적 노드의 샘플링이 행해질 수 있다. 예를 들어, 제1 시간 t_3 에 전하 축적 노드로부터 제1 전압 값을 판독하기 위해 제1 판독 신호(7-481)가 인가될 수 있다. 후속하여, 제1 판독과 제2 판독 사이에 전하 축적 노드를 리셋하지 않고 제2 시간 t_4 에 전하 축적 노드로부터 제2 전압 값을 판독하기 위해 제2 판독 신호(7-482)가 인가될 수 있다. 시간 t_3 및 t_4 에서의 제1 판독 및 제2 판독은 샘플 우물로부터의 방출 동안에 센서에 대해 동일한 전하 축적 기간 동안에 발생할 수 있다. 그 후 2개의 샘플링된 신호 값의 분석을 이용하여 2개의 방사체 중 어느 것이 검출된 신호 레벨들을 제공하였는지를 식별할 수 있다.

[0416] 도 7dg는 도 7dd에 도시된 바와 같은 방출 곡선(7-470)을 가진 제1 방사체에 대해 획득될 수 있는 제1 판독 및 제2 판독으로부터의 제1 신호 세트의 예를 도시한다. 도 7dh는 도 7dd에 도시된 바와 같은 방출 곡선(7-475)을 가진 제2 방사체에 대해 획득될 수 있는 제1 판독 및 제2 판독으로부터의 제2 신호 세트의 예를 도시한다. 예를 들어 제1 방사체에 대한 도 7df에 도시된 샘플링 시퀀스는 곡선(7-472)을 샘플링하고 2개의 판독 시간에 대략 동일한 값들을 획득할 것이다. 제2 방사체의 경우, 도 7df에 도시된 샘플링 시퀀스는 2개의 판독 시간에 곡선(7-477)의 2개의 상이한 값을 샘플링한다. 2개의 판독 시간으로부터의 결과의 신호들의 쌍들은 2개의 방사체를 구별하고, 각 방사체를 식별하기 위해 분석될 수 있다. 일부 실시예들에 따르면, 제1 및 제2 판독 신호들로부터 배경 신호를 감산하기 위해 배경 감산을 위한 이중 샘플링도 실행될 수 있다.

[0417] 동작시에, 통합 디바이스의 센서들(2-260)은 분석될 시편으로부터의 데이터 수집에 앞서 과장 캘리브레이션 절차를 겪을 수 있다. 이 과장 캘리브레이션 절차는 센서들을 통합 디바이스와 함께 사용될 수 있는 형광단 과장들에 대응할 수 있거나, 대응하지 않을 수 있는 특성 과장들을 가진 상이한 알려진 에너지들에 처하게 하는 것을 포함할 수 있다. 상이한 에너지들이 순차적으로 인가될 수 있고 따라서 각 에너지에 대해 센서들로부터 캘리브레이션 신호들이 기록될 수 있다. 그 후 캘리브레이션 신호들은 기준 신호들로서 저장될 수 있고, 이들은 실제 데이터 획득을 처리하기 위해 그리고 어느 방출 과장 또는 과장들이 센서들에 의해 검출되는지를 결정하기 위해 이용될 수 있다.

[0418] 일부 실시예들에 따르면, 센서는 샘플 우물(3-210)에 인접하여 형성된 반도체 접합을 포함할 수 있다. 이 반도체 접합은, 예를 들어, 도 4eb 또는 도 4ed에 도시된 바와 같을 수 있다. 일부 구현들에서, 반도체 접합은 다중층 구조물로서 형성될 수 있고, 예를 들어, 도 3gf에 도시된 바와 같이, 다중층 구조물에 샘플 우물이 형성될 수 있다. 일부 실시예들에서, 여기된 샘플은 FRET 또는 DET를 통해 샘플 우물에 인접하여 형성된 반도체 접합에 방출 에너지를 비방사성으로 전달하여, 반도체 접합에 여기자들을 생성할 수 있다. 반도체 접합은 수신된 에너지를 샘플 우물과 관련된 CMOS 회로에 의해 검출되는 전기 신호로 변환하는 p-n 또는 p-i-n 접합을 포함할 수 있다. 일부 구현들에서는, 링커를 통해 반도체 접합에 양자점 또는 분자가 부착될 수 있고 여기된 샘플로부터 반도체 접합으로의 비방사성 에너지 전달에 참여할 수 있다.

[0419] 상기한 센서들의 실시예들 중 어느 하나 이상의 실시예가 통합 디바이스의 일 실시예에 포함될 수 있다.

[0420] VIII. 기기 동작

[0421] 이 기기(2-120)는 소프트웨어 및/또는 하드웨어를 이용하여 제어될 수 있다. 예를 들어, 이 기기는 ASIC, FPGA 및/또는 소프트웨어를 실행하는 범용 프로세서와 같은, 처리 디바이스(1-123)를 이용하여 제어될 수 있다.

[0422] 도 8a는 일부 실시예들에 따른, 기기(2-120)의 동작의 순서도를 예시한다.

[0423] 사용자가 분석할 시편을 획득한 후에, 사용자는 단계 8-101에서 새로운 분석을 시작한다. 이것은 사용자 인터페이스(2-125)를 통해, 예를 들어, 버튼을 누르는 것에 의해 기기(2-120)에 지시(indication)를 제공하는 것에 의해 행해질 수 있다. 단계 8-103에서, 기기(2-120)는 이전에 수행된 분석으로부터의 통합 디바이스(2-110)가 여전히 기기(2-120)에 삽입되어 있는지를 체크한다. 기존 통합 디바이스가 존재하는 것으로 결정되면, 단계 8-105에서 여기 소스의 전원이 차단되고, 단계 8-107에서 사용자 인터페이스(2-125)의 인디케이터를 이용하여 사용자에게 이전 통합 디바이스를 인출(eject)하도록 안내(prompt)하고 기기(2-120)는 단계 8-109에서 기존 통합 디바이스가 인출되는 것을 기다린다.

[0424] 이전 통합 디바이스가 사용자에게 의해 인출될 때 또는 기기(2-120)가 단계 8-103에서 이전 통합 디바이스가 이미 제거된 것으로 결정되면, 단계 8-111에서 사용자에게 새로운 분석을 위한 새로운 통합 디바이스(2-110)를 삽입

하도록 안내한다. 그 후 기기(2-120)는 단계 8-113에서 새로운 통합 디바이스(2-110)가 삽입되는 것을 기다린다. 사용자가 새로운 통합 디바이스를 삽입할 때, 단계 8-115에서 사용자 인터페이스(2-125)의 인디케이터에 의해 사용자에게 통합 디바이스(2-110)의 노출된 상부 표면 위에 분석될 시편을 배치하도록 안내하고 또한 기기(2-120)의 덮개를 닫도록 안내한다. 그 후 기기(2-120)는 단계 8-117에서 덮개가 닫히는 것을 기다린다. 사용자에게 의해 덮개가 닫힐 때, 단계 8-119에서 통합 디바이스(2-110)의 샘플 우물들에 존재하는 시편의 샘플 부분들을 여기시키기 위한 여기 에너지를 생성하도록 여기 소스를 구동할 수 있다. 단계 8-121에서, 샘플들로부터의 방출 에너지가 센서(2-122)에 의해 검출되고 센서(2-122)로부터의 데이터가 분석을 위해 처리 디바이스(2-123)에 스트리밍된다. 일부 실시예들에서, 데이터는 외부 컴퓨팅 디바이스(2-130)에 스트리밍될 수 있다. 단계 8-123에서, 기기(2-120)는 데이터 획득이 완료되었는지를 체크한다. 데이터 획득은 특정 길이의 시간 후에, 여기 소스로부터의 특정 수의 여기 펄스에 또는 일단 특정 표적이 식별되면 완료될 수 있다. 데이터 획득이 완료되면, 8-125에서 데이터 분석이 완료된다.

[0425] 도 8b는 일부 실시예들에 따른 예시적인 셀프-캘리브레이션 루틴을 예시한다. 이 캘리브레이션 루틴은 시편의 분석 전에 임의의 적합한 시간에 실행될 수 있다. 예를 들어, 그것은 최종 사용자에게 발송하기 전에 각 기기에 대해 제조업자에 의해 한 번 행해질 수 있다. 대안적으로, 최종 사용자가 임의의 적합한 시간에 캘리브레이션을 수행할 수 있다. 위에 논의한 바와 같이, 기기(2-120)는 상이한 샘플들로부터 방출된 상이한 파장들을 가진 방출 에너지를 구별할 수 있다. 기기(2-120) 및/또는 컴퓨팅 디바이스(2-130)는, 예를 들어, 분석되는 시편의 분자들에 부착하기 위해 이용되는 발광성 태그와 관련된 광의 각각의 특정 색과 관련된 캘리브레이션으로 캘리브레이션될 수 있다. 이렇게 하여, 특정 색과 관련된 정확한 출력 신호가 결정될 수 있다.

[0426] 디바이스를 캘리브레이션하기 위해, 단일 발광성 태그와 관련된 캘리브레이션 시편이 한 번에 하나씩 기기(2-120)에 제공된다. 단계 8-201에서 사용자가 단일 파장의 방출 에너지를 방출하는 발광성 태그들을 포함하는 시편을 통합 디바이스(2-110)상에 배치하고 통합 디바이스(2-110)를 기기(2-120)에 삽입할 때 셀프-캘리브레이션이 시작된다. 사용자 인터페이스(2-125)를 이용하여, 사용자는 기기(2-120)에 셀프-캘리브레이션을 시작하도록 지시한다. 이에 응답하여, 단계 8-203에서, 기기(2-120)는 여기 에너지로 검정 칩(2-110)을 조명하고 캘리브레이션 시편으로부터의 단일 파장 방출 에너지를 측정하는 것에 의해 캘리브레이션 분석을 실행한다. 그 후 기기(2-120)는, 단계 8-205에서, 센서 어레이의 각 픽셀에 대해 센서(2-122)의 서브-센서들의 어레이를 통해 측정된 검출 패턴을 저장한다. 각 발광성 태그에 대한 검출 패턴은 발광성 태그와 관련된 검출 시그니처(detection signature)로 간주될 수 있다. 이렇게 하여, 시그니처들은 차후의 분석 실행들에서 분석되는 미지의 샘플들로부터 수신된 데이터를 분석하기 위해 이용되는 트레이닝 데이터로서 이용될 수 있다.

[0427] 상기 캘리브레이션 루틴은 그 후 단일 발광성 태그와 관련된 모든 캘리브레이션 시편에 대해 실행될 수 있다. 이렇게 하여, 픽셀들의 어레이의 각 센서(2-122)는 캘리브레이션 루틴의 완료 후에 단계 8-207에서 구현되는 차후의 분석 동안에 샘플 우물에 존재하는 발광성 태그를 결정하는 데 이용될 수 있는 캘리브레이션 데이터와 관련된다.

[0428] 도 8c는 일부 실시예들에 따른, 어떻게 캘리브레이션 데이터가 획득되고 데이터를 분석하는 데 이용될 수 있는지를 더 예시한다. 단계 8-301에서 센서들로부터 캘리브레이션 데이터가 획득된다. 이것은 앞서 언급한 셀프-캘리브레이션 루틴을 이용하여 행해질 수 있다. 단계 8-303에서, 캘리브레이션 데이터에 기초하여 변환 행렬이 생성된다. 이 변환 행렬은 센서 데이터를 샘플의 방출 파장에 매핑하고 $m \times n$ 행렬이고, 여기서 m 은 상이한 방출 파장들을 가진 발광성 태그들의 수이고 n 은 픽셀마다 방출 에너지를 검출하는 데 이용되는 서브-센서들의 수이다. 따라서, 변환 행렬의 각 열은 센서에 대한 캘리브레이션 값들을 나타낸다. 예를 들어, 픽셀마다 4개의 서브-센서와 5개의 상이한 발광성 태그가 있다면, 변환 행렬은 4×5 행렬(즉, 4개의 행과 5개의 열)이고 각 열은 상이한 발광성 태그와 관련되고, 열의 값들은 셀프-캘리브레이션 루틴 동안에 서브-센스들로부터 획득된 측정값들에 대응한다. 일부 실시예들에서, 각 픽셀은 그 자신의 변환 행렬을 가질 수 있다. 다른 실시예들에서, 픽셀들 중 적어도 일부로부터의 캘리브레이션 데이터는 평균될 수 있고 그 후 모든 픽셀들은 그 평균된 데이터에 기초하는 동일한 변환 행렬을 이용할 수 있다.

[0429] 단계 8-305에서, 생물학적 검정과 관련된 분석 데이터가 센서들로부터 획득된다. 이것은 위에 설명한 방법들 중 임의의 방법으로 행해질 수 있다. 단계 8-307에서, 변환 행렬 및 분석 데이터를 이용하여 방출 에너지의 파장 및/또는 발광성 태그의 아이덴티티가 결정될 수 있다. 이것은 임의의 적합한 방법으로 행해질 수 있다. 일부 실시예들에서, 분석 데이터는 변환 행렬의 의사 역행렬(pseudo-inverse)과 곱해져서, $m \times 1$ 벡터가 생성된다. 그 후 최댓값을 가진 벡터 성분과 관련된 발광성 태그가 샘플 우물에 존재하는 발광성 태그로서 식별될 수 있다. 실시예들은 이 기법에 제한되지 않는다. 일부 실시예들에서, 작은 값들을 가진 행렬의 역행렬

이 취해질 때 발생할 수 있는 가능한 병변들을 막기 위해, 샘플 우물에 존재하는 발광성 태그를 결정하기 위해, 최소 제곱법 또는 최대 우도 기법과 같은 제한된 최적화 루틴이 수행될 수 있다.

[0430] 센서들로부터의 데이터를 분석하기 위해 캘리브레이션 데이터를 이용하는 상기 방법은 임의의 적합한 프로세스에 의해 구현될 수 있다. 예를 들어, 기기(2-120)의 처리 디바이스(2-123)가 분석을 수행할 수 있고, 또는 컴퓨팅 디바이스(2-130)가 분석을 수행할 수 있다.

[0431] 도 8b는 일부 실시예들에 따른 통합 생분석 디바이스(212)의 픽셀들의 상기 상관 이중 샘플링의 기본 기기 제어를 예시한다. 데이터 획득의 새로운 프레임의 처음에, 행 시프트 레지스터가 리셋된다. 이전 프레임으로부터의 픽셀 리셋 값은 열 레지스터를 증분하는 것에 의해 관독된다. 동시에 현재 프레임의 픽셀 샘플 레벨들은 통합 디바이스 상의 관독 엘리먼트 내에 저장된다. 원하는 측정될 열의 수에 도달하면, 열 레지스터가 리셋된다. 그 후 현재 프레임으로부터의 픽셀 샘플 레벨들은 열 레지스터를 증분하고 한 번에 8개의 픽셀 단위로 샘플 값들을 버퍼에 출력하는 것에 의해 관독되고, 일부 실시예들에서 샘플 레벨들의 제1 프레임은 버려질 수 있다. 버퍼는 메모리에서 통합 디바이스 밖에 위치할 수 있거나 일부 실시예들에서 그것은 통합 디바이스 상에 로컬로 저장될 수 있다. 측정될 열의 수가 만족되면 행 레지스터는 증분된다. 이 프로세스는 프레임이 완료될 때까지 반복된다. 데이터의 프레임이 완료되면 프레임의 샘플 레벨들이 이전 프레임의 리셋 레벨들로부터 차감되는 변화와 함께 프로세스들이 다시 시작된다.

[0432] IX. 결론

[0433] 이와 같이 통합 생분석 디바이스의 몇몇 실시예의 몇몇 양태를 설명하였지만, 다양한 변경, 수정 및 개량이 관련 기술의 기술자에 의해 용이하게 안출될 것이라는 것을 인식해야 한다. 이러한 변경, 수정 및 개량은 본 발명의 일부인 것으로 보아야 하며, 본 발명의 사상 및 범위 내에 속하는 것으로 보아야 한다. 본 교시가 다양한 실시예 및 예와 관련하여 설명되었지만, 본 교시는 이런 실시예 또는 예에 한정되는 것을 의도하지 않는다. 반대로, 본 교시는 관련 기술의 기술자라면 인지할 수 있는 바와 같이, 다양한 대안, 수정 및 균등물을 포함한다.

[0434] 예를 들어, 실시예들은 위에서 기술된 여기 소스, 에너지-결합 컴포넌트들, 표적 체적, 및 에너지-수집 컴포넌트들의 임의의 구성을 포함하기 위해 수정될 수 있다. 또한, 이 통합 디바이스는 비생물학 샘플을 정량적으로 분석하는 데 사용될 수 있다. 추가로, 도파관, 반사체, 및 공동과 같은, 본 명세서에 기술된 다양한 광학 엘리먼트들이 그들의 광결정 균등물로 대체될 수 있고; 임의의 금속 재료가 매우 축퇴형으로 도핑된 반도체로 대체될 수 있고; 그래핀이 금속 및/또는 반도체 대신에 이용될 수 있고; 인광(phosphorescence)이 발광(luminescence) 대신에 이용될 수 있고; 임의의 단일 기능층이 복수의 기능층으로 대체될 수 있다.

[0435] 다양한 본 발명의 실시예들이 본 명세서에 설명되고 예시되어 있지만, 관련 기술의 통상의 기술자라면 기능을 수행하고 그리고/또는 설명된 이점들 중 하나 이상 및/또는 결과들을 획득하기 위한 각종의 다른 수단 및/또는 구조를 용이하게 생각해낼 것이며, 이러한 변형 및/또는 수정 각각은 설명된 본 발명의 실시예의 범위 내에 있는 것으로 간주된다. 더 일반적으로, 관련 기술의 기술자들은 설명된 모든 파라미터, 치수, 재료, 및 구성들은 예시적인 것을 의미하며 실제의 파라미터, 치수, 재료, 및/또는 구성은 본 발명의 교시가 사용되는 특정 응용 또는 응용들에 의존할 것임을 쉽게 이해할 것이다. 관련 기술의 기술자들은 단지 일상적인 실험만을 이용하여, 설명된 본 발명의 특성의 실시예들에 대한 많은 균등물을 인지하거나, 또는 확인할 수 있을 것이다. 따라서, 진술한 실시예들은 오직 예로서 제시된 것이며, 첨부한 청구항들 및 그 균등물들의 범주 내에서, 본 발명의 실시예들은 특정하게 기술되고 청구된 바와 달리 실시될 수 있음을 이해할 것이다. 본 개시의 발명의 실시예들은 설명된 개개의 각 특징, 시스템, 시스템 업그레이드, 및/또는 방법에 관련될 수 있다. 또한, 둘 이상의 그러한 특징, 시스템, 및/또는 방법의 임의의 조합은, 그러한 특징, 시스템, 시스템 업그레이드, 및/또는 방법이 상호 불일치하지 않으면, 본 개시의 발명의 범주 내에 포함된다.

[0436] 또한, 본 발명의 일부 이점들이 지시되었으나, 본 발명의 모든 실시예가 설명된 모든 이점을 포함하지는 않는 점이 이해되어야 한다. 일부 실시예들은 유리한 것으로 기술된 임의의 특징들을 구현하지 않을 수 있다. 그에 따라, 이상의 설명 및 도면들은 단지 예시에 불과하다.

[0437] 특허, 특허 출원, 논문, 서적, 논설 및 웹페이지를 포함하지만, 이들에 제한되지 않는, 본 출원에 인용된 모든 문헌 및 유사한 자료는, 이러한 문헌 및 유사한 자료의 형식에 무관하게, 그 전체 내용이 본 명세서에 명시적으로 포함된다. 정의된 용어, 용어 용법, 기재된 기술 등을 포함하나 이에 제한되지 않는, 포함된 문헌 및 유사한 자료 중 하나 이상이 본 출원과 다르거나 모순되는 경우에, 본 출원이 우선한다.

- [0438] 사용된 섹션 표제는 단지 조직화의 목적을 위한 것이고, 어떠한 방식으로든 설명된 청구 대상을 제한하는 것으로 간주되지 않아야 한다.
- [0439] 용어 "프로그램" 또는 "소프트웨어"는 본 개시에서 전술된 바와 같은 본 기술의 다양한 양태를 구현하기 위해 컴퓨터 또는 다른 프로세서를 프로그램하는 데 이용될 수 있는 컴퓨터 코드 또는 컴퓨터 실행 가능 명령어의 세트를 언급하기 위해 사용된다. 추가로, 이러한 실시예의 하나의 양태에 따르면, 실행될 때 본 기술의 방법을 수행하는 하나 이상의 컴퓨터 프로그램은 단일 컴퓨터 또는 프로세서에 상주할 필요가 없고, 본 기술의 다양한 양태를 구현하기 위해 다수의 상이한 컴퓨터들 또는 프로세서들 사이에서 모듈식으로 분산될 수 있음을 이해하여야 한다.
- [0440] 용어 "~와 관련된"은, 데이터 구조와 관련하여 이용될 때, 일부 실시예들에서 데이터 구조들의 조합을 기술하는 데 사용될 수 있다. 예를 들어, 제2 데이터와 관련된 제1 데이터는 제1 데이터를 제2 데이터를 포함하는 데이터 레코드에 추가하는 것을 의미할 수 있고, 또는 그 반대의 경우도 마찬가지이다. "~와 관련된"은 일부 실시예들에서 제1 데이터와 제2 데이터 사이에 관계형 데이터 구조를 설정하는 것을 의미할 수 있다. 예를 들어, 제1 및 제2 데이터가 상이한 데이터 저장소들에 저장될 수 있을지라도, 제1 데이터는 제1 데이터를 제2 데이터에 상호 참조하는 또는 링크하는 식별자로 증강되거나 표에 입력될 수 있다.
- [0441] 용어 "송신"은, 데이터 구조와 관련하여 사용될 때, 데이터를 검색하고, 송신에 적합한 형식으로 데이터를 준비하고, 데이터에 대한 적어도 하나의 목적지를 식별하고, 데이터를 데이터 송신 디바이스에 제공하는 하나 이상의 단계를 기술하는 데 사용될 수 있다.
- [0442] 사용자 대화형 디스플레이가 기술되는 경우에, 액티브 텍스트 또는 버튼은 사용자에게 의해 선택되거나 클릭될 때 그들의 외양을 변경할 수 있다. 예를 들어, 액티브 텍스트 또는 버튼은, 그 텍스트 또는 버튼이 선택하는 것을 나타내기 위해, 선택될 때 색을 변경하거나 임의의 적합한 방식으로 강조될 수 있다.
- [0443] 또한, 설명된 기술은 방법으로서 구체화될 수 있고, 그에 대한 적어도 하나의 예가 제공되었다. 이 방법의 일부로서 수행되는 단계들은 임의의 적합한 방식으로 순서화될 수 있다. 그에 따라, 단계들이 예시된 것과 다른 순서로 수행되는 실시예가 구성될 수 있으며, 이는, 비록 예시적인 실시예들에서는 순차적인 단계들로서 나타나어져 있을지라도, 일부 단계들을 동시에 수행하는 것을 포함할 수 있다.
- [0444] 본 명세서에서 정의되고 사용된 바와 같은 모든 정의는 사전적 정의, 참고로 포함된 문헌들에서의 정의, 및/또는 정의된 용어의 일반적인 의미를 지배하는 것으로 이해되어야 한다.
- [0445] 본 명세서 및 청구항들에서 사용된, 정관사들 "하나(a 및 an)"는 명확히 달리 지시되지 않는 한은 "적어도 하나"를 의미하는 것으로 이해되어야 한다.
- [0446] 명세서에서 그리고 청구항들에서 사용된, 문구 "및/또는"은 그렇게 결합된 요소들, 즉 일부 경우에는 결합하여 존재하고 다른 경우에는 분리적으로 존재하는 요소들 중 "어느 한쪽 또는 양쪽"을 의미하는 것으로 이해되어야 한다. "및/또는"과 함께 열거된 다수의 요소들, 즉, 그렇게 결합된 요소들 중 "하나 이상"은 동일한 방식으로 해석되어야 한다. "및/또는" 문구에 의해 구체적으로 식별된 요소들 이외에, 구체적으로 식별된 요소들과 관련이 있는 관련이 없든, 다른 요소들이 임의적으로 존재할 수 있다. 따라서, 비제한적인 예로서, "A 및/또는 B"에 대한 언급은, "포함하는(comprising)"과 같은 개방형(open-ended) 표현과 함께 사용될 때, 일 실시예에서는, A만을(임의적으로 B 이외의 요소들을 포함함); 또 다른 실시예에서는, B만을(임의적으로 A 이외의 요소들을 포함함); 또 다른 실시예에서는, A와 B 양쪽 모두를; 등등을 언급할 수 있다.
- [0447] 본 명세서 및 청구항들에서 사용될 때, "또는"은 앞서 정의된 "및/또는"과 동일한 의미를 갖는 것으로 이해되어야 한다. 예를 들어, 목록 내의 항목들을 분리할 때, "또는" 또는 "및/또는"은 포괄적인 것으로, 즉, 다수의 또는 목록의 요소들 중 적어도 하나(둘 이상도 포함함)와, 임의적으로, 열거되지 않은 추가적인 항목들을 포함하는 것으로 해석되어야 한다. "~중 하나만" 또는 "~중 정확히 하나", 또는 청구항들에서 사용될 때에 "~로 구성되는"과 같이 명확히 달리 지시되는 용어들이 다수의 또는 목록의 요소들 중 정확히 하나의 요소를 포함하는 것을 언급할 것이다. 일반적으로, 용어 "또는"은 사용될 때 "어느 하나", "~중 하나", "~중 하나만", 또는 "~중 정확히 하나"와 같은 배타성의 용어가 후속할 때 배타적인 대안들(즉, 양쪽 모두는 아니고 하나 또는 다른 하나)을 지시하는 것으로만 해석되어야 한다. 청구항들에서 사용될 때, "본질적으로 구성되는"은 특허법의 분야에서 사용되는 바와 같은 통상의 의미를 가질 것이다.
- [0448] 본 명세서 및 청구항들에서 사용될 때, 하나 이상의 요소의 목록과 관련하여 "적어도 하나"라는 문구는 요소들

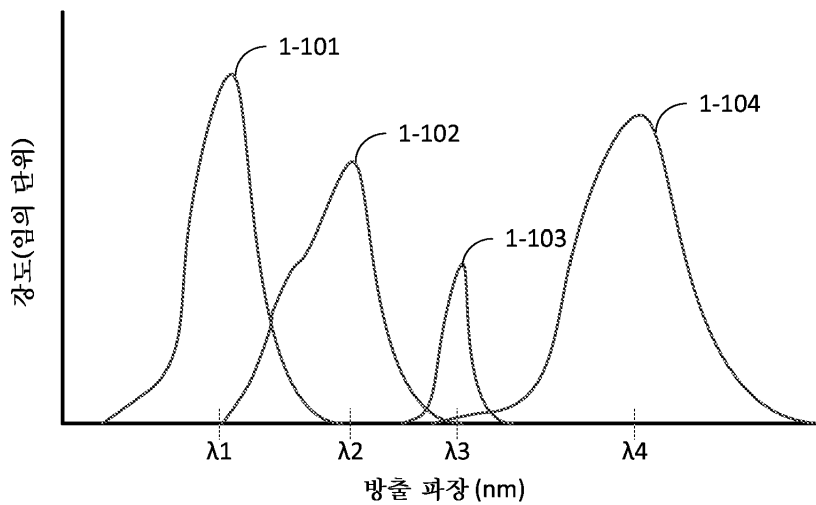
의 목록 내의 요소들 중 어느 하나 이상으로부터 선택되는 적어도 하나의 요소를 의미하지만, 요소들의 목록 내에 구체적으로 열거된 각각의 그리고 모든 요소 중 적어도 하나를 반드시 포함하지는 않고, 요소들의 목록 내의 요소들의 임의의 조합들을 배제하지 않는 것으로 이해되어야 한다. 이러한 정의는 또한 "적어도 하나"라는 문구가 언급하는 요소들의 목록 내에서 구체적으로 식별되는 요소들 이외의 요소들이, 이러한 구체적으로 식별되는 요소들과 관련이 있든 관련이 없든, 임의적으로 존재할 수 있는 것을 허용한다. 그에 따라, 비제한적인 예로서, "A 및 B 중 적어도 하나"(또는, 동등하게, "A 또는 B 중 적어도 하나", 또는 동등하게 "A 및/또는 B 중 적어도 하나")는, 일 실시예에서, B가 존재하지 않는(그리고 임의적으로 B 이외의 요소를 포함하는) 상태에서, 임의적으로 하나 초과를 포함하는, 적어도 하나의 A를; 다른 실시예에서, A가 존재하지 않는(그리고 임의적으로 A 이외의 요소를 포함하는) 상태에서, 임의적으로 하나 초과를 포함하는, 적어도 하나의 B를; 또 다른 실시예에서, 임의적으로 하나 초과를 포함하는 적어도 하나의 A, 및 임의적으로 하나 초과를 포함하는, 적어도 하나의 B(그리고 임의적으로 다른 요소를 포함)를; 그리고 기타 등등을 언급할 수 있다.

[0449] 상기 명세서뿐만 아니라, 청구항들에서, 모든 전이구, 예컨대 "포함하는(comprising)", "포함하는(including)", "지니는(carrying)", "갖는", "함유하는", "수반하는", "보유하는", "~으로 구성되는" 등은 개방형, 즉 포함하나, 그로 제한되지 않는 것을 의미하는 것으로 이해되어야 한다. "~로 이루어지는" 및 "본질적으로 ~로 이루어지는"이라는 전이구만이 각각 폐쇄형 또는 반폐쇄형 전이구이다.

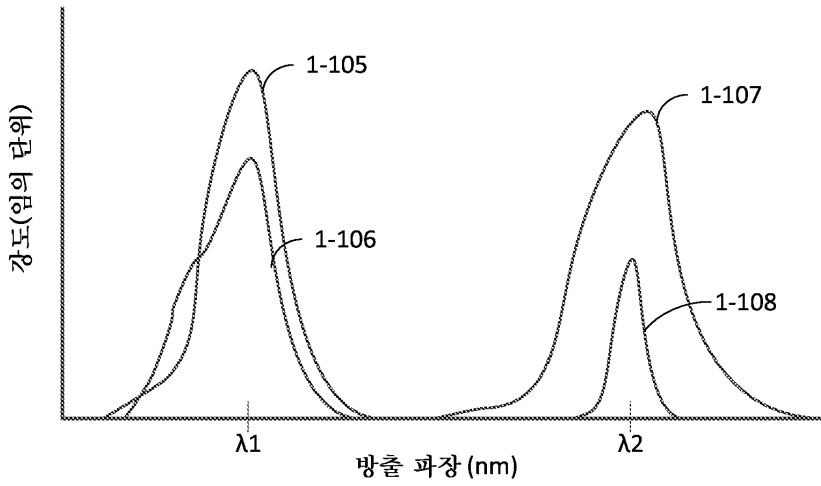
[0450] 청구항들은 그러한 취지를 언급하지 않는 한은 설명되는 순서 또는 요소들로 한정되는 것으로 해석되지 않아야 한다. 첨부된 청구항들의 사상 및 범위로부터 벗어나지 않고서 이 분야의 통상의 기술자에 의해 다양한 형태 및 상세 변경들이 이루어질 수 있다는 것을 이해해야 한다. 아래의 청구항들 및 그들의 균등물들의 사상 및 범위 내에 속하는 모든 실시예들이 청구된다.

도면

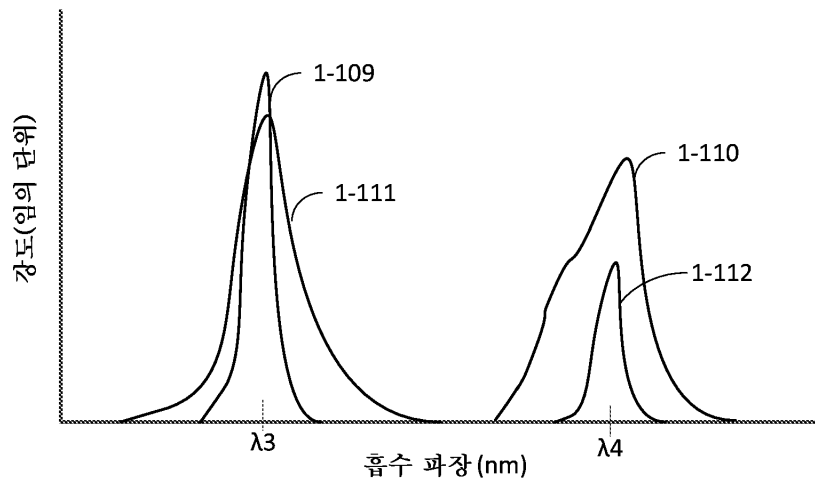
도면1a



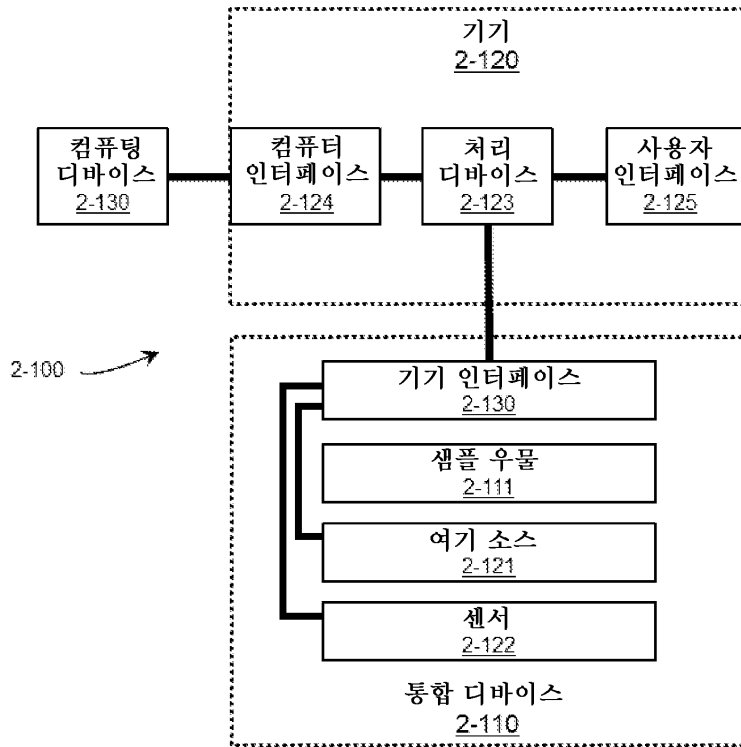
도면 1ba



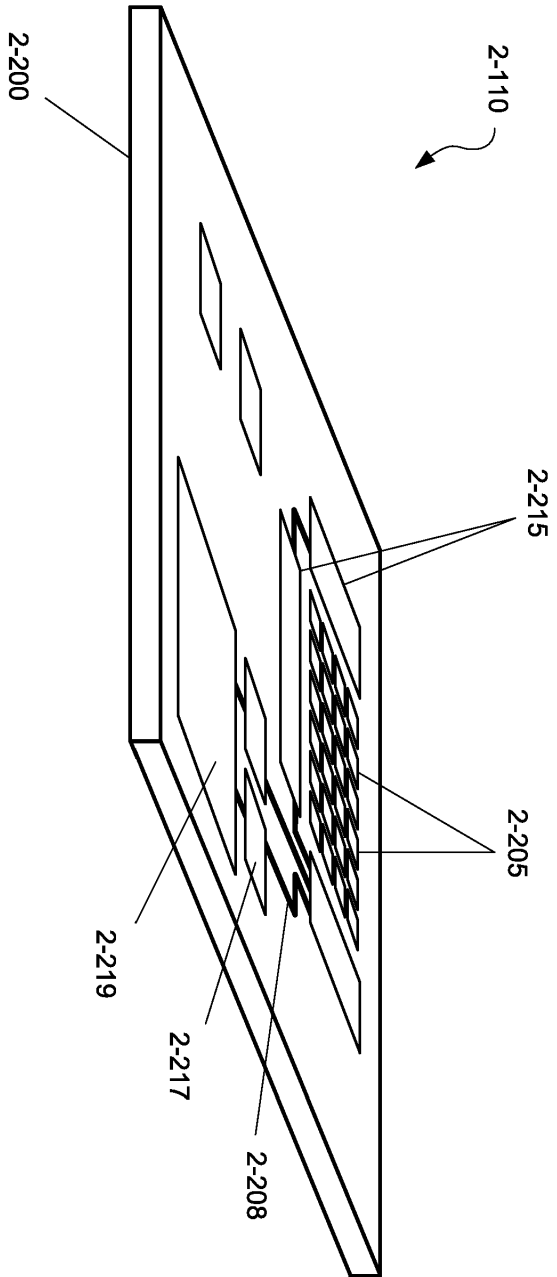
도면 1bb



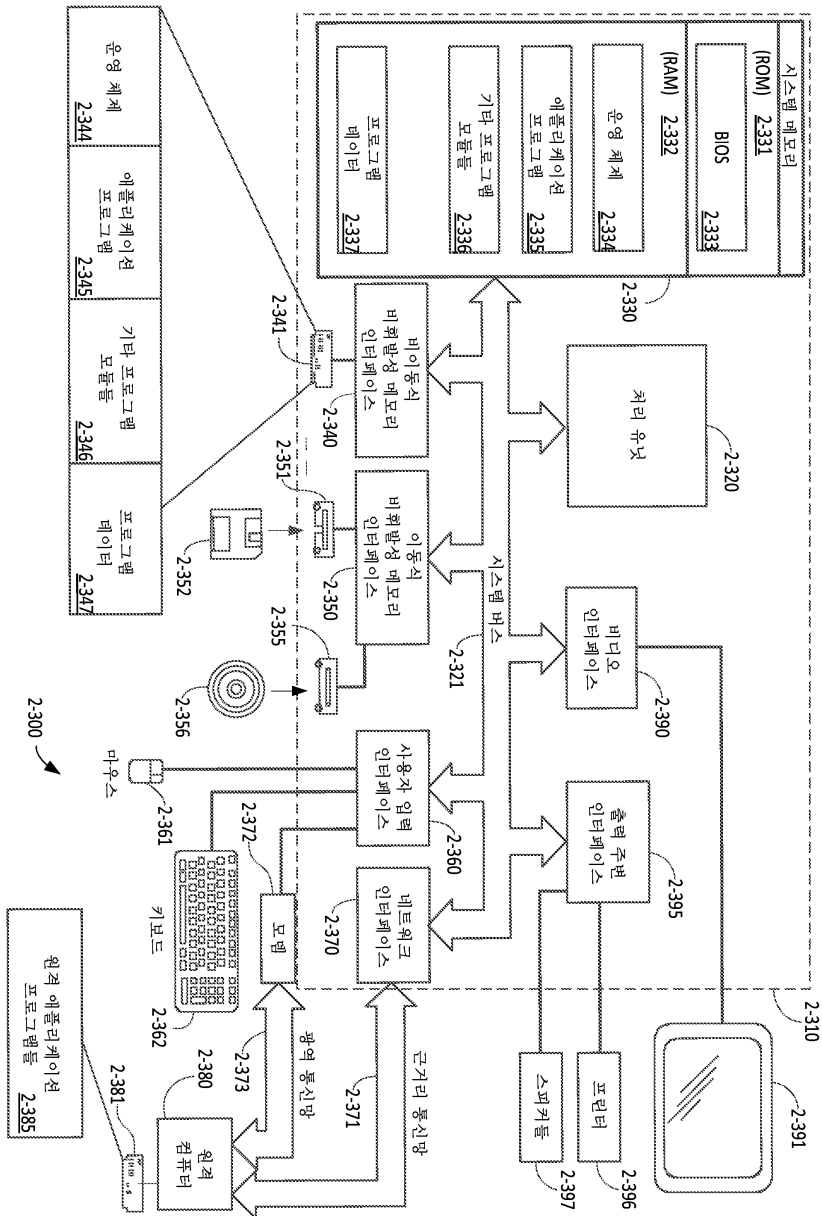
도면2a



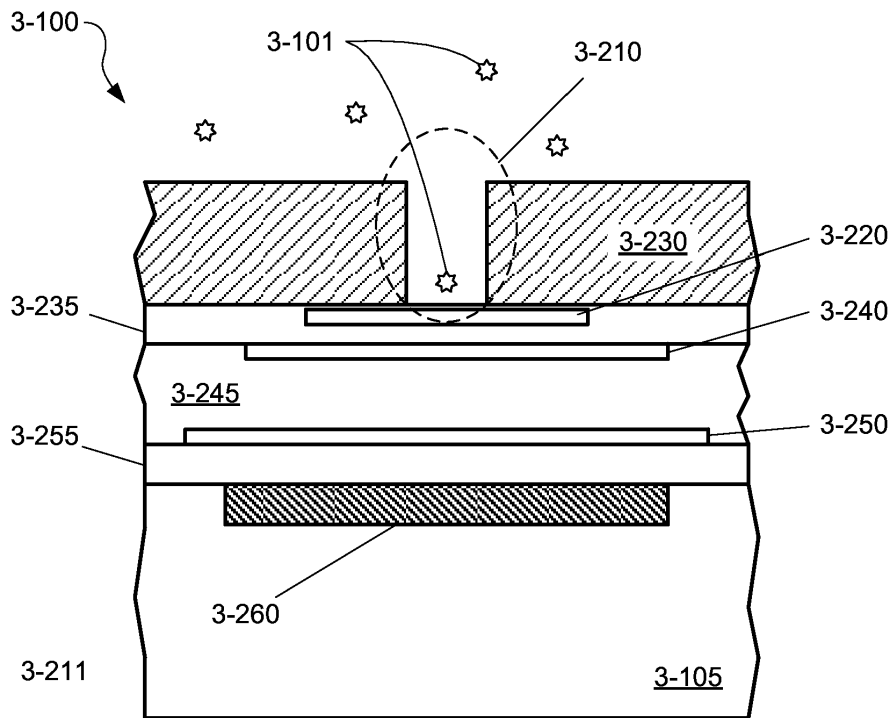
도면 2b



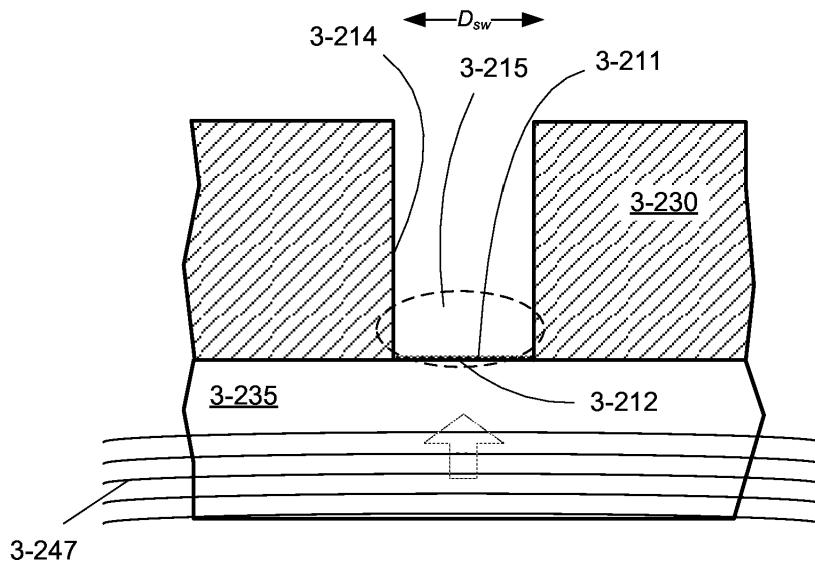
도면2c



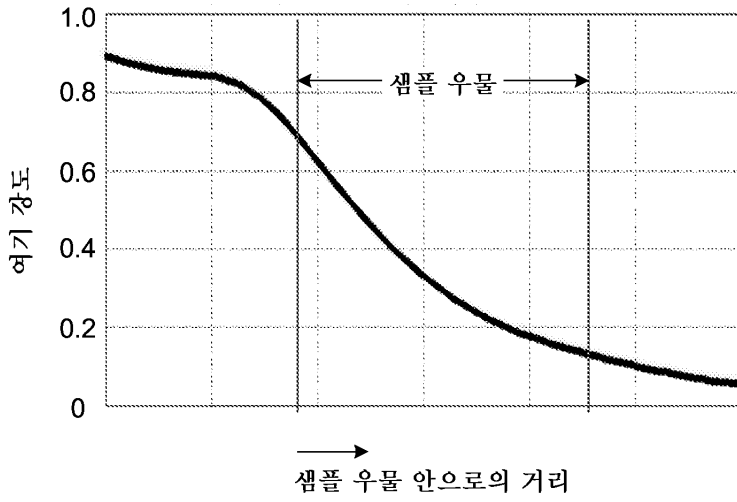
도면3a



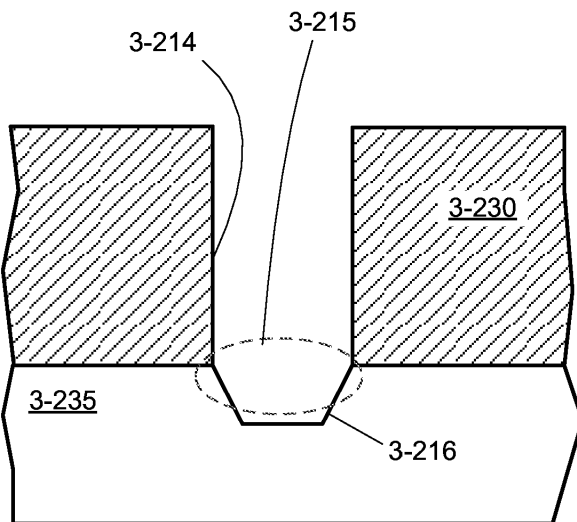
도면3b



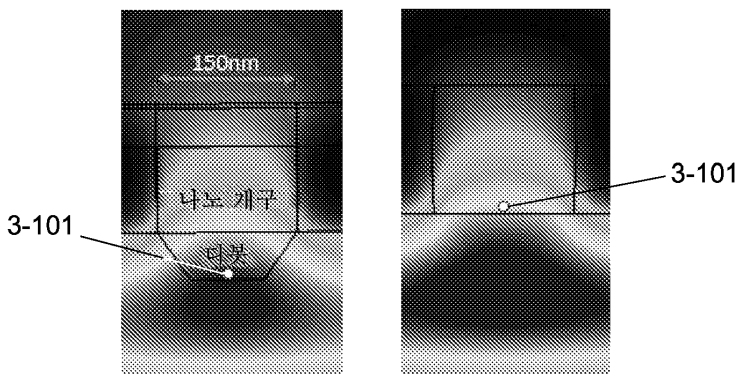
도면3c



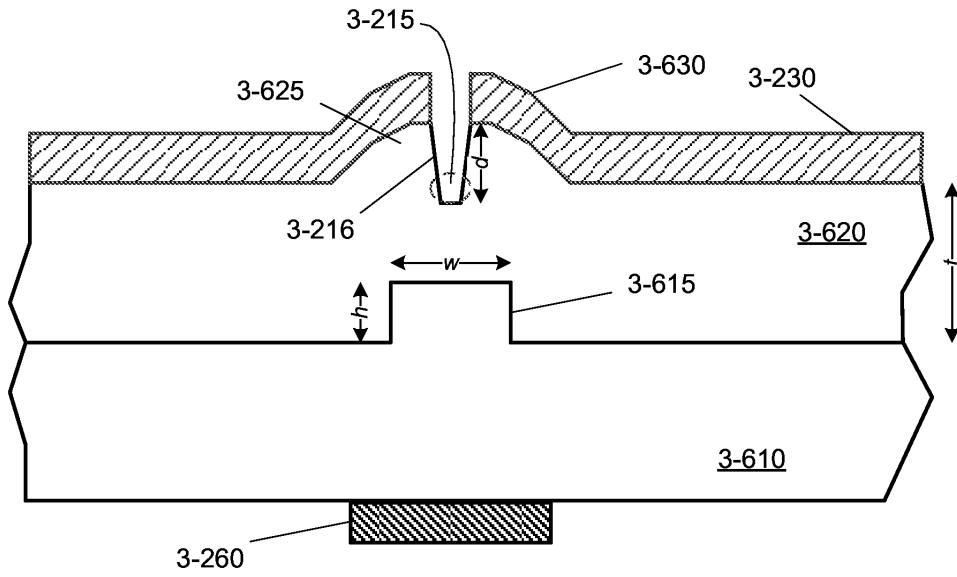
도면3d



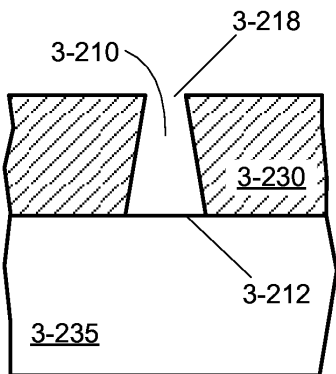
도면3e



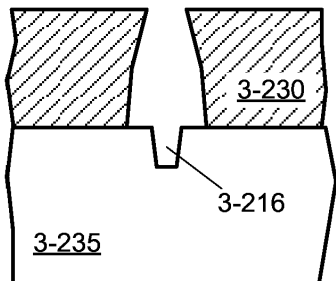
도면3f



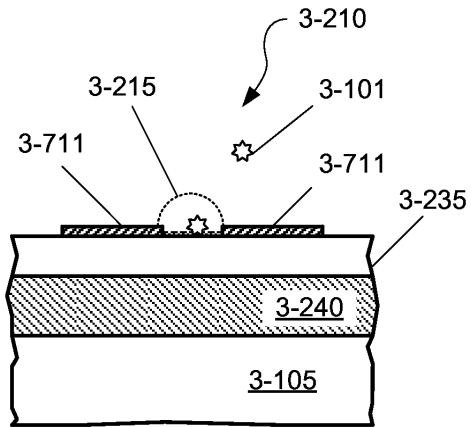
도면3ga



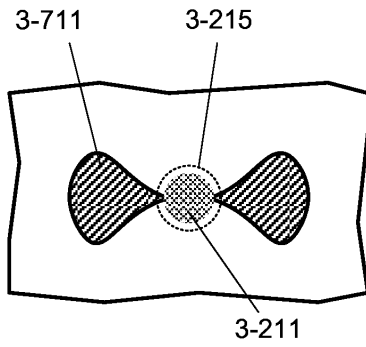
도면3gb



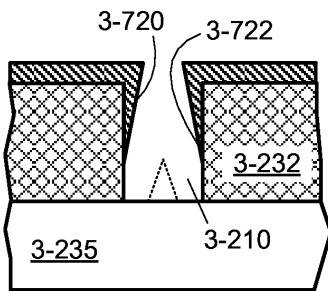
도면3gc



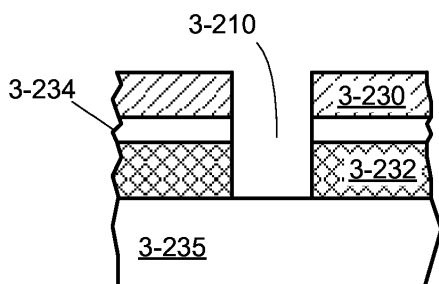
도면3gd



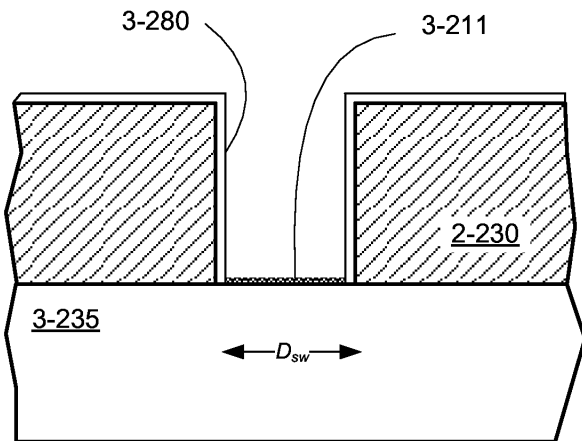
도면3ge



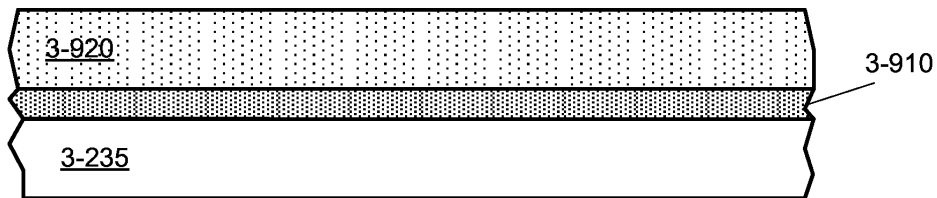
도면3gf



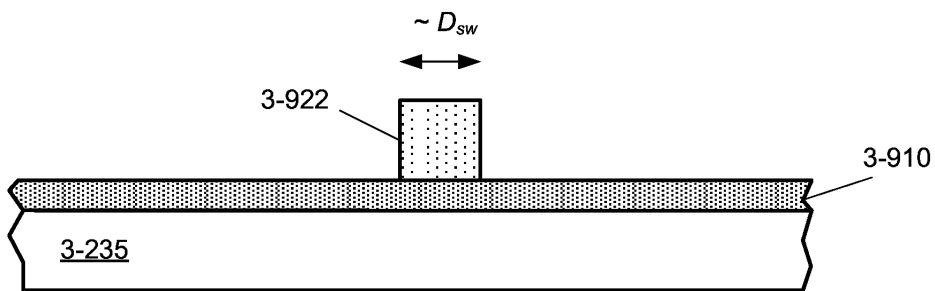
도면3h



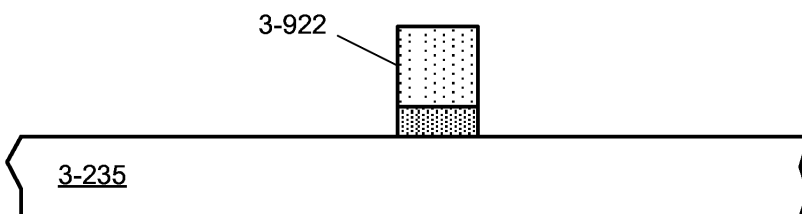
도면3ia



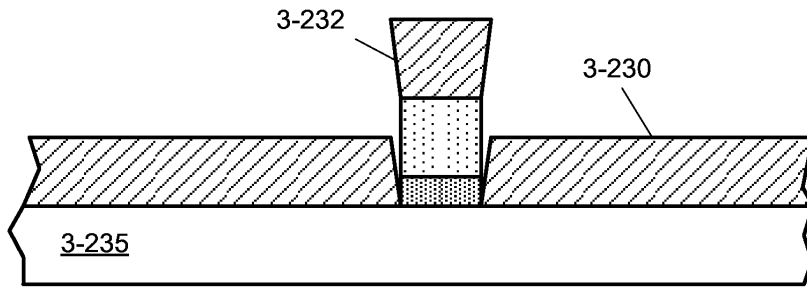
도면3ib



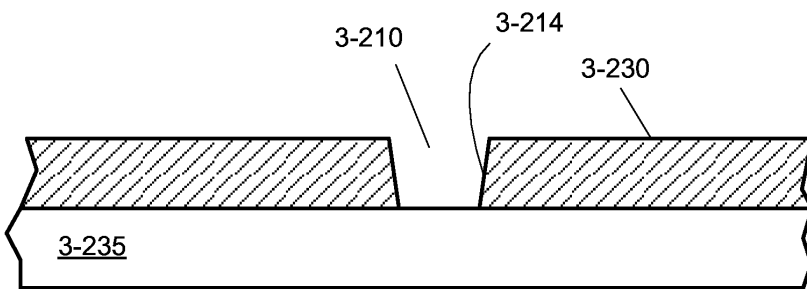
도면3ic



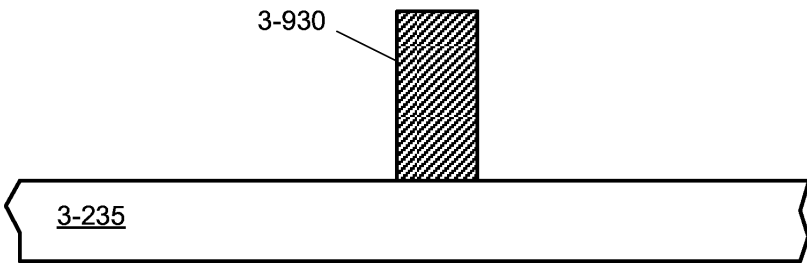
도면3id



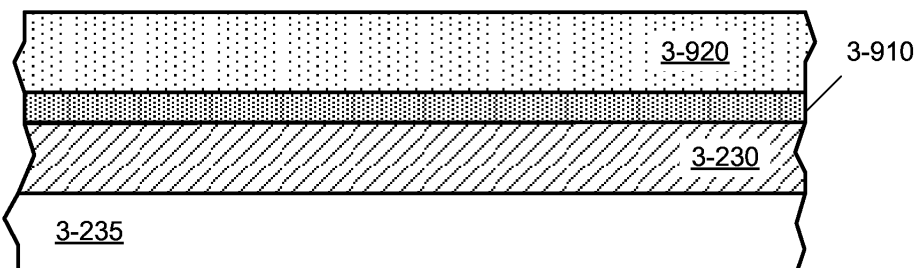
도면3ie



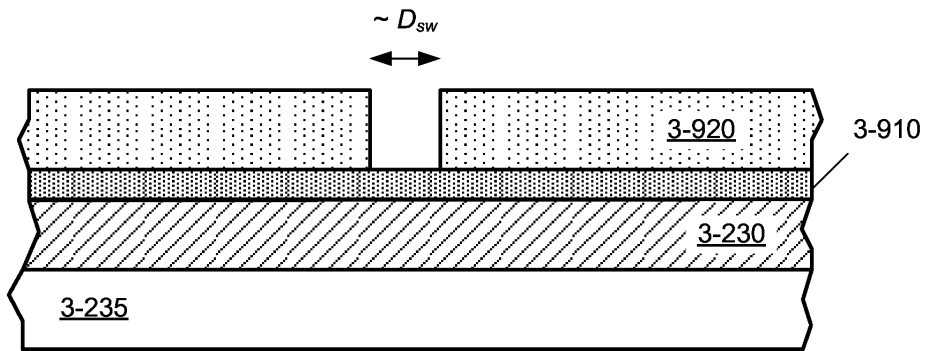
도면3if



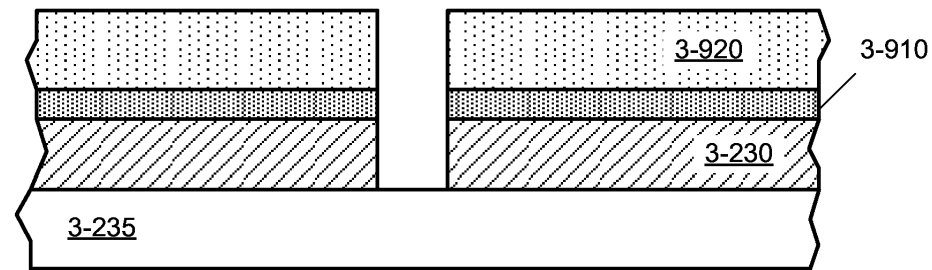
도면3ja



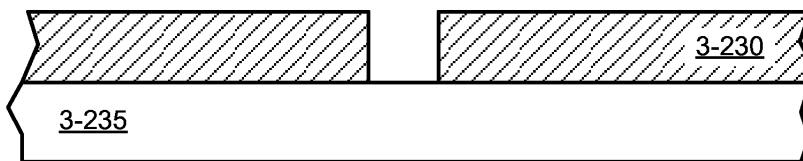
도면3jb



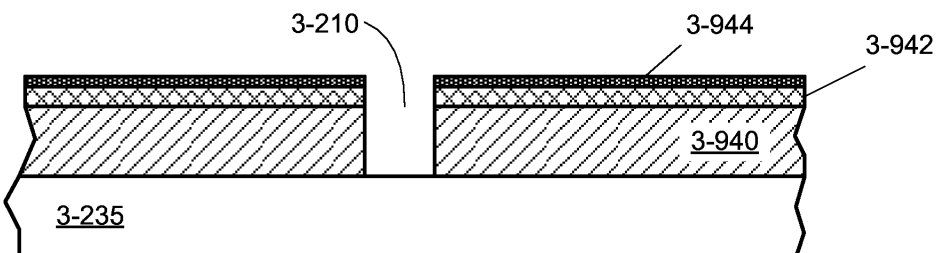
도면3jc



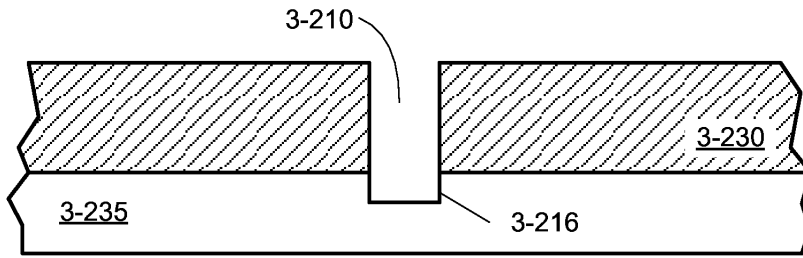
도면3jd



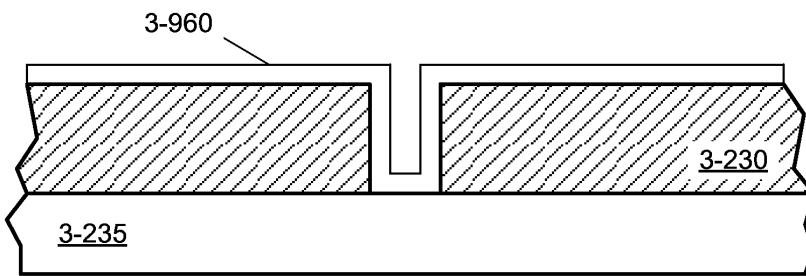
도면3k



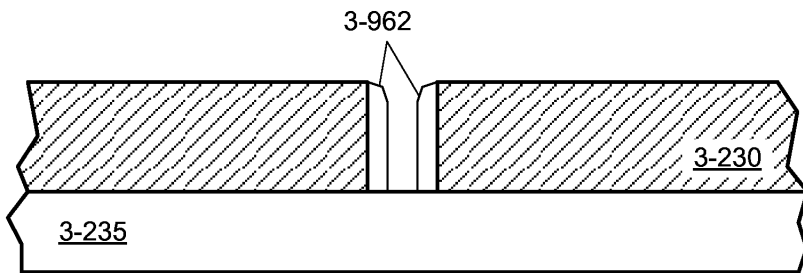
도면31



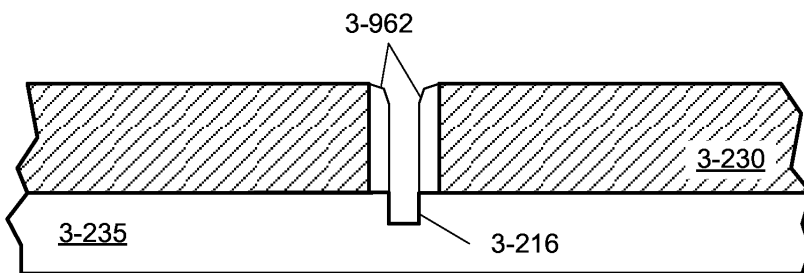
도면3ma



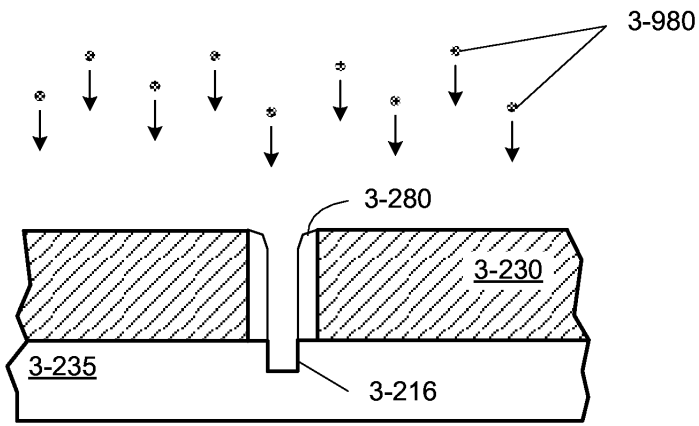
도면3mb



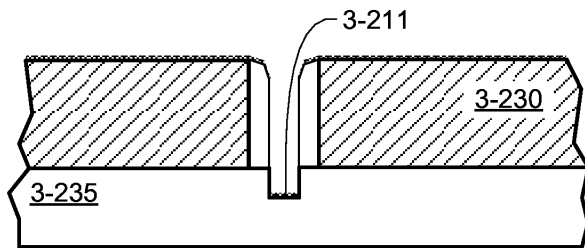
도면3mc



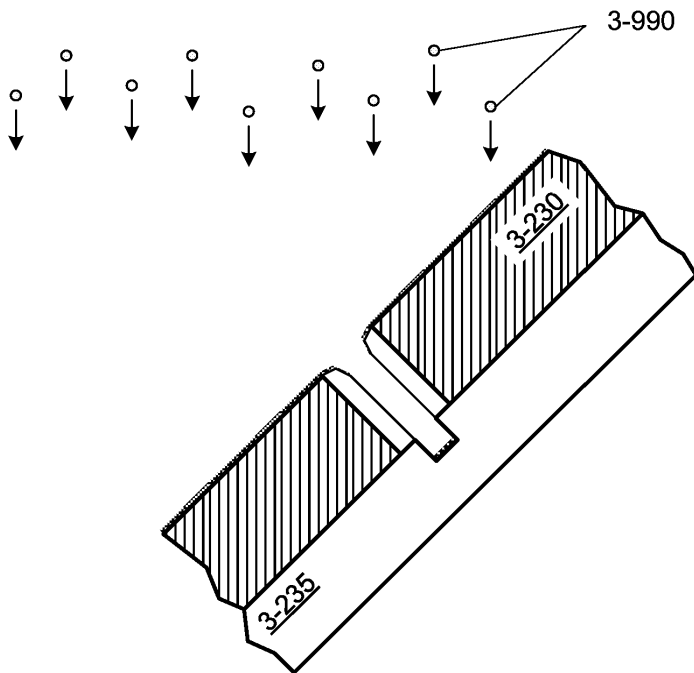
도면 3na



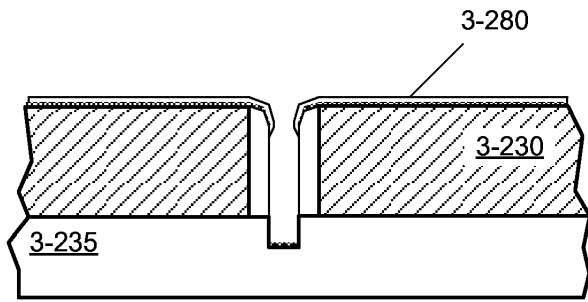
도면 3nb



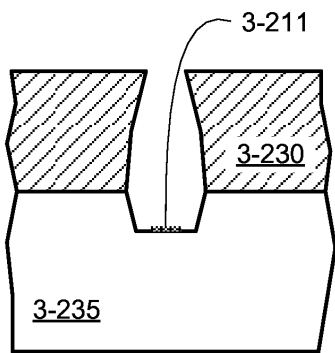
도면 3nc



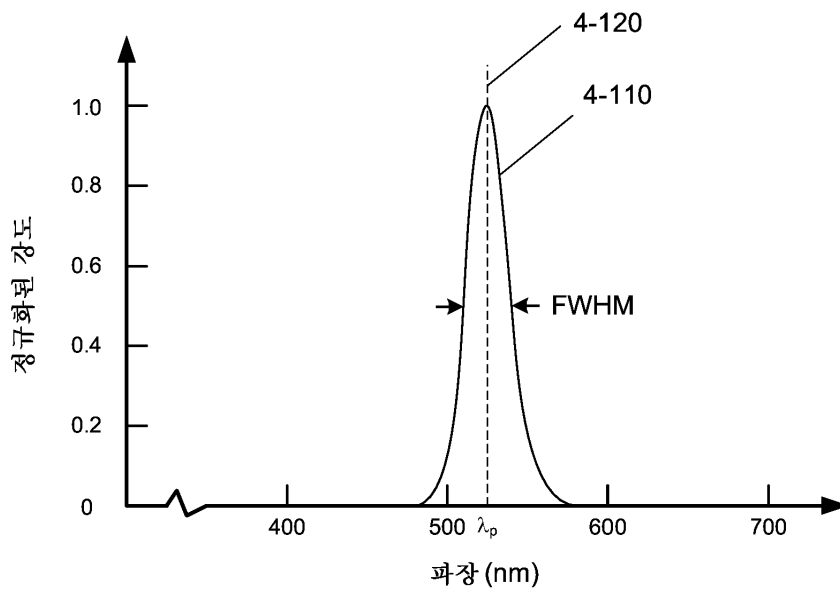
도면3nd



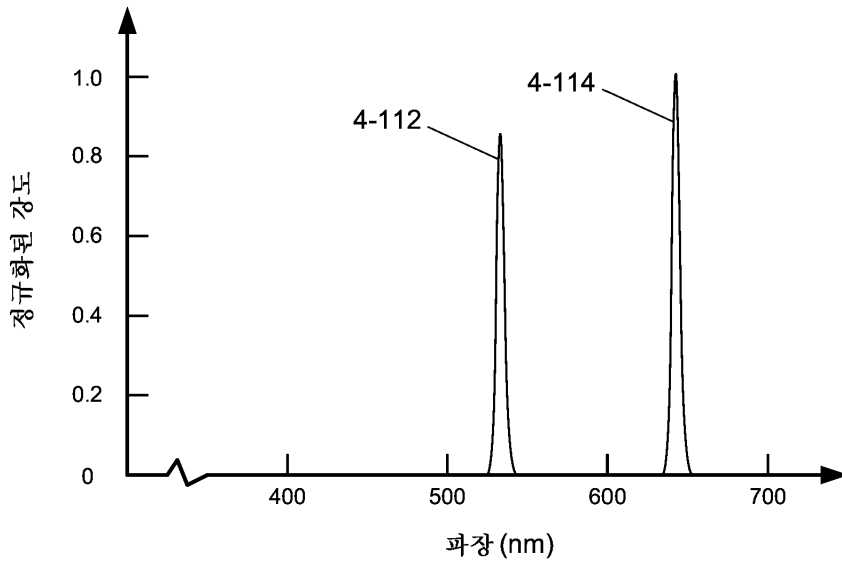
도면3o



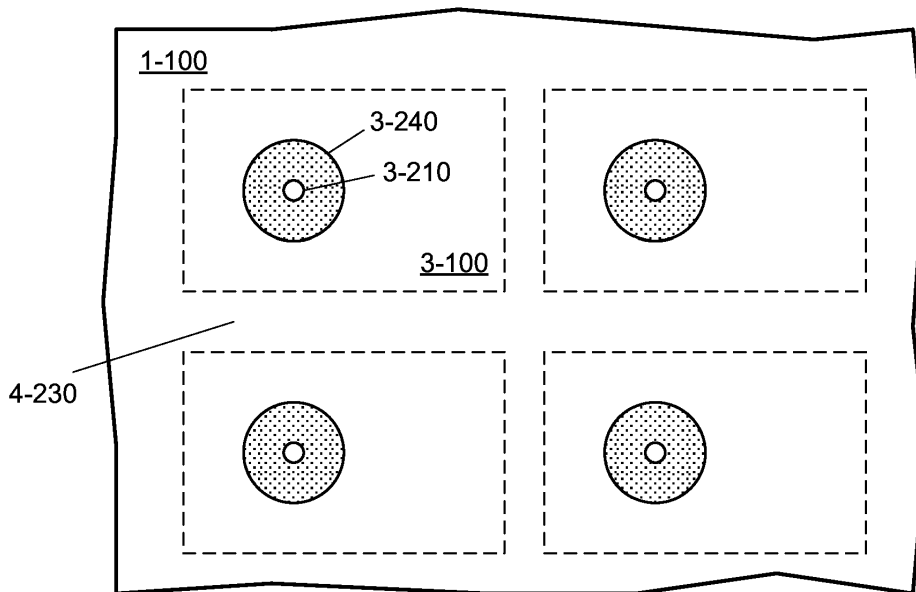
도면4aa



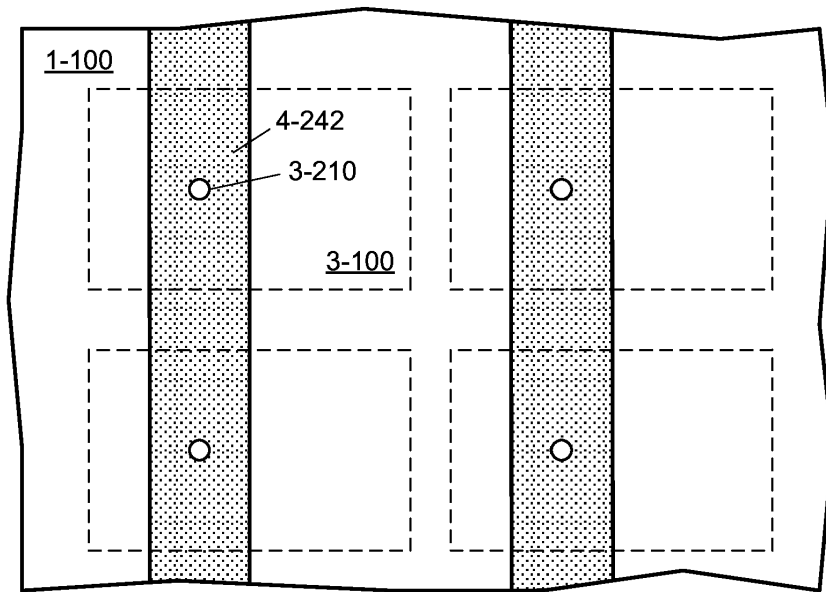
도면4ab



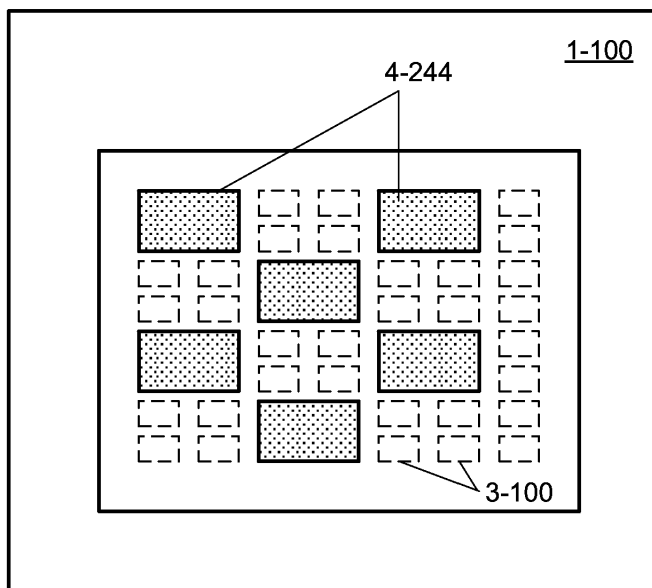
도면4ba



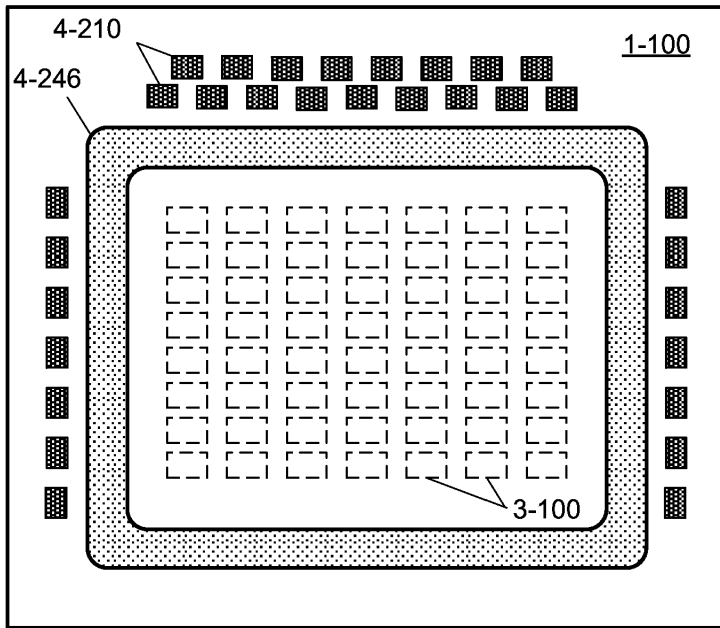
도면4bb



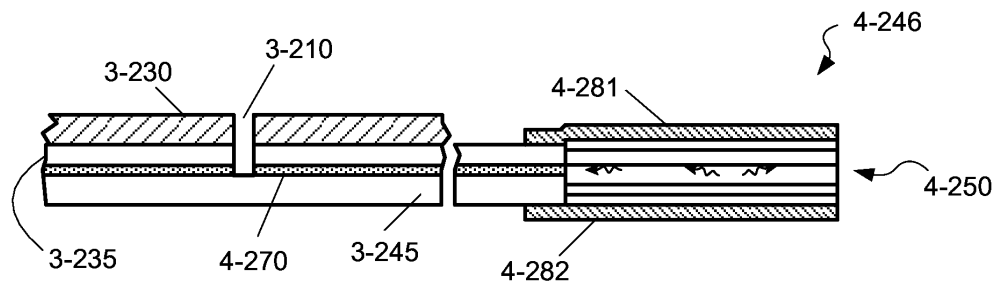
도면4bc



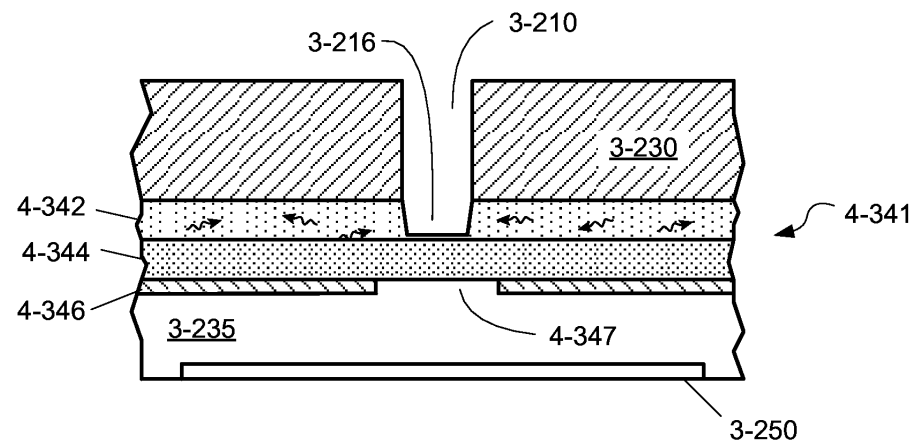
도면4bd



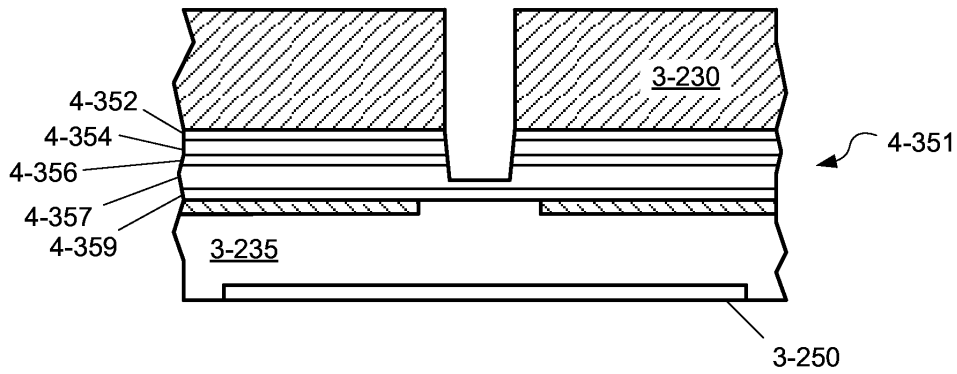
도면4be



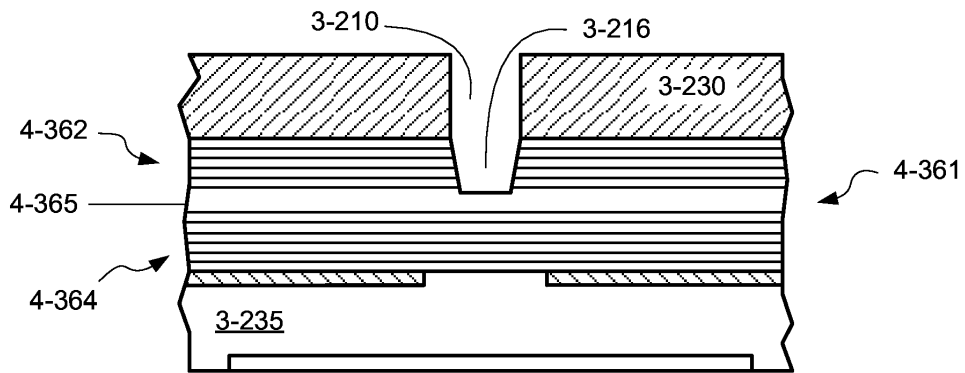
도면4ca



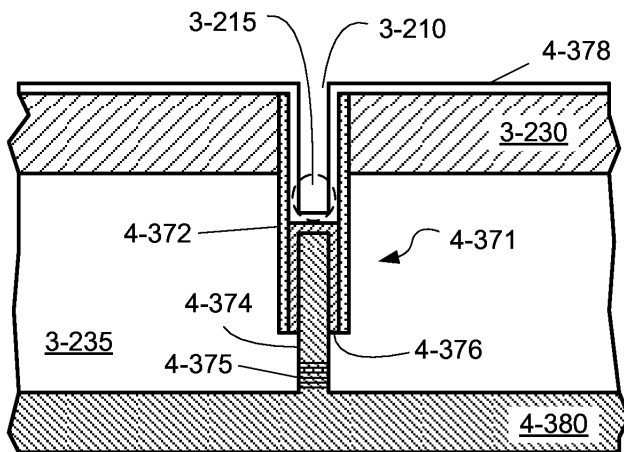
도면4cb



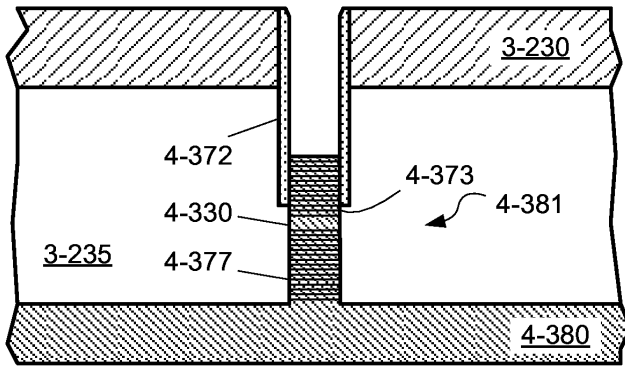
도면4cc



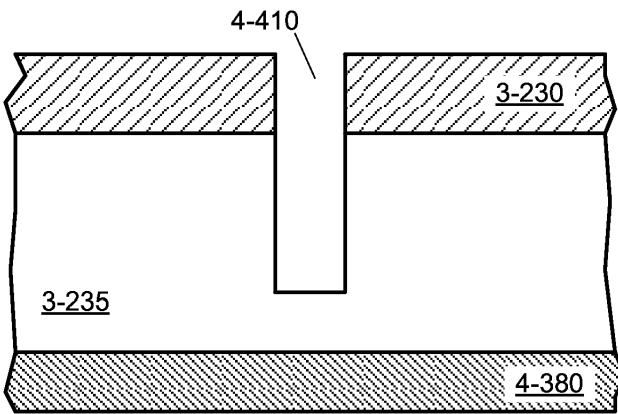
도면4cd



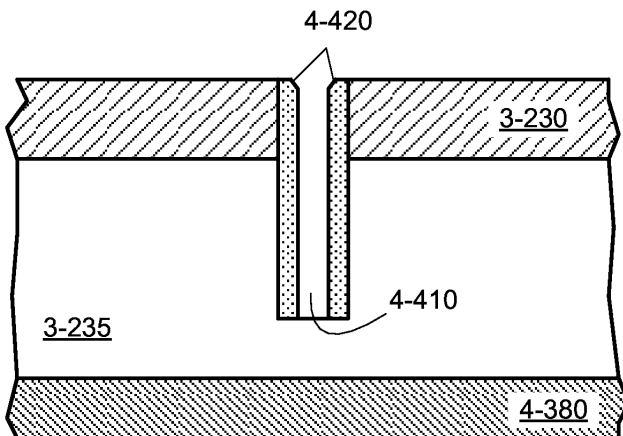
도면4ce



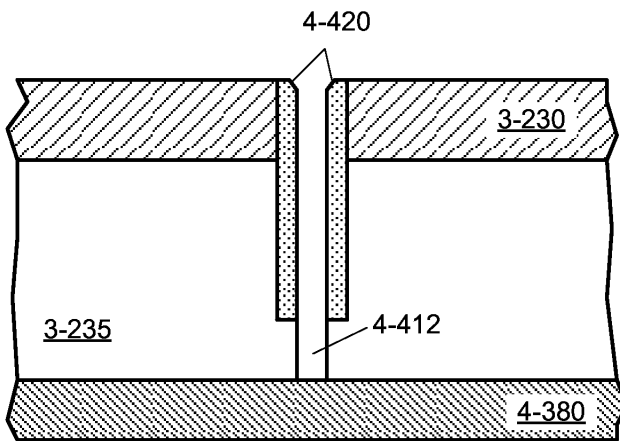
도면4da



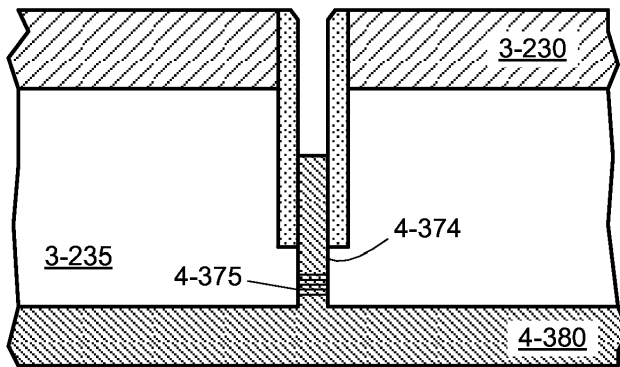
도면4db



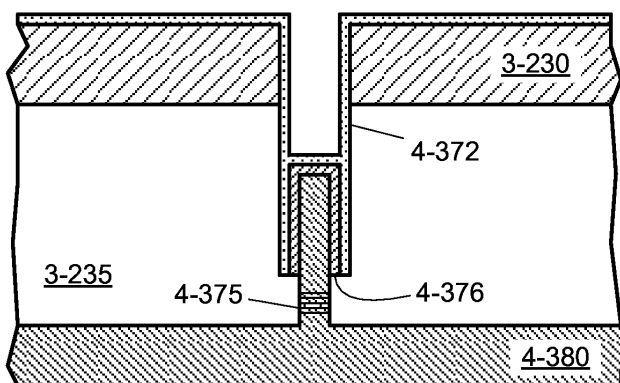
도면4dc



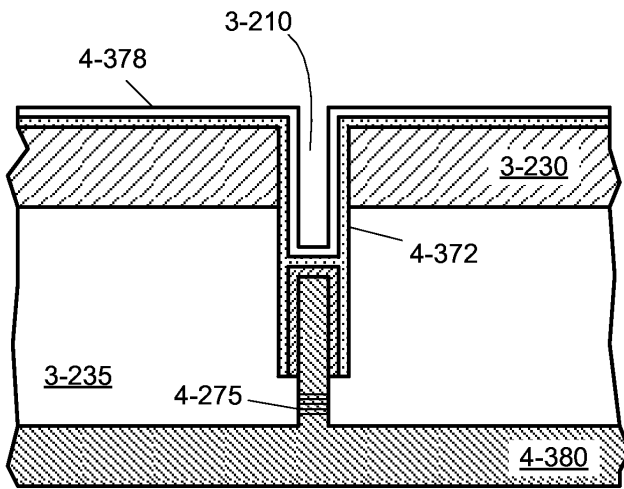
도면4dd



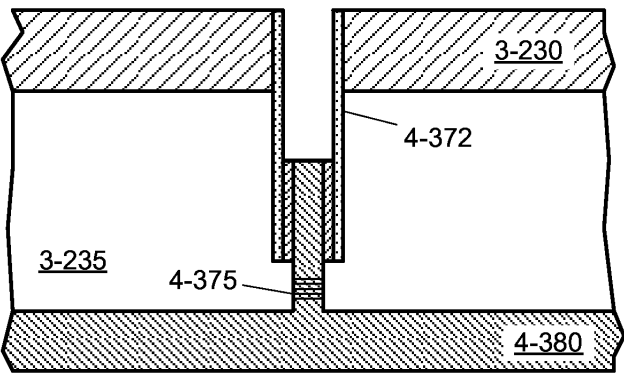
도면4de



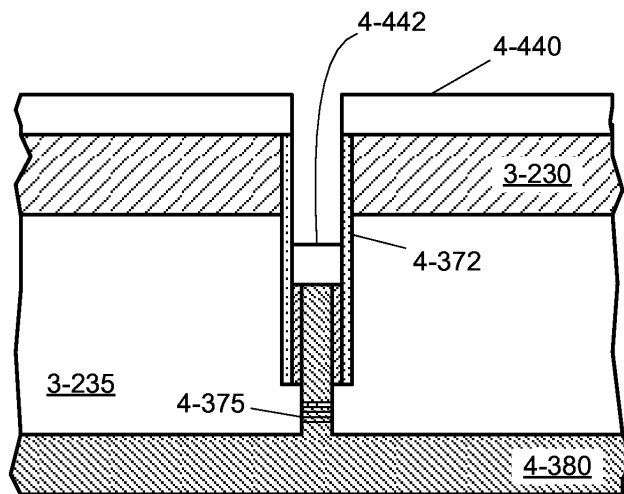
도면4df



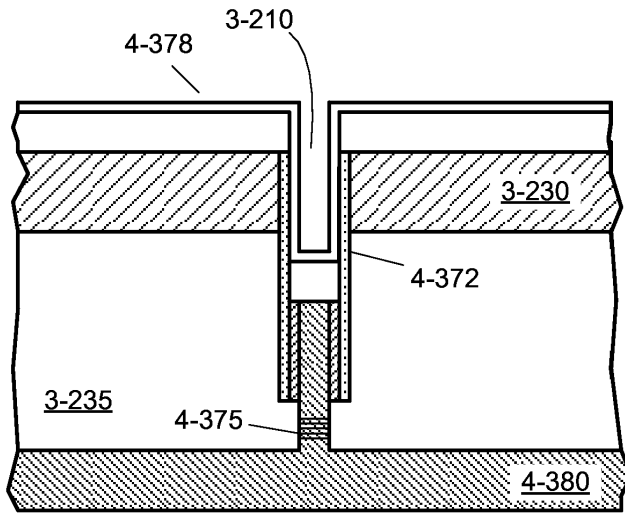
도면4dg



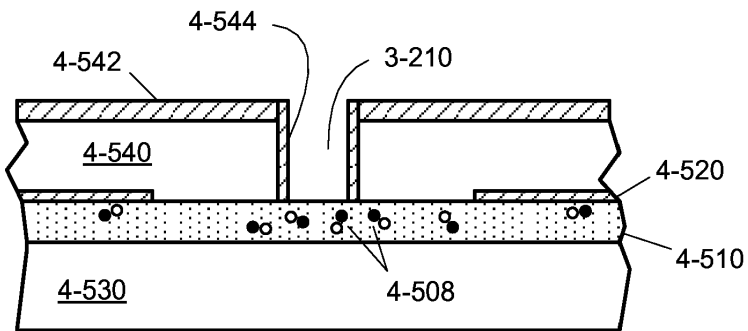
도면4dh



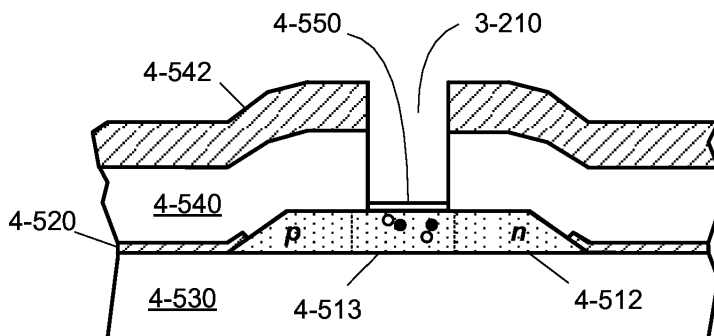
도면4di



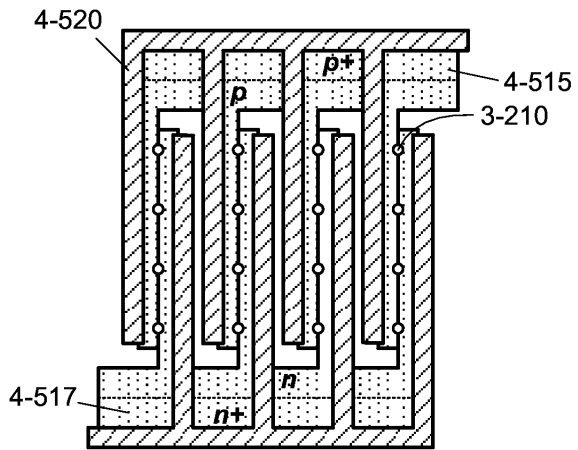
도면4ea



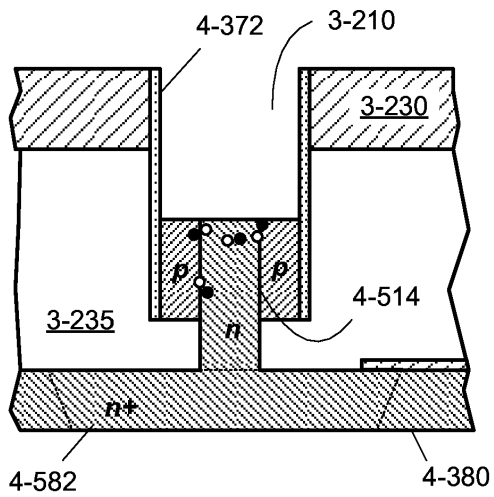
도면4eb



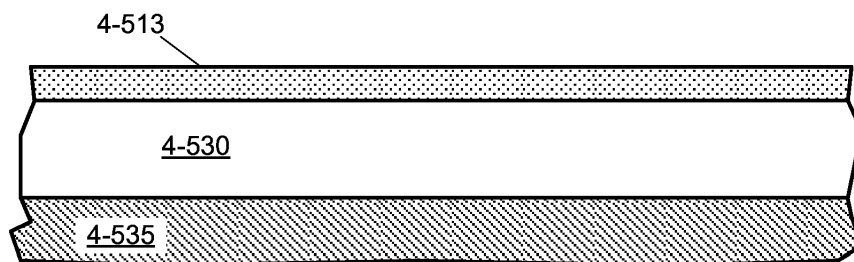
도면4ec



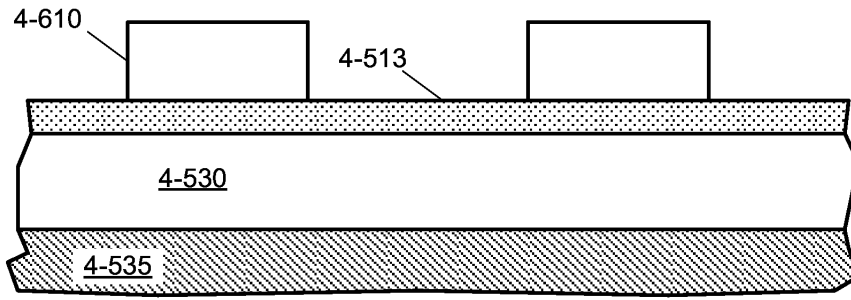
도면4ed



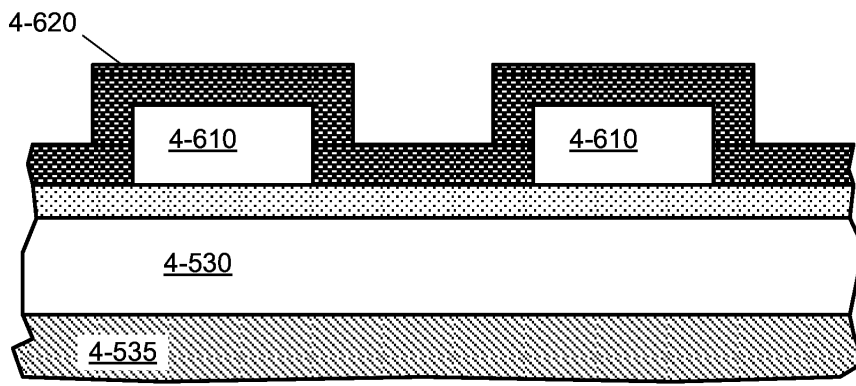
도면4fa



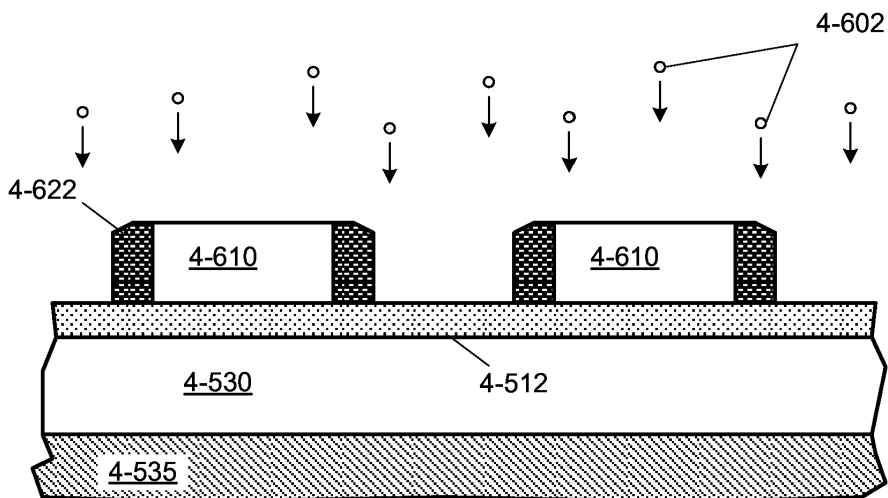
도면4fb



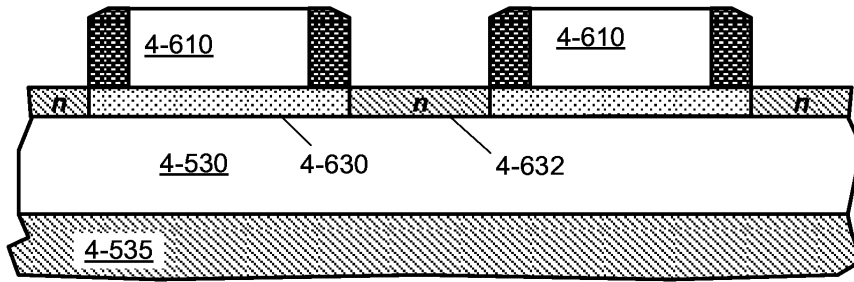
도면4fc



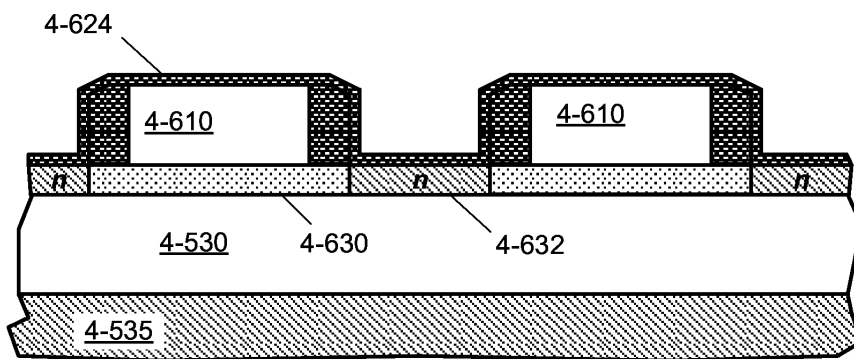
도면4fd



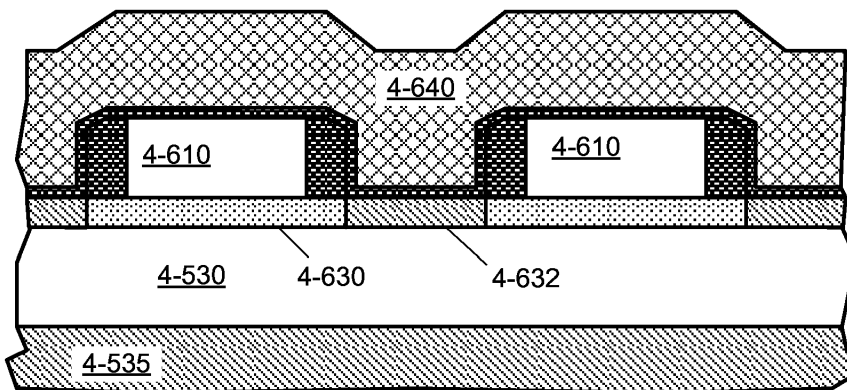
도면4fe



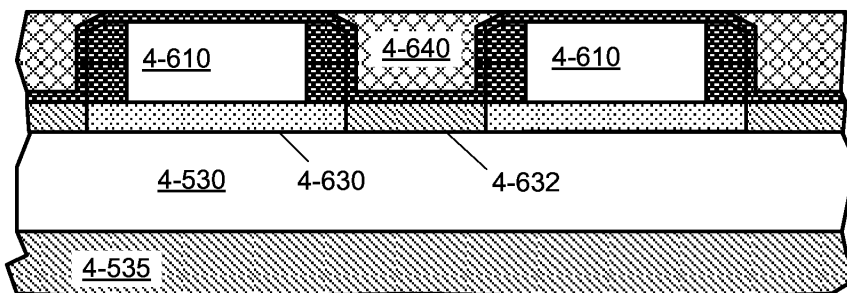
도면4ff



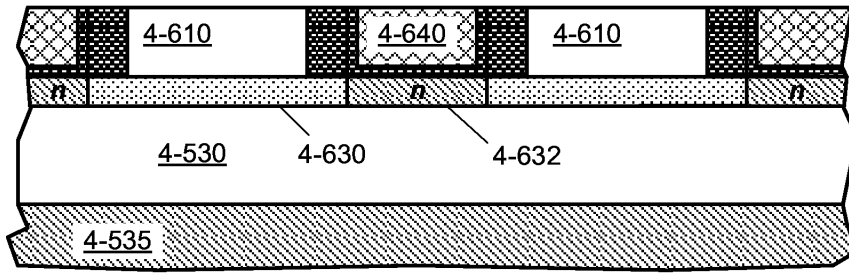
도면4fg



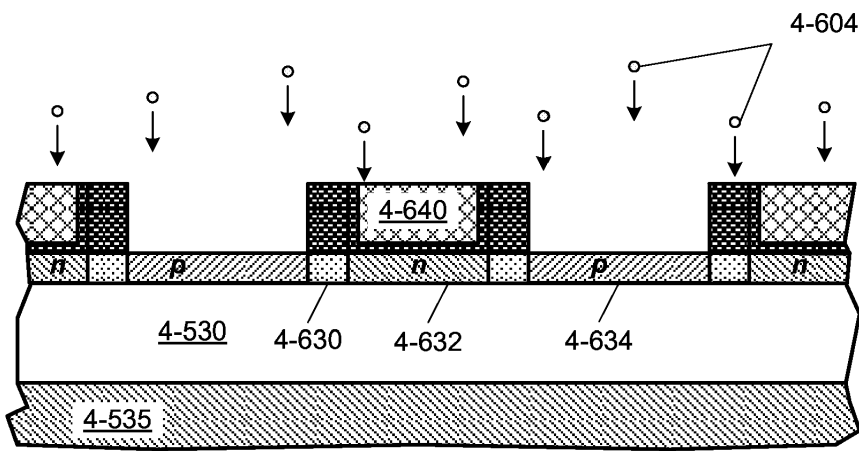
도면4fh



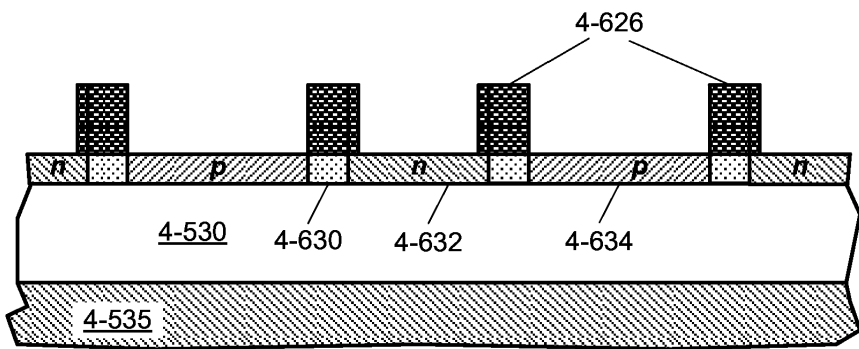
도면4fi



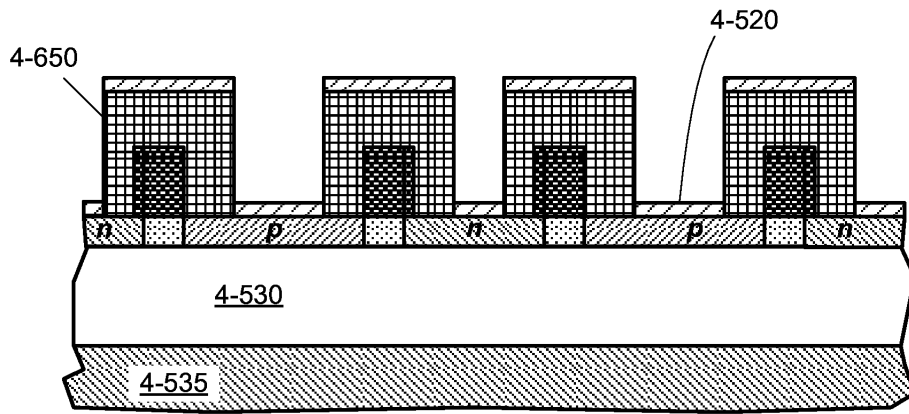
도면4fj



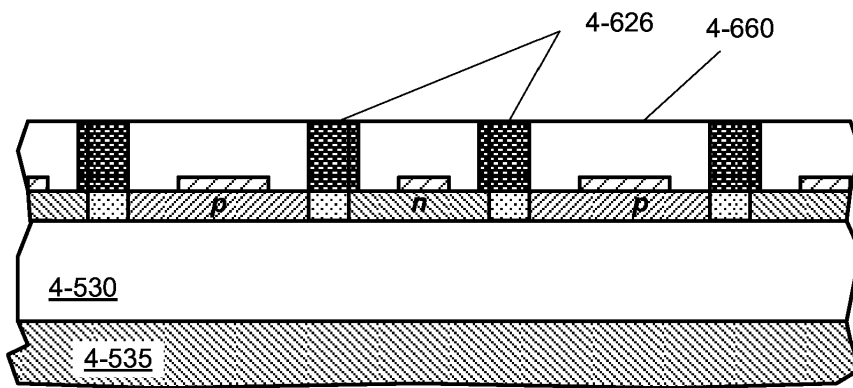
도면4fk



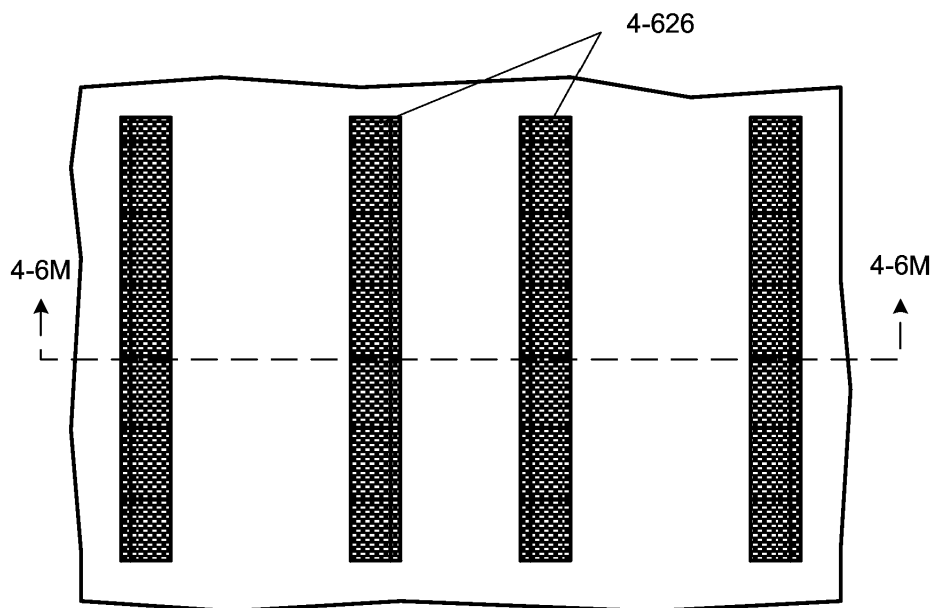
도면4f1



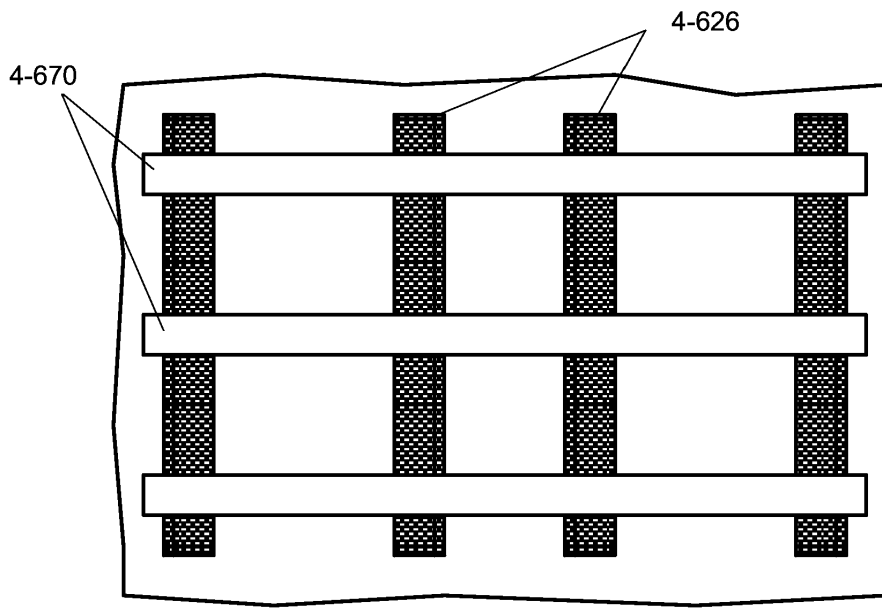
도면4fm



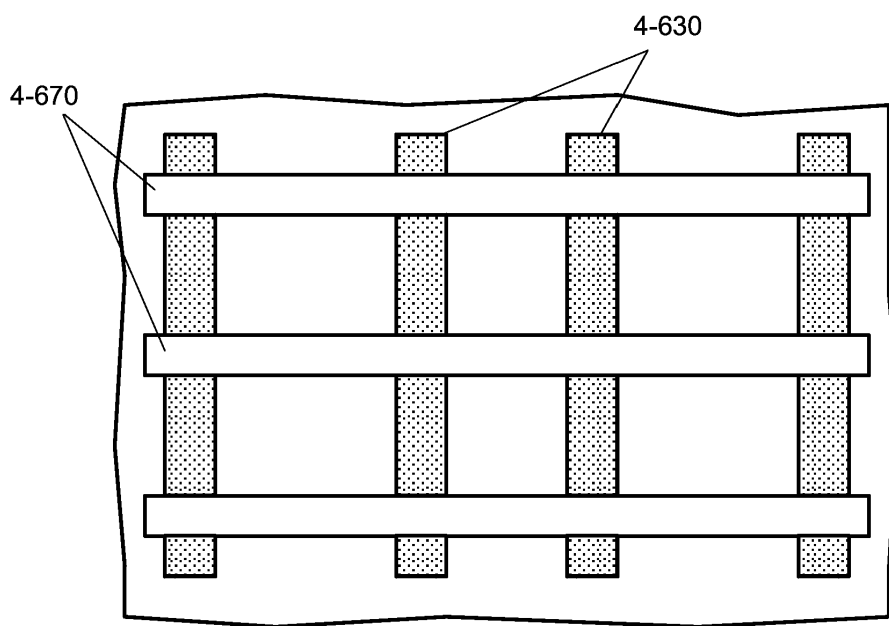
도면4fn



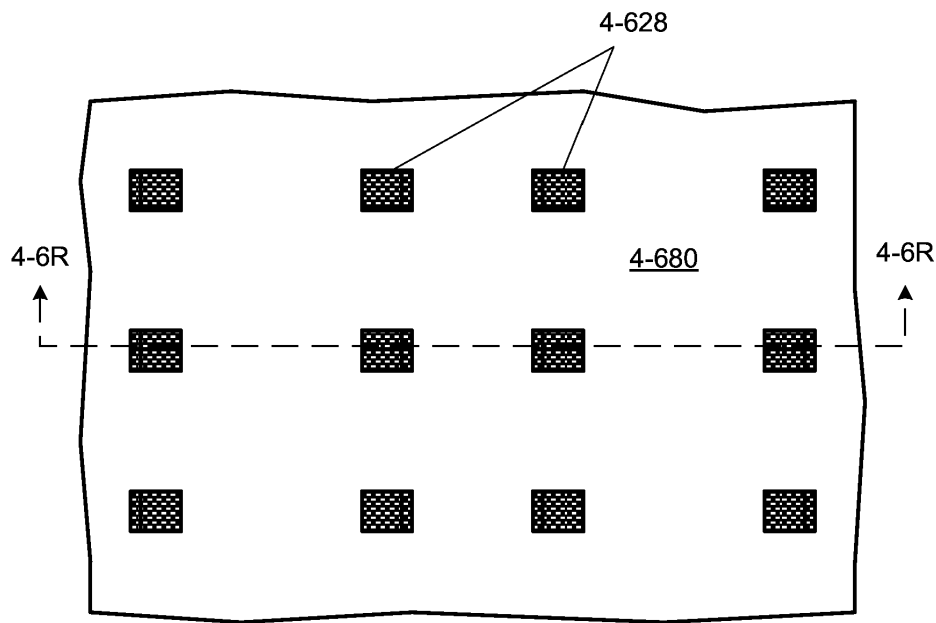
도면4fo



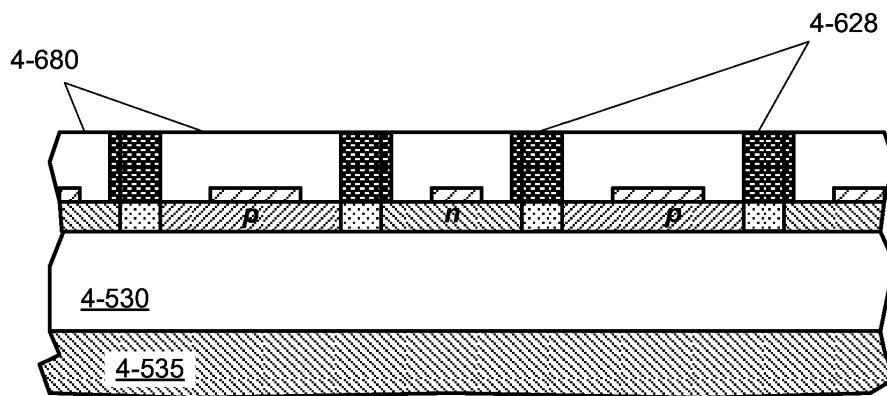
도면4fp



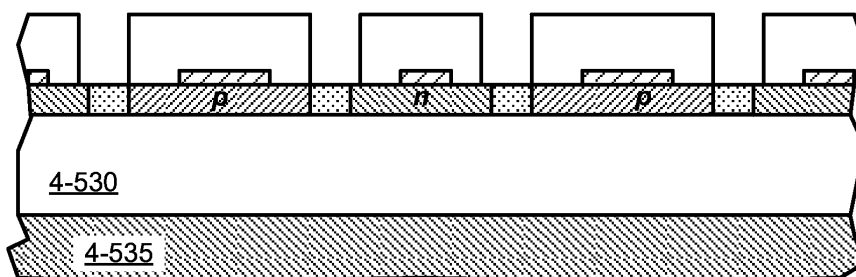
도면4fq



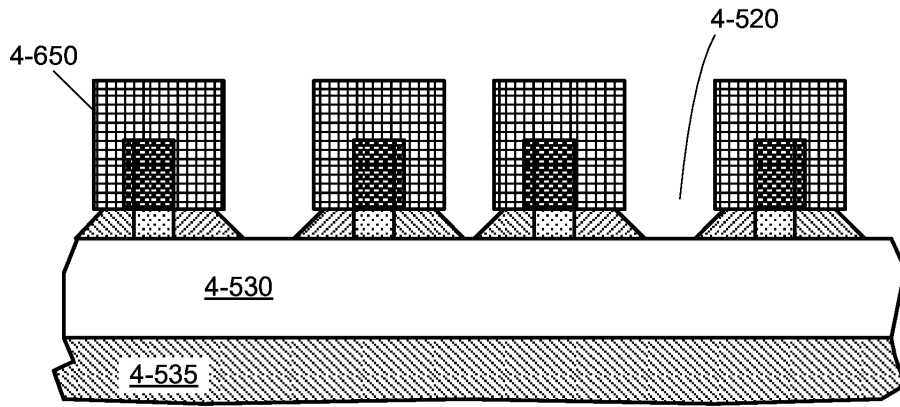
도면4fr



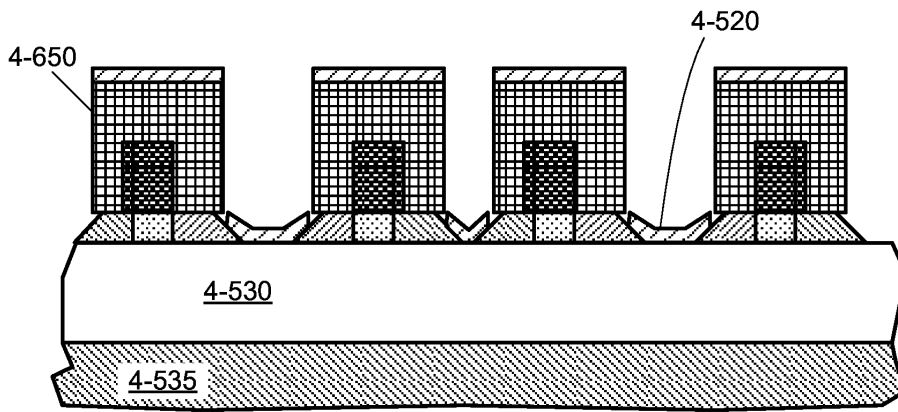
도면4fs



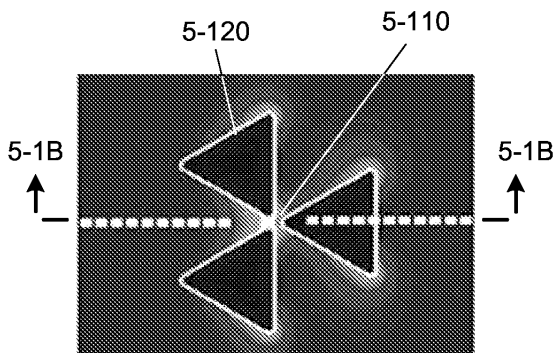
도면4ft



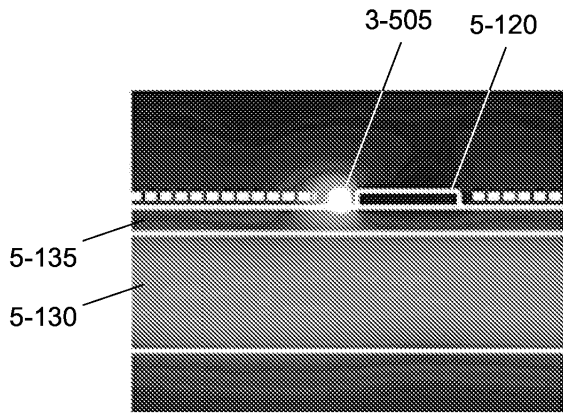
도면4fu



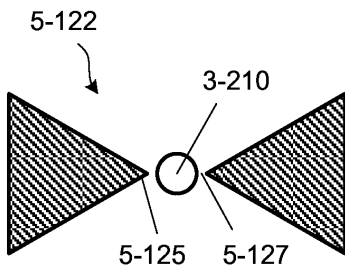
도면5aa



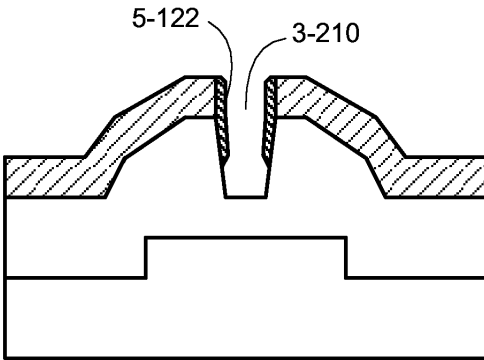
도면5ab



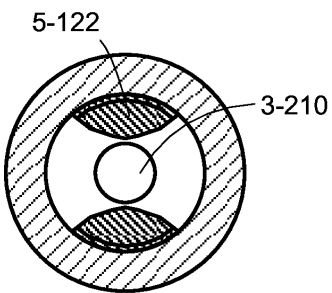
도면5ac



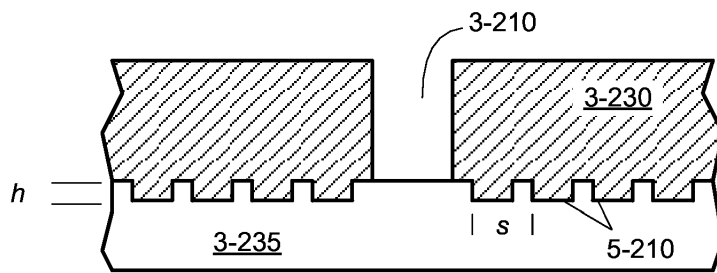
도면5ad



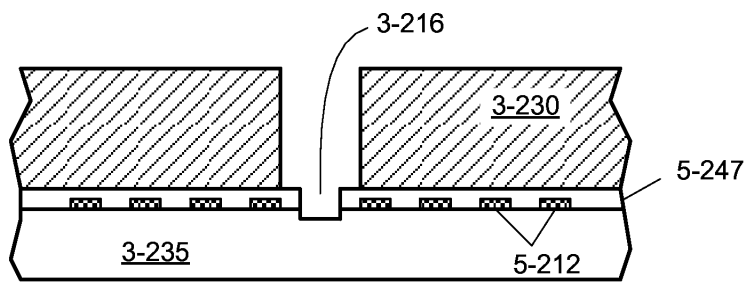
도면5ae



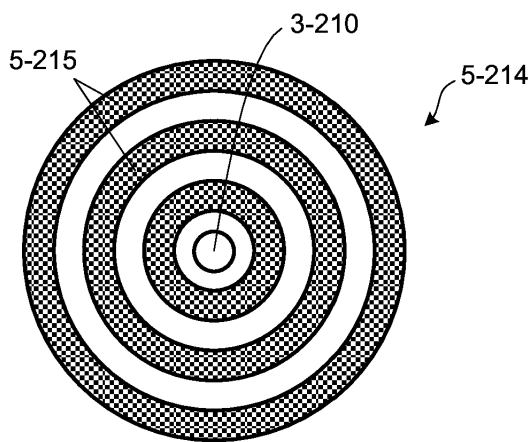
도면5ba



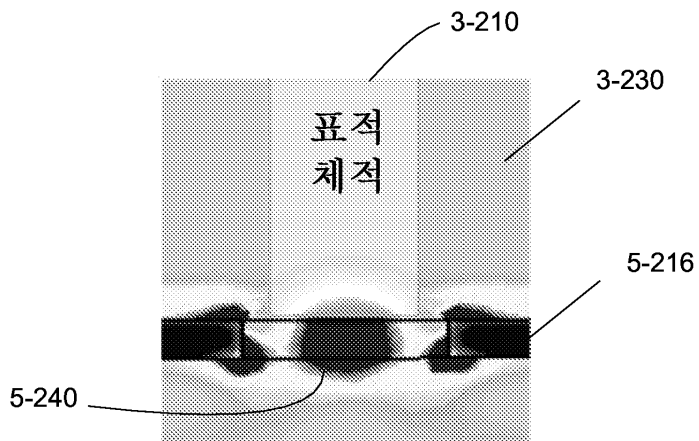
도면5bb



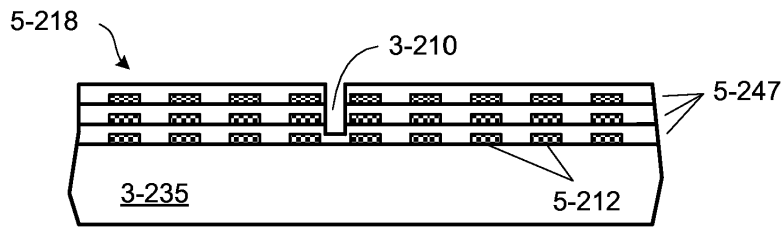
도면5bc



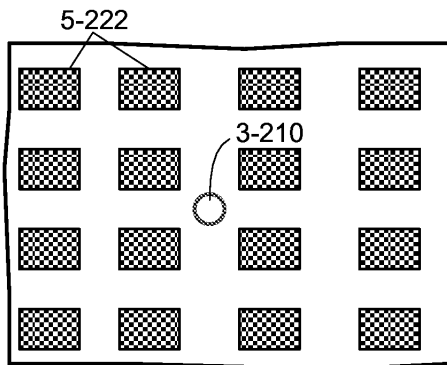
도면5bd



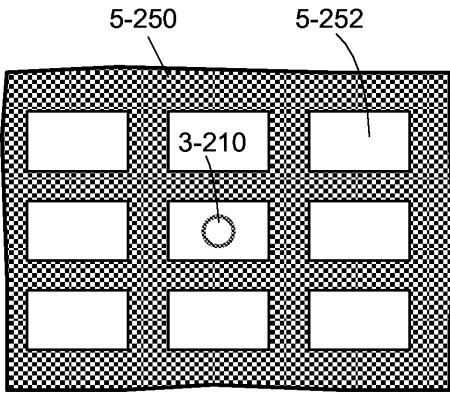
도면5be



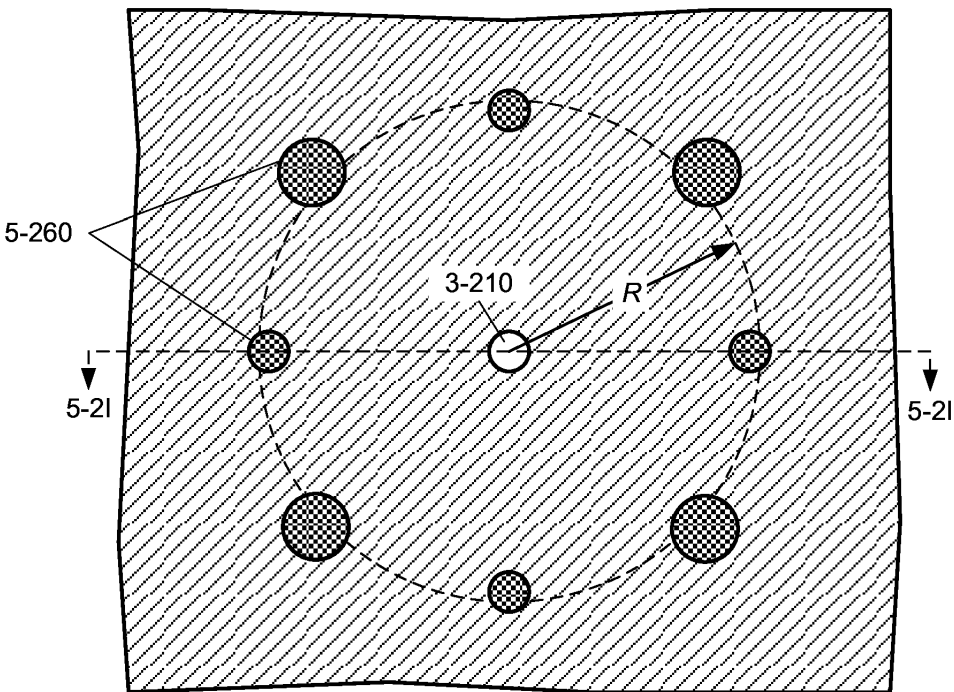
도면5bf



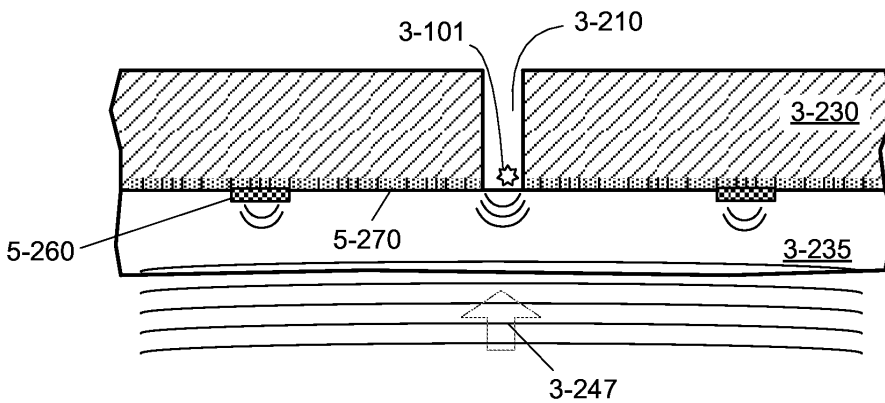
도면5bg



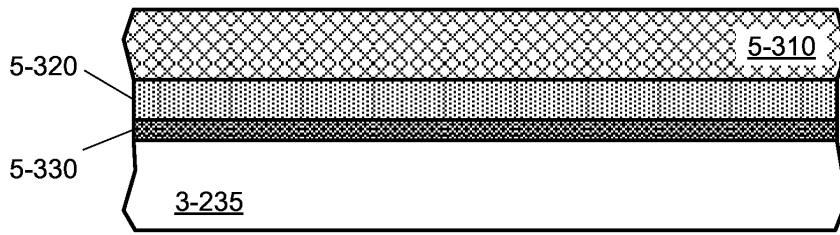
도면5bh



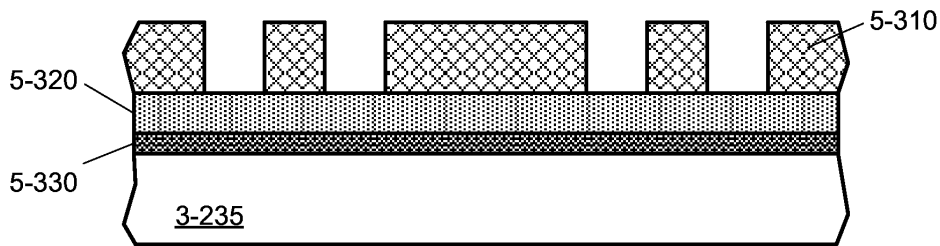
도면5bi



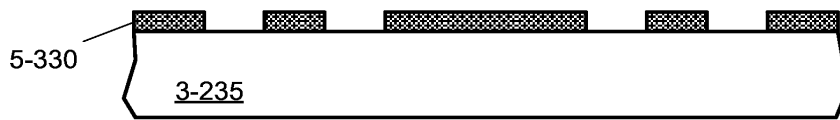
도면5ca



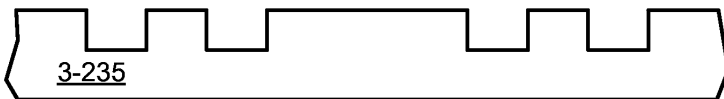
도면5cb



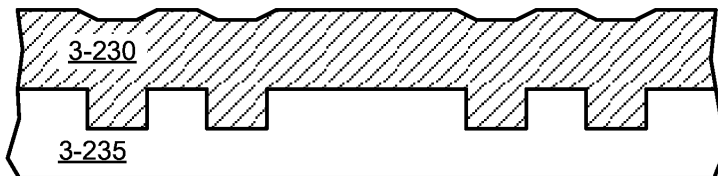
도면5cc



도면5cd



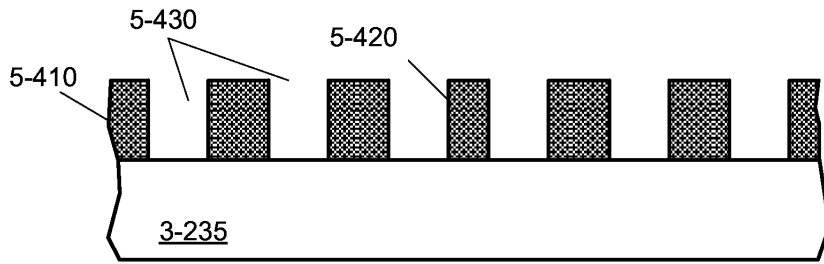
도면5ce



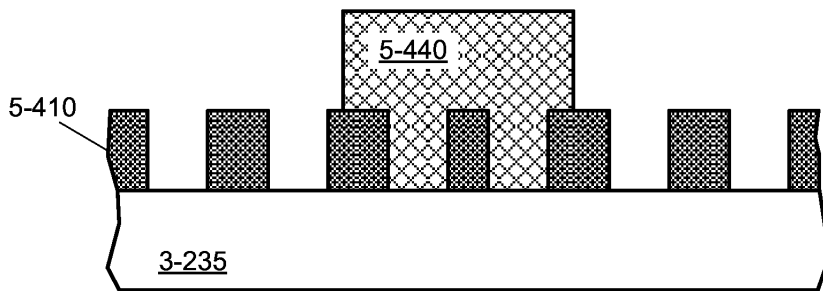
도면5da



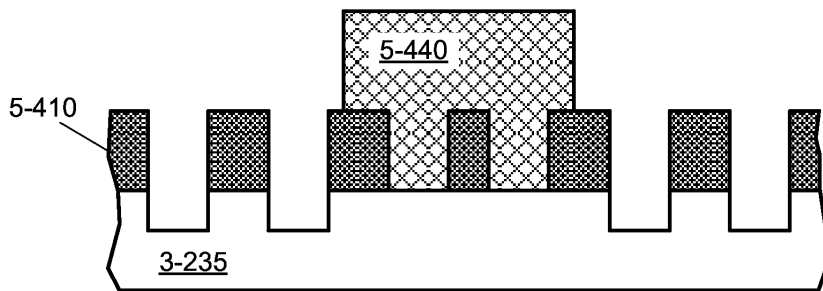
도면5db



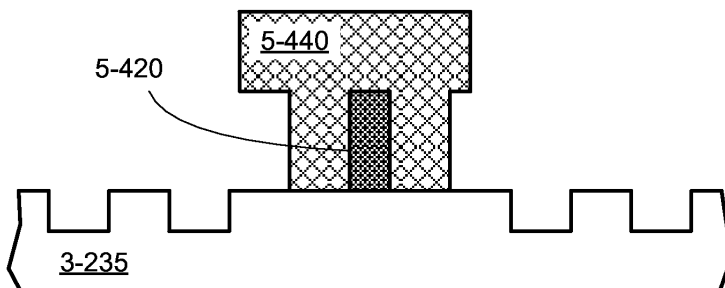
도면5dc



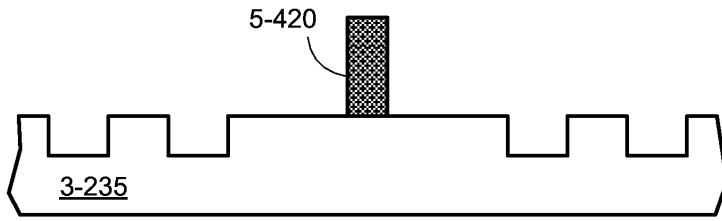
도면5dd



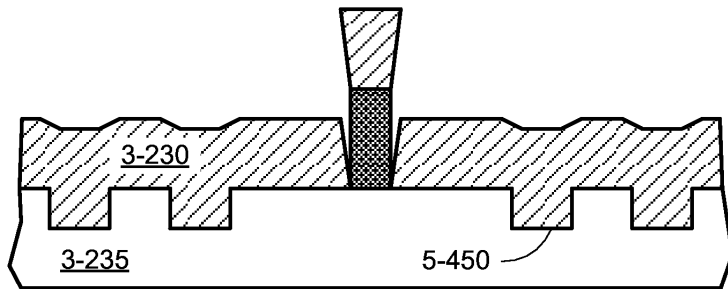
도면5de



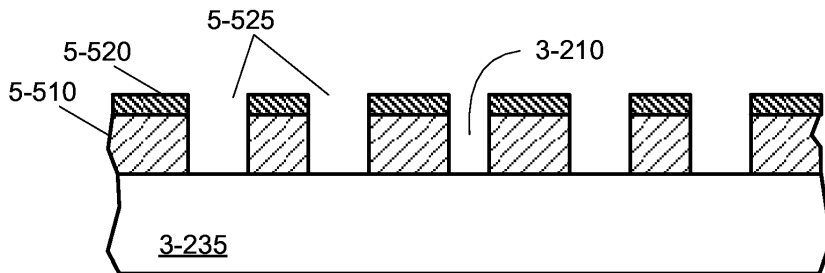
도면5df



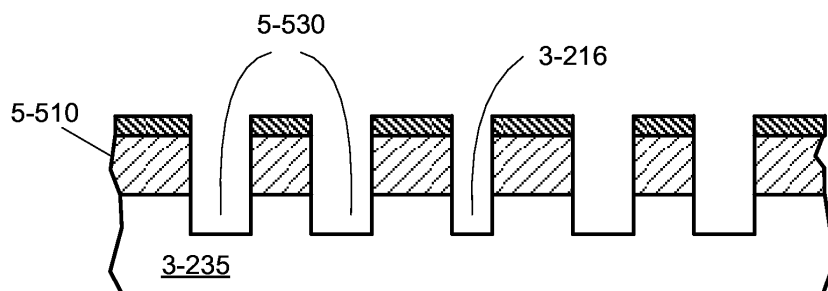
도면5dg



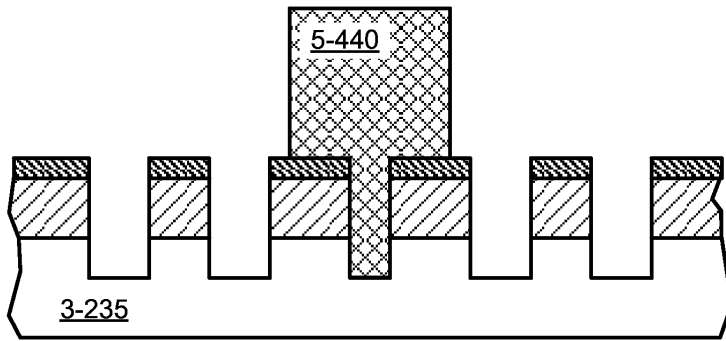
도면5ea



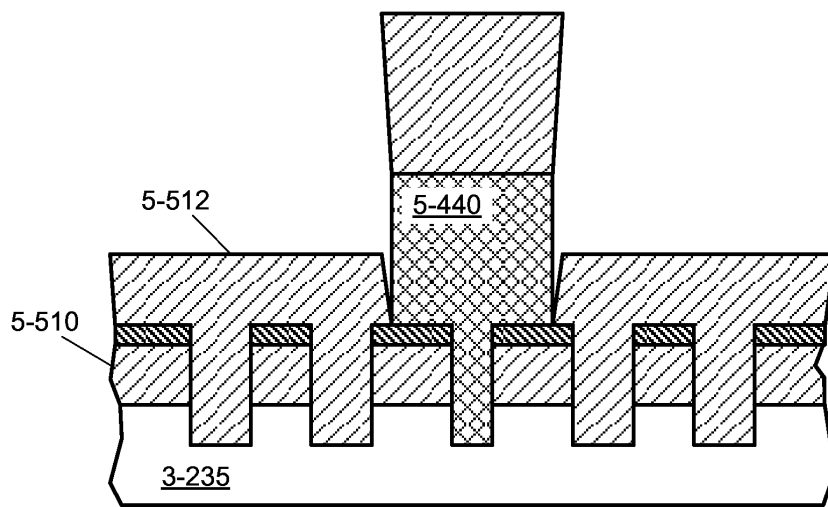
도면5eb



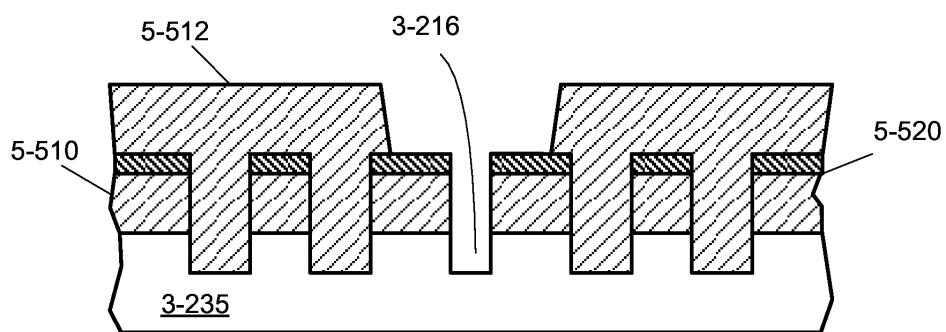
도면5ec



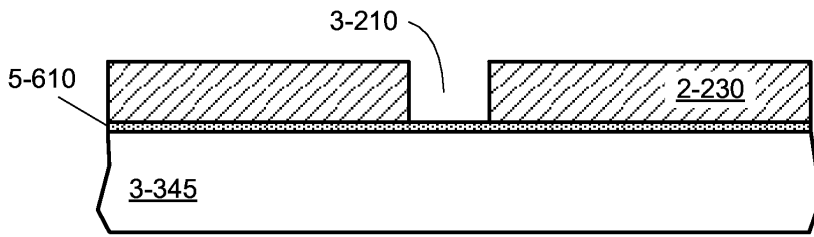
도면5ed



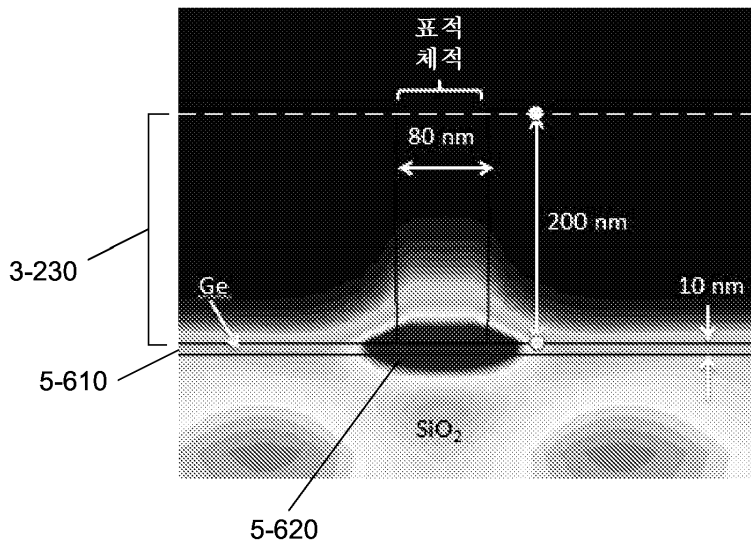
도면5ee



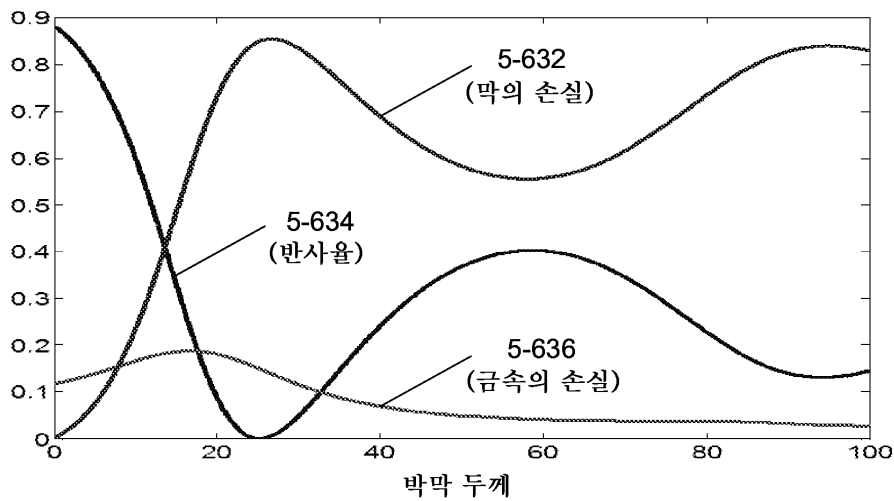
도면5fa



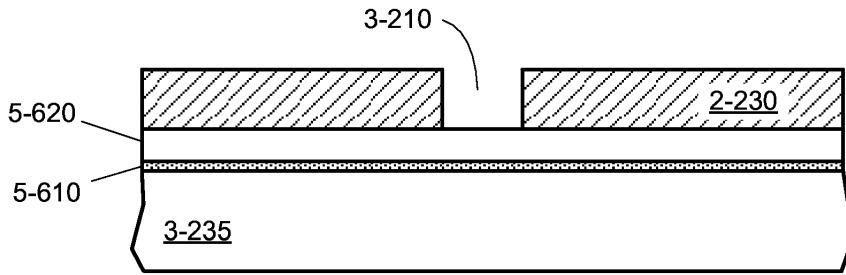
도면5fb



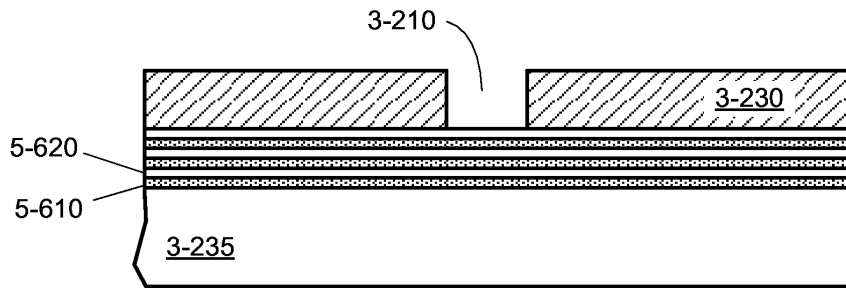
도면5fc



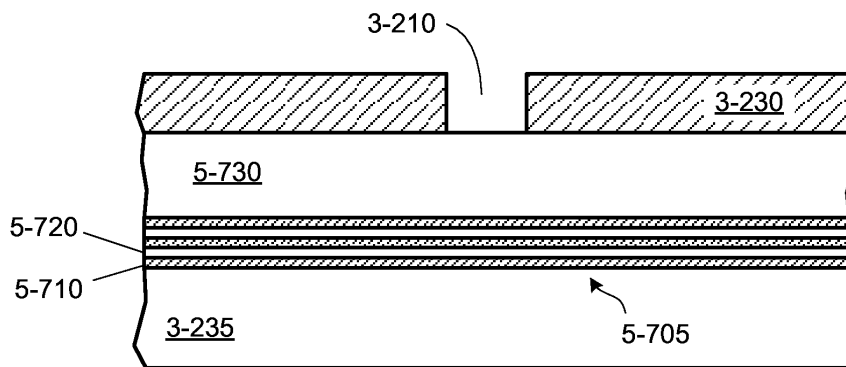
도면5fd



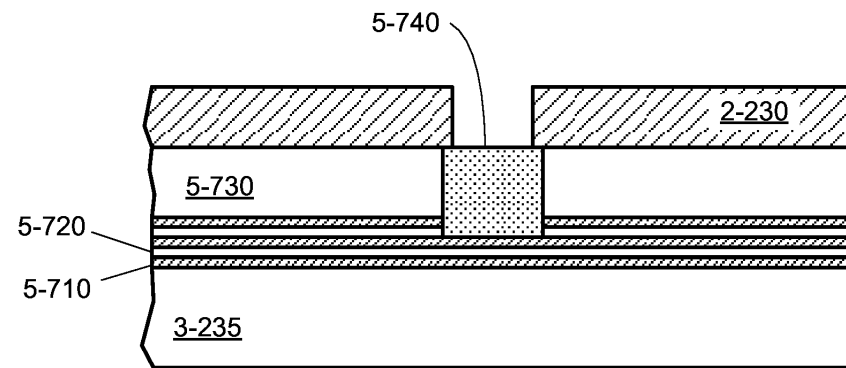
도면5fe



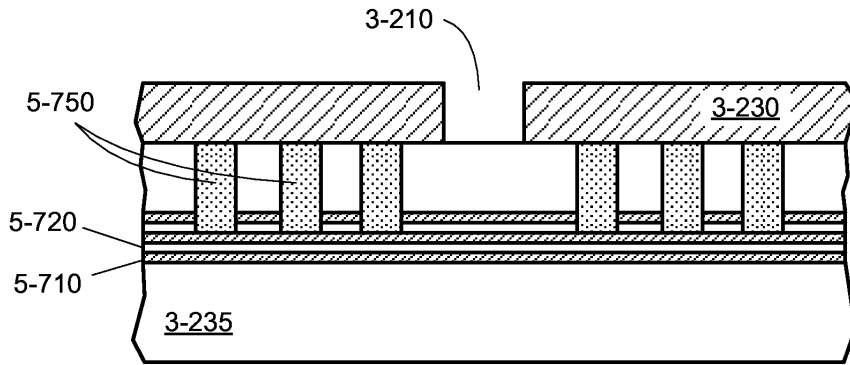
도면5ga



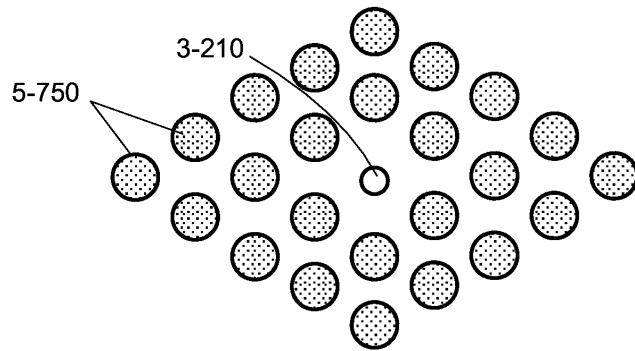
도면5gb



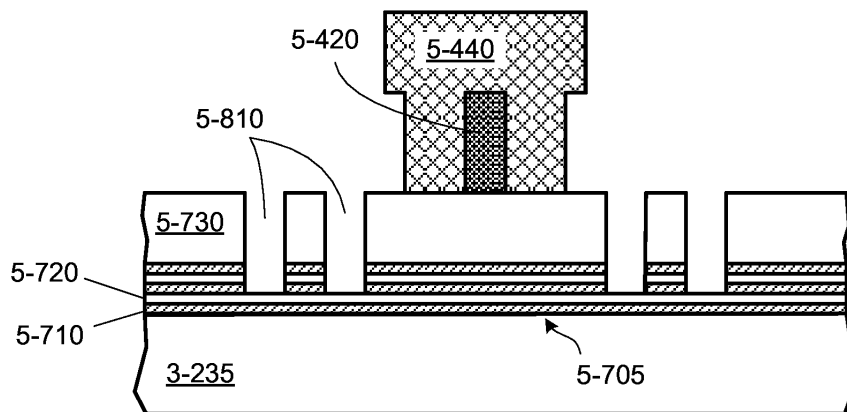
도면5gc



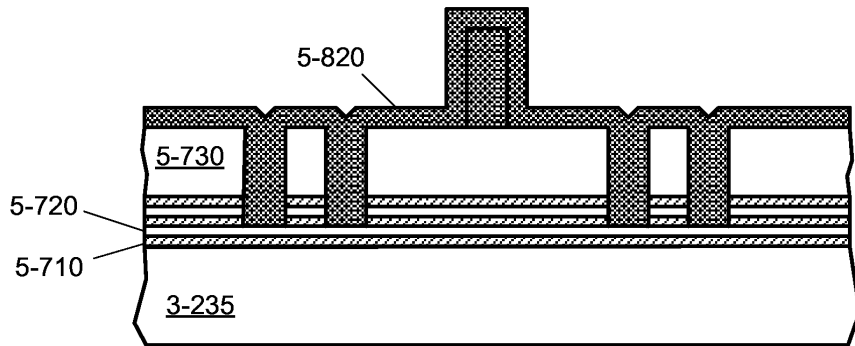
도면5gd



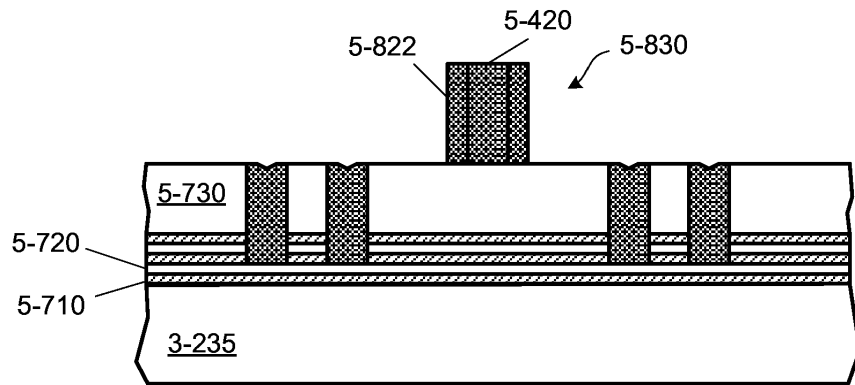
도면5ha



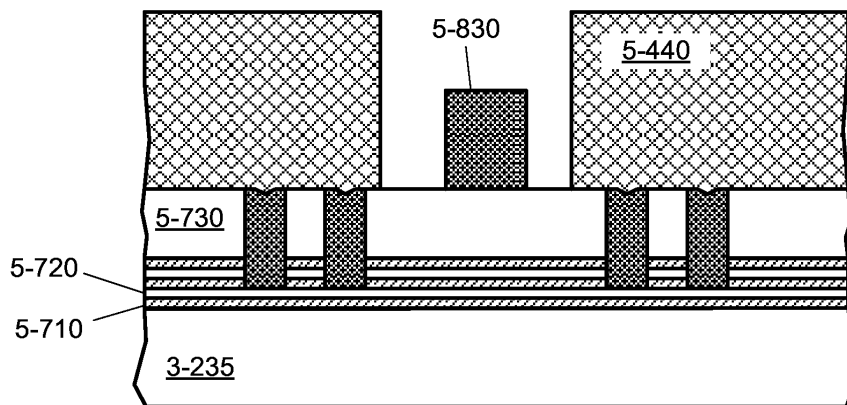
도면5hb



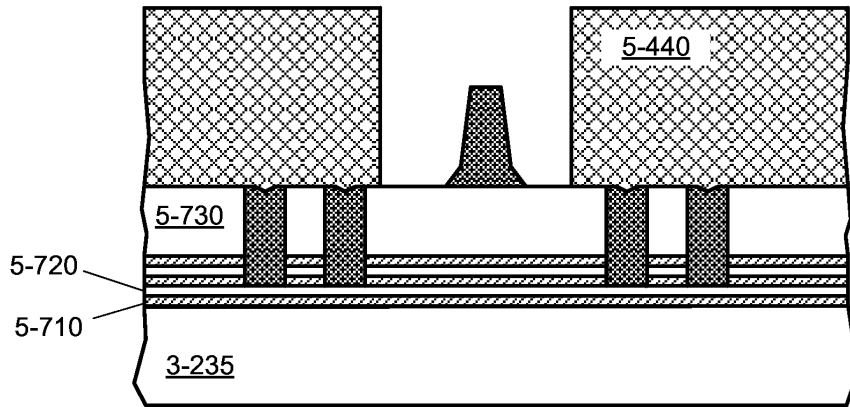
도면5hc



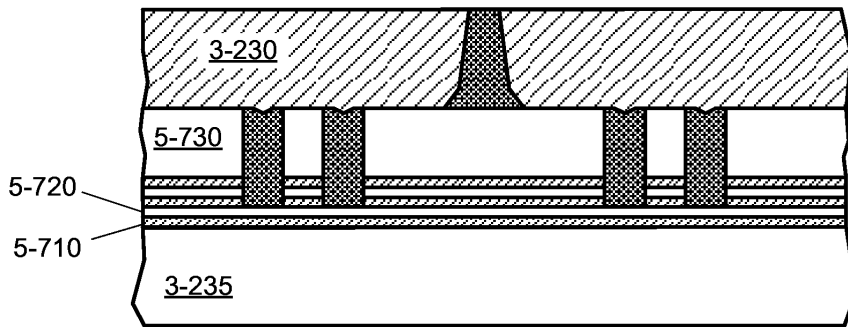
도면5hd



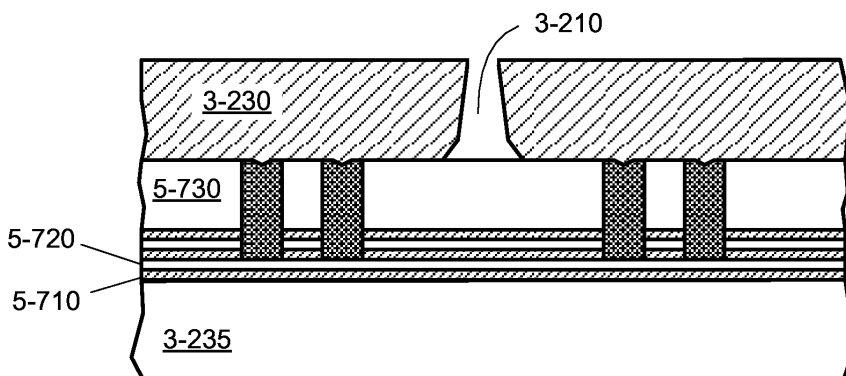
도면5he



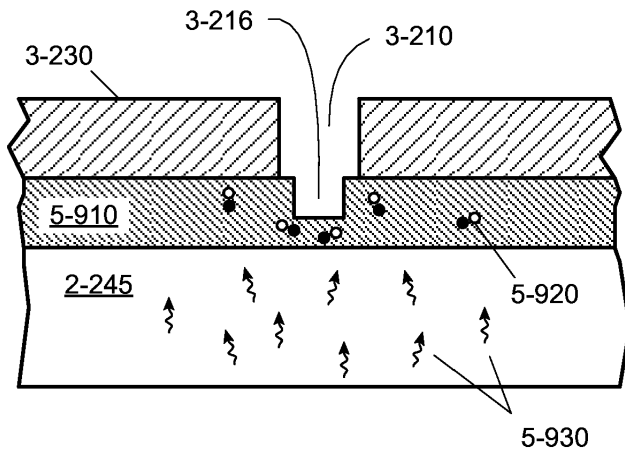
도면5hf



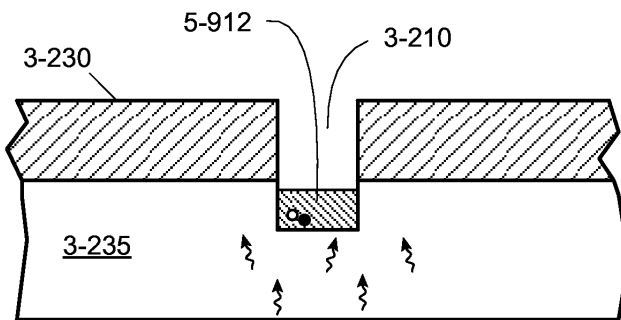
도면5hg



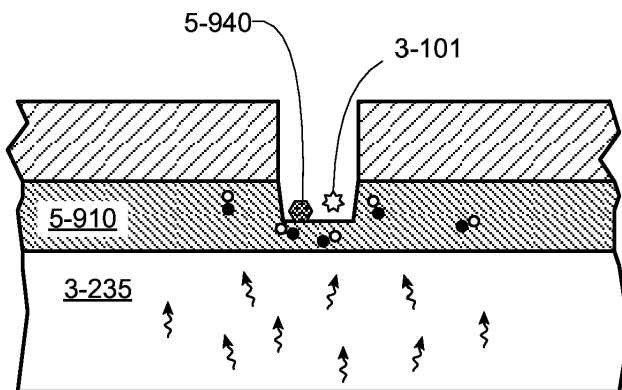
도면5ia



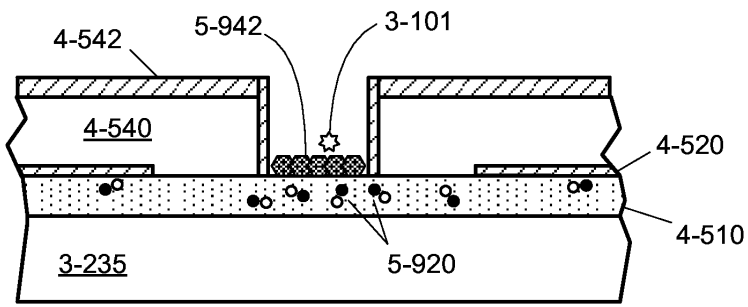
도면5ib



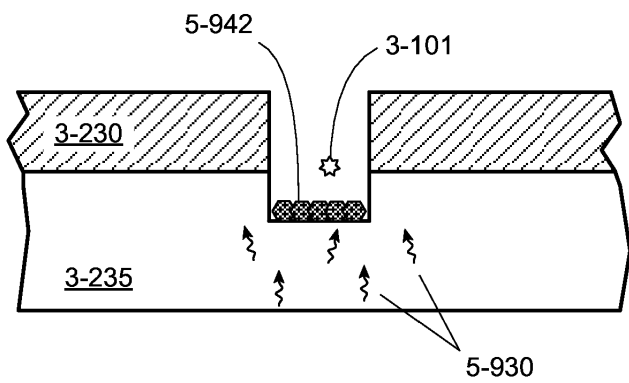
도면5ic



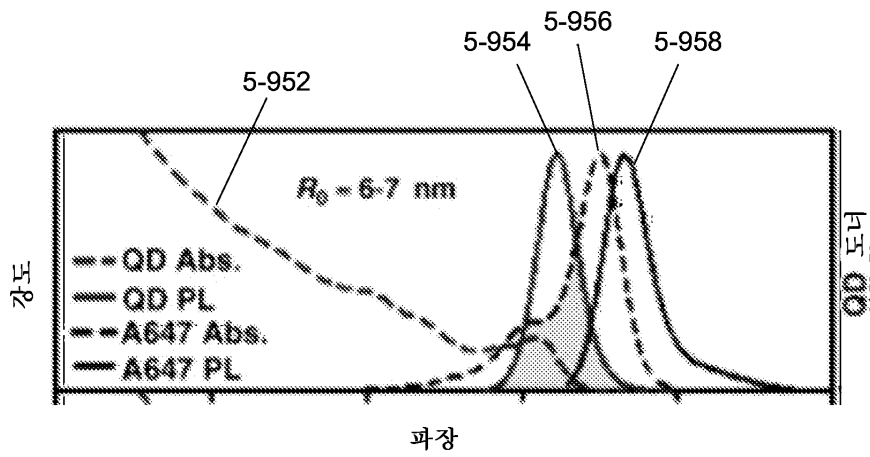
도면5id



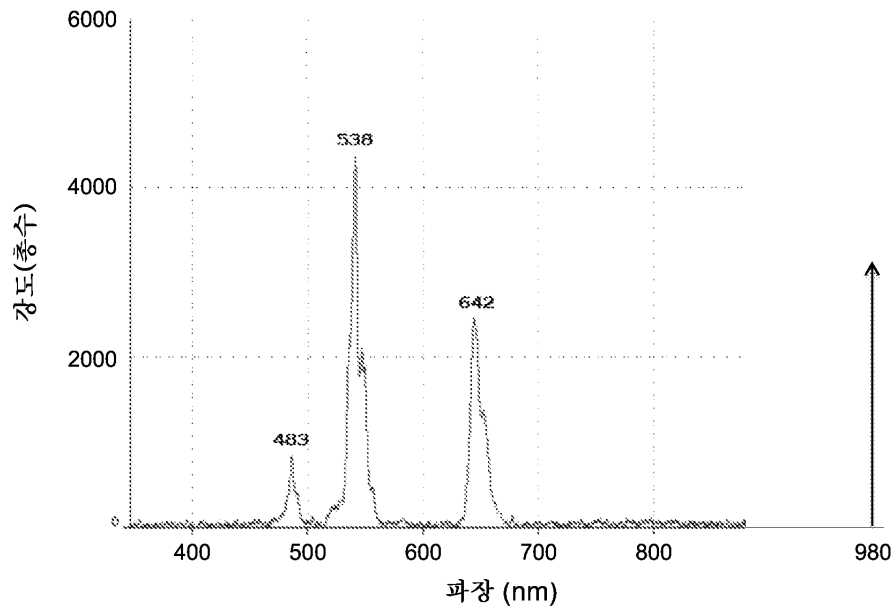
도면5ie



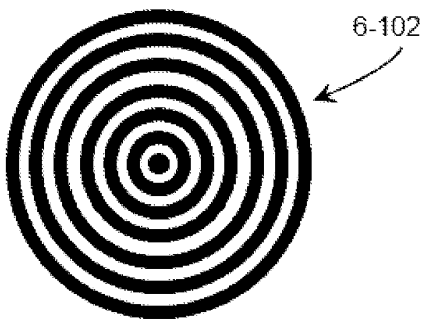
도면5if



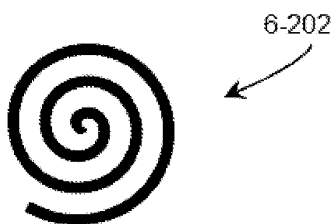
도면5ig



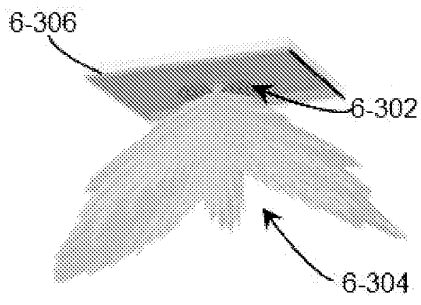
도면6aa



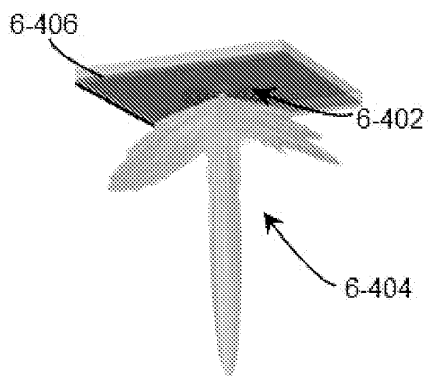
도면6ab



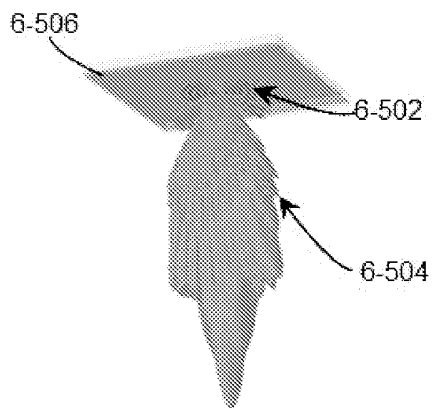
도면6ba



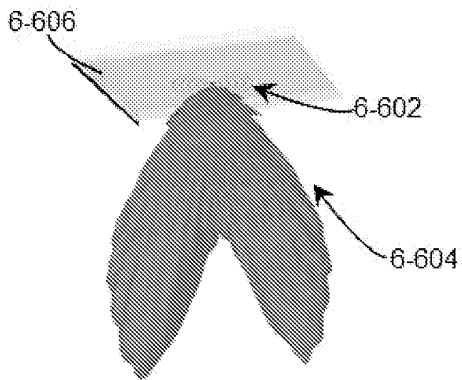
도면6bb



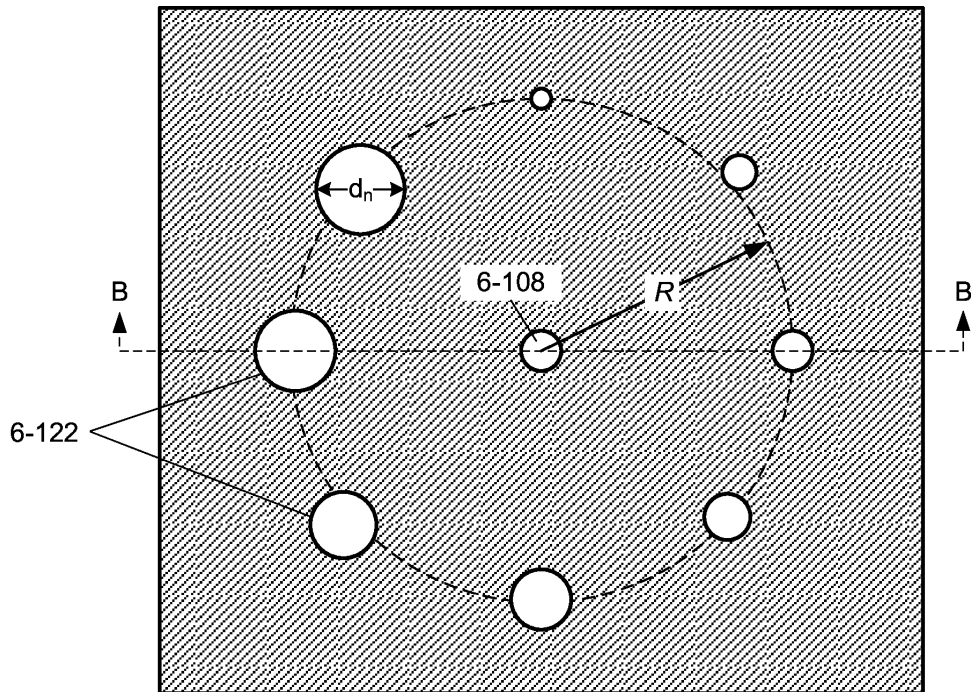
도면6bc



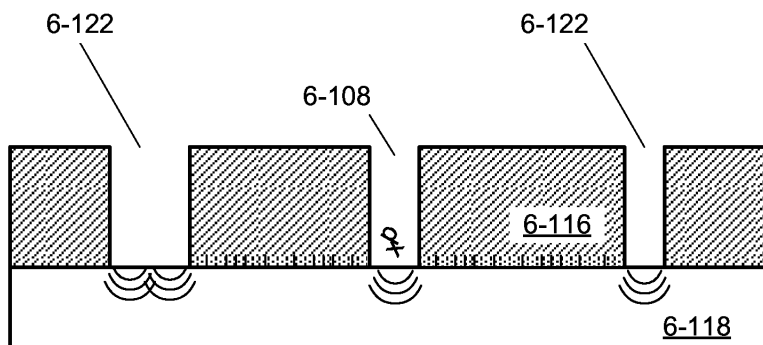
도면6bd



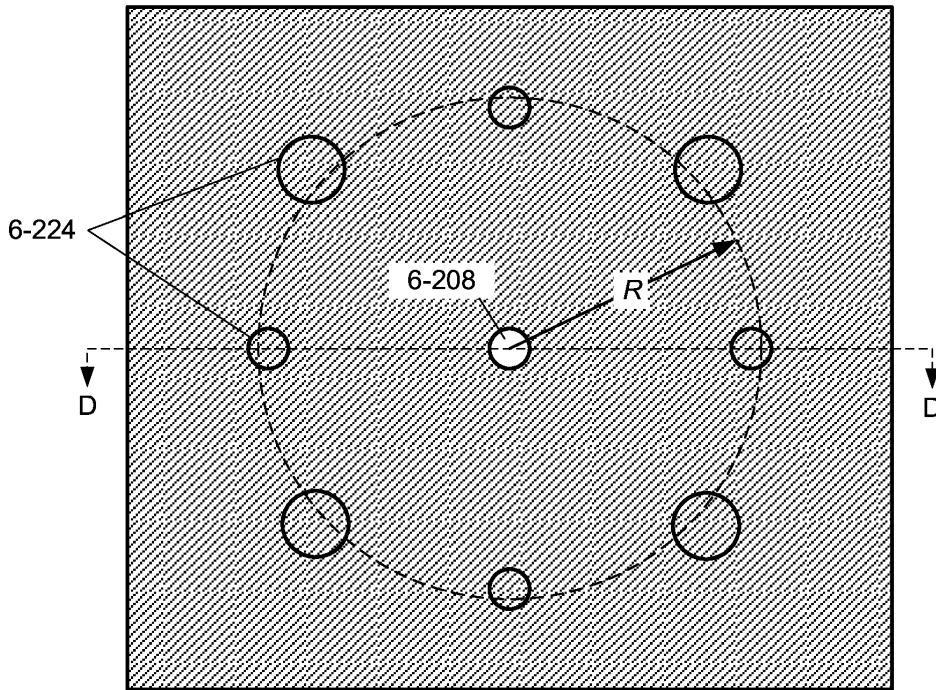
도면6ca



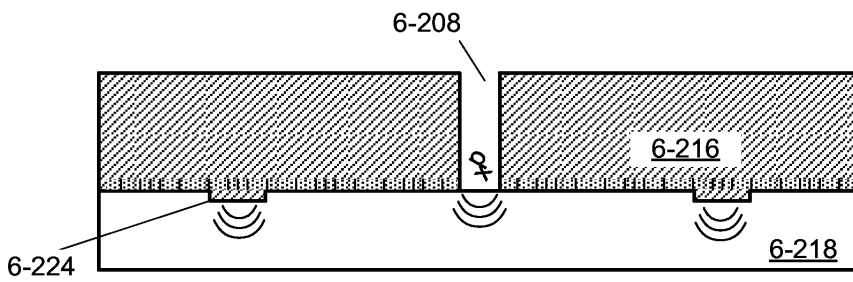
도면6cb



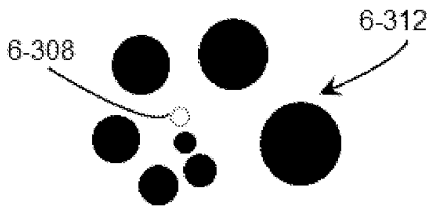
도면6cc



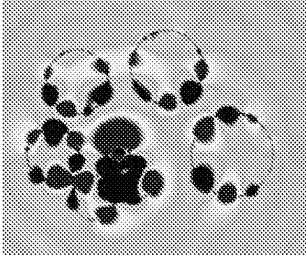
도면6cd



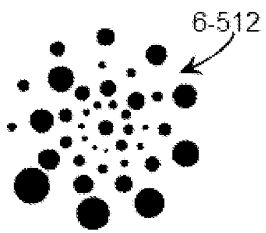
도면6da



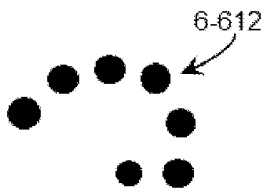
도면6db



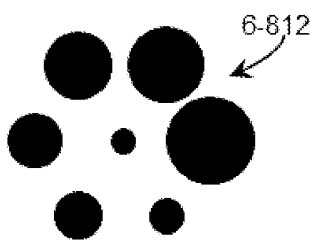
도면6dc



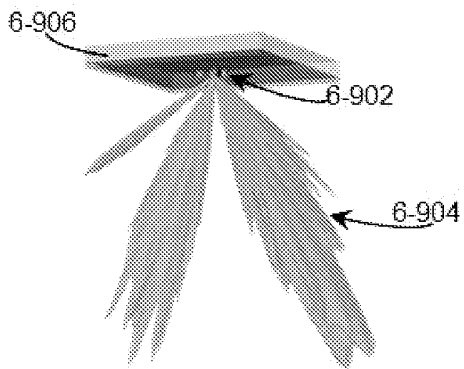
도면6dd



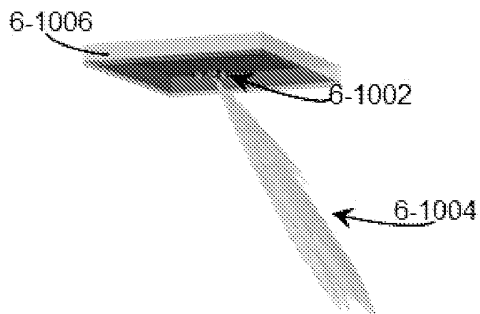
도면6de



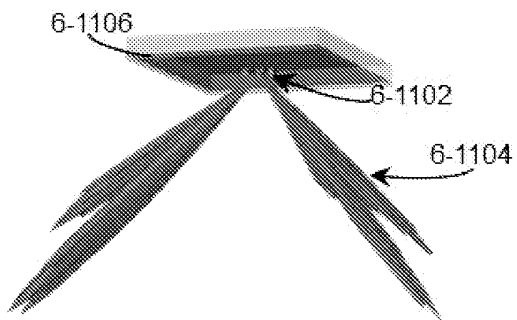
도면6ea



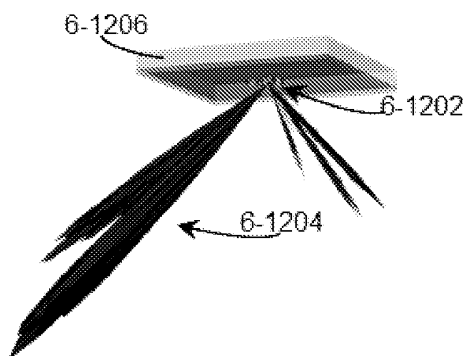
도면6eb



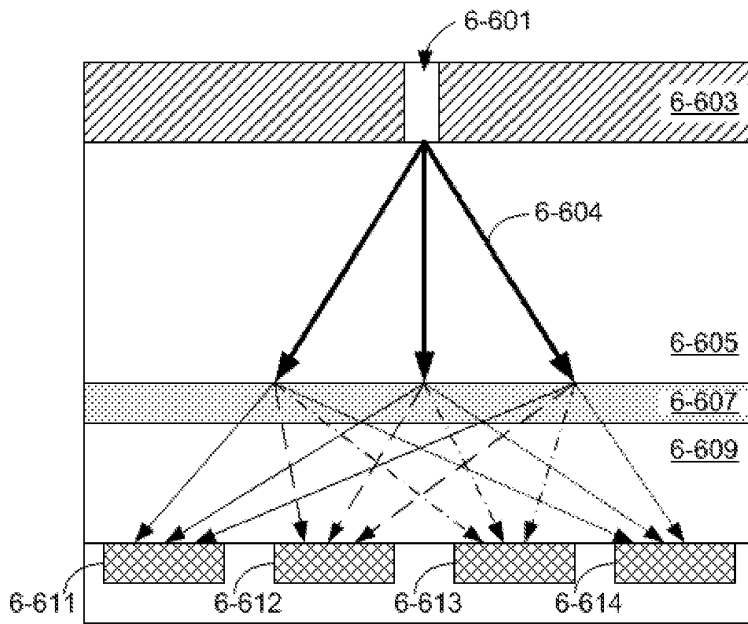
도면6ec



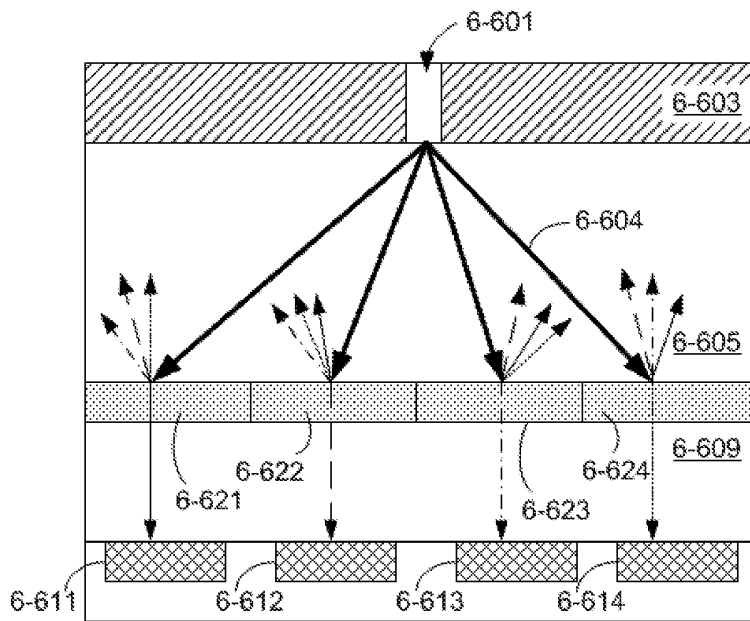
도면6ed



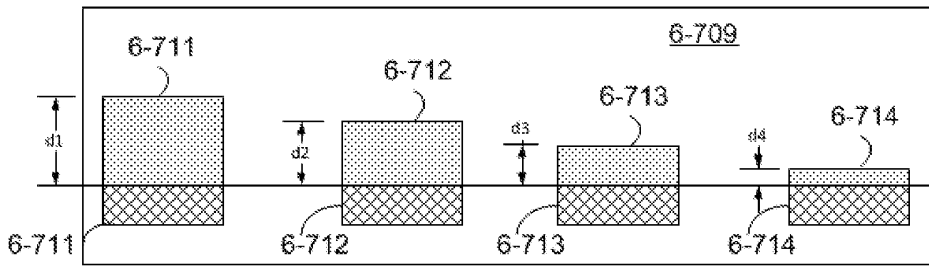
도면6fa



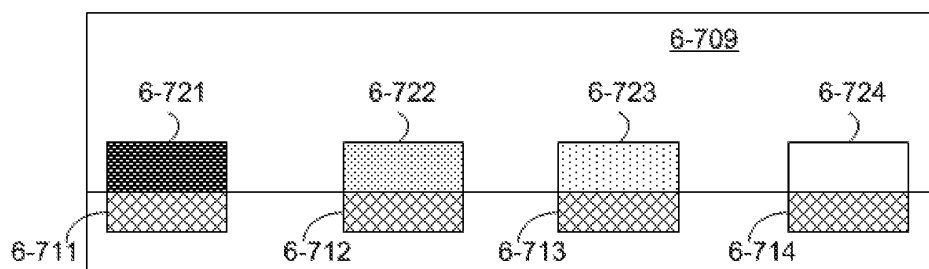
도면6fb



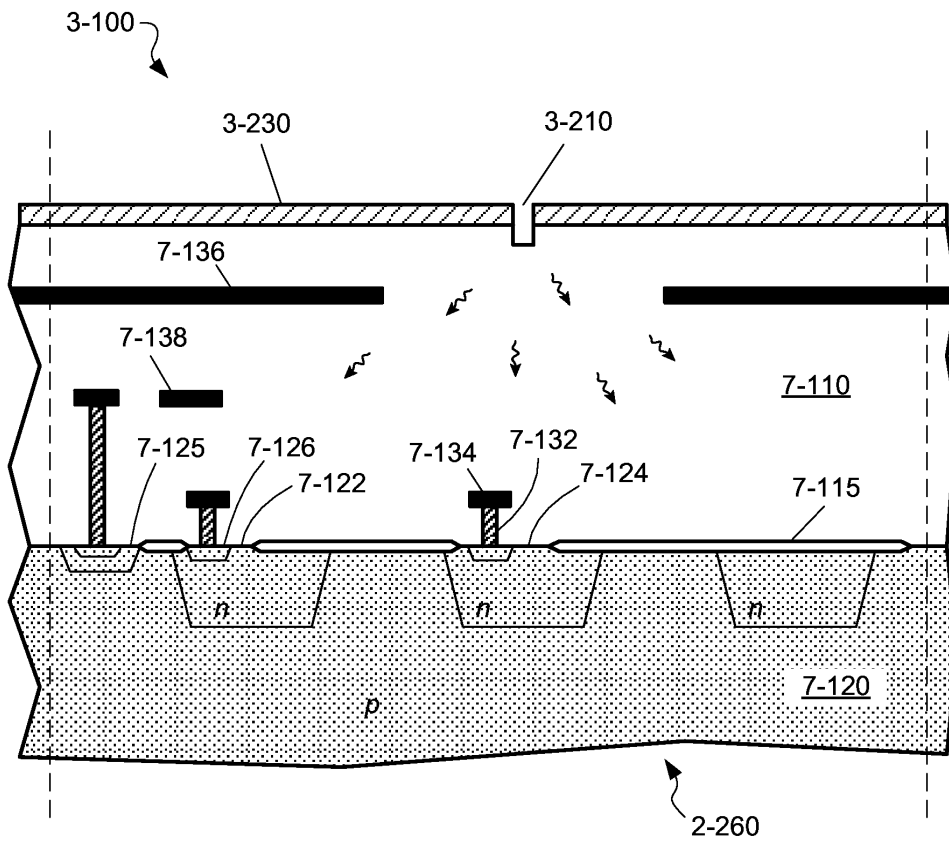
도면6ga



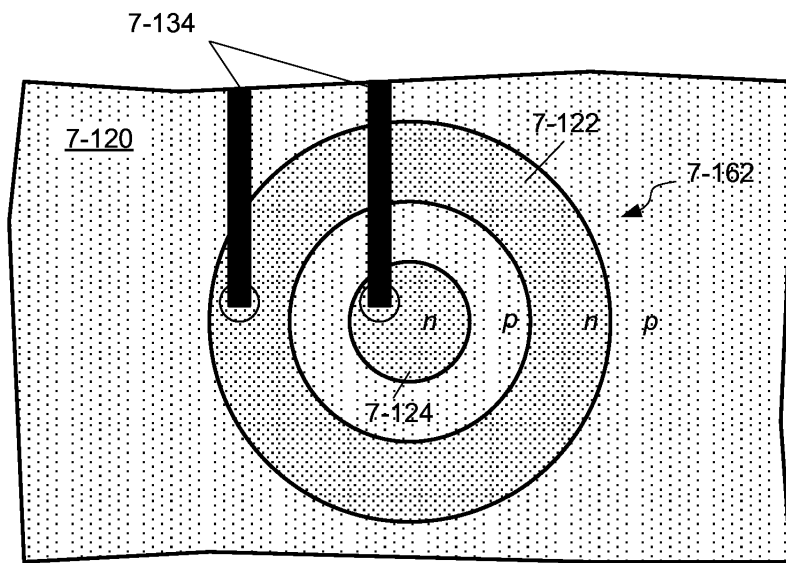
도면6gb



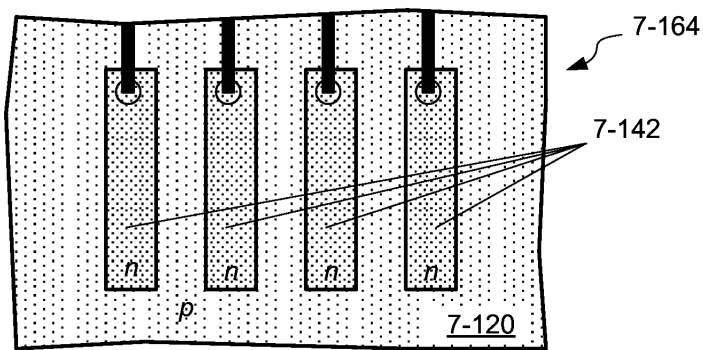
도면7aa



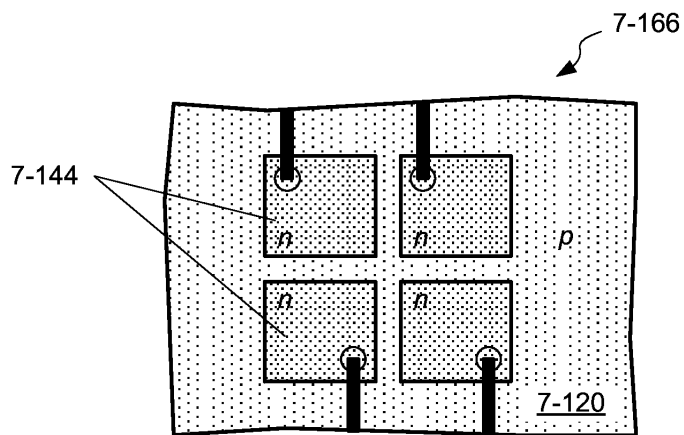
도면7ab



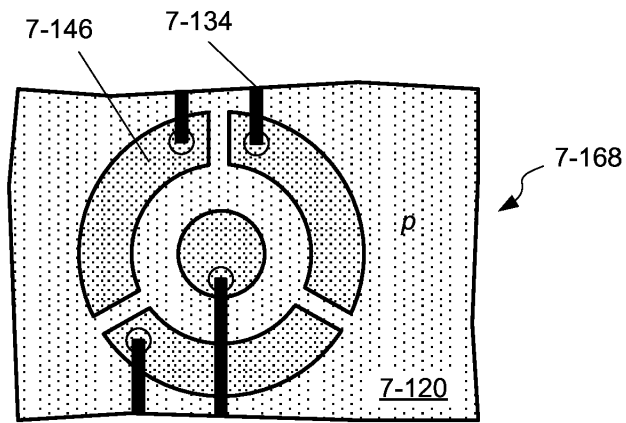
도면7ac



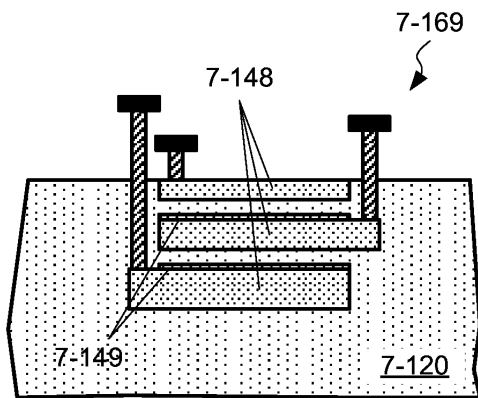
도면7ad



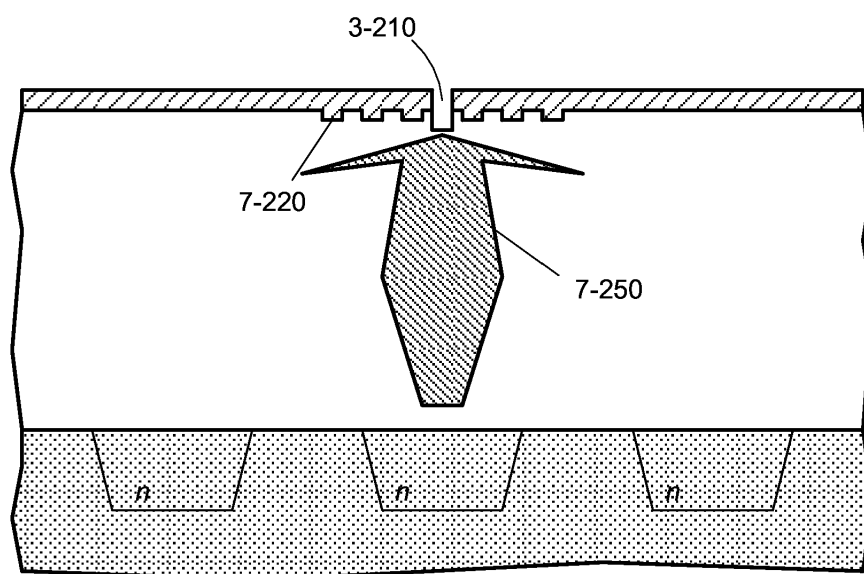
도면7ae



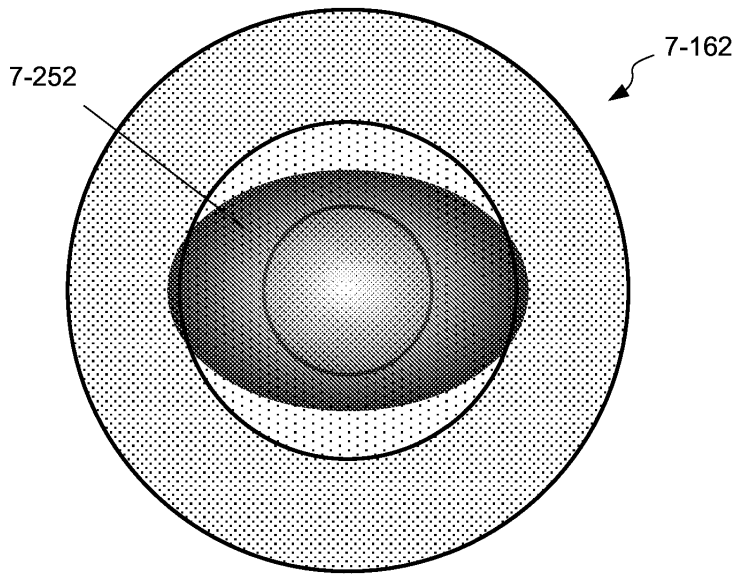
도면7af



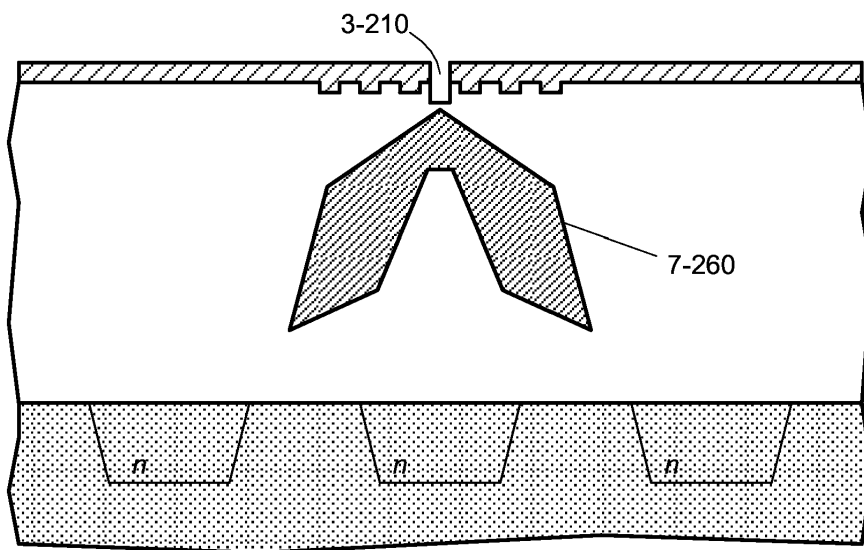
도면7ba



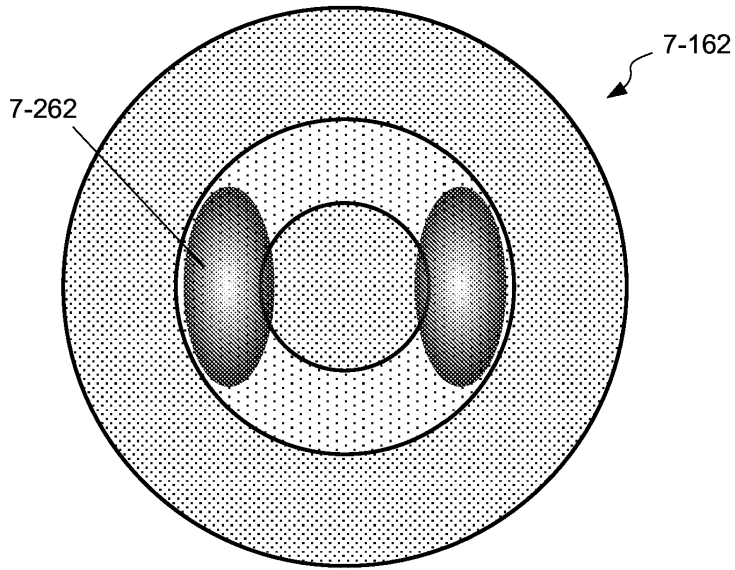
도면7bb



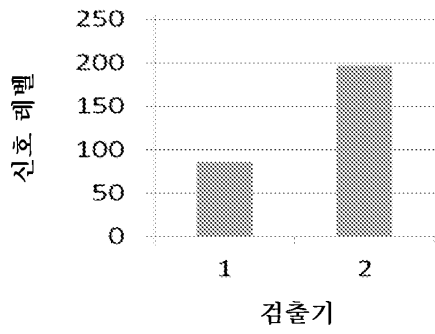
도면7bc



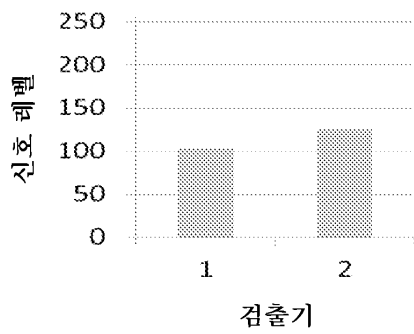
도면 7bd



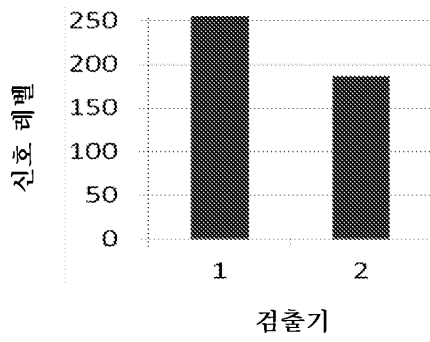
도면 7be



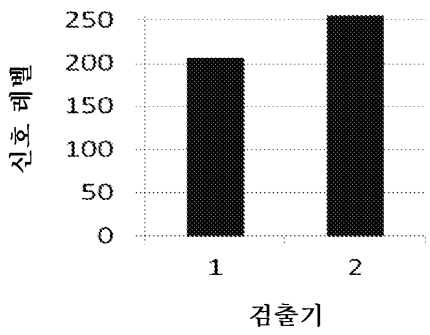
도면 7bf



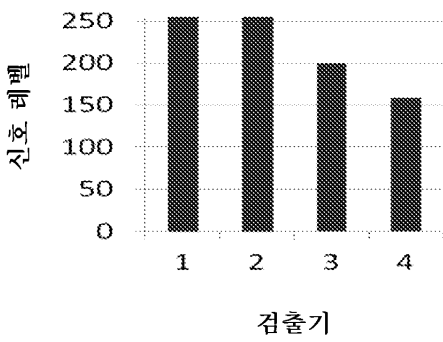
도면7bg



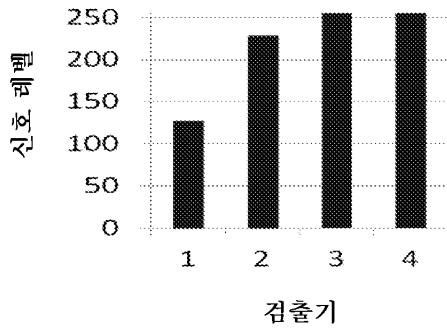
도면7bh



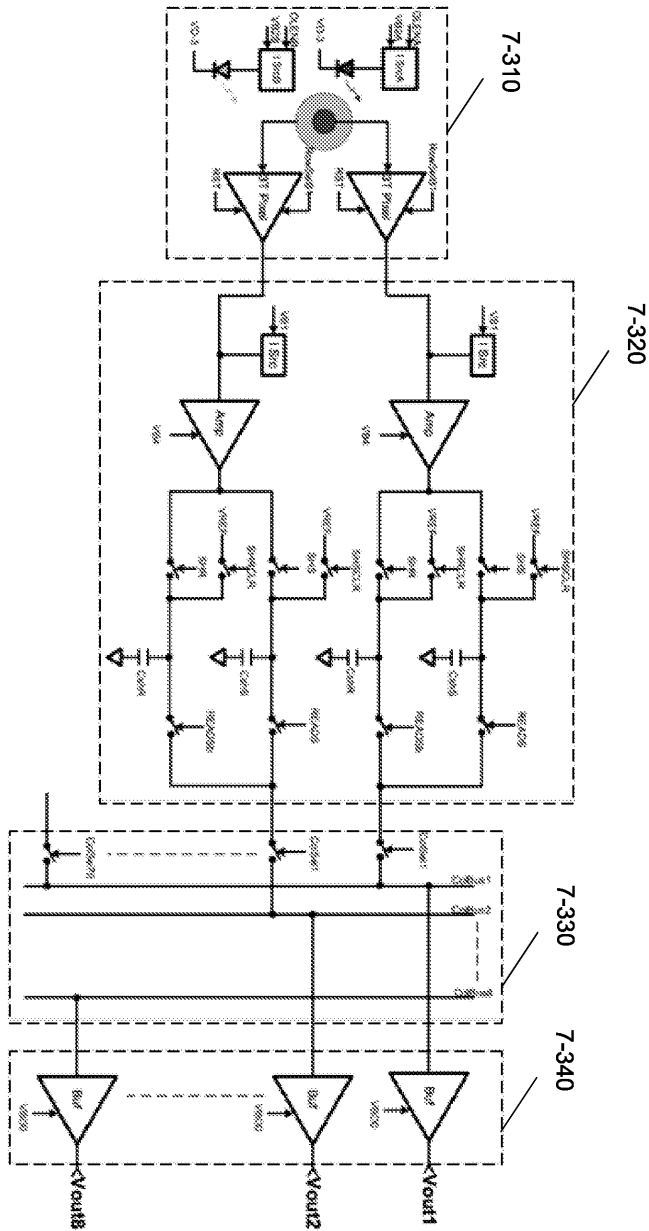
도면7bi



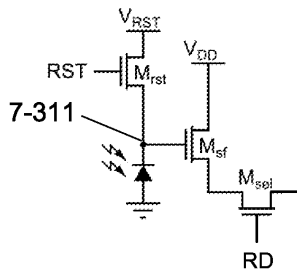
도면7bj



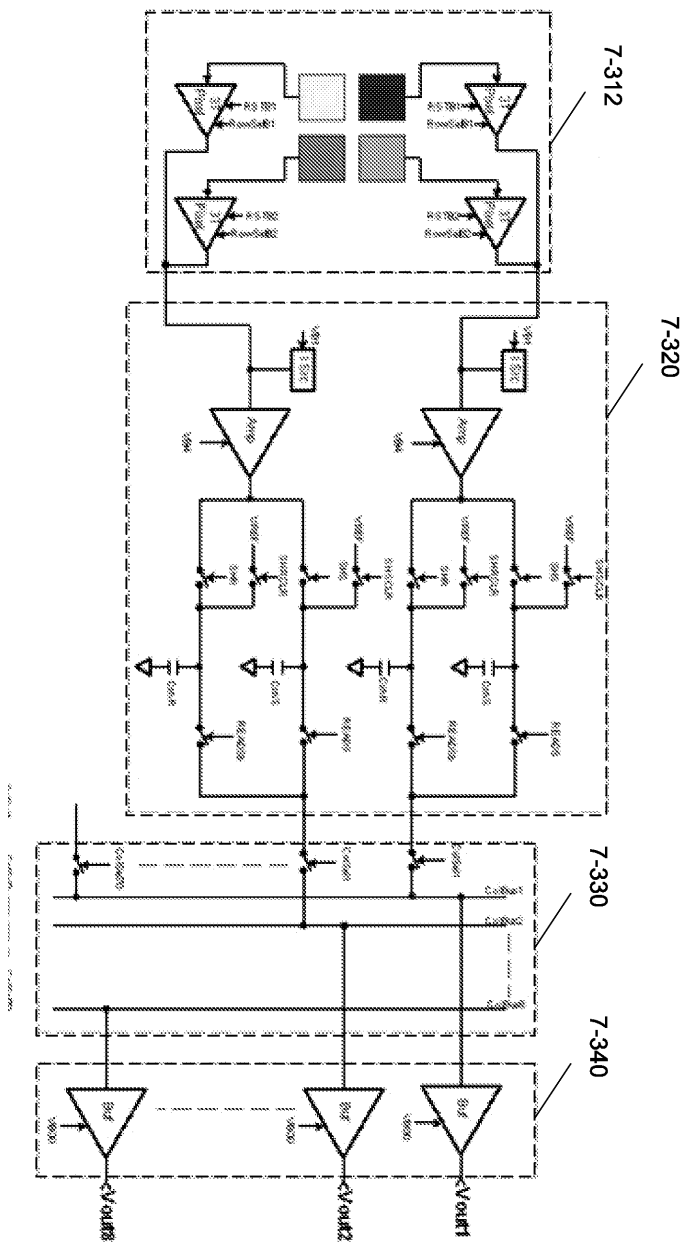
도면7ca



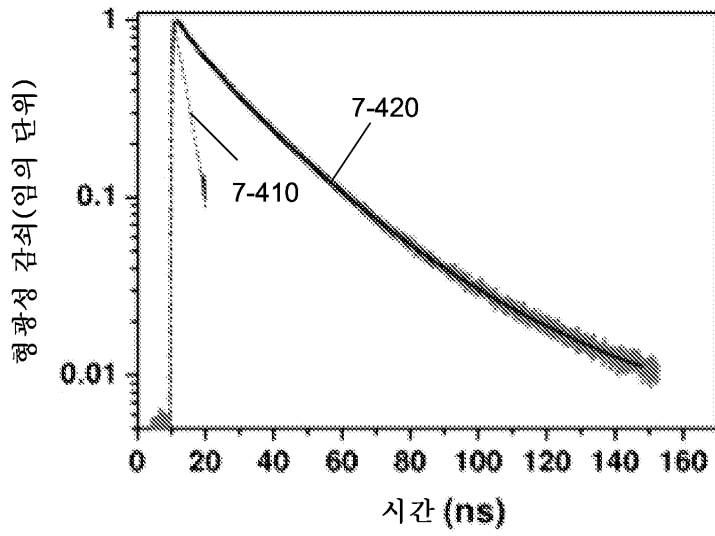
도면7cb



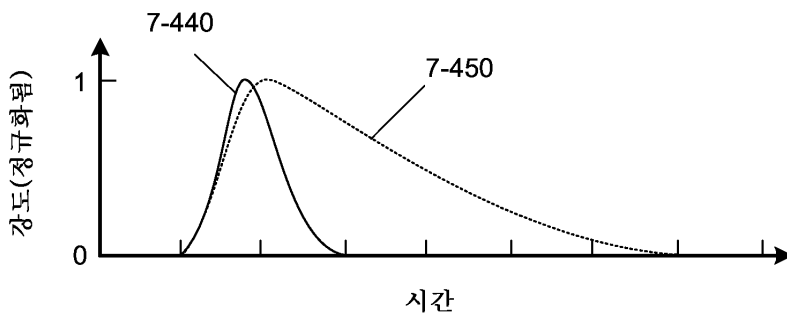
도면7cc



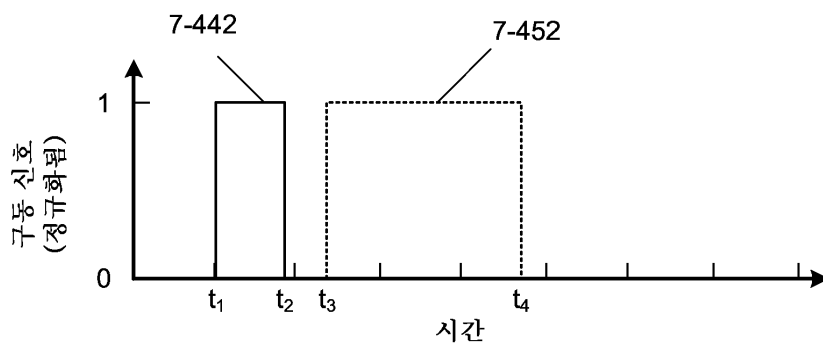
도면7da



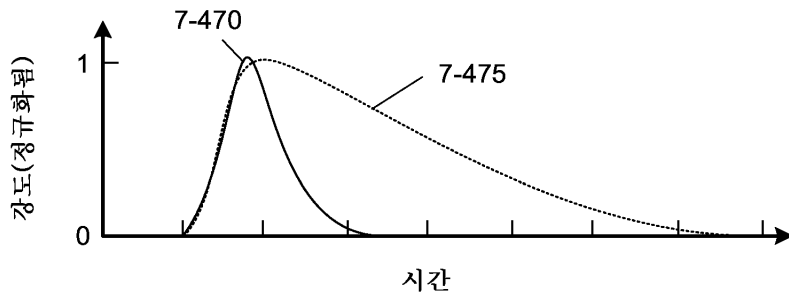
도면7db



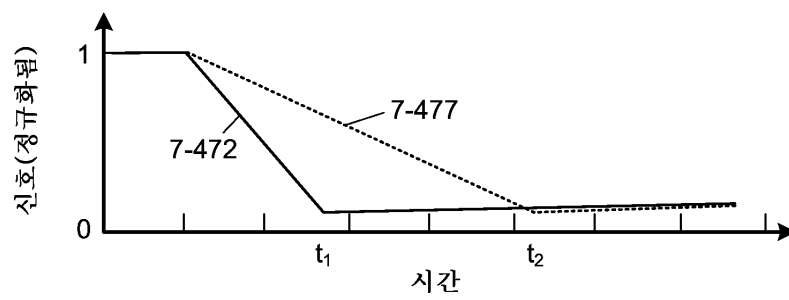
도면7dc



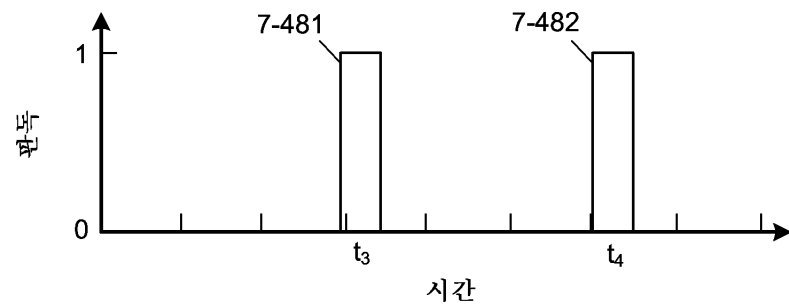
도면7dd



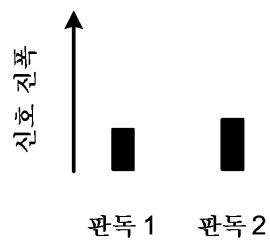
도면7de



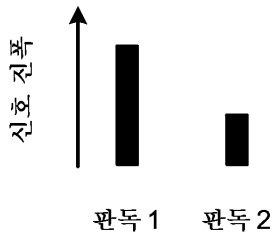
도면7df



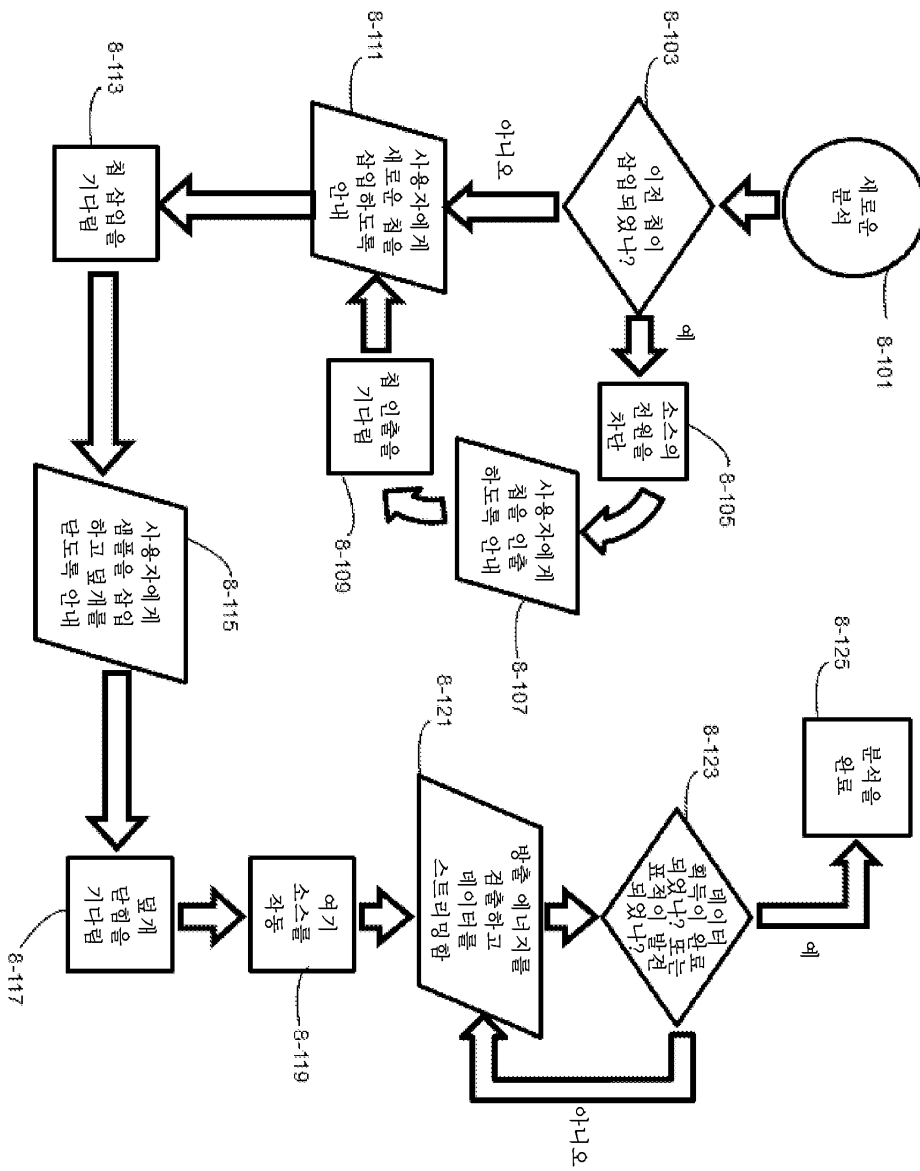
도면7dg



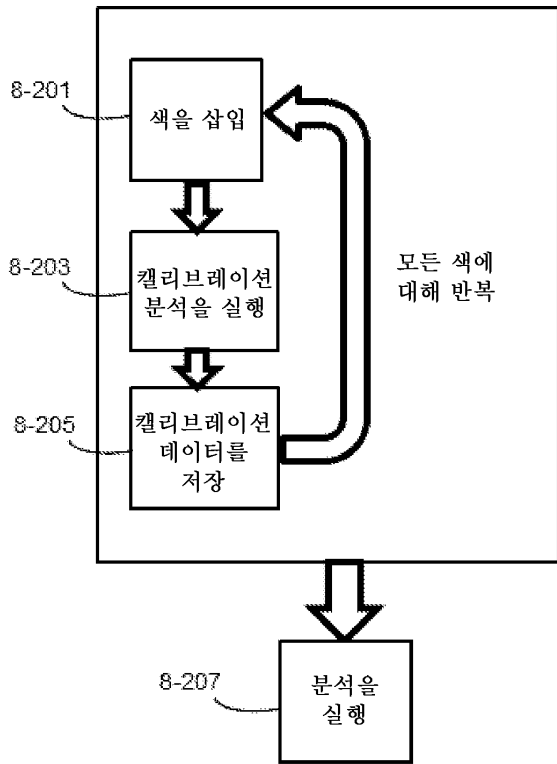
도면7dh



도면8a



도면8b



도면8c

