

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4245629号
(P4245629)

(45) 発行日 平成21年3月25日(2009.3.25)

(24) 登録日 平成21年1月16日(2009.1.16)

(51) Int.Cl.		F I		
G 1 1 C 16/02	(2006.01)	G 1 1 C 17/00	6 1 3	
G 1 1 C 16/04	(2006.01)	G 1 1 C 17/00	6 2 2 E	
		G 1 1 C 17/00	6 4 1	

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2006-314520 (P2006-314520)	(73) 特許権者	000003078
(22) 出願日	平成18年11月21日(2006.11.21)		株式会社東芝
(62) 分割の表示	特願平8-236900の分割		東京都港区芝浦一丁目1番1号
原出願日	平成8年9月6日(1996.9.6)	(74) 代理人	100075812
(65) 公開番号	特開2007-48460 (P2007-48460A)		弁理士 吉武 賢次
(43) 公開日	平成19年2月22日(2007.2.22)	(74) 代理人	100088889
審査請求日	平成18年11月21日(2006.11.21)		弁理士 橘谷 英俊
(31) 優先権主張番号	特願平7-234846	(74) 代理人	100082991
(32) 優先日	平成7年9月13日(1995.9.13)		弁理士 佐藤 泰和
(33) 優先権主張国	日本国(JP)	(74) 代理人	100096921
前置審査			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の動作方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリセルが配置され、同一行に属するメモリセルが共通のワード線で接続され、同一列に属するメモリセルが共通のビット線で接続され、同一行のデータを分割して読み出し可能な不揮発性メモリセルアレイと、分割データを分割単位ごとに格納および読み出し可能なシリアルレジスタとを含む第1のチップと、前記シリアルレジスタからの出力データを前記分割単位ごとに格納するキャッシュメモリを含む、前記第1のチップとは異なる第2のチップを備えた不揮発性半導体記憶装置の動作方法であって、

前記不揮発性メモリセルの指定された第1のデータを前記ワード線の単位で読み出して前記シリアルレジスタに格納し、

前記シリアルレジスタの下位部分のデータを読み出して、前記キャッシュメモリに転送して格納し、

前記第1のデータと異なる、ワード線の単位の第2のデータの下位部分のみのデータを読み出して前記シリアルレジスタの下位部分に格納するとともに前記シリアルレジスタの上位部分のデータを前記キャッシュメモリに転送して格納し、

前記シリアルレジスタの下位部分に格納されているデータを前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタの上位部分に前記第2のデータの上位部分を格納し、

前記シリアルレジスタに格納されている前記第2のデータの上位部分を前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタの下位部分に、前記第1のデ

ータ及び前記第2のデータと異なる、ワード線の単位の第3のデータの下位部分を格納し、

前記第3のデータの上位部分のデータを前記シリアルレジスタの上位部分に格納するとともに、前記第3のデータの上位部分のデータをすでに前記キャッシュメモリに格納されているデータと共に2進数にコード変換することを特徴とする不揮発性半導体記憶装置の動作方法。

【請求項2】

不揮発性メモリセルが配置され、同一行に属するメモリセルが共通のワード線で接続され、同一列に属するメモリセルが共通のビット線で接続され、同一行のデータを分割して読み出し可能な不揮発性メモリセルアレイと、分割データを分割単位ごとに格納および読み出し可能なシリアルレジスタとを含む第1のチップと、前記シリアルレジスタからの出力データを前記分割単位ごとに格納するキャッシュメモリを含む、前記第1のチップとは異なる第2のチップとを備えた不揮発性半導体記憶装置の動作方法であって、

ワード線単位のデータである、第1のデータの上位部分が格納された前記シリアルレジスタに前記第1のデータと異なり、ワード線単位のデータである、第2のデータの下位部分のみのデータを読み出して前記シリアルレジスタに格納するとともに前記シリアルレジスタに格納された前記第1のデータの上位部分を前記キャッシュメモリに転送して格納し、

前記シリアルレジスタに格納された前記第2のデータの下位部分を読み出して、前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタに前記第2のデータの上位部分を格納し、

前記キャッシュメモリに転送された前記第2のデータの上位部分は、すでに前記キャッシュメモリに格納されているデータと共に2進数にコード変換されることを特徴とする不揮発性半導体記憶装置の動作方法。

【請求項3】

前記キャッシュメモリに格納されたデータの2進数へのコード変換が、前記第2のチップに設けられたコード変換器により行われることを特徴とする請求項1に記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性半導体記憶装置の動作方法に関する。

【背景技術】

【0002】

多値データを記憶するフラッシュメモリはISSCC '95 Digest of Technical Papers, p 133等に詳細に開示されている。このメモリのアーキテクチャはリファレンスセルとしてフラッシュセルを用いており、これにより、リファレンスセルに流れる電流を制御し、セルのしきい値分布に合わせた読出し電位に対応できるようにしている。

【0003】

また、NAND型フラッシュメモリの読出しは、メモリセルアレイの1行分のデータを読み出してレジスタに格納するランダムアクセスと、このレジスタの格納内容をシリーズに読み出す動作を行っている。ここで、4値のメモリに対して3回の読出しを行う場合、読出しと2値への変換を行うにはランダムアクセス時間を t_R 、レジスタ読出し時間を t_S 、2値への変換時間を t_{conv} とすると、

$$3 t_R + 3 t_S + t_{conv}$$

の時間がかかることになり、例えばランダムアクセス時間 t_R を $10 \mu S$ 、レジスタ読出し時間 t_S を $50 ns$ で512バイトを読み出すものとして $25.6 \mu S$ 、2値への変換時間を $5 \mu S$ とすると、3回の読出しと2値への変換を行う場合、合計で

$$10 \times 3 + 25.6 \times 3 + 5 = 111.8 \mu S$$

の時間がかかることになる。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した多値メモリは以下の様な問題を有している。

【0005】

(1) 2^n 値メモリに対して n 個のセンスアンプが必要であるため、例えば4値メモリでは2個のセンスアンプが、8値メモリでは3個のセンスアンプが必要となって、センスアンプ部分の面積が増大する。

【0006】

(2) リファレンスセルの個数が予め設計段階で決まっており、融通性に欠ける。例えばリファレンスセルの個数が4個である場合、セルの均一性が良く、さらに多い多値が実現できる場合でも4値としなければならず、逆に製造時のプロセスパラメータのばらつきにより4値が実現できない場合、2値とすることは可能であるが、4値の為に設けたセンスアンプ等の回路が全て無駄になって普通の2値メモリに比較してコストアップにつながる。

10

【0007】

(3) センスアンプ部分の面積が大きすぎ、チップ内のセル分布に対してきめ細かく対応することが難しい。

【0008】

(4) 従来のNAND型フラッシュメモリの読出しは時間がかかり、高速読出しの要求に十分対応できていない。

20

【0009】

本発明は、上記問題を解決すべくなされたもので、多値の数にフレキシブルに対応でき、しかもチップサイズを最小にできる多値記憶の不揮発性半導体記憶装置およびその使用方法を提供することを目的とする。

【0010】

また、本発明は高速読出しが可能な不揮発性半導体記憶装置およびその動作方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

30

上記課題を解決するために、本発明の実施の一態様によれば、不揮発性メモリセルが配置され、同一行に属するメモリセルが共通のワード線で接続され、同一列に属するメモリセルが共通のビット線で接続され、同一行のデータを分割して読み出し可能な不揮発性メモリセルアレイと、分割データを分割単位ごとに格納および読み出し可能なシリアルレジスタを含む第1のチップと、前記シリアルレジスタからの出力データを前記分割単位ごとに格納するキャッシュメモリを含む、前記第1のチップとは異なる第2のチップを備えた不揮発性半導体記憶装置の動作方法であって、

前記不揮発性メモリセルの指定された第1のデータを前記ワード線の単位で読み出して前記シリアルレジスタに格納し、

前記シリアルレジスタの下位部分のデータを読み出して、前記キャッシュメモリに転送して格納し、

40

前記第1のデータと異なる、ワード線の単位の第2のデータの下位部分のみのデータを読み出して前記シリアルレジスタの下位部分に格納するとともに前記シリアルレジスタの上位部分のデータを前記キャッシュメモリに転送して格納し、

前記シリアルレジスタの下位部分に格納されているデータを前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタの上位部分に前記第2のデータの上位部分を格納し、

前記シリアルレジスタに格納されている前記第2のデータの上位部分を前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタの下位部分に、前記第1のデータ及び前記第2のデータと異なる、ワード線の単位の第3のデータの下位部分を格納し

50

前記第3のデータの上位部分のデータを前記シリアルレジスタの上位部分に格納するとともに、前記第3のデータの上位部分のデータをすでに前記キャッシュメモリに格納されているデータと共に2進数にコード変換することを特徴とする不揮発性半導体記憶装置の動作方法が提供される。

また、本発明の他の態様によれば、不揮発性メモリセルが配置され、同一行に属するメモリセルが共通のワード線で接続され、同一列に属するメモリセルが共通のビット線で接続され、同一行のデータを分割して読み出し可能な不揮発性メモリセルアレイと、分割データを分割単位ごとに格納および読み出し可能なシリアルレジスタとを含む第1のチップと、前記シリアルレジスタからの出力データを前記分割単位ごとに格納するキャッシュメモリを含む、前記第1のチップとは異なる第2のチップとを備えた不揮発性半導体記憶装置の動作方法であって、

ワード線単位のデータである、第1のデータの上位部分が格納された前記シリアルレジスタに前記第1のデータと異なり、ワード線単位のデータである、第2のデータの下位部分のみのデータを読み出して前記シリアルレジスタに格納するとともに前記シリアルレジスタに格納された前記第1のデータの上位部分を前記キャッシュメモリに転送して格納し

前記シリアルレジスタに格納された前記第2のデータの下位部分を読み出して、前記キャッシュメモリに転送して格納するとともに、前記シリアルレジスタに前記第2のデータの上位部分を格納し、

前記キャッシュメモリに転送された前記第2のデータの上位部分は、すでに前記キャッシュメモリに格納されているデータと共に2進数にコード変換されることを特徴とする不揮発性半導体記憶装置の動作方法が提供される。

【発明の効果】

【0015】

本発明によれば、分割データを分割単位ごとに格納および読み出し可能なシリアルレジスタと、このシリアルレジスタからの出力データを前記分割単位ごとに格納するキャッシュメモリとを備えて、パイプラインの手法を用いてデータの出力を行っているため、高速のフラッシュメモリを実現することができる。

【0016】

また、不揮発性メモリセルアレイの分割部分からシリアルレジスタの分割部分への読み出しと、シリアルレジスタの他の分割部分からキャッシュメモリへの転送とを並行に行うようにしているので、読み出し速度を向上させることができる。

【発明を実施するための最良の形態】

【0017】

本発明にかかる不揮発性半導体記憶装置の概略を図1～図4を参照して説明する。

【0018】

図1において、SA0～SAnはビット毎にベリファイ機能を有するセンスアンプである。

【0019】

メモリセルC0～Cnは半導体基板表面に形成されたソースおよびドレイン、これらの間の上方にそれぞれ絶縁膜を介して積層された浮遊ゲートおよび制御ゲートを有する2層ゲート型MOSトランジスタから構成される不揮発性メモリセルである。この実施の形態ではNAND型メモリセルを仮定しており、同一行に属するメモリセルの制御ゲートは共通にワード線WLに接続されている。

【0020】

この不揮発性メモリセルは、浮遊ゲートに電荷を注入することによりしきい値電圧を変化させ、そのしきい値の値によって2値以上の多値情報を記憶する。例えば、ワード線の駆動電圧5Vとした場合、しきい値-1V程度を“11”(“3”)に、1.5V程度を“10”(“2”)に、3V程度を“01”(“1”)に、4.5V程度を“00”(“

10

20

30

40

50

0”) に対応させると 4 値記憶のメモリセルとなる。また、しきい値が - 1 V 程度であるのを “ 1 1 1 ” (“ 7 ”) に、0 . 6 V 程度を “ 1 1 0 ” (“ 6 ”) に、1 . 2 V 程度を “ 1 0 1 ” (“ 5 ”) に、1 . 8 V 程度を “ 1 0 0 ” (“ 4 ”) に、2 . 4 V 程度を “ 0 1 1 ” (“ 3 ”) に、3 . 0 V 程度を “ 0 1 0 ” (“ 2 ”) に、3 . 6 V 程度を “ 0 0 1 ” (“ 1 ”) に、4 . 2 V 程度を “ 0 0 0 ” (“ 0 ”) に対応させると 8 値記憶のメモリセルとなる。また、2 の n 乗の多値数でなくても良く、例えばしきい値が - 1 V 程度であるのを “ 1 0 0 ” (“ 4 ”) に、1 V 程度を “ 0 1 1 ” (“ 3 ”) に、2 V 程度を “ 0 1 0 ” (“ 2 ”) に、3 V 程度を “ 0 0 1 ” (“ 1 ”) に、4 V 程度を “ 0 0 0 ” (“ 0 ”) に対応させると 5 値記憶のメモリセルとなる。但し、後述するように、2 の n 乗の多値数である方が、読み出された後のデータ変換が容易であるので有利である。

10

【 0 0 2 1 】

2 0 0 ~ 2 0 2 は定電圧発生回路であり、それぞれ定電圧であるペリファイ電圧 V_{vfy1} 、 V_{vfy2} 、 V_{vfy3} を出力する。上述のように、メモリセルに 4 値を記憶させる場合には、 V_{vfy1} 、 V_{vfy2} 、 V_{vfy3} の順に、1 . 5 V、3 . 0 V、4 . 5 V に設定すれば良い。実際には、後述するように、更に多数の定電圧回路ないし参照電圧発生回路を有しており、ワード線を何れかの電位に設定しつつ書込み、読出しを行うことにより 2 値から例えば 8 値迄の多値数記憶を可変で行うことが可能となる。

【 0 0 2 2 】

また、2 0 3 は書込み電圧発生回路であり、書込み時にワード線に印加する電圧 V_{pp} (例えば 20 V 一定、あるいは書込み回数に伴って 16 V、16 . 5 V、17 V のように所定電圧ずつステップアップする電圧) を供給する。

20

【 0 0 2 3 】

続いて、図 1 の回路における書込み動作を図 2 を参照して説明する。4 値記憶の場合は 3 ステップで書込みを行う。書込み前には消去動作がなされており、例えばメモリセルのしきい値は - 1 V に設定されている。これは “ 1 1 ” (“ 3 ”) 記憶に対応する。図 2 にはプログラム時間としきい値の経時変化を図に示したものである。書込みの速いセル fast cell 及び絶縁膜が厚いために書込みの遅いセル slow cell を併せて示してある。

【 0 0 2 4 】

(ステップ 1) : 以下のサブステップ 1 - 1 ~ 1 - 5 の動作を繰り返す。

【 0 0 2 5 】

1 - 1 書込みデータのデコード値の第 1 のデータをセンスアンプ内の書込みデータラッチにセットする。デコード値の第 1 のデータとは、“ 1 1 ” (“ 3 ”) であれば “ 1 ”、“ 1 0 ” (“ 2 ”) であれば “ 0 ”、“ 0 1 ” (“ 1 ”) であれば “ 1 ”、“ 0 0 ” (“ 0 ”) であれば “ 1 ” である。なお、“ 1 ” は書込み禁止電圧に対応し、“ 0 ” は書込み電圧に対応する。すなわち、“ 1 0 ” を書き込むメモリセルに対応するビット線にだけ書込み電圧を印加し、それ以外のメモリセルに対応するビット線には書込み禁止電圧を印加する。

30

【 0 0 2 6 】

1 - 2 ワード線 W_L に V_{pp} (20 V) を印加し、書込み動作を書込み時間 t_p だけ行う。より詳細には、ワード線には 20 V を、“ 1 0 ” を書き込むメモリセルに対応するビット線には書込み電圧である 0 V を、それ以外のメモリセルに対応するビット線には書込み禁止電圧である 10 V を印加する。この結果、“ 1 0 ” を書き込むメモリセルのしきい値のみが若干上昇し、他のメモリセルのしきい値は変化しない。

40

【 0 0 2 7 】

1 - 3 ワード線 W_L を V_{vfy1} (1 . 5 V) まで駆動し、ペリファイ動作を行う。すなわち、ビット線を全て 5 V にプリチャージし、ある時間が経った後、ビット線の電位をセンスアンプが検知する。そして、書込みが完了していればセンスアンプ内の書込みデータラッチを “ 0 ” から “ 1 ” へと反転させる。

【 0 0 2 8 】

1 - 4 全ての書込みデータラッチのデータが “ 1 ” になっているか否かを検知する

50

。“ 1 ” になっていれば終了する。

【 0 0 2 9 】

1 - 5 全ての書込みデータラッチのデータが “ 1 ” になっていなければ、次回の 1 1 以降のステップに備え、 V_{pp} を V_{pp} (例えば 0 . 5 V) だけ上昇させ、もしくは書込み時間 t_p を t_p だけ増加させる。なお、このステップは省略しても良い。

【 0 0 3 0 】

(ステップ 2) : 以下のサブステップ 2 - 1 ~ 2 - 5 の動作を繰り返す。

【 0 0 3 1 】

2 - 1 書込みデータのデコード値の第 2 のデータをセンスアンプ内の書込みデータラッチにセットする。デコード値の第 2 のデータとは、“ 1 1 ” であれば “ 1 ”、“ 1 0 ” であれば “ 1 ”、“ 0 1 ” であれば “ 0 ”、“ 0 0 ” であれば “ 1 ” である。すなわち、“ 0 1 ” を書き込むメモリセルに対応するビット線にだけ書込み電圧を印加し、それ以外のメモリセルに対応するビット線には書込み禁止電圧を印加する。

10

【 0 0 3 2 】

2 - 2 ワード線 W_L に V_{pp} (2 0 V) を印加し、書込み動作を書込み時間 t_p だけ行う。この結果、“ 0 1 ” を書き込むメモリセルのしきい値のみが若干上昇し、他のメモリセルのしきい値は変化しない。

【 0 0 3 3 】

2 - 3 ワード線 W_L を V_{fy2} (3 . 0 V) まで駆動し、ベリファイ動作を行う。すなわち、ビット線を全て 5 V にプリチャージし、ある時間が経った後、ビット線の電位をセンスアンプが検知する。そして、書込みが完了していればセンスアンプ内の書込みデータラッチを “ 0 ” から “ 1 ” へと反転させる。

20

【 0 0 3 4 】

2 - 4 全ての書込みデータラッチのデータが “ 1 ” になっているか否かを検知する。“ 1 ” になっていれば終了する。

【 0 0 3 5 】

2 - 5 全ての書込みデータラッチのデータが “ 1 ” になっていなければ、次回のステップに備え、 V_{pp} を V_{pp} (例えば 0 . 5 V) だけ上昇させ、もしくは書込み時間 t_p を t_p だけ増加させる。なお、このステップは省略しても良い。

【 0 0 3 6 】

(ステップ 3) : 以下のサブステップ 3 - 1 ~ 3 - 5 の動作を繰り返す。

30

【 0 0 3 7 】

3 - 1 書込みデータのデコード値の第 3 のデータをセンスアンプ内の書込みデータラッチにセットする。デコード値の第 3 のデータとは、“ 1 1 ” であれば “ 1 ”、“ 1 0 ” であれば “ 1 ”、“ 0 1 ” であれば “ 1 ”、“ 0 0 ” であれば “ 0 ” である。すなわち、“ 0 0 ” を書き込むメモリセルに対応するビット線にだけ書込み電圧を印加し、それ以外のメモリセルに対応するビット線には書込み禁止電圧を印加する。

【 0 0 3 8 】

3 - 2 ワード線 W_L に V_{pp} (2 0 V) を印加し、書込み動作を書込み時間 t_p だけ行う。この結果、“ 0 0 ” を書き込むメモリセルのしきい値のみが若干上昇し、他のメモリセルのしきい値は変化しない。

40

【 0 0 3 9 】

3 - 3 ワード線 W_L を V_{fy3} (4 . 5 V) まで駆動し、ベリファイ動作を行う。すなわち、ビット線を全て 5 V にプリチャージし、ある時間が経った後、ビット線の電位をセンスアンプが検知する。そして、書込みが完了していればセンスアンプ内の書込みデータラッチを “ 0 ” から “ 1 ” へと反転させる。

【 0 0 4 0 】

3 - 4 全ての書込みデータラッチのデータが “ 1 ” になっているか否かを検知する。“ 1 ” になっていれば終了する。

【 0 0 4 1 】

50

3 - 5 全ての書込みデータラッチのデータが“1”になっていなければ、次のステップに備え、 V_{pp} を V_{pp} (例えば0.5V) だけ上昇させ、もしくは書込み時間 t_p を t_p だけ増加させる。なお、このステップは省略しても良い。

【0042】

以上の3ステップにより多値の書込みがなされることが理解される。以上をまとめると、デコード値のデータとは、第1、第2、第3の順に、“3”であれば“111”、“2”であれば“011”、“1”であれば“101”、“0”であれば“110”である。これが3値記憶であれば、“2”を“11”、“1”を“01”、“0”を“10”とデコードすることになる。さらに、5値記憶であれば、“4”を“1111”、“3”を“0111”、“2”を“1011”、“1”を“1101”、“0”を“1110”とデコードする。n値で一般化すると、“n”を“1111...11”に、“n-1”を“0111...11”に、“n-2”を“1011...11”に、“1”を“1111...01”に、“0”を“1111...10”にデコードする。なお、しきい値は“n”の場合が一番低く、“0”の場合が一番高い。

【0043】

このように、書込みデータを上述のようにデコードし、このデコードしたデータを順次書込みデータとして用い、小刻みにメモリセルのしきい値を上昇させるとともに、書込みデータに対応する電位をワード線に与えて書込みベリファイを行うことにより、一つのメモリセルを任意の多値数で記憶することが可能となる。そして、読出し時にはベリファイ電位よりもやや低めの電位を用い、これをワード線に供給しつつ読出し動作を行えば“3”であれば“000”、“2”であれば“100”、“1”であれば“110”、“0”であれば“111”として順に読み出される。これをエンコードして多値データを生成すれば良い。一般化すると、“n”は“0000...00”として、“n-1”は“1000...00”として、“n-2”は“1100...00”として、“1”は“1111...10”として、“0”は“1111...11”として読み出されるのでこれをエンコードして多値データを生成する。

【0044】

以上説明したような書込み方式、読出し方式を採用すると、

1. センスアンプ部分の面積が小さくてすむ。すなわち、多値数に関わりなく1個のセンスアンプを具備するだけでよい、

2. リファレンスセルに代えて複数の定電圧回路200~202を用いるため、多値数を可変にできる、

等の作用効果が得られる。この結果、多値の数にフレキシブルに対応でき、しかもチップサイズを最小にできる多値のフラッシュメモリのアーキテクチャを提供することができる。

【0045】

続いて、図3を用いて、別の書込み方式を示す。すなわち、書込みデータのデコード方式は上述のものと同じであるが、ステップ2、3の第一回目のサイクルにおける書込みを強め(すなわち V_{pp} の初期値を高め、あるいは書込み時間の初期値を長め)に行う。この結果、トータルの書込み時間を短縮することが可能となる。

【0046】

続いて、図4を用いて、さらに別の書込み方式を示す。これは、書込みデータのデコード方式を変えたものである。すなわち、4値の場合、“3”であれば“111”、“2”であれば“011”、“1”であれば“001”、“0”であれば“000”とデコードし、書込みを行う。これを一般化すると、“n”は“1111...11”と、“n-1”は“0111...11”と、“n-2”は“0011...11”と、“1”は“0000...01”と、“0”は“0000...00”とデコードする。この結果、図示したように、書込み時間が短縮される。

【0047】

続いて、図5を用いて、本発明の実施の形態の回路構成の詳細を説明する。本発明のメ

10

20

30

40

50

メモリシステムは、多値メモリ100、CPU300、RAM301、フラグデータメモリ302から構成される。これらの素子はバス120、制御信号線121等で接続されている。

【0048】

多値メモリ100は、ワード線駆動電圧データラッチ回路101、ロウアドレスラッチ回路102、カラムアドレスラッチ回路103、ワード線駆動電圧発生回路104、ロウデコード回路105、ワード線駆動回路106、カラムデコード回路107、メモリセルアレイ108、プリチャージ回路109、センスアンプアレイ110、カラムゲート111等から構成される。

【0049】

バスは例えば8ビットのビット幅を持つバスである。また、ワード線駆動電圧データラッチ回路101、ロウアドレスラッチ回路102、カラムアドレスラッチ回路103はそれぞれ8ビットのラッチである。

【0050】

メモリセルアレイ108は64M個の素子容量を持つ。2層ゲート型MOSトランジスタを32K行2K列の行列状に配置して構成される。そして、そのメモリセルはNAND構成をとっている。

【0051】

図6にNAND型メモリセルの構成を示す。このNAND型メモリセルは、ゲートがドレイン側セレクトゲート線SG1により駆動されるMOSトランジスタQ41、制御ゲートがワード線WLにより駆動される2層ゲート型MOSトランジスタQ42～Q45、ゲートがソース側セレクトゲート線SG2により駆動されるMOSトランジスタQ46を直列に接続することにより構成される。MOSトランジスタQ46のソース側端子は共通ソース線CSLに接続される。一つのメモリセルアレイ108内には、このNAND束が行方向に2K個、列方向に2K個配置されている。なお、同一行に属するメモリセル(1ワード線に接続されるメモリセル)が1ページ(2Kビット)を構成し、列方向に並ぶNAND束が1ブロック(32Kビット)を構成する。一つの64Mビットのメモリセルアレイは2K個のブロックを有することとなる。

【0052】

メモリセルアレイ108、プリチャージ回路109、センスアンプアレイ110、カラムゲート回路111等の構成を図7に示す。上述したように、ビット線は2K本存在するが、そのうち3本のみを抜き出して図示している。プリチャージ回路109は信号1によって制御されるP型MOSトランジスタQ3から構成されている。NAND束2-1～2-3は図6に示す構造である。センスアンプアレイ110は複数のセンスアンプ回路S/Aから構成され、このセンスアンプ回路はフリップフロップ回路1-1～1-3、N型MOSトランジスタQ2、Q4、Q7、Q8から構成され、さらに、Q201～Q203、Q21、インバータ回路20から構成される一括ペリファイ検知回路を具備する。さらにカラムゲート回路111はバス120に接続されたIO線対にカラム選択線CSの制御下で選択的にフリップフロップ回路を接続する。

【0053】

フリップフロップ回路1-1～1-3は書込みデータラッチ及び読出しデータラッチとして機能する。すなわち、データ書込み時には書込みデータラッチとして機能する。

【0054】

書込み動作のステップは以下の通りである。メモリセルのしきい値の上昇(プログラム)を行うとき、すなわち“0”書込みにおいては、IOには“L”、BIOには“H”を供給し、カラムゲートトランジスタを介して、フリップフロップ回路1-1のノードN1は“L”に、BN1は“H”にセットされる。続いて、フリップフロップの電源レベルを昇圧し、信号2に昇圧された“H”レベルを与えMOSトランジスタQ4を導通させビット線を0Vにする。続いて、ワード線を20V迄昇圧すると、選択されたメモリセルの制御ゲートとチャネルとの間の電位差が20Vとなり、電子が浮遊ゲートに注入され、そ

10

20

30

40

50

の結果しきい値が上昇する。

【 0 0 5 5 】

続いて、以下のペリファイ動作を行う。信号 1 を “ L ” レベルとし、M O S トランジスタ Q3 を導通させ、ビット線 B L を 5 V にプリチャージする。引き続いて書込みを行ったメモリセルのワード線 W L をペリファイレベル（上述のように、書込み多値データに応じ 0 V ~ 5 V の間で決定される）の電位を供給する。所定時間経過後、ビット線上の電荷はメモリセルのしきい値に応じて接地端子（共通ソース線 C S L ）へ放電する。この時のビット線 B L の電位を検知するため信号 3 を “ H ” にし、M O S トランジスタ Q8 を導通させる。この結果、ビット線電位に応じ M O S トランジスタ Q7 が導通制御され、ビット線が “ H ” レベルのままにとどまっていればフリップフロップは反転し、ビット線電位が放電されていけばフリップフロップは反転しない。これは、書込みが終了したときにはフリップフロップが反転することに対応する。以上の書込み動作を小刻みに繰り返し、メモリセルのしきい値を順次上昇させることは上述した通りである。

10

【 0 0 5 6 】

メモリセルのしきい値を一定に保つ場合、すなわち “ 1 ” 書込みにおいては、I O には “ H ”、B I O には “ L ” を供給し、カラムゲートトランジスタを介して、フリップフロップ回路 1 - 1 のノード N1 は “ H ” に、B N1 は “ L ” にセットされる。続いて、フリップフロップの電源レベルを昇圧し、信号 2 に昇圧された “ H ” レベル（1 0 V）を与えて M O S トランジスタ Q4 を導通させ、ビット線を 1 0 V にする。続いて、ワード線を 2 0 V 迄昇圧すると、選択されたメモリセルの制御ゲートとチャネルとの間の電位差が 1 0 V となり、浮遊ゲートへの電子の注入は遮断され、その結果しきい値が一定値を保持する。続いて、以下のペリファイ動作では、ビット線の電位に関わらずフリップフロップは直前の状態を保持する。なお、これらの動作は、“ 1 ” 書込みのみでなく、“ 0 ” 書込みが完了した後のステップについても同様である。

20

【 0 0 5 7 】

書込みが終了したことの検知は一括ペリファイ検知回路により検出する。すなわち、5 に “ L ” パルスを与え、M O S トランジスタ Q21 を導通させることにより共通ペリファイ線 2 6 を “ H ” にプリチャージする。ここで、もし書込みが完了していないセルが存在すれば、ノード B N は “ H ” レベルである。書込みをしないセル及び書込みが完了したセルに対応するノード B N は “ L ” レベルとなるからである。従って、一つでも書込みが完了していないセルが存在すれば M O S トランジスタ Q201 ~ Q203 の内一つが導通し、共通ペリファイ線 2 6 は “ L ” となる。また、全てのセルの書込みが完了していれば共通ペリファイ線 2 6 は “ H ” となる。このように、インバータ回路 2 0 の出力 V F Y が “ H ” である間は書込みが完了しておらず、書込みが完了すると V F Y は “ L ” へと変化する。

30

【 0 0 5 8 】

なお、読出しは以下のステップを経て行われる。信号 6 に “ H ” パルスを与え、N1 を “ L ” に、B N1 を “ H ” にリセットした後、信号 1 を “ L ” レベルとし、M O S トランジスタ Q3 を導通させ、ビット線 B L を 5 V にプリチャージする。引き続いて選択されたメモリセルのワード線 W L を読出しレベル（上述のように、書込み多値データに応じ 0 V ~ 5 V の間で決定される）の電位を供給しする。所定時間経過後、ビット線上の電荷はメモリセルのしきい値に応じて接地端子（共通ソース線 C S L ）へ放電する。この時のビット線 B L の電位を検知するため信号 3 を “ H ” にし、M O S トランジスタ Q8 を導通させる。この結果、ビット線電位に応じ M O S トランジスタ Q7 が導通制御され、ビット線が “ H ” レベルのままにとどまっていればフリップフロップは反転し、ビット線電位が放電されていけばフリップフロップは反転しない。この様に、メモリセルのしきい値がワード線の電位よりも低い場合にはビット線レベルは “ L ” になり、M O S トランジスタ Q7 は導通せずノード N1 は “ L ” のままを維持する。これを “ 0 ” 読みと称する。

40

【 0 0 5 9 】

メモリセルのしきい値がワード線の電位よりも高い場合にはビット線レベルは “ H ” になり、M O S トランジスタ Q7 は導通しノード N1 は “ H ” レベルとなる。これを “ 1 ”

50

読みと称する。

【 0 0 6 0 】

ワード線駆動電圧発生回路 1 0 4 は図 8 に示す構成を有しており、デコード回路 1 5 1、参照電圧発生回路 1 5 0、転送ゲート回路 1 5 2、カレントミラー型比較回路 1 5 3、駆動用インバータ回路 1 5 4 等から構成されている。

【 0 0 6 1 】

デコード回路 1 5 1 はワード線駆動電圧データラッチ回路 1 0 1 にラッチされたデータ $d_1 \sim d_8$ をデコードし 2 5 6 本の出力 (これより少なくても良い) を発生する。

【 0 0 6 2 】

参照電圧発生回路 1 5 0 は抵抗素子 R を複数段直列接続して構成され、抵抗分割により所定の電位を出力する。

10

【 0 0 6 3 】

このように分割された参照電位出力は 2 5 6 個の転送ゲート (これより少なくても良い) を介してカレントミラー型比較回路 1 5 3、駆動用インバータ回路 1 5 4 から構成されるソースフォロア回路に供給される。以上のようにしてワード線駆動電圧 VWL を発生させる。

【 0 0 6 4 】

続いて、ロウデコード回路 1 0 5 の詳細を説明する。ロウデコード回路 1 0 5 は部分デコード方式を採用し、ブロック内デコード回路 RD1 とブロックデコード回路 RD2 から構成される。図 9 に、ブロック内デコード回路 RD1 の回路構成の詳細を示す。これは、ロウアドレス R . A d d をデコードするデコード部と、ワード線駆動電圧 VWL を電源とする CG 駆動回路 7 0 2 とから構成される。ブロック内デコード回路 RD1 は NAND 束のうち、何れのワード線が選択されるべきかを決定する。

20

【 0 0 6 5 】

図 1 0 に、ブロックデコード回路 RD2 とワード線駆動回路 1 0 6 の詳細を示す。

【 0 0 6 6 】

ブロックデコード回路 RD2 はロウアドレス R . A d d (ブロック内デコード回路 RD1 に入力されるロウアドレスとは別のアドレス、例えば上位アドレスである) をデコードし、ブロックを選択する。

【 0 0 6 7 】

ワード線駆動回路 1 0 6 は、転送ゲート 4 0 1、4 0 2、4 1 0、MOS トランジスタ Q134、Q135、Q136、Q121、Q122、Q131、Q132、Q133、レベルシフタ 7 0 9、ワード線接地回路 4 1 1 等から構成される。

30

【 0 0 6 8 】

ブロックデコード回路 RD2 選択されたブロックに対応するワード線駆動回路 1 0 6 は CG1 ~ CG16 信号に応じてワード線 WL1 ~ WL16 を駆動する。信号 A ~ E、電源 VA、VB、VC に印加する電位を図表 1 1 に示す。ここで、 V_{pp} は 2 0 V、 V_m は 1 0 V、 V_{cc} は 5 V、GND は 0 V を示している。

【 0 0 6 9 】

図 5 に戻ると、RAM 3 0 1 は読出したデータ、書き込むべきデータ等を一時的に格納するためのものであり、フラグデータメモリ 3 0 2 はメモリセルアレイ 1 0 8 内の各ブロックに対応して多値数を記憶する不揮発性のメモリである。メモリセルアレイの容量が小さければ一つのメモリセルアレイの特性は均一で、何れのセルを取ってみても最大多値数は一定であると考えられるが、例えば 6 4 M 個のメモリセルでは、そのメモリセル上の位置によって最大多値数はばらつく可能性があるとともに、近傍のメモリセルでは多値数はほぼ同じと考えられる。フラグデータメモリ 3 0 2 はメモリセルアレイ 1 0 8 内の各ブロックに対応して多値数を記憶するので、ブロック毎に多値数を個別に設定できる。例えばブロック 1 ~ 2 0 は 3 値メモリとして、ブロック 2 0 ~ 4 0 は 4 値メモリとして、ブロック 4 0 ~ 2 0 0 0 は 5 値メモリとして、ブロック 2 0 0 0 ~ 2 0 2 0 は 4 値メモリとして、ブロック 2 0 2 0 ~ 2 0 4 8 は 3 値メモリとして用いることが可能である。CPU 3 0

40

50

0 は読出し・書込み制御、データ転送制御、書込みデータのデコード、読出しデータのエンコード（データ変換）等の動作を行う。

【0070】

なお、1チップ内のメモリセルを全て同じ多値数で用いる場合にはフラグデータメモリは必要ない。例えば、4値メモリとして用いるのであれば、読出し、書込み共に常に3ステップで行うようCPUが制御すれば良い。

【0071】

続いて、図12を参照して、図5に示したメモリシステムの動作方法を説明する。図12は読出しのフローチャートを示している。

【0072】

はじめにフラグデータの読出しを行う（ステップS001）。例えばブロック1内のメモリセルのデータを読み出すときには、このブロックに対応するフラグデータメモリ302内のフラグデータを読み出す。フラグデータは対応するブロックの多値数nに相当する。例えばブロック1内のメモリセルは3値メモリであれば、nは3である。続いて、CPU300はワード線駆動電圧データラッチ回路101に多値数nに相当する第1回目のペリファイ電圧に相当するデータをラッチする（ステップS002）。すると、ワード線駆動電圧発生回路104はこのデータに対応する例えば1.8Vを出力する。続いてロウアドレスを入力する（ステップS003）。これは、8ビットでは足りないため、2サイクルに分けてアドレスデータを転送することが必要である。続いて、ワード線を1.8Vで駆動してセンス動作（ステップS004）を行う。この結果、記憶データが“2”であればセンスアンプ内のフリップフロップに“0”が、“1”であれば“1”が、“0”であれば“1”がラッチされる。これをカラムアドレスを変化させることによりシーケンシャルに読出し、RAM301へ格納する（ステップS005）。これに引き続いて、以上のステップS002～S005をもう1度（一般的にはn-1回）繰り返す。

【0073】

二回目のサイクルでは、ワード線電圧が例えば3.6Vであるほかは上述のサイクルと同じである。この結果、記憶データが“2”であればセンスアンプ内のフリップフロップに“0”が、“1”であれば“0”が、“0”であれば“1”がラッチされ、このデータがRAM301に格納される。

【0074】

続いて、RAM301に格納されたデータをエンコードしてビット列を生成する。3進数（3ビット情報）を2進数に変換するアルゴリズムを用いる。この例では、CPUとこれを制御するソフトウェアによりエンコード、デコード動作を行うものを示したが、これらの動作はハードウェアにより行っても良い。これを図19、図20に示す。

【0075】

図19はデータビット列D0 D1と、これをデコードして、RAM301に格納し、書込み時にメモリセルアレイに転送するデータ列d0 d1 d2との対応関係を示した図表である。そして、図20はこのエンコード動作及びデコード動作を実現するための回路図である。図20(a)はデコード動作を実現する回路で、アンド回路AND11、オア回路OR11等から構成されている。図20(b)はエンコード動作を実現する回路で、アンド回路AND12、AND13、オア回路OR12、インバータ回路INV11、INV12等から構成されている。

【0076】

図13に、上述のシステムを大容量化した時のシステム構成を示す。図5のうち、多値メモリ100とCPU300、RAM301、フラグデータメモリ302は同一チップに搭載し、これを複数用いた例が図13(a)である。コントローラ部（CPU300、RAM301、フラグデータメモリ302）を取り出して別のチップにまとめて搭載した例が図13(b)である。なお、図20のエンコーダ・デコーダ回路を用いる場合には、コントロール回路として共通に持つべきである。

【0077】

10

20

30

40

50

なお、この構成に限らず、多値メモリチップのみをボードもしくはカード上に多数搭載し、他のコントローラ等を別のボードにまとめることも考えられる。このように構成すると、コントローラは共通にして、必要に応じて記憶容量を増大することが可能となる。もちろん、コントローラを複数チップで構成しても良い。

【 0 0 7 8 】

図 1 4 はブロックをワード線毎に構成した例である。図 5 に示す例よりもより細かなブロックとなり、1チップに記憶できるデータの総量を増大させることができる。

【 0 0 7 9 】

図 1 5 は各チップ毎にフラグデータメモリ 3 0 2 を有する例である。この様に構成するとシステムの拡張が容易になる。また、一つのチップ内でブロック分割をせず、常に同じ多値数のメモリセルとして用いるのであれば、1チップに一つ不揮発性レジスタを設け、この不揮発性レジスタに1チップのメモリセルに共通の多値数を記憶させておけば良い。

【 0 0 8 0 】

図 1 3 ~ 図 1 5 に示すようなメモリシステム構成をとる場合には、その販売方法は従来とは異なる特殊なものとなる。

【 0 0 8 1 】

例えば、第 1 にメーカー側が各チップの多値数をテストし、テスト結果に基づき充分保障できる範囲内の多値数を予め不揮発性の多値数レジスタに記憶させておくことが考えられる。

【 0 0 8 2 】

第 2 に1チップ内でブロック分割し、ブロック毎に多値数を異ならせるメモリであれば、メーカー側のテスト結果に基づき、全てのブロックにつき多値数を予め記憶させておくことが考えられる。

【 0 0 8 3 】

第 3 に、以上のテストを全てユーザの負担とすることも考えられる。この場合、ユーザの責任で多値数を決定する。

【 0 0 8 4 】

このような販売方法を採用すれば、他の種類のメモリとは比較にならないほど安価な多値メモリを供給できるようになるであろう。

【 0 0 8 5 】

以上のように、CPU 3 0 0 (デコーダ・エンコーダ) をオフチップ構成とした場合には、4 値であれば 3 回の読出しサイクルを、8 値であれば 7 回の読出しサイクルを繰り返す必要があり、パフォーマンスの劣化は免れない。これを改善した例が図 1 6 の読出し方法である。

【 0 0 8 6 】

まず、ビット線をプリチャージして、ワード線を最も高い V_{vfy} の値にセットする。そして、“1 1”のセルがビット線をディスチャージした時刻 t_1 でセンスアンプの 3 パルスを立て、このときのビット線の情報をラッチする。この時、“1 1”以外のセンスアンプはリセット状態から反転するので、どのビット線が“1 1”に対応するのかが判る。この使用法を全センスアンプについて、“1 0”のセルがビット線をディスチャージしてしまう前に読出してしまい、コントローラ内の RAM 3 0 2 内に格納してしまう。これを図の様に“1 0”と“0 1”に対して行えば、一度のプリチャージで全情報を読み出すことが可能となる。

【 0 0 8 7 】

この読出し方法は、隣接するセルデータのディスチャージ時間内で情報を全部読み取らなければならない、タイミング上の厳しさを有している。このため、情報量が増加すればシリアルアクセスにかなりの高速化が要求されることになる。これに対する対策を示したのが図 1 7 である。

【 0 0 8 8 】

ここに示された構成によれば、センスアンプを各ビット線あたり 2 個設けており、2 w

10

20

30

40

50

ayでアクセスする。すなわち、センスアンプS/A1で読み出されるのは“11”と“01”に相当するデータのみであり、その間の“10”はセンスアンプS/A2でラッチする。データバス線はこの場合2対必要となるが、カラムゲートを適宜切り替えることにより交互にデータバスに現れるようにすれば、データバス線は1対でも良い。

【0089】

この場合、プログラム時のデータロードに同一の手法を用いると、MOSトランジスタQ4、Q4'の2つのMOSトランジスタが必要となる。しかし、データロードが仕様の遅くても良い場合には、ビット毎ベリファイの書込みはセンスアンプS/A1のみで行えば良いため、MOSトランジスタQ4'は不要となる。

【0090】

図21～図25は本発明のさらに他の実施の形態を示す図であり、読出し速度をさらに向上させたものを示す。

【0091】

図21は本発明にかかる不揮発性半導体記憶装置の概略構成を示すブロック図である。同図に示されるように、NAND型フラッシュメモリセルがマトリクス状に配置されたRAM部501と、このRAM部のワード線に平行に並設されたレジスタ502、このレジスタの内容を記憶する外部SRAM503および読み出されたデータを2値に変換するコード変換部504を有している。ここで、RAM部501は最大n値の多値メモリであり、例えば1Kワード×1Kビット構成となっており、レジスタも同様に1Kビット構成となっている。このレジスタは後述するように512ビットずつ分割して使用する。また外部SRAMは1Kビット×(n-2)行の構成となっている。

【0092】

図22は実際の記憶装置としてのメモリボードの外観を示す斜視図であって、基板601の主面上に複数のRAMチップ602、CPUチップ603、SRAMチップ604が実装されたものを示す。

【0093】

また、図23はメモリボードの他の例を示すもので、(a)は表面から見た斜視図、(b)は正面図である。この例では基板511の表面には複数のRAMチップが、裏面にはCPUチップ603およびSRAMチップ604が実装されている。

【0094】

図24はさらに他の例を示すもので、マザーボード基板621上にCPUチップ603、SRAMチップ604、コネクタ622が実装されており、このコネクタ622にRAMチップが複数実装されたメモリボードが装着されるようになっている。

【0095】

なお、図22～図24ではメモリボードとして実現させているが、規格化されたメモリカードとして実現することもできる。

【0096】

図25は本実施の形態における動作を示すものである。RAMは4値データを記憶するもの(n=4)であるとする。

【0097】

この動作はパイプラインの手法を用いたもので、まず、ワード線のデータをVWL0で読出してレジスタ502に格納する(図25(a))。次にレジスタ502の下位半分(下位512ビット分)のVWL0データをシリーズに読み出して外部SRAM503の1行目に転送する(図25(b))。次に、RAM部501のロウアドレスを進めてワード線のデータをVWL1で読出す。この読出しは下位のみ行い、レジスタ502の下位部分に格納する。これと同時にレジスタ502の上位部分に格納されているVWL0データ(上位512ビット分)が外部SRAM503の1行目に転送される(図25(c))。次に、レジスタ502に格納されている下位半分のVWL1データを外部SRAM503の2行目に転送するとともに、レジスタ502の上位半分にVWL1データの上位部分を格納する(図25(d))。次に、RAM部501のロウアドレスをさらに進め、レジスタ502に格納

10

20

30

40

50

されている上位半分のVWL1 データを外部SRAM503の2行目に転送するとともに、レジスタ502の下位半分にVWL2 データの下位部分を格納する(図25(e))。次に、上位半分のVWL2 データをレジスタ502の上位部分に格納するとともに、下位部分のVWL2 データを外部SRAM503の下位部分データとともにコード変換部504に送って3ビット分を同時に2進数に変換する(図25(f))。同様に、レジスタ502の上位部分に格納されたVWL2 データの下位部分は外部SRAM503の上位部分データとともにコード変換部で2進数に変換される(図25(g))。

【0098】

このように、アクセスと読出しが平行して行われるので、 $t_R < t_S / 2$ の関係があれば、全体の読出し時間は

$$t_R + 3 t_S + t_{CONV}$$

に短縮されることになる。

【0099】

さらに、図25に示した実施の形態のように、外部SRAMを複数ビット分用意し、そこに格納されていた前2値の情報と読出しを同期させて出力し、同時に変換を行うようにすれば、 t_{CONV} の時間も数分の1となる。

【0100】

また、コード変換後、情報量は倍になるので、読出しのためのクロックをダブルクロック、すなわち、上記例ではシリアルアクセスを50nsサイクルで行うとした時、コード変換部504からの出力を25nsにして動作させれば、より高いスループットが得られる。

【0101】

なお、図22～図24に示した実施の形態では単独のSRAMチップを用いているが、CPUに付属する高速のキャッシュメモリを用いるようにしても良い。

【0102】

また、この実施の形態ではメモリセル、レジスタを2分割しているが、3以上の整数に分割しても良く、その場合、読出しのスタートアドレスを最適に制御して読出し効率をさらに向上させることもできる。

【0103】

以上、本発明により、多値の大きさ(多値数)をセルの実力から決められるフレキシブルで、かつチップサイズを最小にできる多値フラッシュメモリが実現できる。なお、本発明は上記実施の形態に限定されることはなく、発明の趣旨を逸脱しない限り数々の変更が可能である。また、メモリセルをNAND構成のもののみ示したが、NOR型にも適用できる。

【図面の簡単な説明】

【0104】

【図1】本発明の実施の形態の多値メモリの回路図である。

【図2】本発明の実施の形態の書込み動作時のしきい値の変動を示した図である。

【図3】本発明の実施の形態の別の書込み動作時のしきい値の変動を示した図である。

【図4】本発明の実施の形態のさらに書込み動作時のしきい値の変動を示した図である。

【図5】本発明の実施の形態の不揮発性半導体記憶装置の回路構成図である。

【図6】本発明の実施の形態のメモリセルの回路図である。

【図7】本発明の実施の形態の要部を示した回路図である。

【図8】本発明の実施の形態の要部を示した回路図である。

【図9】本発明の実施の形態の要部を示した回路図である。

【図10】本発明の実施の形態の要部を示した回路図である。

【図11】図10の動作時において電圧される電圧を表した図表である。

【図12】本発明の実施の形態の読出し動作を示したフローチャートである。

【図13】本発明の変形例を示した図である。

【図14】本発明の別の変形例を示した図である。

10

20

30

40

50

- 【図15】本発明のさらに別の変形例を示した図である。
 【図16】本発明の読出し動作における変形例を示した図である。
 【図17】本発明のさらに別の変形例を示した回路図である。
 【図18】図17の回路を用いた場合の読出し動作における変形例を示した図である。
 【図19】エンコーダ・デコーダ回路の動作を示す図表である。
 【図20】エンコーダ・デコーダ回路の回路構成図である。
 【図21】読出し速度を向上させた実施の形態を示すブロック図である。
 【図22】図21の構成を実現させたメモリボードの一例を示す斜視図である。
 【図23】図21の構成を実現させたメモリボードの他の例を示す斜視図および正面図である。
 【図24】図21の構成を実現させたメモリボードのさらに他の例を示す斜視図である。
 【図25】図21に示した実施の形態における読出し動作の説明図である。

10

【符号の説明】

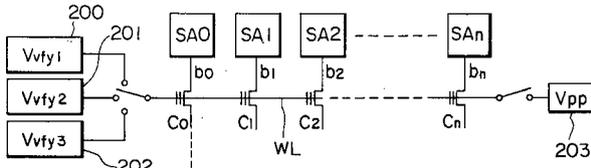
【0105】

- 100 多値メモリ
 101 ワード線駆動電圧データラッチ回路
 102 ロウアドレスラッチ回路
 103 カラムアドレスラッチ回路
 104 ワード線駆動電圧発生回路
 105 ロウデコード回路
 106 ワード線駆動回路
 107 カラムデコード回路
 108 メモリセルアレイ
 109 プリチャージ回路
 110 センスアンプアレイ
 111 カラムゲート
 200、201、202 ベリファイ電位発生回路
 203 書込み電位発生回路
 300 CPU
 301 RAM
 302 フラグデータメモリ
 501 RAM部
 502 レジスタ
 503 外部SRAM部
 504 コード変換部
 C 不揮発性メモリセル
 SA センスアンプ
 WL ワード線

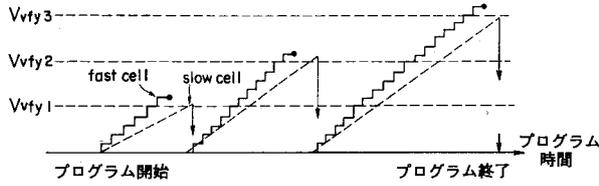
20

30

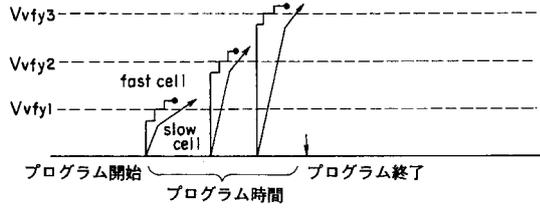
【図1】



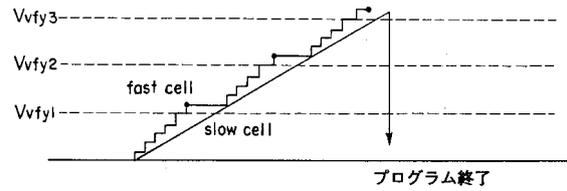
【図2】



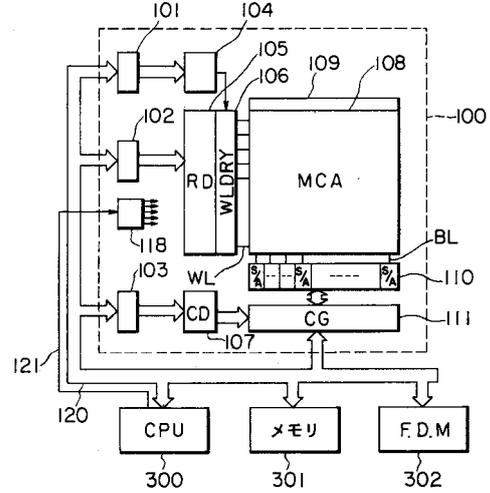
【図3】



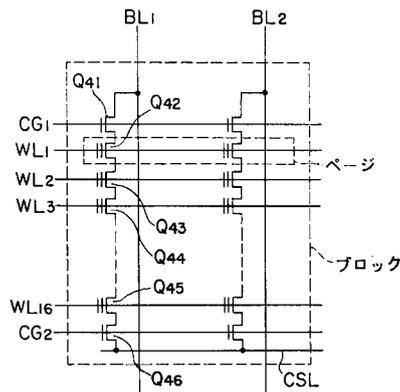
【図4】



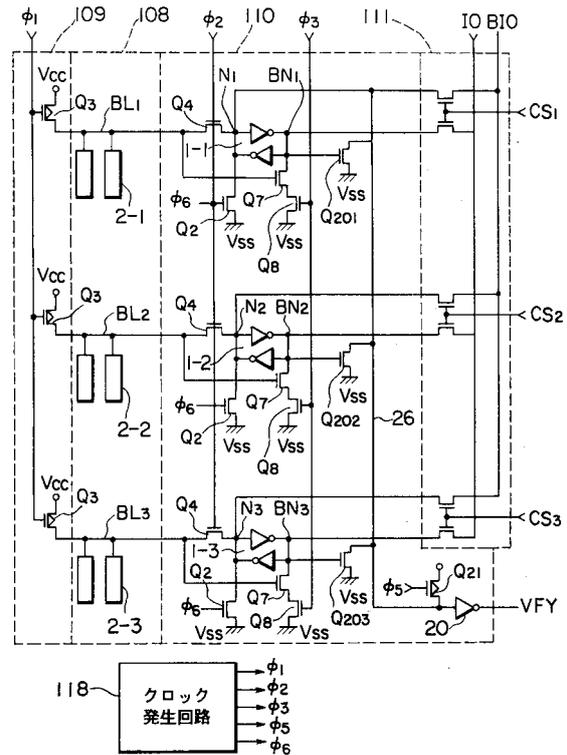
【図5】



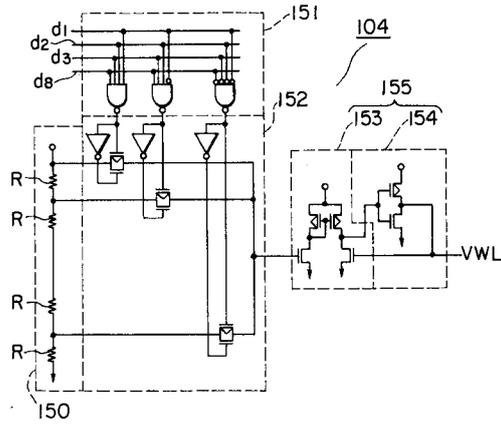
【図6】



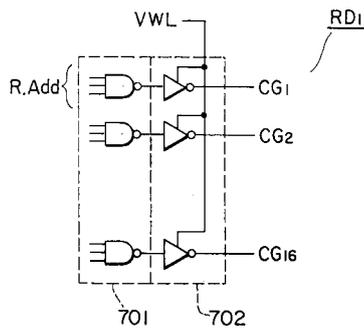
【図7】



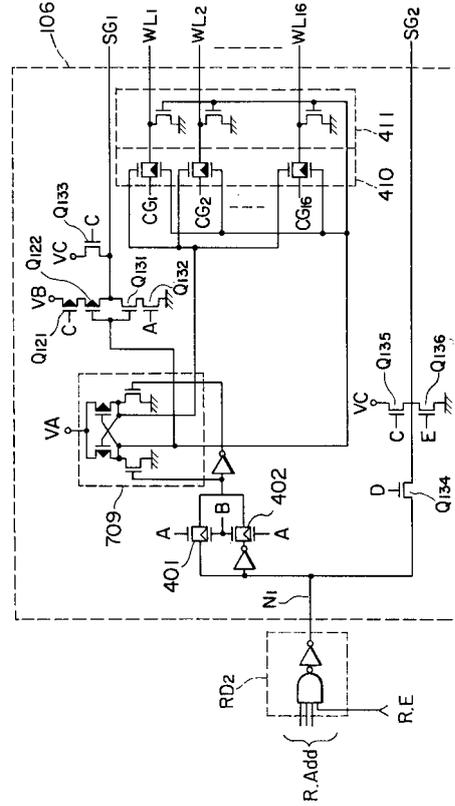
【図 8】



【図 9】



【図 10】

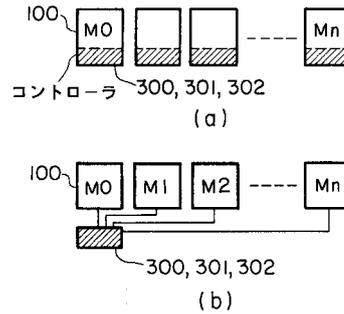


ウェル電位が読み出し時Vcc、書き込み時、消去時VppのPチャネルMOSトランジスタ
 ウェル電位がVccのPチャネルMOSトランジスタ

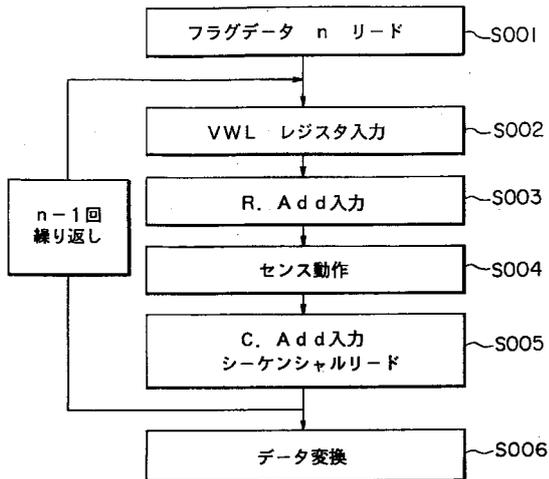
【図 11】

	読み出し時	書き込み時	消去
信号A	Vcc	Vcc	GND
信号B	GND	GND	Vcc
信号C	GND	GND	Vpp
信号D	Vcc	GND	GND
信号E	GND	Vcc	GND
電源VA	Vcc	Vpp	Vpp
電源VB	Vcc	Vm	Vcc
電源VC	Vcc	Vcc	Vpp

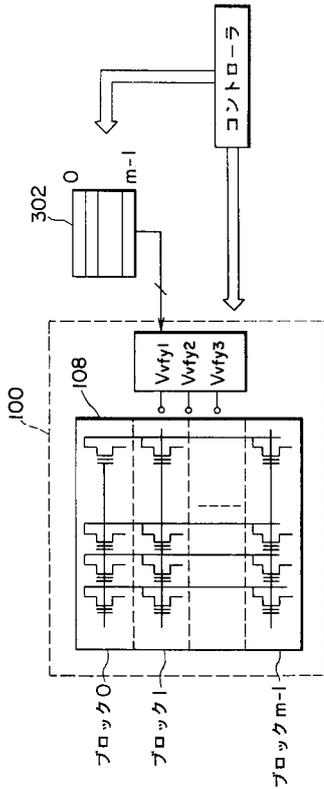
【図 13】



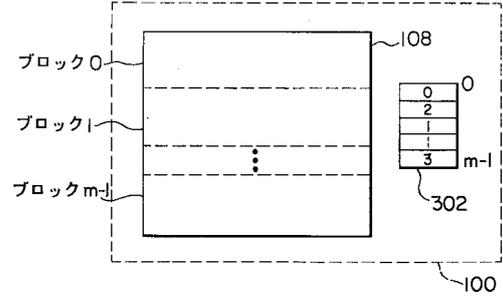
【図 12】



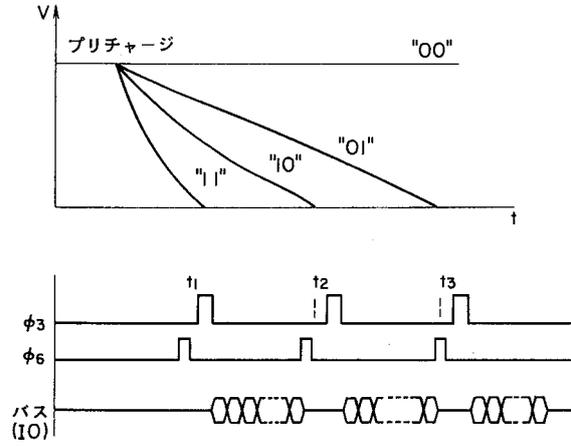
【図14】



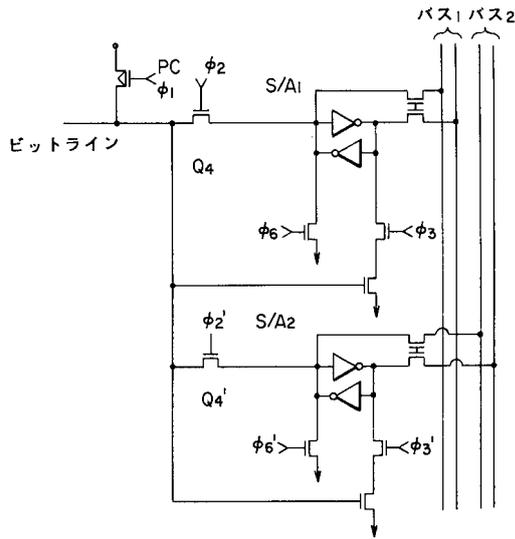
【図15】



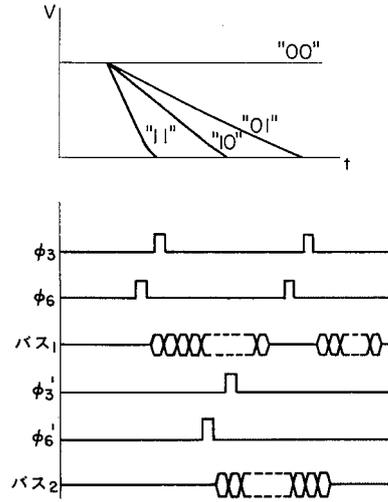
【図16】



【図17】



【図18】

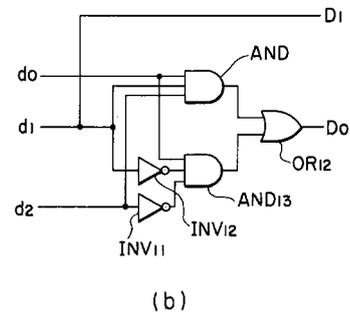
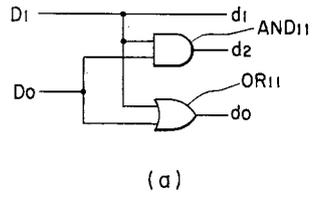


【図19】

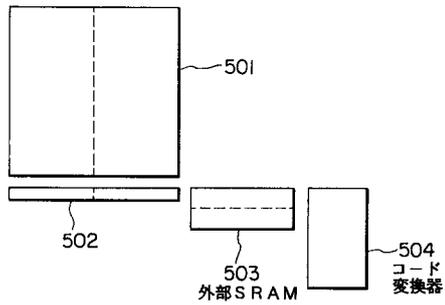
	デコード				
	D1	D0	d2	d1	d0
"3"	1	1	1	1	1
"2"	1	0	0	1	1
"1"	0	1	0	0	1
"0"	0	0	0	0	0

エンコード

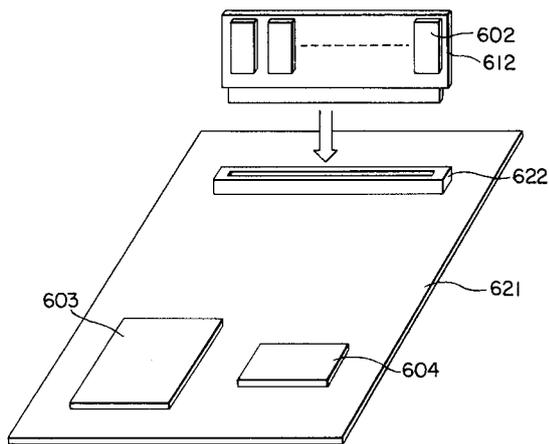
【図20】



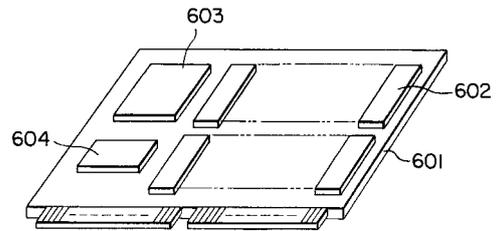
【図21】



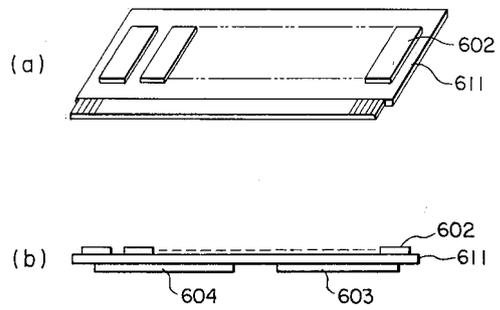
【図24】



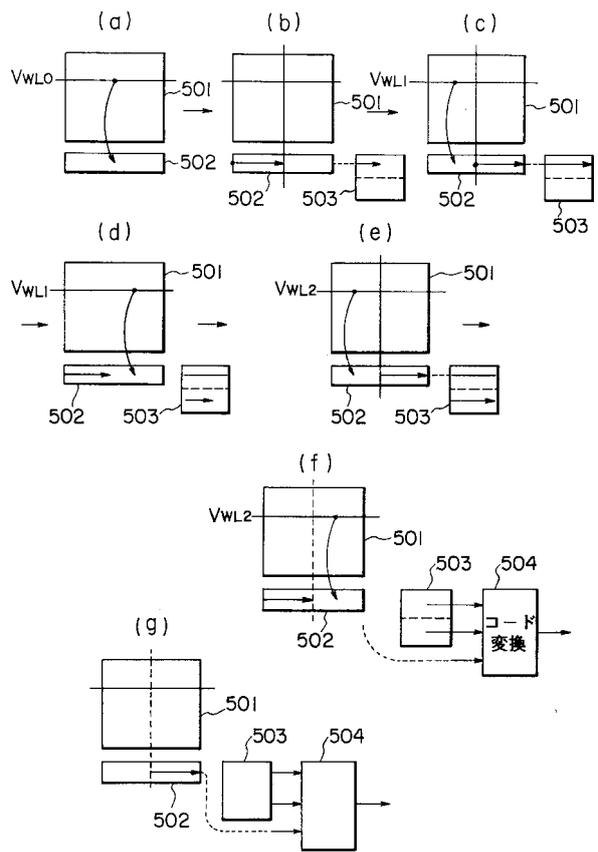
【図22】



【図23】



【図25】



フロントページの続き

(72)発明者 宮 本 順 一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 滝谷 亮一

(56)参考文献 国際公開第96/024138(WO, A1)

特開平06-005085(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02 - 16/06