

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-76240

(P2009-76240A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 J 31/12 (2006.01)	HO 1 J 31/12 C	5 C 0 3 1
HO 1 J 29/04 (2006.01)	HO 1 J 29/04	5 C 0 3 6

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2007-242109 (P2007-242109)
 (22) 出願日 平成19年9月19日 (2007.9.19)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100096828
 弁理士 渡辺 敬介
 (74) 代理人 100110870
 弁理士 山口 芳広
 (72) 発明者 廣木 珠代
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 (72) 発明者 東 尚史
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

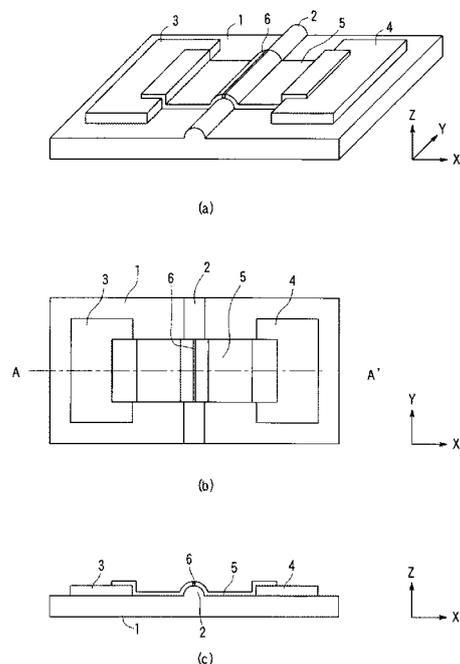
(54) 【発明の名称】 電子放出装置及びこれを用いた画像表示装置

(57) 【要約】

【課題】 導電性膜に形成された間隙付近から電子放出を行う電子放出装置において、電子放出効率のばらつきを増加させることなく、電子放出効率を向上させる。

【解決手段】 電極3, 4間において、基板1上に特定の断面形状を有する凸部2を形成し、該凸部2上の導電性膜5に間隙6を配置することで、間隙6の中央から淀み点までの距離を低減させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に間隔を置いて配置された第 1 電極及び第 2 電極と、該第 1 電極と該第 2 電極とを互いに接続する導電性膜とを備え、該導電性膜に間隙を有する電子放出素子と、該電子放出素子に対向し、上記基板の表面から距離 L をおいて配置されたアノード電極とを有する電子放出装置であって、

上記第 1 電極と上記第 2 電極の相対する端辺及び基板表面に平行な方向を Y 方向、基板表面に平行で該 Y 方向に直交する方向を X 方向とした時、

上記第 1 電極と第 2 電極間において、上記基板が表面に Y 方向に連続する凸部を有し、該凸部の X 方向断面における頂部が外側に凸の湾曲部を有し、該凸部上に上記導電性膜が
10 間隙を有し、

電子放出時に第 1 電極と第 2 電極間に印加される電圧を V_f 、基板とアノード電極間に印加される電圧を V_a 、基板表面から凸部の頂点までの高さを H 、凸部の底面の X 方向の幅を W 、X 方向における導電性膜の間隙の中心から凸部の頂点までの距離を X_g とした時

$$H \quad (V_f \times L) / (\quad \times V_a) \\ | X_g | \quad 0.35W$$

であることを特徴とする電子放出装置。

【請求項 2】

基板上に間隔を置いて配置された第 1 電極及び第 2 電極と、該第 1 電極と該第 2 電極と
20 を互いに接続する導電性膜とを備え、該導電性膜に間隙を有する電子放出素子と、該電子放出素子に対向し、上記基板の表面から距離 L をおいて配置されたアノード電極とを有する電子放出装置であって、

上記第 1 電極と上記第 2 電極の相対する端辺及び基板表面に平行な方向を Y 方向、基板表面に平行で該 Y 方向に直交する方向を X 方向とした時、

上記第 1 電極と上記第 2 電極間において、上記基板が表面に Y 方向に連続する凸部を有し、該凸部の X 方向断面における頂部が X 方向に幅 W_t の平面部と該平面部から下方に向けて外側に凸の湾曲部とを有し、該凸部上に上記導電性膜が間隙を有し、

電子放出時に第 1 電極と第 2 電極間に印加される電圧を V_f 、基板とアノード電極間に
30 印加される電圧を V_a 、基板表面から凸部の頂点までの高さを H 、凸部の底面の X 方向の幅を W 、X 方向における導電性膜の間隙の中心から凸部の頂点までの距離を X_g とした時

$$H \quad (V_f \times L) / (\quad \times V_a) \\ | X_g | \quad 0.35W + 0.14W_t$$

であることを特徴とする電子放出装置。

【請求項 3】

上記頂部の湾曲部の曲率半径が $0.5W$ 以上である請求項 1 または 2 に記載の電子放出装置。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の電子放出装置を、電子放出素子が同一基板上に複数
40 個配置するように構成してなることを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、平面型の画像表示装置に適用される電子放出素子と、該電子放出素子を用いてなる画像表示装置に関する。

【背景技術】

【0002】

表面伝導型電子放出素子は、基板上に形成された小面積の導電性膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものであり、係る導電性膜には予
50

め通電処理（フォーミング）によって電子放出部を形成するのが一般的であった。即ち、導電性膜両端に直流電圧或いは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性膜を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部を形成する。電子放出部においては導電性膜の一部に間隙が形成され、該間隙付近から電子放出が行われる。

【0003】

特許文献1には、基板上に鋭利な突起形状の高さ規制部材を形成し、その上に導電性膜を形成することにより、間隙を形成する際の電力低減を図った技術が開示されている。

【0004】

【特許文献1】特許第2872591号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1に記載された技術では、鋭利な構造によってフォーミング時に局所的に電界を増加させることができるが、形成された間隙の少しの位置ずれで電子放出効率が大きく変化してしまう可能性があったため間隙位置の制御手段を必要とした。また、当該技術では、電子放出素子の電子放出効率向上効果が小さかった。

【0006】

本発明の目的は、導電性膜に形成された間隙付近から電子放出を行う電子放出装置において、電子放出効率のばらつきを増加させることなく、電子放出効率を向上させることにある。

20

【課題を解決するための手段】

【0007】

本発明の第1は、基板上に間隔を置いて配置された第1電極及び第2電極と、該第1電極と該第2電極とを互いに接続する導電性膜とを備え、該導電性膜に間隙を有する電子放出素子と、該電子放出素子に対向し、上記基板の表面から距離Lをおいて配置されたアノード電極とを有する電子放出装置であって、

上記第1電極と上記第2電極の相対する端辺及び基板表面に平行な方向をY方向、基板表面に平行で該Y方向に直交する方向をX方向とした時、

上記第1電極と第2電極間において、上記基板が表面にY方向に連続する凸部を有し、該凸部のX方向断面における頂部が外側に凸の湾曲部を有し、該凸部上に上記導電性膜が間隙を有し、

30

電子放出時に第1電極と第2電極間に印加される電圧を V_f 、基板とアノード電極間に印加される電圧を V_a 、基板表面から凸部の頂点までの高さをH、凸部の底面のX方向の幅をW、X方向における導電性膜の間隙の中心から凸部の頂点までの距離を X_g とした時、

$$H \quad (V_f \times L) / (\quad \times V_a) \\ | X_g | \quad 0.35W$$

であることを特徴とする。

【0008】

40

本発明の第2は、基板上に間隔を置いて配置された第1電極及び第2電極と、該第1電極と該第2電極とを互いに接続する導電性膜とを備え、該導電性膜に間隙を有する電子放出素子と、該電子放出素子に対向し、上記基板の表面から距離Lをおいて配置されたアノード電極とを有する電子放出装置であって、

上記第1電極と上記第2電極の相対する端辺及び基板表面に平行な方向をY方向、基板表面に平行で該Y方向に直交する方向をX方向とした時、

上記第1電極と上記第2電極間において、上記基板が表面にY方向に連続する凸部を有し、該凸部のX方向断面における頂部がX方向に幅 W_t の平面部と該平面部から下方に向けて外側に凸の湾曲部とを有し、該凸部上に上記導電性膜が間隙を有し、

電子放出時に第1電極と第2電極間に印加される電圧を V_f 、基板とアノード電極間に

50

印加される電圧を V_a 、基板表面から凸部の頂点までの高さを H 、凸部の底面の X 方向の幅を W 、 X 方向における導電性膜の間隙の中心から凸部の頂点までの距離を X_g とした時、

$$H = (V_f \times L) / (X_g \times V_a)$$

$$|X_g| = 0.35W + 0.14Wt$$

であることを特徴とする。

【0009】

上記本発明においては、上記頂部の湾曲部の曲率半径が $0.5W$ 以上であることを好ましい態様として含む。

【0010】

本発明の第3は、上記本発明の電子放出装置を、電子放出素子が同一基板上に複数個配置するように構成してなることを特徴とする画像表示装置である。

【発明の効果】

【0011】

本発明においては、基板上に特定の形状の凸部を形成し、該凸部上の導電性膜に間隙を設けることで、電子がアノード電極側に加速される電界が増倍され、電子放出効率が向上する。また、凸部の頂部の電界増倍が均一であるため、電子放出効率の変化が小さい。よって、本発明によれば、電子放出効率が均一な複数の電子放出素子により高品質な画像表示が可能な画像表示装置が提供される。

【発明を実施するための最良の形態】

【0012】

本発明の電子放出装置は、基板上に形成された電子放出素子と、該電子放出素子に対向し、上記基板の表面から距離 L をおいて配置されたアノード電極とを有する電子放出装置である。本発明に用いられる電子放出素子は、基板上に間隔を置いて配置された第1電極及び第2電極と、該一对の電極を互いに接続する導電性膜とを備え、該導電性膜に間隙を形成することで電子放出させる素子である。例えば表面伝導型電子放出素子が本発明に適用される好ましい形態である。

【0013】

本発明の特徴は、一对の電極間において、基板表面に特定の断面形状の凸部を有していることにある。第1の発明においては、該凸部の頂部が外側に凸の湾曲部であり、第2の発明においては、該凸部の頂部が平面部とこれに続く外側に凸の湾曲部からなる。

【0014】

本発明の好ましい実施の形態について、表面伝導型電子放出素子を例にとり、以下に具体的に説明する。

【0015】

図1は、本発明第1の電子放出装置の一実施形態の電子放出素子の構成を模式的に示す図であり、(a)は斜視図、(b)は平面図、(c)は(b)におけるA-A'断面図である。

【0016】

本発明に係る電子放出素子は、図1に示すように、一对の電極3, 4と、該電極3, 4を互いに接続する導電性膜5とを備えている。6は導電性膜5に形成された間隙である。

【0017】

本発明において、基板1表面に平行で、電極3, 4の相対する端辺に平行な方向を Y 方向、基板1表面に平行で、 Y 方向に直交する方向を X 方向、基板1表面の法線方向を Z 方向とする。

【0018】

図2(a)は、本例の電子放出装置の間隙6付近の部分拡大図であり、図1(b)のA-A'断面部分に相当する断面模式図であり、図中、7は対向基板、8はアノード電極である。また、図2(b)は間隙6の平面部分拡大図である。

【0019】

10

20

30

40

50

本発明において、電子放出素子に対向して、基板表面から距離 L をおいてアノード電極 8 が配置されている。そして第 1 電極 3 と第 2 電極間に電圧 V_f を、導電性膜 5 とアノード電極間に電圧 V_a を印加することにより、間隙 6 付近から電子を放出する装置となっている。

【0020】

本発明の特徴は、基板 1 の表面に凸部 2 が形成され、該凸部 2 上の導電性膜 5 に間隙 6 が形成されていることにある。ここで、図 2 (a) に示すように、基板 1 表面から凸部 2 の頂点までの高さを H 、凸部 2 の底面の X 方向の幅を W 、 X 方向における間隙 6 の中心から凸部 2 の頂点までの距離を X_g とする。尚、本発明において凸部 2 の頂点とは、第 1 の発明においては、 X 方向断面において頂部の最も高い位置を意味し、また第 2 の発明において、 X 方向断面において頂部の平面部の中央をいう。また、基板 1 の表面を掘って凸部 2 が形成されている場合、高さ H の基準となる基板表面は、基板の最も深く掘られた面とする。また、凸部 2 の底面の幅 W は、具体的には凸部 2 の高さ H の 1% の部位における X 方向の幅とする。

10

【0021】

本発明に係る凸部 2 は、 Y 方向に連続する部位であるが、上記した H 、 W 、 X_g が Y 方向において均一でない場合には、それぞれの平均値をもって規定する。

【0022】

本発明にかかる導電性膜 5 に形成される間隙 6 は、図 2 (b) に示すように、幅 W_s の範囲で蛇行しながら Y 方向に沿って形成されている。

20

【0023】

以下に本発明に係る電子放出素子の各部材について説明する。

【0024】

基板 1 として、ガラス（石英ガラス、 Na 等の不純物含有量を減少させたガラス、青板ガラス）を用いることができる。また、基板 1 として、ガラス基板にスパッタ法等により SiO_2 膜を積層した基板、アルミナ等のセラミックス基板、 Si 基板、等を用いることができる。また、必要な場合には上記基板を十分にクリーニングした後、シランカップリング剤を用いて基板表面に疎水化処理を施す。

【0025】

基板 1 に形成される凸部 2 は、導電性膜 5 が間隙 6 において短絡しないように少なくとも表面が絶縁性の材料で構成されている必要がある。よって基板 1 の一部でもよく、また、基板 1 とは別の絶縁性材料をパターンニング形成したものでよい。凸部 2 の形成方法としては、基板 1 をエッチング、プラスト、レーザー加工、フォトリソグラフィなどで加工する方法が好ましく用いられる。また、基板 1 上に絶縁性材料を積層し、印刷法やフォトリソグラフィ法等のパターンニング手法で作製することもできる。

30

【0026】

本発明に適用可能な凸部 2 の他の形状を図 3 乃至図 6 に示す。図 3、図 4 はいずれも X 方向断面を示す。図 1 の例では、 X 方向断面が半円形状であったが、図 3 (a) は頂部の湾曲部が円の一部分で、該湾曲部から下方が基板 1 表面に対して鋭角をなしている。また、図 3 (b) は頂部の湾曲部が半円形で、該湾曲部から下方がほぼ垂直な形状である。図 3 (c) は断面形状が半楕円形である。図 4 (a) は第 2 の発明であり、頂部に X 方向の幅が W_t の平面部を有し、該平面部から下方が円の一部分をなしている。尚、係る平面部は表面の高さの変動幅が凸部 2 の高さ H の 5% 以下であるが、曲率半径が凸部の幅 W の $1/10$ 以下の細かい周期的な凹凸の場合は高さの変化とはしない。図 4 (b) は第 1 の発明であり、凸部 2 の X 方向断面の形状が幅 W の中央を軸として、左右非対称な形状である。

40

【0027】

図 5、図 6 は、それぞれ Y 方向において凸部 2 の H 、 W 、 X_g が均一でない例であり、図 5 の例は (a) が平面図、(b) が (a) の $A-A'$ 断面図であり、図 6 の例は斜視図で示す。このように Y 方向における X 方向の幅 W や高さ H の変化幅は、 X 方向の幅 W や高さ H の平均値を 100% とすると、50 乃至 200% 程度、好ましくは 80 乃至 120%

50

が好ましい。

【0028】

電極3, 4の材料としては、一般的な導体材料を用いることができる。例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属から適宜選択することができる。また、電極3, 4の膜厚は1nm以上1 μ m以下の範囲とすることができる。電極3, 4は、基板1上に真空蒸着法により電極3, 4の構成材料を成膜し、フォトリソグラフィ技術により、パターンニングして電極3, 4を得る。

【0029】

導電性膜5の材料としては、例えば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物導電体が挙げられる。また、TiN、ZrN、HfN等の窒化物等も挙げられる。

10

【0030】

導電性膜5には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いることが好ましい。その膜厚は、10以上100nm以下の範囲とすることができる。導電性膜5の幅は、1 μ m以上100 μ m以下の範囲とすることができる。

【0031】

導電性膜5の形成方法としては、電極3, 4を設けた基板1上に、有機金属溶液を塗布して、有機金属膜を形成する。有機金属溶液には、導電性膜5の材料を主元素とする有機化合物の溶液を用いることができる。そして、この有機金属膜を加熱焼成処理し、リフトオフ、エッチング、レーザー加工等によりパターンニングし、導電性膜5を形成する。尚、導電性膜5の形成方法としては、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることができる。

20

【0032】

さらに、各導電性膜5に間隙6を形成するいわゆる「フォーミング処理」を行う。フォーミング処理は、一对の電極3, 4に電位差を与えて導電性膜5に通電する(電流を流す)ことにより行う。

【0033】

つまり、電極3, 4間に電圧を印加する事により、導電性膜5内に、ジュール熱が発生し、導電性膜5に間隙6が形成される。フォーミング処理時における電圧は、パルス波形が望ましい。フォーミング処理の終了は、例えば、0.1[V]程度の電圧印加により流れる電流を測定し、抵抗値を求めて、1[M Ω]以上の抵抗を示した時点とすることができる。係る間隙6は、図2(b)に示されるように、Y方向に伸びており、X方向において幅Wsの範囲で蛇行している場合もある。Wsは間隙6の形成条件や導電性膜5の条件によって異なるが、数 μ m程度である。

30

【0034】

上記のようにフォーミング処理を終えた電子放出素子にはいわゆる「活性化処理」を施すのが好ましい。活性化処理とは、有機物質のガスを含有する雰囲気下で、フォーミング処理と同様に、電極3, 4間にパルス状の電圧を印加することで実施される。この活性化処理により、後述する素子電流If及び放出電流Ieが著しく増加する。そして、活性化処理により、間隙6内及び間隙6近傍の導電性膜5上を覆うカーボン膜が形成される。尚、カーボン膜には、間隙6より狭い間隙が、間隙6内に設けられ、当該狭い間隙から電子が放出されるようになる。

40

【0035】

最後に、上述した処理工程を経て得られた電子放出素子は、安定化処理を実施することが好ましい。この安定化処理は、真空装置内の有機物質などの不要な物質を排気して低減する処理である。

【0036】

間隙6は、導電性膜5の一部に形成された高抵抗の部位であり、導電性膜5の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。また、間隙6

50

の内部には、直径が数乃至数十 nm の範囲の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜 5 を構成する材料の元素の一部、或いは全ての元素を含有するものとなる。また、間隙 6 及びその近傍の導電性膜 5 には、炭素及び炭素化合物を有することもできる。

【0037】

次に、本発明における電子放出効率向上と電子放出効率ばらつきの抑制効果について説明を行う。ここで、電子放出効率とは、導電性膜に流れる電流を素子電流 I_f 、導電性膜 5 からアノード電極 8 へ流れる電流を放出電流 I_e とすると、 I_e / I_f のことを示す。

【0038】

先ず、一般的な表面伝導型電子放出素子において、電子放出素子から放出された電子の軌道に影響を与える電位分布について、図 7 を用いて説明する。図 7 において、図 1 と同様の構成は同一番号を付し、説明を省略する。図 7 中、紙面に平行で基板 1 表面に沿った方向を X 、基板 1 に垂直でアノード電極 8 に向かう方向を Z とする。図中の点線 13 は等電位線を示す。

10

【0039】

導電性膜 5 には電圧 V_f が印加され、該導電性膜 5 の紙面左端は 0 [V]、右端は V_f [V] であるとする。アノード電極 8 に電圧 V_a が印加されない場合に、この V_f により形成される間隙 6 付近の電位分布を図 7 (a) に示す。次に、導電性膜 5 に印加される電圧を 0 [V] とし、アノード電極 8 に電圧 V_a を印加した場合の電位分布を図 7 (b) に示す。アノード電極 8 は基板 1 から距離 L 離れた位置に配置されている。図 7 (a) では、電子放出部である間隙 6 から放出された電子は、間隙 6 の中央を $X = 0$ として、 $X = dx$ の位置で Z 方向に $E_{v_f} = V_f / (dx)$ の大きさを有する回転電界により、基板 1 に向かう力 12 を受ける。また、図 7 (b) では、基板 1 上の電子は、基板 1 とアノード電極 8 間に印加された Z 方向に $E_{v_a} = V_a / L$ の大きさを有する平行電界により、アノード電極 8 に向かう力 12 を受ける。アノード電極 8 にアノード電圧 V_a が印加され、導電性膜 5 に V_f [0] が印加された場合の電位分布を図 7 (c) に示す。電界 E_{v_f} と電界 E_{v_a} が等しくなる位置の X 座標 ds は、

20

$$ds = (V_f /) \times (L / V_a) \quad (1)$$

となる (以後、間隙 6 の中央からこの点までの距離を ds とよぶ)。

【0040】

この電界 E_{v_f} と電界 E_{v_a} が等しくなる位置は、一般には淀み点と呼ばれる。淀み点より遠くまで飛んだ電子はほとんど導電性膜 5 上に落ちることなくアノード電極 8 に到達し、放出電流 I_e に寄与する。一方、淀み点に到達できなかった電子は、導電性膜 5 上に落ち、そこで少なくとも 1 回散乱し、その一部はアノード電極 8 に到達し、放出電流 I_e に寄与する。散乱後再び真空中に飛び出すことができる電子は、衝突した電子のうち 20 乃至 30 % と言われている。従って、電子のエネルギーが同じであれば、 ds がより短い方が電子はより少ない散乱回数で淀み点に到達することが出来るので、電子放出効率が向上する。また、上記式 (1) から、距離 L を小さくする、電圧 V_a を大きくすることにより、 ds が短くなり、電子放出効率が向上することがわかる。

30

【0041】

図 7 (d) にアノード電極 8 にアノード電圧 V_a を印加し、基板 1 に半円状の凸部 2 がある場合の電位分布を示す。凸部 2 の表面電位は 0 に規定されていると仮定する。図で示すように、凸部 2 の近傍では等電位線がひずみ、凸部 2 の頂点 (凸部 2 のうち、最もアノード電極 8 に近い部位) では等電位線が密、つまり電界強度が最も大きくなる。この電界強度の平行電界に対する比率 (電界増倍係数) は凸部 2 の幾何学形状によって決まる。例えば、図 7 (d) のように凸部 2 の断面が半円形状の場合 $= 2$ となる。これは、この凸部 2 の頂点での電界強度が、凸部 2 がない場合の 2 倍になることを示す。従って、この凸部 2 の頂点に電子放出部となる間隙 6 を配置すれば、式 (1) に従って、淀み点までの距離 ds は凸部 2 がない場合の淀み点までの距離 (以後 ds_0 と呼ぶ) の半分となる。そして、一般的な表面伝導型電子放出素子では、実験的に電子放出効率は V_a (従って V_a

40

50

により形成されるZ方向電界 E_{va})の0.5乗に比例することが知られている。従って、局所的にZ方向電界を2倍にする凸部2により、約1.4倍($2^{0.5}$)電子放出効率が向上することになる。以上の説明では、凸部2の例として断面形状が半円としたため、電界増倍係数は2であった。しかし、例えば、図3(a)乃至(c)のようにWに対してHを大きくした場合、電界増倍係数は大きくなり、その結果、電子放出効率も大きくなる。

【0042】

一方、実際に凸部2の頂部に電子放出部である間隙6を配置する場合、凸部2の高さHと間隙6の位置 X_g が電子放出効率に影響を与える。次に、この凸部2の高さH、間隙6の位置 X_g について説明する。

10

【0043】

図8(a)にX方向断面が半円形の凸部2の頂部6に間隙6を配置した場合の高さHと間隙6から淀み点までの距離 d_s の関係の計算結果を示す。ここでの計算条件は1例として電子放出時の $V_a = 10\text{ kV}$ 、 $V_f = 18\text{ V}$ 、 $L = 1.6\text{ mm}$ とした。凸部2がない場合の淀み点までの距離 d_{s_0} は $0.92\text{ }\mu\text{m}$ である。H $\geq d_{s_0}$ の場合、 $d_s = d_{s_0} / 2 = d_{s_0} / \sqrt{2}$ となり、高さHに関わらず電子放出効率が向上することがわかる。一方、H $< d_{s_0}$ の場合、Hが小さくなるほど d_s は大きくなり、電子放出効率向上効果が小さくなることわかる。ここから、凸部の高さについて、 $H \geq d_{s_0} = V_f \times L / (\sqrt{2} \times V_a)$ が好ましいことがわかる。

20

【0044】

図8(b)に間隙6の位置 X_g 、X方向断面が半円形の凸部2の幅をWとして、 X_g / W と d_s の関係の計算結果を示す。計算条件は、 $H = 2\text{ }\mu\text{m}$ 、 $W = 4\text{ }\mu\text{m}$ 、それ以外の条件は図8(a)と同じとした。その結果、 $|X_g / W| \leq 0.35$ の場合、 $d_s \approx d_{s_0}$ となり、 d_s の急激な変化が無く、つまり、この範囲内ではほぼ同等の電子放出効率を得られることがわかる。

【0045】

一方、 $|X_g / W| > 0.35$ の場合、 $d_s > d_{s_0}$ となり、電子放出効率が凸部2がない場合より減少し、且つ、電子放出効率が X_g / W の値によって大きく変化することがわかる。これより、安定して電子放出効率を向上させるために、間隙6の位置 X_g について、 $|X_g| \leq 0.35 W$ が好ましいことがわかる。凸部2の頂部が外側に凸の湾曲部である図1、図3(a)、(b)、(c)、図4(b)にこの関係が適用できる。

30

【0046】

ここで、例にあげた表面伝導型電子放出素子の場合、図2(b)の拡大図に示したように、作製条件や導電性膜の条件によっては、電子放出部となる間隙6が蛇行することがわかっている。本発明の電子放出装置では、間隙6の位置 X_g が $|X_g| \leq 0.35 W$ の範囲でばらついても、電子放出効率はほとんど変化しない。従って、蛇行の範囲がこの範囲内であれば、電子放出効率のばらつきは抑制される。

【0047】

また、図4(a)のように頂部の一部が幅 W_t にわたって平面部であっても、同様の作用効果が得られる。凸部2の高さHに関する条件は変わらないが、間隙6の位置 X_g については、 $|X_g| \leq 0.35 W + 0.15 W_t$ が好ましい。ただし、平面部の幅 W_t が広すぎると凸部2での電界増倍効果が小さくなるため、実用上は $W_t \leq 0.2 W$ の範囲が好ましい。

40

【0048】

頂部の湾曲部の曲率半径Rについては、Rが大きいほど間隙の位置ずれによる電子放出効率の変化が小さくなる。具体的には、 $R \geq 0.5 W$ の場合、本発明の効果がより安定して得られることがわかっている。また、本例では凸部2について断面図のみで説明を行ったが、前記断面形状がY方向に連なっていることで、その長さによって本発明の効果が得られる。特に、図5、図6のようなY方向に断面形状が異なる場合、付加的な効果として電子放出部となる間隙6の長さが同一断面が連なったものよりも長くなるため、素子電

50

流が増加する、ゆらぎが低減されるなどの効果がある。

【0049】

本発明においては、上記した本発明の電子放出装置を、電子放出素子が同一基板上に複数個配置するように構成することで画像表示装置を構成することができる。より具体的には、本発明にかかる電子放出素子を同一基板上に複数個形成し、各素子のそれぞれの電極に電圧を印加するための配線を設けてリアプレートとする。一方、ガラス基板等透明絶縁基板に蛍光膜等画像形成部材を設け、その上にAl等を蒸着してメタルバックを兼ねたアノード電極を設けてフェースプレートとする。アノード電極と電子放出素子とが所定の距離を置いて対向するようにリアプレートとフェースプレートとを対向配置し、周囲を封止することにより画像表示装置が得られる。

10

【実施例】

【0050】

以下、具体的な実施例を挙げて本発明を詳しく説明する。

【0051】

(実施例1)

[凸部形成]

本例では、基板1としてガラスを用い、厚さ $2\mu\text{m}$ の SiO_2 膜を塗布形成した後、レジストを塗布、パターンニングした後、凸部5を形成する領域以外をエッチング除去して、凸部2を形成した。凸部2のX方向断面形状は図1に示すような半円形状であり、頂点の高さHは $2\mu\text{m}$ 、凸部2の幅Wは $4\mu\text{m}$ 、湾曲部の曲率半径Rは $2\mu\text{m}$ でY方向に当該形状が連続した半円筒形状の凸部2とした。

20

【0052】

[電極形成]

上記ガラス基板上にスパッタ法によって、膜厚 20nm のPt膜を成膜して、電極3, 4を形成した。電極3, 4の間隔は $10\mu\text{m}$ とした。

【0053】

[導電性膜及び電子放出部形成]

上記基板を十分にクリーニングした後、厚みが最大で 10nm の酸化パラジウム(PdO)膜を得た。次いで水素ガスを含む真空雰囲気下で酸化パラジウムを還元してパラジウムからなる導電性膜5を形成した後、該導電性膜5に通電加熱することにより、該導電性膜5の一部に第一の間隙を形成した。該間隙は、該導電性膜5のほぼ中央に形成され、その形状は多少蛇行していたが、蛇行幅 W_s は $2\mu\text{m}$ 以下だった。蛇行の中心位置は凸部2の幅のほぼ中央であった($X_g = 0$)。

30

【0054】

次いで、トルニトリルを真空雰囲気に導入し、 $1.3 \times 10^{-4}\text{Pa}$ の真空雰囲気です上記導電性膜5に通電処理を施し、上記第1の間隙近傍に炭素或いは炭素化合物を堆積させ、第2の間隙(間隙6)を形成した。

【0055】

[アノード基板配置]

上記のようにして得られた基板1(以後リアプレートと称する)と、ガラス基板上にアノード電極8を成膜したフェースプレートとを、図2(a)に示すように、真空中で基板1とアノード電極8の距離Lが 1.6mm になるよう配置した。

40

【0056】

(実施例2)

図4(a)に示すように、凸部2のX方向断面の頂部の一部が平面部である以外は実施例1と同様にして電極3, 4まで形成した。頂点の高さHは $2\mu\text{m}$ 、凸部2の幅Wは $5\mu\text{m}$ 、頂部の平面部の幅 W_t は $1\mu\text{m}$ とした。凸部2はこの断面形状がY方向に連続した半円筒形状である。

【0057】

次に、実施例1と同様にして酸化パラジウム膜を形成した。そして、本例では、第1の

50

間隙を形成する際の通電時の電力を低減するため、若干の水素ガスを含む真空雰囲気下で酸化パラジウム膜に通電加熱した。これにより、酸化パラジウムを還元してパラジウムからなる導電性膜 5 を形成すると同時に、該導電性膜 5 の一部に間隙 6 を形成した。形成された間隙 6 は、実施例 1 の間隙 6 よりも幅広く、蛇行幅 W_m は約 $3.5 \mu\text{m}$ であった。蛇行の中心位置は凸部 2 の幅のほぼ中央であった ($X_g = 0$)。

【0058】

(実施例 3)

図 3 (b) に示すように、凸部 2 の X 方向断面が矩形上に半円形状が積層された形状である以外は実施例 1 と同様にしてリアプレートを作製した。凸部 2 の頂点の高さ H は $4 \mu\text{m}$ 、凸部 2 の幅 W は $4 \mu\text{m}$ 、凸部 2 の頂部の曲率半径 R は $2 \mu\text{m}$ とした。凸部 2 はこの断面形状が Y 方向に連続した半円筒形状である。

10

【0059】

電子放出部となる間隙 6 を形成する際の製造工程は実施例 1 と同様、還元後のパラジウムからなる導電性膜 5 に通電加熱することにより間隙 6 を形成した。形成された間隙 6 は、実施例 1 とほぼ同程度の蛇行幅 $W_s = \text{約 } 2 \mu\text{m}$ で蛇行した。蛇行の中心位置は凸部 2 の幅のほぼ中央であった ($X_g = 0$)。

【0060】

(実施例 4)

図 5 に示すように、Y 方向に高さ H と幅 W とが一定周期で変動する凸部 2 とした以外は実施例 1 と同様にしてリアプレートを作製した。凸部 2 の高さ H は 2 乃至 $4 \mu\text{m}$ で平均 H_{av} は約 $3 \mu\text{m}$ 、幅 W は 2 乃至 $4 \mu\text{m}$ で平均 W_{av} は約 $3 \mu\text{m}$ 、凸部 2 の頂部の曲率半径 R は 2 乃至 $4 \mu\text{m}$ で平均 R_{av} は約 $3 \mu\text{m}$ であった。

20

【0061】

間隙 6 を作製する際の製造工程は実施例 1 と同様、還元後のパラジウムからなる導電性膜 5 に通電加熱することにより間隙 6 を形成した。作製された間隙 6 は、実施例 1 とほぼ同程度の蛇行幅 $W_s = \text{約 } 2 \mu\text{m}$ だった。蛇行の中心位置は凸部 2 の幅のほぼ中央であった ($X_g = 0$)。

【0062】

(比較例 1)

基板 1 が凸部 2 を持たない平坦な表面を有する以外は実施例 1 と同様にしてリアプレートを作製した。電子放出部である間隙 6 は、実施例 1 とほぼ同程度の蛇行幅 $W_s = \text{約 } 2 \mu\text{m}$ で蛇行した。蛇行の中心位置は導電性膜 5 のほぼ中央であった。

30

【0063】

(比較例 2)

凸部 2 の X 方向断面を略二等辺三角形とした以外は実施例 1 と同様にしてリアプレートを作製した。凸部 2 の高さ H は $2 \mu\text{m}$ 、幅 W は $4 \mu\text{m}$ で、頂部の曲率半径 $R = 0.2 \mu\text{m}$ で、Y 方向に当該断面形状が連なった三角柱形状である。電子放出部である間隙 6 は、頂点を中心として、蛇行幅 $W_s = \text{約 } 1 \mu\text{m}$ で蛇行した。蛇行の中心位置は凸部 2 の幅のほぼ中央であった ($X_g = 0$)。

40

【0064】

(比較例 3)

凸部 2 を、X 方向断面が、高さ H が $0.2 \mu\text{m}$ 、幅 W が $0.4 \mu\text{m}$ 、頂部の曲率半径 R が $0.2 \mu\text{m}$ の半円形状で、Y 方向に当該断面形状が連なった半円筒形状とした以外は実施例 1 と同様にしてリアプレートを作製した。電子放出部である間隙 6 は、実施例 1 とほぼ同程度の蛇行幅 $W_s = \text{約 } 2 \mu\text{m}$ で蛇行した。蛇行の中心位置は凸部 5 の幅のほぼ中央であった ($X_g = 0$)。

【0065】

[評価]

以上のようにして得られた実施例 1 乃至 4、比較例 1 乃至 3 について、電極 3 が 0 V 、電極 4 が 18 V 、アノード電極 8 が 10 kV になるようそれぞれ電圧を印加したところ、

50

アノード電極 8 に電流が流れ、電子が放出されていることが確認できた。

【 0 0 6 6 】

次いで、本発明の効果を確認するため、電極 3 , 4 間に流れる素子電流 I_f とアノード電極 8 で検出される放出電流 I_e の比として得られる電子放出効率を複数の基板について測定をしたところ、表 1 に示す結果が得られた。

【 0 0 6 7 】

【表 1】

	電子放出 効率 (比較例1を 1とする)	H [μm]	W [μm]	凸部断面 形状	導電性膜の中央からの 蛇行距離	ばらつき (比較例1と の比較)
実施例1	1.3~1.4	2	4	図1	$1\mu\text{m} (<0.35W=1.4\mu\text{m})$	同程度
実施例2	1.3~1.4	2	5	図4(a)	$1.75\mu\text{m} (<0.35W+0.15Wt=1.9\mu\text{m})$	同程度
実施例3	1.6~1.8	4	4	図3(b)	$1\mu\text{m} (<0.35W=1.4\mu\text{m})$	同程度
実施例4	1.5~1.6	2-4	2-4	図5	$1\mu\text{m} (<0.35W=1.4\mu\text{m})$	同程度
比較例1	1	-	-	-	-	-
比較例2	0.7~2.0	2	4	二等辺三角形	$1\mu\text{m} (<0.35W=1.4\mu\text{m})$	増加
比較例3	1	0.2	0.4	図1	$1\mu\text{m} (<0.35W=0.14\mu\text{m})$	同程度

10

20

【 0 0 6 8 】

実施例 1 の場合、凸部 2 による電界増倍効果が有効に作用し、比較例 1 と比べて電子放出効率が増加した。また、間隙 6 は蛇行しているが凸部 2 の頂点から $0.35W$ 以内の距離にあるため、電子放出効率のばらつきは比較例 1 と同程度であった。実施例 2 の場合、実施例 1 よりも間隙 6 の蛇行幅 W_s が広いにもかかわらず、実施例 1 と同程度の電子放出効率、電子放出効率ばらつきとなった。

【 0 0 6 9 】

実施例 3、4 の場合、実施例 1 よりも凸部 2 の電界増倍係数が大きいため、実施例 1 よりも電子放出効率が増加した。また、間隙 6 は蛇行しているが凸部 2 の頂点から $0.35W$ 以内の距離にあるため、電子放出効率のばらつきは比較例と同程度であった。

30

【 0 0 7 0 】

比較例 2 では、電子放出効率が、比較例 1 の 0.7 倍から 2 倍となり、大きくばらついた。これは、凸部 2 の頂部の曲率半径 R が $0.1W$ と小さく、実質的に湾曲部を持たないため、実施例 1 乃至 4 のような凸部 2 の頂部の曲率半径 R が $0.5W$ 以上の場合に比べ、間隙 4 の蛇行により電子放出効率が大きくばらついてしまうためと考えられる。

【 0 0 7 1 】

比較例 3 では、凸部 2 が設けられたにもかかわらず、電子放出効率は比較例 1 とほぼ同程度であった。これは、凸部 2 の高さ H が $d_{s0}/10$ 程度だったため、十分な電界増倍効果が得られなかったためと考えられる。

【図面の簡単な説明】

40

【 0 0 7 2 】

【図 1】本発明第 1 の電子放出装置の一実施形態の電子放出素子の構成を模式的に示す図である。

【図 2】図 1 の電子放出装置の間隙付近の部分拡大図である。

【図 3】本発明の電子放出装置の凸部の形状例を示す図である。

【図 4】本発明の電子放出装置の凸部の形状例を示す図である。

【図 5】本発明の電子放出装置の凸部の形状例を示す図である。

【図 6】本発明の電子放出装置の凸部の形状例を示す図である。

【図 7】本発明において、電子放出素子から放出された電子の軌道に影響を与える電位分布の説明図である。

50

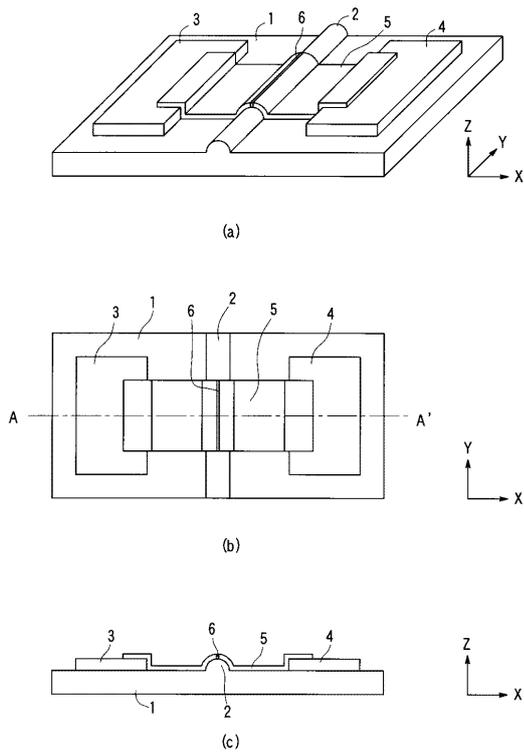
【図8】本発明における凸部の高さと間隙から淀み点までの距離の関係、及び、間隙の位置と凸部の幅との比と間隙から淀み点までの距離の関係を示す図である。

【符号の説明】

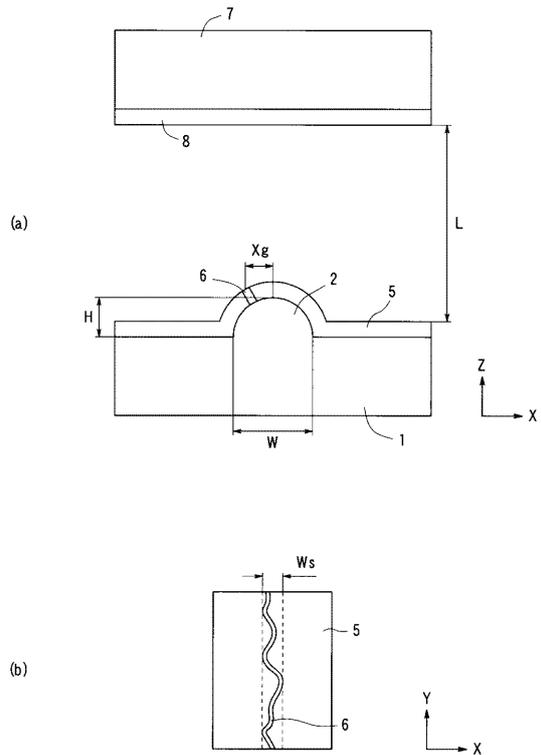
【0073】

- 1 基板
- 2 凸部
- 3, 4 電極
- 5 導電性膜
- 6 間隙
- 7 対向基板
- 8 アノード電極
- 12 電子が受ける力の方向
- 13 等電位線

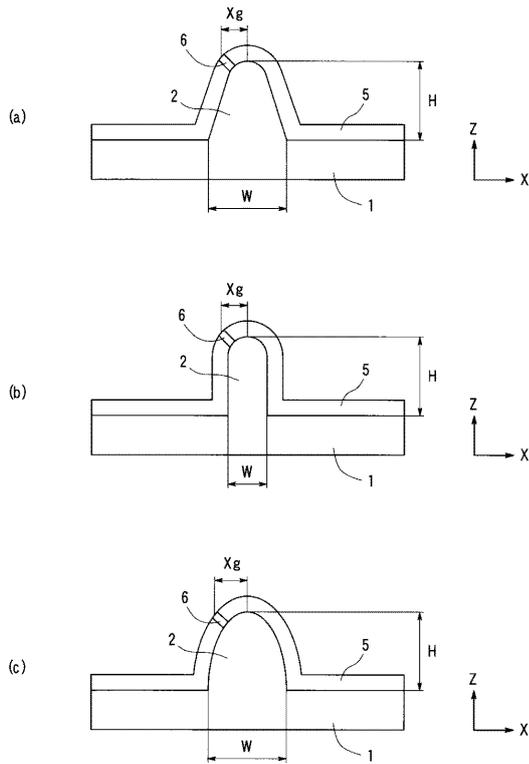
【図1】



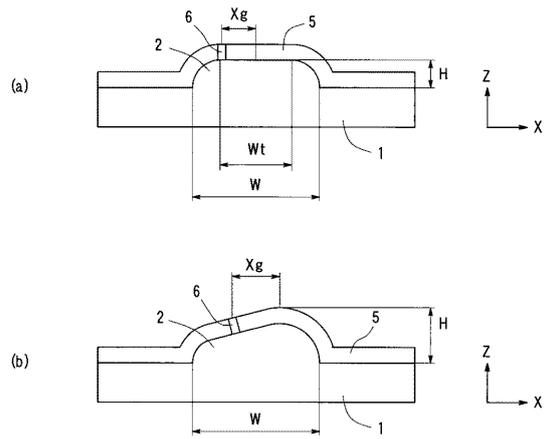
【図2】



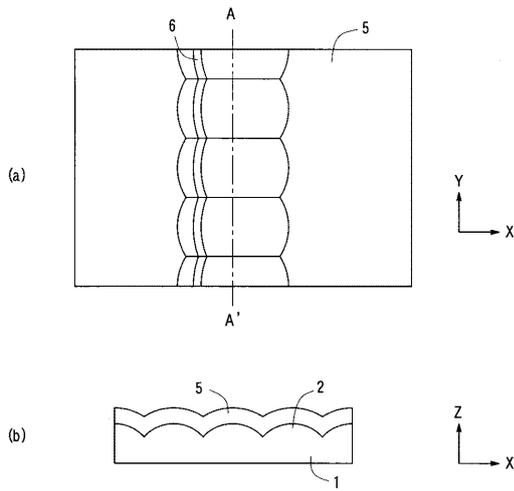
【 図 3 】



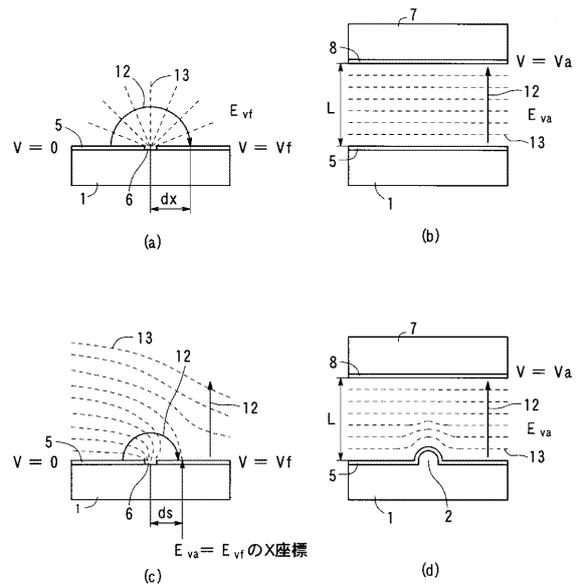
【 図 4 】



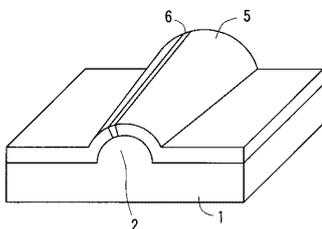
【 図 5 】



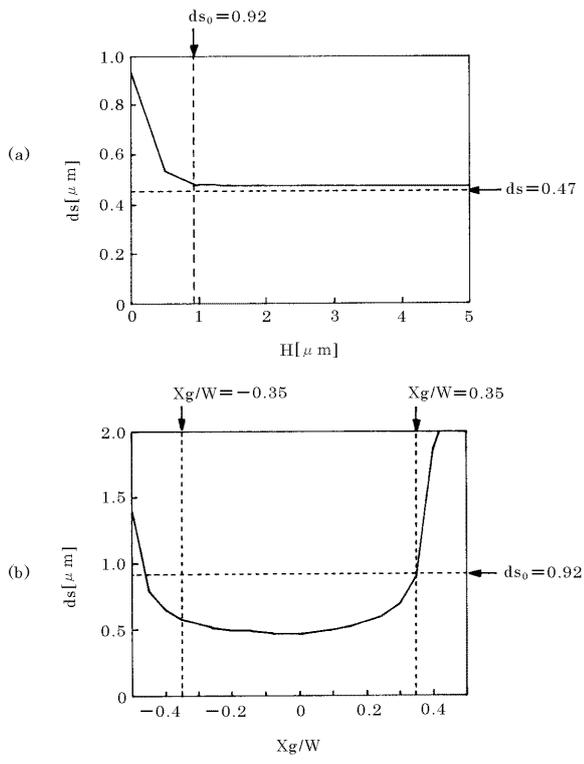
【 図 7 】



【 図 6 】



【 図 8 】



フロントページの続き

(72)発明者 伊庭 潤

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C031 DD17

5C036 EE01 EE19 EF01 EF06 EG12 EH01 EH21