



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I450415 B

(45) 公告日：中華民國 103 (2014) 年 08 月 21 日

(21) 申請案號：100102277

(22) 申請日：中華民國 100 (2011) 年 01 月 21 日

(51) Int. Cl. : **H01L33/02 (2010.01)**

(30) 優先權：2010/03/23 南韓

10-2010-0025917

(71) 申請人：L G 伊諾特股份有限公司 (南韓) LG INNOTEK CO., LTD. (KR)

南韓

(72) 發明人：黃盛珉 HWANG, SUNG MIN (KR)

(74) 代理人：陳瑞田

(56) 參考文獻：

US 5977565

US 20050271107A1

US 20070166861A1

US 20070170488A1

審查人員：陳英豪

申請專利範圍項數：11 項 圖式數：13 共 0 頁

(54) 名稱

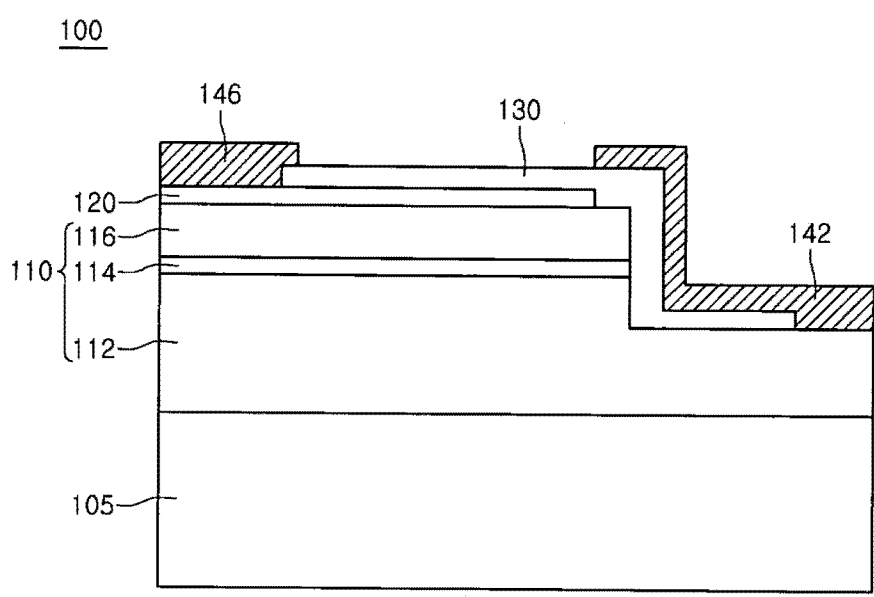
發光裝置、發光裝置封裝件及照明系統

LIGHT EMITTING DEVICE, LIGHT EMITTING DEVICE PACKAGE AND LIGHTING SYSTEM

(57) 摘要

本發明揭示一種發光裝置、一種發光裝置封裝件、以及一種照明系統。該發光裝置係包括有一基板、一發光結構、一介電層、一第一電極、以及一第二電極。其中該發光結構係包括有一第一導電型半導體層、一主動層、以及一第二導電型半導體層，且該發光結構係形成於該基板之上以使一部份的第一導電型半導體層暴露出。該介電層係形成於該第二導電型半導體層之一頂面至第一導電型半導體層之一暴露出的頂面。第二電極係形成於第二導電型半導體層上；第一電極係形成於第一導電型半導體層之暴露出的頂面上，且同時與第二導電型半導體層上的該介電層之一部分相接觸。

Disclosed are a light emitting device, a light emitting device package, and a lighting system. The light emitting device includes a substrate; a light emitting structure including a first conductive semiconductor layer, an active layer and a second conductive semiconductor layer, which are formed on the substrate such that a part of the first conductive semiconductor layer is exposed; a dielectric layer formed from a top surface of the second conductive semiconductor layer to an exposed top surface of the first conductive semiconductor layer; a second electrode on the second conductive semiconductor layer; and a first electrode on the exposed top surface of the first conductive semiconductor layer while making contact with a part of the dielectric layer on the second conductive semiconductor layer.



- 100 . . . 發光裝置
- 105 . . . 基板
- 110 . . . 發光結構
- 112 . . . 第一導電型半導體層
- 114 . . . 主動層
- 116 . . . 第二導電型半導體層
- 120 . . . 透射電極
- 130 . . . 介電層
- 142 . . . 第一電極
- 146 . . . 第二電極

圖 1

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100102277

※申請日：100.1.21 ※IPC 分類：H01L 33/02 (2010.01)

## 一、發明名稱：(中文/英文)

發光裝置、發光裝置封裝件及照明系統 / LIGHT EMITTING DEVICE, LIGHT EMITTING DEVICE PACKAGE AND LIGHTING SYSTEM

## 二、中文發明摘要：

本發明揭示一種發光裝置、一種發光裝置封裝件、以及一種照明系統。該發光裝置係包括有一基板、一發光結構、一介電層、一第一電極、以及一第二電極。其中該發光結構係包括有一第一導電型半導體層、一主動層、以及一第二導電型半導體層，且該發光結構係形成於該基板之上以使一部份的第一導電型半導體層暴露出。該介電層係形成於該第二導電型半導體層之一頂面至第一導電型半導體層之一暴露出的頂面。第二電極係形成於第二導電型半導體層上；第一電極係形成於第一導電型半導體層之暴露出的頂面上，且同時與第二導電型半導體層上的該介電層之一部分相接觸。

### 三、英文發明摘要：

Disclosed are a light emitting device, a light emitting device package, and a lighting system. The light emitting device includes a substrate; a light emitting structure including a first conductive semiconductor layer, an active layer and a second conductive semiconductor layer, which are formed on the substrate such that a part of the first conductive semiconductor layer is exposed; a dielectric layer formed from a top surface of the second conductive semiconductor layer to an exposed top surface of the first conductive semiconductor layer; a second electrode on the second conductive semiconductor layer; and a first electrode on the exposed top surface of the first conductive semiconductor layer while making contact with a part of the dielectric layer on the second conductive semiconductor layer.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100	發光裝置
105	基板
110	發光結構
112	第一導電型半導體層
114	主動層
116	第二導電型半導體層
120	透射電極
130	介電層
142	第一電極
146	第二電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係主張關於 2010 年 03 月 23 日申請之韓國專利案號 10-2010-0025917 之優先權，藉以引用的方式併入本文用作參考。

本發明係關於一種發光裝置、一種發光裝置封裝件及一種照明系統。

### 【先前技術】

發光裝置(LED)係包括有一 P-N 接面二極體，其可將電能轉換為光。該 P-N 接面二極體係可以由結合週期表上 III-V 族元素為化合物半導體來製造。該 LED 可藉由調整其中的化合物半導體之組成比例而為不同顏色。

依據習知技術，在靜電放電(ESD)中，電流係為反向流動；因此，做為一發光區域之一主動層可能會被破壞。為解決上述之問題，一齊納二極體(Zener diode)係被裝設於封裝之內。然而，齊納二極體可能會吸收光。

另外，依據習知技術，亦可能會發生電流群聚(current crowding)的現象；因此，LED 之使用壽命及可靠度都會受到影響而降低。

### 【發明內容】

本發明之實施例提供一種發光裝置封裝件以及一照明系

統，其係可在不損失光量的前提下，防止靜電放電(ESD)造成損害。

本發明之實施例提供一種發光裝置封裝件以及一照明系統，得以可改良取光效率(light extraction efficiency)及電流散佈效率(current spreading efficiency)。

依據本發明之實施例，一種發光裝置可包括有一基板、一發光結構、一介電層、一第一電極、以及一第二電極。其中該發光結構係包括有一第一導電型半導體層、一主動層、以及一第二導電型半導體層，且該發光結構係形成於該基板上以使一部份的第一導電型半導體層暴露出。該介電層係形成於該第二導電型半導體層之一頂面至第一導電型半導體層之一暴露頂面。第二電極係形成於第二導電型半導體層上；第一電極係形成於第一導電型半導體層之暴露頂面上，且同時與第二導電型半導體層上的該介電層之一部分相接觸。

另外，依據本發明之實施例，一種發光裝置封裝件係包括有該發光裝置及一封裝體；該發光裝置係安裝於該封裝體內。

依據本發明之實施例，一照明系統可包括有一發光模組，其係包括有一基板以及安裝於該基板之上的該發光裝置封裝件。

### **【實施方式】**

在下文中，將根據本發明之實施例與圖示詳細描述與說明一

種發光裝置、一種發光裝置封裝件及一種照明系統。

在實施例的描述中，應予理解，當提及一層（或膜）是在另一基板、一層（或膜）「之上/下」或「之上方/下方」，則其可以是直接在另一該層（或膜）「之上/下」或「之上方/下方」，或者存在一或多個介入層。另外，亦應予理解的是，當提及一層（或膜）是在另兩層（或膜）「之間」，則其可以是該兩層（或膜）「之間」唯一的一層（或膜），或者存在一或多個介入層。

（實施例）

圖 1 係根據本發明實施例的一種發光裝置之剖視圖。

根據本發明之實施例，發光裝置 100 係包括有一基板 105、一發光結構 110、一介電層 130、一第二電極 146、以及一第一電極 142。其中該發光結構 110 係包括有一第一導電型半導體層 112、一主動層 114、以及一第二導電型半導體層 116，且該發光結構 110 係形成於該基板 105 上以使一部份的第一導電型半導體層 112 朝上暴露。介電層 130 係形成於該第二導電型半導體層 116 及暴露出的第一導電型半導體層 112 上。第二電極 146 係形成於第二導電型半導體層 116 上；第一電極 142 係形成於暴露出的第一導電型半導體層 112 上，且同時與第二導電型半導體層 116 上之介電層 130 的一部分相接觸。

根據本發明之實施例，第一電極 142、介電層 130、以及第



二電極 146 可作為金屬電容(MIM (Metal/Insulator/Metal) capacitor)。

圖 4 係根據本發明實施例的發光裝置 100 之驅動方法剖視圖。

根據本發明之實施例，介電層 130 係形成於第一電極 142 和第二電極 146 之間，以電性開路(electrically open)第一電極 142 以及第二電極 146，藉以在靜電放電(ESD)時保護 LED。

因此如圖 4 所示，電流在正向電壓下被提供給該主動層，以使該主動層發光；且若 ESD 之衝擊係以一脈衝之形式出現，高頻能量（以虛線表示）可穿過介電層，以保護主動層。

根據本發明之實施例，介電層 130 係形成於一台面(mesa)邊緣區域，藉以避免電流聚集在該台面邊緣區域，同時防止靜電放電。

如圖 1 所示，第一電極 142 可形成於介電層 130 之頂面並與介電層 130 相接觸。在此情形下，介電層 130 與第一電極 142 之間的接觸區域可被加大，以使其容量增加，且介電層 130 亦可藉由第一電極 142 與發光結構穩固接觸。

另外，依據本實施例，形成於第一導電型半導體層 112 上之第一電極 142 可延伸至第二導電型半導體層 116 上之介電層 130 頂面。在此情形下，電極間之一間隙可被減少，以使 ESD 所造成

之電場可輕易地被誘導至介電層 130 之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

如圖 1 所示，介電層 130 可與第二電極 146 相接觸。另外，與介電層 130 相接觸之第二電極 146 可延伸至介電層 130 之頂面上。在此情形下，其電容量可增加且介電層 130 可保持穩固。

與圖 1 不同的是，與第二電極 146 接觸之介電層 130 可延伸至第二電極 146 之頂面以增加其容量。

如圖 1 所示，依據本實施例，一透射電極(transmittive electrode) 120 可形成於發光結構 110 上，且第二電極 146 可形成於透射電極 120 上。

依據本實施例，介電層 130 係形成於發光區域上，故介電層 130 可為一透射介電層(transmittive dielectric layer)，但不限制於此。

依據本實施例，介電層 130 可與透射電極 120 之一頂面相接觸，且與第二電極 146 之一側面直接接觸。在此情形下，作為取光區域之第二導電型半導體層 116 其上覆蓋之介電層 130 較少，故 ESD 之保護效率及取光效率均可被改善。

依據本實施例，為了從 ESD 發生時保護 LED，介電層 130 係形成於第一電極 142 和第二電極 146 之間。藉此，電流在正向電壓下被提供給該主動層，以使該主動層發光；且若 ESD 之衝擊係

以一脈衝之形式出現，高頻能量可穿過介電層，以保護主動層。

另外，依據本實施例，形成於第一導電型半導體層 112 上之第一電極 142 可延伸至第二導電型半導體層 116 上之介電層 130 頂面。在此情形下，電極間之一間隙可被減少，以使 ESD 所造成之電場可輕易地被誘導至介電層 130 之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

圖 2 和圖 3 係為依據習知技術中發光裝置靜電放電之電場之形成概念圖。圖 5 係為依據本發明實施例中發光裝置靜電放電之電場之形成概念圖。

由 ESD 所造成之 LED 損壞，可能發生於當反向電壓被提供給半導體裝置時。如圖 2 和圖 3 所示，在反向電壓被提供時，帶電電荷造成強電場被誘導於 LED 之作用區。

另外，如圖 3 所示，載子(carriers)，即包括電子(electrons)及電洞(holes)，會加速以與原子相撞，藉此來創造其他的載子，而被創造之載子可以相同方式創造更多新載子；這被稱為累增崩潰(avalanche breakdown)。若半導體裝置受到因強電場被帶電電荷誘導而造成之強烈靜電放電，該 LED 半導體可能會因累增崩潰而損壞。

為解決上述問題，金屬電容(MIM)結構係被提供如圖 5 所示。在此情況下，被提供給 LED 之主動層的電場之一部分可被誘導至

該金屬電容，以使電場在作用區被減弱，藉以改良其對 ESD 之抵抗力。

詳細來說，根據習知技術，所有源自帶電電荷之強電場  $Q_0$  可被誘導至 LED 之作用區，LED 故而可能因累增崩潰而損壞。反之，根據本實施例，源自帶電電荷之強電場  $Q_0$  之一部分  $Q_2$  係可被誘導至介電層 130，以降低該電場於 LED 作用區之強度  $Q_1$ 。

圖 6 係為依據本發明實施例中發光裝置之電路結構(circuit structure)示意圖。

依據本實施例，第一電極 142、介電層 130、以及第二電極 146 可作為一電容 CD。

依據本實施例，發光裝置可具有如圖 6 所示之電路結構。若係提供正向電壓，電流會通過以使 LED 發光。另若因 ESD 之故提供反向電壓，電流會通過金屬電容 CD。

在此，當 ESD 造成反向電壓被提供時，因靜電放電應力(ESD stress)導致總電容  $C_{Tot}$  之增加，通過主動層之電流會降低，並進而減弱其衝擊。

若以公式來表示之，如下：

$$Q_{Dis} = C_{ESD} V_{ESD} \quad (Q_{Dis} : \text{ESD 之電荷量} ; C_{ESD} : \text{ESD 之電容量})$$

$$C'_{Tot} = C_{Diode} + C_D \quad (\text{具有金屬電容})$$

$$C_{Tot} = C_{Diode} \quad (\text{沒有金屬電容})$$

$$I = dQ/dt = \Delta Q / \tau = Q_{Dis} / (RC_{Tot}) \quad \therefore C_{Tot} \uparrow \rightarrow I \downarrow$$

$$\therefore I' = Q_{\text{Dis}} / (RC'_{\text{Tot}}) < I = Q_{\text{Dis}} / (RC_{\text{Tot}})$$

也就是說，當 ESD 造成反向電壓被提供，因靜電放電應力導致總電容  $C_{\text{Tot}}$  之增加，通過主動層之電流  $I'$  會降低，並進而減弱其衝擊。

圖 7 係為依據本發明實施例中發光裝置之 ESD 波形示意圖。

如圖 7 所示，該脈衝波形於傅利葉轉換(Fourier transform)可具有高頻成分(high-frequency component)。另外，在急遽陡峭的上升時間(rising time,  $t_r$ )，該高頻成分之強度可增加。

在下述之公式中，可以看出電容造成之阻抗(impedance)可於頻率升高時被降低。因此，當反向電壓因 ESD 而被提供時，金屬電容之阻抗降低，故而高頻電流可流通該金屬電容。

阻抗： $Z = Z_R + jZ_{\text{Im}}$ ，其中  $Z_R$  為實際阻抗， $j$  為虛部之作用因子，而  $Z_{\text{Im}}$  為電容造成之阻抗。

電容： $Z_{\text{Im,C}} = 1/(j\omega C)$ ，( $\omega = 2\pi f$ )。

也就是說，當反向電壓因 ESD 而被提供時，金屬電容之電阻降低，故而高頻電流可流通該金屬電容。

依據本實施例之發光裝置、發光裝置製造方法以及發光裝置封裝件，可在不損耗 LED 光量的前提下，防止靜電放電對 LED 造成損害。

依據本實施例，電容被提供於 LED 晶片中，以防止 ESD 造成之損害；藉此，發光裝置封裝件可使用簡單、節省成本之方法來

製造，且可減輕光吸收狀況。

另外，依據本實施例，形成於第一導電型半導體層 112 上之第一電極 142 可延伸至第二導電型半導體層 116 上之介電層 130 頂面。在此情形下，電極間之一間隙可被減少，以使 ESD 所造成之電場可輕易地被誘導至介電層 130 之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

另外，依據本實施例，電流可有效地被調整，以改善取光效率。

另外，依據本實施例，電流散佈效率(current spreading efficiency)可被改善，以改善發光裝置之可靠度。

在下文中，配合圖 8 至圖 10 說明依據本實施例之發光裝置製造方法。依據本實施例，發光裝置可包括有週期表上 III-V 族元素如 GaN、GaAs、GaAsP、或 GaP；但不限制於此。另外，本實施例亦不限於下述之流程次序，而可為各種不同之流程次序者。

首先，如圖 8 所示之一基板 105 係被提供於此。該基板 105 可包括一導電基板或一絕緣基板。舉例而言，基板 105 係包括藍寶石(sapphire, Al<sub>2</sub>O<sub>3</sub>)、SiC、Si、GaAs、GaN、ZnO、Si、GaP、InP、Ge、和 Ga<sub>2</sub>O<sub>3</sub> 中的至少一者。一凹凸結構可形成於基板 105 上，但不限制於此。

基板 105 可進行一濕洗製程(wet cleaning process)來去除

存在於基板 105 表面上的雜質。

隨後，發光結構 110 可形成於基板 105 上，發光結構 110 係包括有第一導電型半導體層 112、主動層 114、以及第二導電型半導體層 116。

舉例而言，發光結構 110 之形成係可用一有機金屬化學氣相沉積法(Metal Organic Chemical Vapor Deposition, MOCVD)、一化學氣相沉積法(Chemical Vapor Deposition, CVD)、一電漿輔助化學氣相沉積法(Plasma-Enhanced Chemical Vapor Deposition, PECVD)、一分子束磊晶法(Molecular Beam Epitaxy, MBE)、或一氫化物氣相磊晶技術(Hydride Vapor Phase Epitaxy, HVPE)；但不限制於此。

一緩衝層(未圖示)可形成於基板 105 上。該緩衝層可減弱發光結構 110 與基板 105 之之間的晶格差異(lattice mismatch)。該緩衝層可包括 III-V 族化合物半導體。舉例而言，該緩衝層可包括至少下述之一者：GaN、InN、AlN、InGaN、AlGaIn、InAlGaIn、和 AlInN。一未摻雜半導體層可形成於該緩衝層上，但不限制於此。

第一導電型半導體層 112 可包括摻雜有一第一導電型摻雜物之 III-V 族化合物半導體。若第一導電型半導體層 112 係為一 N 型半導體層，則該第一導電型摻雜物係為 N 型摻雜物如 Si、Ge、

Sn、Se、或 Te；但不限制於此。

第一導電型半導體層 112 可包括半導體材料，其組成式為：  
 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )。

另外，第一導電型半導體層 112 可包括以下至少一者：GaN、InN、AlN、InGaN、AlGaN、InAlGaN、AlInN、AlGaAs、InGaAs、AlInGaAs、GaP、AlGaP、InGaP、AlInGaP、和 InP。

第一導電型半導體層 112 可包括一 N 型氮化鎵(GaN)層，其係以一化學氣相沉積法(CVD)、一分子束磊晶法(MBE)、一濺鍍(sputtering)法、或一氫化物氣相磊晶技術(HVPE)所形成。另外，第一導電型半導體層 112 可藉由向腔室注入下述包括有 N 型摻雜物如矽之氣體來形成：三甲基鎵(trimethyl gallium, TMGa)氣體、氨氣(ammonia,  $\text{NH}_3$ )、氮氣(nitrogen,  $\text{N}_2$ )及矽烷氣(silane,  $\text{SiH}_4$ )。

主動層 114 係可由電子電洞再結合(recombination of electrons and holes)來發出光，其中電子係由第一導電型半導體層 112 注入，而電洞係由第二導電型半導體層 116 注入；另，該光之能量係由主動層 114 (即發光層)的本質能量帶(intrinsic energy band)所決定之。

主動層 114 可具有下述至少一者：單量子井結構、多重量子井(MQW)結構、量子線結構或量子點結構。舉例而言，藉由注入



三甲基鎵(trimethyl gallium, TMGa)氣體、氨氣(ammonia, NH<sub>3</sub>)、氮氣(nitrogen, N<sub>2</sub>)、及三甲基銦(trimethyl indium, TMIn)氣體，主動層 114 可為一 MQW 結構；但不限制於此。

主動層 114 可具有一井層/障壁層(well/barrier layer)，其係包括有至少下述一者：InGaN/GaN、InGaN/InGaN、GaN/AlGaN、InAlGaN/GaN、GaAs/AlGaAs(InGaAs)、GaP/AlGaP(InGaP)；但不限制於此。該井層可具有一材料，其能隙係較該障壁層之能隙為低者。

一導電包覆層(未圖示)可形成於主動層 114 上及/或下方。該導電包覆層可包括有一 AlGaN 基半導體，其能隙係較主動層 114 之能隙為高者。

第二導電型半導體層 116 可包括摻雜有第二導電型摻雜物之 III-V 族化合物半導體。舉例而言，第二導電型半導體層 116 可包括有半導體材料，其組成式為： $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )。詳細來說，第二導電型半導體層 116 係選自由 GaN、AlN、AlGaN、InGaN、InN、InAlGaN、AlInN、AlGaAs、GaP、GaAs、GaAsP、和 AlGaInP 所組成的群組。若第二導電型半導體層 116 係一 P 型半導體，則該第一導電型摻雜物可包括有 P 型摻雜物如 Mg、Zn、Ca、Sr、或 Ba。第二導電型半導體層 116 可為單層或多層，但不限制於此。

第二導電型半導體層 116 可包括一 P 型氮化鎵(GaN)層，其由注入包括有 P 型雜質(例如、鎂)之氣體，如三甲基鎵(trimethyl gallium, TMGa)氣體、氨氣(ammonia, NH<sub>3</sub>)、氮氣(nitrogen, N<sub>2</sub>)以及(EtCp<sub>2</sub>Mg){Mg(C<sub>2</sub>H<sub>5</sub>C<sub>5</sub>H<sub>4</sub>)<sub>2</sub>}氣體於腔室內所形成；但不限制於此。

在本實施例中，第一導電型半導體層 112 可包括有一 N 型半導體層，且第二導電型半導體層 116 可包括有一 P 型半導體層；但不限制於此。另外，一半導體層如一 N 型半導體層(未圖示)，其極性與第二導電型半導體層 116 相反者，可形成於第二導電型半導體層 116 上。由此，發光結構 110 可包括有下述其中一者：一 N-P 接面結構、一 P-N 接面結構、一 N-P-N 接面結構、以及一 P-N-P 接面結構。

然後，如圖 9 所示，發光結構 110 係進行一表面蝕刻製程以使第一導電型半導體層 112 之頂面的一部份朝上暴露。舉例而言，該蝕刻製程係對應於第一電極 142 之一區域進行，並係使用一預設蝕刻圖案(未圖示)作為光罩(mask)來蝕刻主動層 114 及第二導電型半導體層 116，藉此來暴露出第一導電型半導體層 112 之頂面的一部份。

然後，依據本實施例，透射電極層 120 係形成於發光結構上。透射電極層 120 可由在多層結構中堆疊單金屬(或金屬合金)以

及金屬氧化物來形成。舉例而言，可包括至少下述一者 ITO、IZO(In-ZnO)、GZO(Ga-ZnO)、AZO(Al-ZnO)、AGZO(Al-Ga ZnO)、IGZO(In-Ga ZnO)、IrO<sub>x</sub>、RuO<sub>x</sub>、RuO<sub>x</sub>/ITO、Ni/IrO<sub>x</sub>/Au、Ni/IrO<sub>x</sub>/Au/ITO、Ni、Pt、Cr、Ti、和 Ag；但不限制於此。

然後，介電層 130 係形成於暴露出的第一導電型半導體層 112 以及第二導電型半導體層 116 上。若有透射電極 120，則介電層 130 連接該暴露出的第一導電型半導體層 112 以及透射電極層 120。

因介電層 130 係形成於發光區域，介電層 130 可為一透射介電層(transmittive dielectric layer)。介電層 130 可包括有 TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、或 SiO<sub>2</sub>；但不限制於此。

根據本實施例，介電層 130 係形成於一台面(mesa)邊緣區域，藉以避免電流聚集在該台面邊緣區域，同時防止靜電放電。

此後，如圖 10 所示，第一電極 142 係形成於暴露出的第一導電型半導體層 112 上，同時與介電層 130 相接觸；而第二電極 146 係形成於第二導電型半導體層 116 上。若有透射電極 120，則第二電極 146 可形成於透射電極 120 上。

第一電極 142 及第二電極 146 可包括有下述至少一者：Ti、Cr、Ni、Al、Pt、Au、和 W；但不限制於此。

第一電極 142 可形成於介電層 130 之頂面，並同時與介電層

130 接觸。在此情況下，第一電極 142 及介電層 130 之間的一接觸區域可被加大，以增加容量，並使介電層 130 與發光裝置之間的接觸藉著介電層 130 之協助而更穩固。

另外，根據本實施例，形成於第一導電型半導體層 112 之上的第一電極 142 可延伸至第二導電型半導體層 116 之上的介電層 130 之頂面。在此情況下，電極間之一間隙可被減少，以使 ESD 所造成之電場可輕易地被誘導至介電層 130 之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

另外，介電層 130 可與第二電極 146 相接觸。且與介電層 130 相接觸之第二電極 146 可延伸至介電層 130 之頂面。在此情況下，其電容量增加，且介電層 130 可保持穩固。

同時，與圖 10 不同的是，與第二電極 146 接觸之介電層 130 可延伸至第二電極 146 之頂面以增加其容量。在此情況下，介電層 130 係在第二電極 146 形成之後才形成，故介電層 130 係形成於第二電極 146 上。

另外，與圖 10 不同的是，介電層 130 可與透射電極 120 相接觸，而不需與第二電極 146 接觸。在此情形下，作為取光區域之第二導電型半導體層 116 其上覆蓋之介電層 130 較少，故 ESD 之保護效率及取光效率均可被改善。

依據本實施例之發光裝置、發光裝置製造方法以及發光裝置

封裝件，可在不損耗 LED 光量的前提下，防止靜電放電對 LED 造成損害。

依據本實施例，電容被提供於 LED 晶片中，以防止 ESD 造成之損害；藉此，發光裝置封裝件可使用簡單、節省成本之方法來製造，且可減輕光吸收的狀況。

另外，依據本實施例，形成於第一導電型半導體層上之第一電極可延伸至第二導電型半導體層上之介電層頂面。在此情形下，電極間之一間隙可被減少，以使 ESD 所造成之電場可輕易地被誘導至介電層之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

另外，依據本實施例，電流可有效地被調整，以改良取光效率。另外，依據本實施例，電流散佈效率可被改善，以進而改善發光裝置之可靠度。

圖 11 係依據本發明實施例之一發光裝置封裝件 200 之剖視圖。

參閱圖 11，發光裝置封裝件 200 係包括有一本體 205；形成於本體 205 上的第四電極層 210 及第五電極層 220；設置於該本體之上發光裝置 100，其係與第四及第五電極層 210、220 電性連接；以及一封閉(surround)該發光裝置 100 之模製件 240。

本體 205 可為矽、合成樹脂或金屬材料。一傾斜表面可形成

於發光裝置 100 周圍。

第四及第五電極層 210、220 係彼此電性隔離以提供電力給該發光裝置 100。另外，第四及第五電極層 210、220 可反射發光裝置 100 所發出之光以改善光效率，並將發光裝置 100 所生成之熱能向外散發。

如圖 1 所示之側邊式發光裝置可作為發光裝置 100，但不限制於此。舉例而言，垂直式發光裝置亦可作為發光裝置 100。

發光裝置 100 可與第四電極層 210 及/或第五電極層 220 以一引線(wire)230 電性連接。依據本實施例，側邊式發光裝置 100 使用兩引線 230。而若發光裝置 100 係為覆晶型(flip chip type)發光裝置，則可不使用引線 230。

模製件 240 係封閉發光裝置 100 以保護之。另外，模製件 240 可包括有發光材料(luminescence materials)以改變發光裝置 100 所發出的光之波長。

該發光裝置封裝件可設有至少一個如本發明實施例所述之發光裝置，但不限於此。

複數個如本發明實施例所揭露之發光裝置封裝件可陣列配置於一基板上，而一光學部件可被提供於發光裝置封裝件所發出的光之光路徑上，其中該光學部件包括：一導光板(light guide plate)、一稜鏡片(prism sheet,)、一擴散片(diffusion

sheet)、以及一螢光片(fluorescent sheet)。該發光裝置封裝件、該基板、以及該光學部件可作為一背光單元或一照明單元。舉例而言，照明系統可包括有一背光單元、一照明單元、一指示燈、一發光體(lamp)或一街燈。

圖 12 係依據本發明實施例之一照明單元 1100 之立體圖。如圖 12 所示之照明單元 1100 係為本發明中照明系統之一實例，但不限制於此。

參閱圖 12，該照明單元 1100 係包括有一殼體 1110、一發光模組 1130，安裝於殼體 1110 之內、以及一連接端子 1120，安裝於殼體 1110 之內，以接收來自外部電源的電力。

較佳地，殼體 1110 係以具有良好散熱性之材料製成。舉例而言，殼體 1110 可以一金屬材料或一樹脂材料製成。

發光模組 1130 可包括有一基板 1132 及裝設於該基板 1132 上之至少一發光裝置封裝件 200。

基板 1132 包括一印刷有一電路圖案之絕緣體。舉例而言，基板 1132 包括有一印刷電路板(PCB)、一金屬核心印刷電路板(MCPCB)、一軟性印刷電路板(FPCB)、或一陶瓷印刷電路板。

另外，基板 1132 可由可有效地反射光線之材料所形成。基板 1132 之表面可塗佈有一顏色，如一白色或銀色以有效反射光線。

至少一發光裝置封裝件 200 可裝設於基板 1132 上。各個發光裝置封裝件 200 可包括有至少一發光裝置 100。該發光裝置 100 可包括有彩色發光二極體以發出彩色光如紅光、綠光、藍光或白光，並可包括有一紫外光(UV)發光二極體以發出紫外光。

發光模組 1130 之發光裝置封裝件 200 可為多種不同的配置組合，以提供不同顏色及亮度。舉例而言，一白光發光二極體、一紅光發光二極體、以及一綠光發光二極體可被設置其中以得到高顯色性指數(CRI)。

連接端子 1120 係與發光模組 1130 電性連接，以提供電力至發光模組 1130。連接端子 1120 係以螺接偶合至一外部電源的插座內之方式連接該外接電源，但不限制於此。舉例而言，連接端子 1120 可為一插針(pin)之形式，以將連接端子 1120 插入該外部電源內或利用一引線連接至該外接電源。

圖 13 係根據本發明實施例繪示有一背光單元 1200 之立體分解圖。該背光單元 1200 係為本發明中照明系統之一實例，但不限制於此。

背光單元 1200 係包括有一導光板 1210；一提供光給導光板 1210 之發光模組 1240；一被設置於導光板 1210 之下方的反射部件 1220；以及一用以容納導光板 1210、發光模組 1240、及反射部件 1220 之底蓋 1230。然而，本發明實施例並不限於此。



導光板 1210 係擴散(diffuse)光以提供表面光源(surface light)者。導光板 1210 係包括有透明材料。舉例而言。導光板 1210 可使用壓克力樹脂如熱塑性樹脂(PMMA)、聚乙烯對苯二甲酸酯(PET)、聚碳酸酯(PC)、環烯烴共聚物(COC)、或聚萘二甲酸乙二醇酯(PEN)樹脂來製造。

發光模組 1240 係提供光給導光板 1210 之至少一側以作為包括有背光單元之顯示裝置的光源。

發光模組 1240 可與導光板 1210 相鄰，但不限制於此。詳細來說，發光模組 1240 係包括有一基板 1242 及安裝於該基板 1242 上之複數個發光裝置封裝件 200，且基板 1242 與導光板 1210 可相鄰；但不限制於此。

基板 1242 可為一具有電路圖案（未圖示）之印刷電路板(PCB)。然而，基板 1242 亦可包括金屬核心印刷電路板(MCPCB)或一軟性印刷電路板(FPCB)，但不限制於此。

另外，該複數個發光裝置封裝件 200 之配置係以使發光裝置封裝件 200 之出光面(light exit surface)以一預設距離與導光板 1210 相隔而設。

反射部件 1220 係被設置於導光板 1210 之下方。反射部件 1220 係將向下通過該導光板 1210 之底面的光向導光板 1210 反射，以使背光單元之亮度獲得改善。舉例而言，反射部件 1220

可包括聚乙烯對苯二甲酸酯(PET)、聚碳酸酯(PC)、或聚氯乙烯(PVC)樹脂，但不限制於此。

底蓋 1230 係用以容納導光板 1210、發光模組 1240、以及反射部件 1220 於其內。為達此目的，底蓋 1230 係為一頂面開放之盒狀，但不限制於此。

底蓋 1230 可由金屬材料或樹脂材料所形成。並且，可利用一沖壓製程(press process)或一擠壓製程(extrusion process)來製造。

依據本實施例之發光裝置、發光裝置製造方法以及發光裝置封裝件，可在不損耗 LED 光量的前提下，防止靜電放電對 LED 造成損害。

依據本實施例，電容被提供於 LED 晶片中，以防止 ESD 造成之損害；藉此，發光裝置封裝件可使用簡單、節省成本之方法來製造，且可減輕光吸收的狀況。

另外，依據本實施例，形成於第一導電型半導體層上之第一電極可延伸至第二導電型半導體層上之介電層頂面。在此情形下，電極間之一間隙可被減少，以使 ESD 所造成之電場可輕易地被誘導至介電層之一電容，且可增加其電容量，藉此降低對 LED 晶片之突然電荷放電的情況。

另外，依據本實施例，電流可有效地被調整，以改良取光效

率。另外，依據本實施例，電流散佈效率可被改善，以改善發光裝置之可靠度。

在本說明書中所提到的“一實施例”、“實施例”、“範例實施例”等任何的引用，代表本發明之至少一實施例中包括關於該實施例的一特定特徵、結構或特性。此類用語出現在文中多處但不盡然要參考相同的實施例。此外，在特定特徵、結構或特性的描述關係到任何實施例中，皆認為在熟習此技藝者之智識範圍內其利用如此的其他特徵、結構或特徵來實現其它實施例。

雖然參考實施例之許多說明性實施例來描述實施例，但應理解，熟習此項技藝者可想出將落入本發明之原理的精神及範疇內的眾多其他修改及實施例。更特定言之，在本發明、圖式及所附申請專利範圍之範疇內，所主張組合配置之零部件及/或配置之各種變化及修改為可能的。對於熟悉此項技術者而言，除了零部件及/或配置之變化及修改外，替代用途亦將顯而易見。

### **【圖式簡單說明】**

圖 1 係根據本發明實施例的一種發光裝置之剖視圖；

圖 2 和圖 3 係為依據習知技術中發光裝置靜電放電之電場之形成概念示意圖；

圖 4 係根據本發明實施例的發光裝置之驅動方法剖視圖；

圖 5 係為依據本發明實施例中發光裝置靜電放電之電場之形成概念示意圖；

圖 6 係為依據本發明實施例中發光裝置之電路結構示意圖；

圖 7 係為依據本發明實施例中發光裝置之 ESD 波形示意圖；

圖 8 至圖 10 依據本發明實施例中發光裝置製造方法之剖視圖；

圖 11 係依據本發明實施例之一發光裝置封裝件之剖視圖；

圖 12 係依據本發明實施例之一照明單元之立體圖；以及

圖 13 係根據本發明實施例之一背光單元之立體分解圖。

#### 【主要元件符號說明】

100	發光裝置
105	基板
110	發光結構
112	第一導電型半導體層
114	主動層
116	第二導電型半導體層
120	透射電極
130	介電層
142	第一電極

146	第二電極
200	發光裝置封裝件
205	本體
210	第四電極層
220	第五電極層
230	引線
240	模製件
1100	照明單元
1110	殼體
1120	連接端子
1130	發光模組
1132	基板
1200	背光單元
1210	導光板
1240	發光模組
1242	基板
1220	反射部件
1230	底蓋
Cd	電容
Q0	電場

Q1

強度

Q2

部分

MIM

金屬電容

## 七、申請專利範圍：

### 1. 一種發光裝置，包括：

一基板；

一發光結構包括一第一導電型半導體層、一主動層、和一第二導電型半導體層，且該發光結構係形成於該基板上以使一部份的該第一導電型半導體層暴露出；

一介電層形成自該第二導電型半導體層之一頂面至該第一導電型半導體層之一暴露出的頂面；

一第一電極形成於該第一導電型半導體層之該暴露頂面上；以及

一第二電極形成於該第二導電型半導體層上，

其中該第一電極與該第二電極皆與該介電層之一頂面接觸。

2. 如申請專利範圍第 1 項所述之發光裝置，其中該介電層與該第二電極相接觸。

3. 如申請專利範圍第 1 項所述之發光裝置，其中該介電層係形成於一台面邊緣區域。

4. 如申請專利範圍第 1 項所述之發光裝置，其中該介電層包括一透射介電層。

5. 如申請專利範圍第 1 項所述之發光裝置，其中該第一電極、該

- 介電層、該第二電極組成一金屬電容。
6. 如申請專利範圍第 1 項所述之發光裝置，其中該第一導電型半導體層上之該第一電極係延伸至該第二導電型半導體層上之該介電層之該頂面。
  7. 如申請專利範圍第 1 項所述之發光裝置，其進一步包括一透射電極於該發光結構上。
  8. 如申請專利範圍第 7 項所述之發光裝置，其中該第二電極係形成於該透射電極上。
  9. 如申請專利範圍第 7 項所述之發光裝置，其中該介電層可與該透射電極之一頂面以及該第二電極之一側面直接接觸。
  10. 一種發光裝置封裝件，包括：
    - 一如申請專利範圍第 1 項至第 9 項所述之發光裝置；以及
    - 一封裝體，該封裝體內安裝該發光裝置。
  11. 一種照明系統，包括：
    - 一發光模組包括一基板和一如申請專利範圍第 10 項所述之發光裝置封裝件，該發光裝置封裝件係裝設於該基板上。



八、圖示

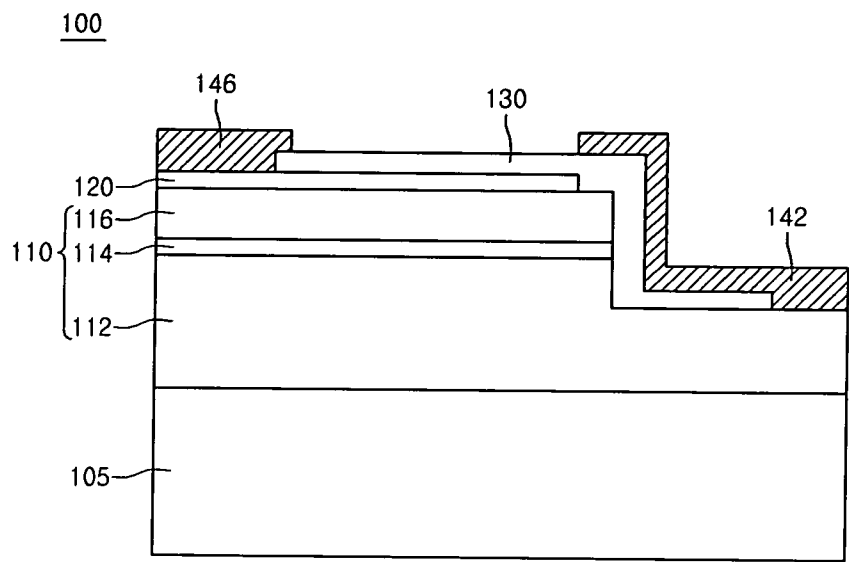


圖 1

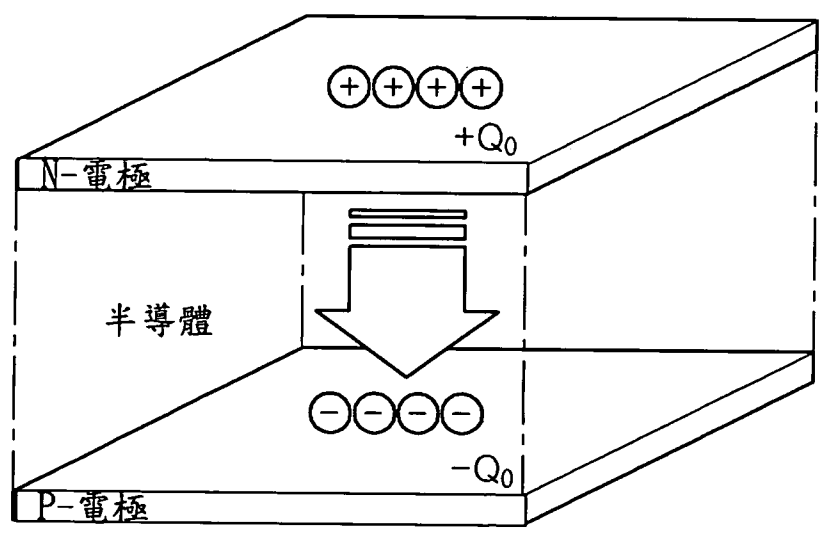


圖 2

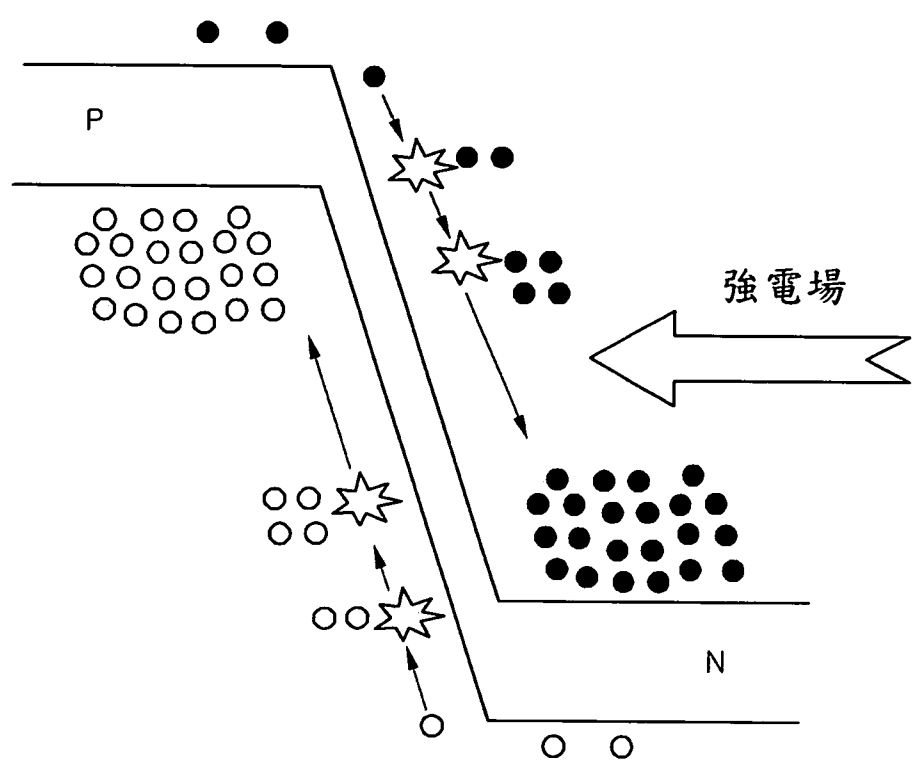


圖 3

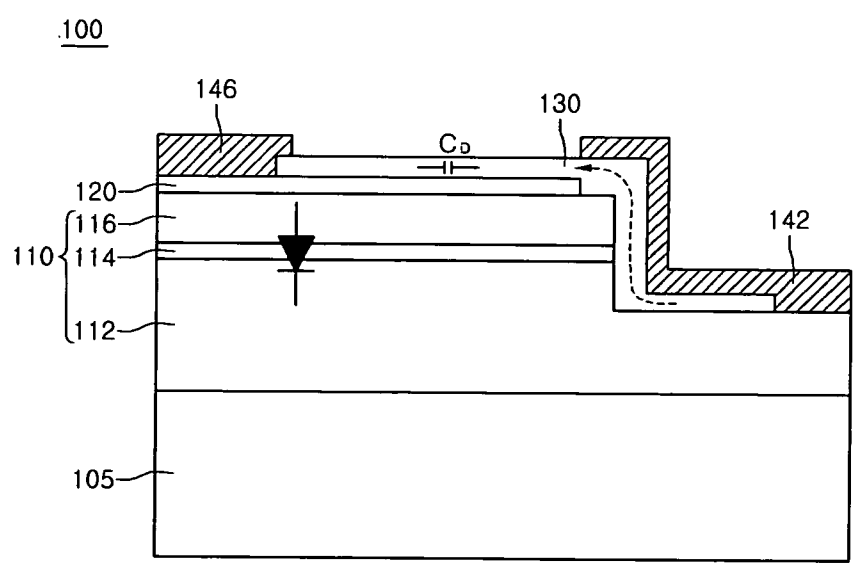
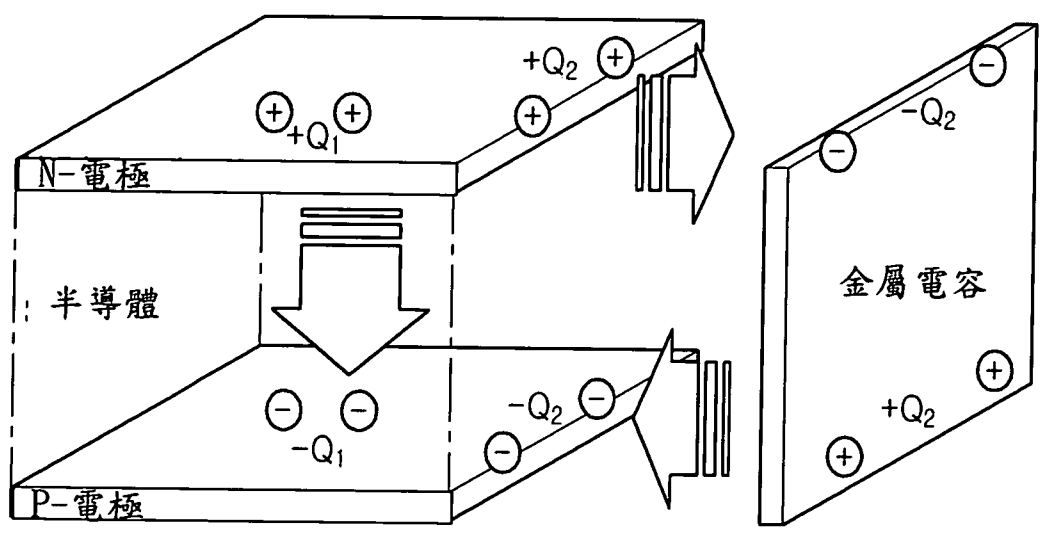


圖 4



$$Q_0 = Q_1 + Q_2$$

圖 5

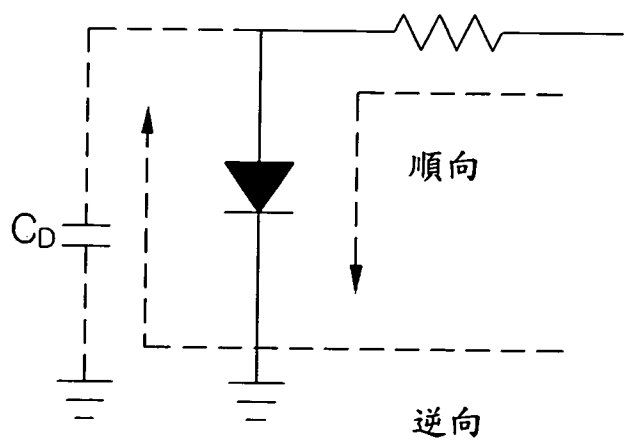


圖 6

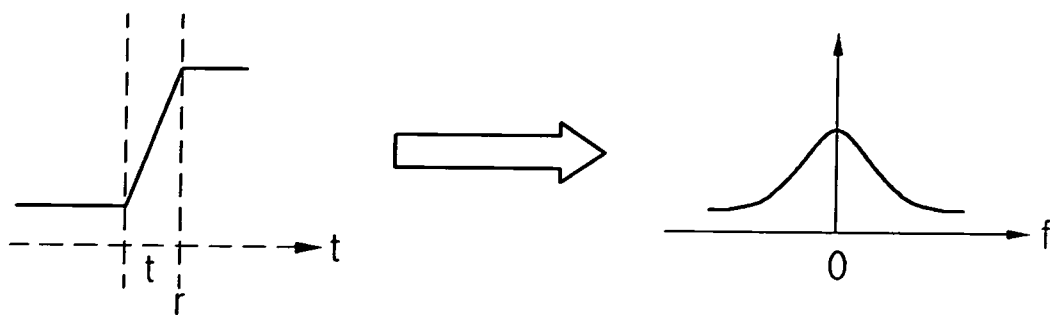


圖 7

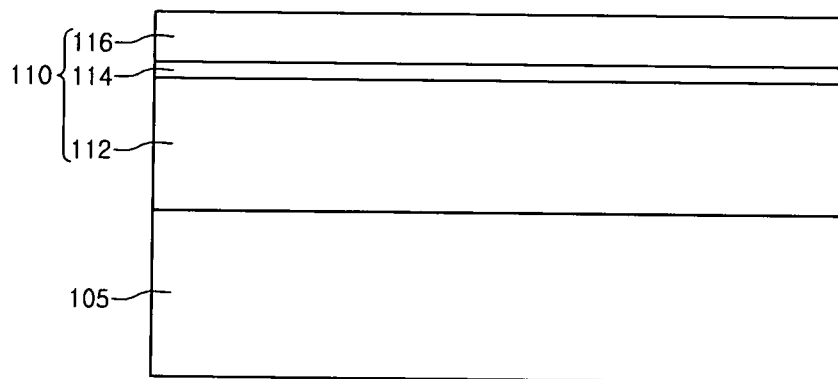


圖 8

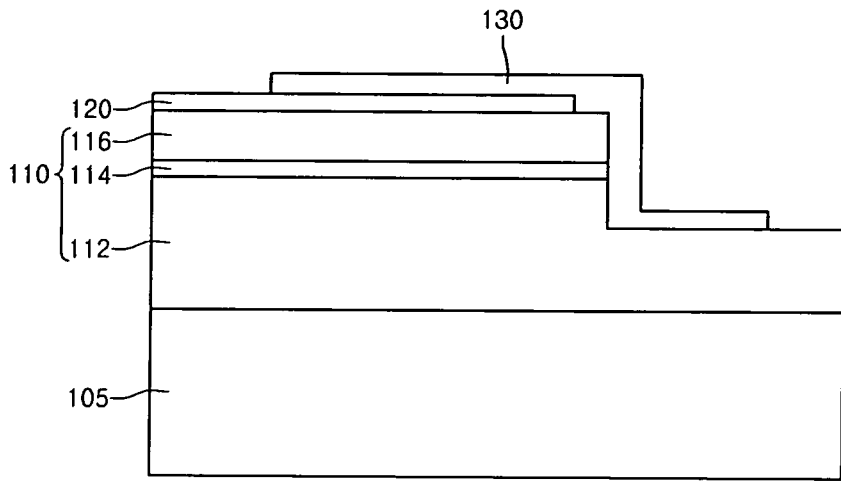


圖 9

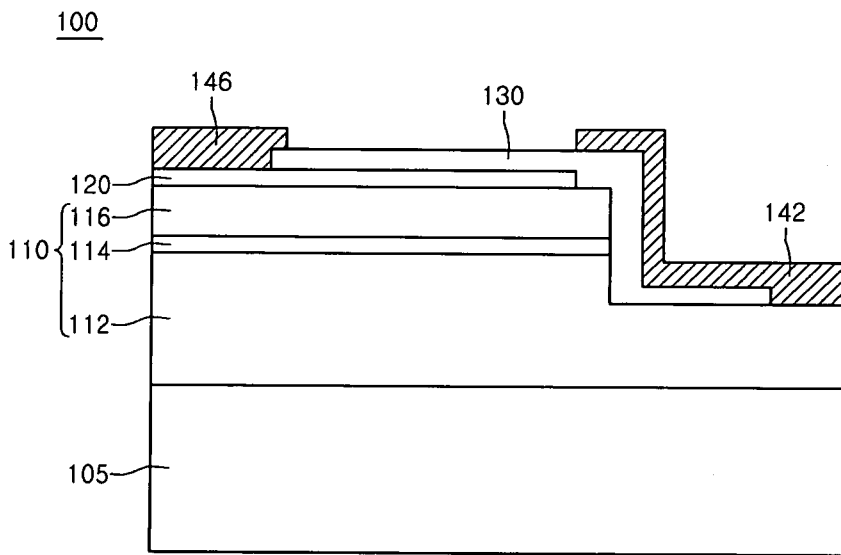


圖 10

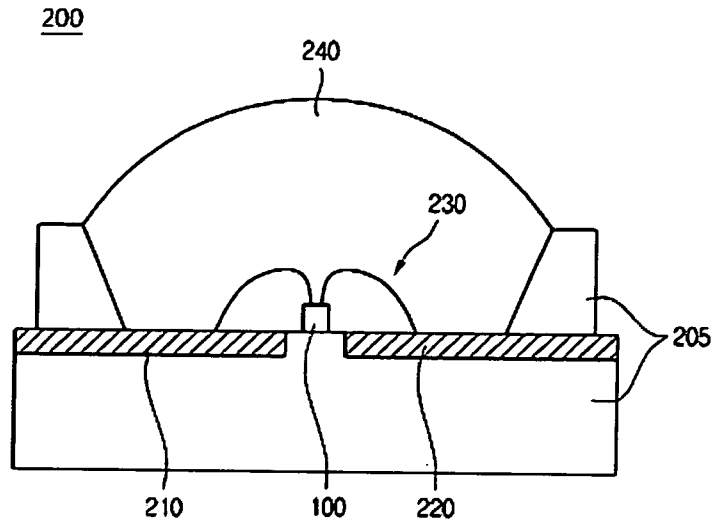


圖 11

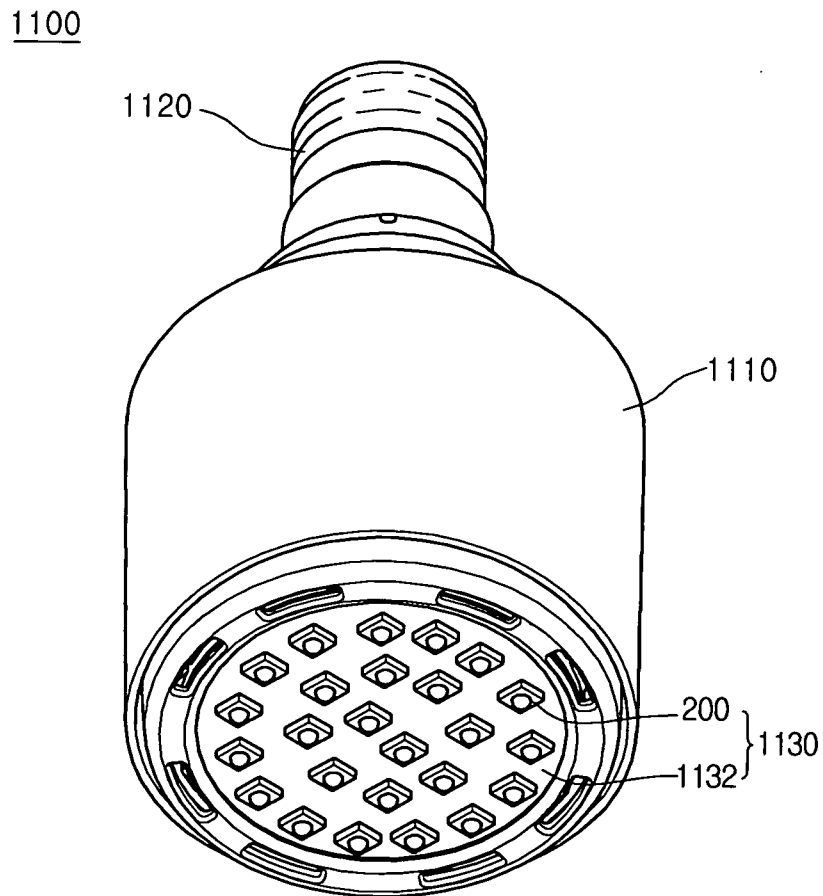


圖 12

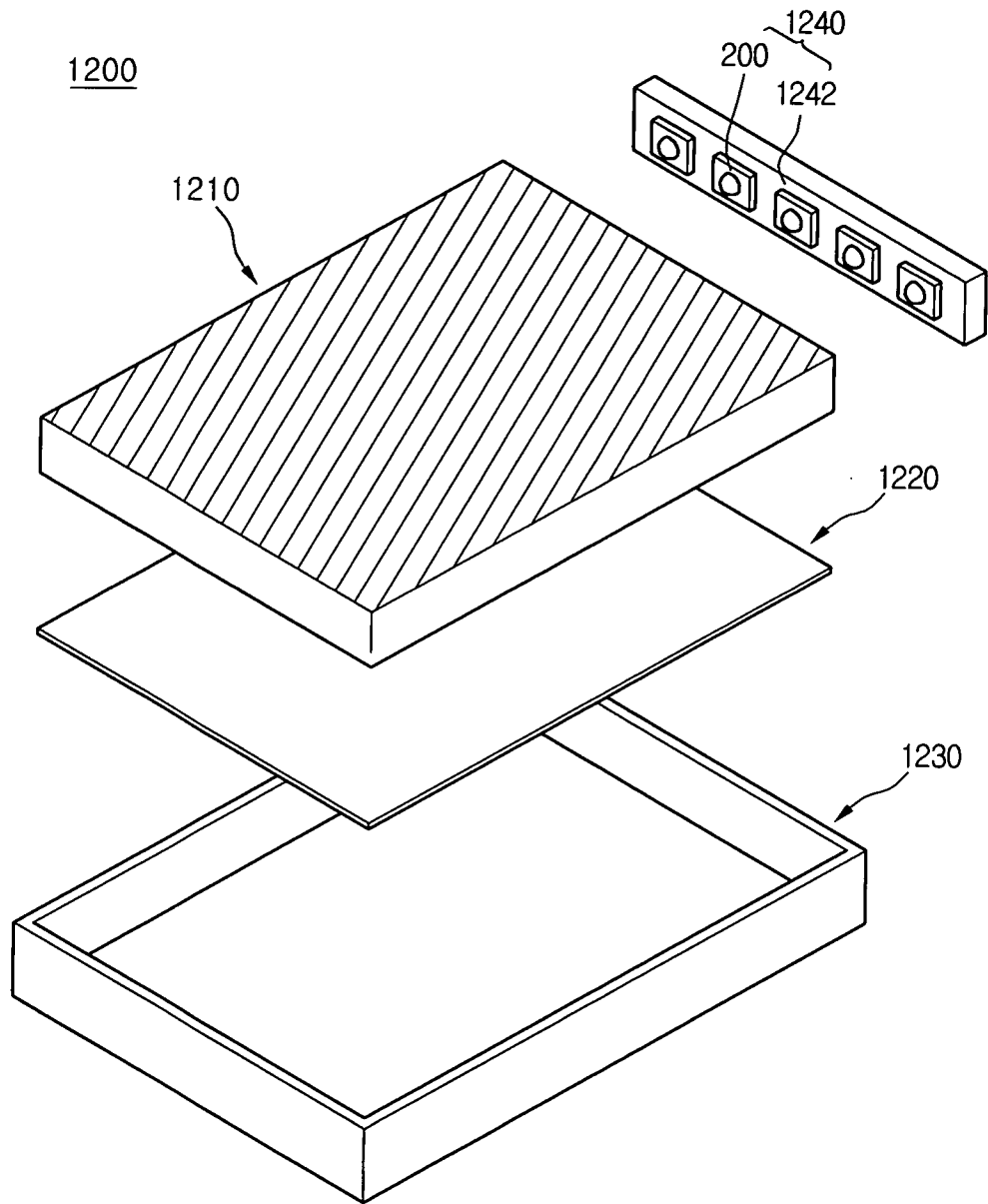


圖 13