



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월26일
 (11) 등록번호 10-1751079
 (24) 등록일자 2017년06월20일

(51) 국제특허분류(Int. Cl.)
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)
 (21) 출원번호 10-2012-0070184
 (22) 출원일자 2012년06월28일
 심사청구일자 2015년12월11일
 (65) 공개번호 10-2014-0002992
 (43) 공개일자 2014년01월09일
 (56) 선행기술조사문헌
 JP2000077258 A
 JP2003323817 A
 JP2001338830 A
 JP2004172383 A

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 구현희
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 박명준
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 12 항

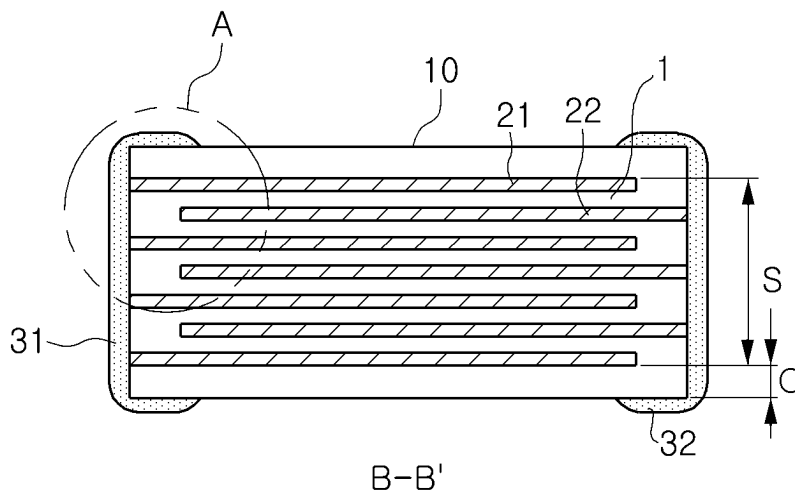
심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 전자부품 및 이의 제조방법

(57) 요약

본 발명은 적층 세라믹 전자부품 및 이의 제조방법에 관한 것으로, 유전체층을 포함하는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극; 및 상기 복수의 내부 전극과 전기적으로 연결된 외부전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족하는 적층 세라믹 전자부품 및 이의 제조방법을 제공한다.

대표도 - 도2



(72) 발명자

이규하

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

최다영

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

박재영

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

권상훈

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

전병준

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

명세서

청구범위

청구항 1

유전체층을 포함하는 세라믹 본체;

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극; 및

상기 복수의 내부 전극과 전기적으로 연결된 외부전극;을 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을 B라 할 때, $0.05 \leq A/B \leq 0.6$ 을 만족하는 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극의 두께를 T1이라 할 때, $T1/Tc \geq 0.8$ 을 만족하는 적층 세라믹 전자부품.

청구항 3

제1항에 있어서,

상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부에서 상기 복수의 내부전극이 형성된 최외측 지점의 상기 외부전극의 두께를 T2라 할 때, $T2/Tc \geq 0.5$ 을 만족하는 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 글라스는 상기 도전성 금속 대비 30 내지 200 부피%의 함량을 갖는 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,

상기 도전성 금속은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상인 적층 세라믹 전자부품.

청구항 6

제1항에 있어서,

상기 글라스는 절연성인 적층 세라믹 전자부품.

청구항 7

유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극을 포함하는 세라믹 본체를 마련하는 단계;

상기 복수의 내부전극과 전기적으로 연결되도록 외부전극 페이스트를 상기 세라믹 본체 상에 도포하는 단계; 및 상기 세라믹 본체를 소성하여 외부전극을 형성하는 단계;를 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(C)는 15 μm 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족하는 적층 세라믹 전자부품의 제조방법.

청구항 8

제7항에 있어서,

상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극의 두께를 T1이라 할 때, $T1/Tc \geq 0.8$ 을 만족하는 적층 세라믹 전자부품의 제조방법.

청구항 9

제7항에 있어서,

상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부에서 상기 복수의 내부전극이 형성된 최외측 지점의 상기 외부전극의 두께를 T2라 할 때, $T2/Tc \geq 0.5$ 을 만족하는 적층 세라믹 전자부품의 제조방법.

청구항 10

제7항에 있어서,

상기 글라스는 상기 도전성 금속 대비 30 내지 200 부피%의 함량을 갖는 적층 세라믹 전자부품의 제조방법.

청구항 11

제7항에 있어서,

상기 도전성 금속은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상인 적층 세라믹 전자부품의 제조방법.

청구항 12

제7항에 있어서,

상기 글라스는 절연성인 적층 세라믹 전자부품의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 도금액 침투를 방지함으로써 신뢰성이 개선된 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0002] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0003] 적층 세라믹 전자 부품의 소형화 및 대용량화 요구에 맞추어 적층 세라믹 전자부품의 외부전극 역시 박층화되고 있다.

[0004] 외부전극 페이스트는 주재료로서 구리(Cu)와 같은 전도성 금속을 사용하여 칩 밀폐성 및 칩과의 전기적 연결성을 보장하고, 보조재료로서 글라스를 사용하여 상기 금속의 소결 수축시 빈공간을 채워줌과 동시에 외부전극과 칩의 결합력을 부여하는 역할을 한다.

[0005] 그러나, 외부전극 페이스트 내 글라스의 함량이 부족한 경우 칩 밀폐성에 문제가 있을 수 있으며, 이를 보완하기 위하여 과잉의 글라스를 첨가하는 경우 금속 소결 후 글라스의 표면 용출로 인하여 도금 불량 문제가 발생하는 문제가 있다.

[0006] 특히, 외부전극의 박층화에 따라 원하는 수준의 치밀도 구현은 어려워지며, 글라스의 고온거동 특성상 글라스의 결핍 또는 과잉으로 인한 불량 발생 가능성은 증가하게 된다.

[0007] 또한, 외부전극의 형상이 불균일할 경우 두께가 얇은 부위로 도금액의 침투 위험성이 더욱 높아져서 신뢰성 확보에 문제가 발생한다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개 특허 공보 2000-077258

(특허문헌 0002) 일본 공개 특허 공보 2003-323817

발명의 내용

해결하려는 과제

[0009] 본 발명은 도금액 침투를 방지함으로써 신뢰성이 개선된 적층 세라믹 전자부품에 관한 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태는 유전체층을 포함하는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극; 및 상기 복수의 내부 전극과 전기적으로 연결된 외부전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을

B라 할 때, $0.05 \leq A/B \leq 0.6$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

- [0011] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 T_c , 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극의 두께를 T_1 이라 할 때, $T_1/T_c \geq 0.8$ 을 만족할 수 있다.
- [0012] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 T_c , 상기 용량 형성부에서 상기 복수의 내부전극이 형성된 최외측 지점의 상기 외부전극의 두께를 T_2 라 할 때, $T_2/T_c \geq 0.5$ 을 만족할 수 있다.
- [0013] 상기 글라스는 상기 도전성 금속 대비 30 내지 200 부피%의 함량을 가질 수 있다.
- [0014] 상기 도전성 금속은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0015] 상기 글라스는 절연성일 수 있다.
- [0016] 본 발명의 다른 실시형태는 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하는 세라믹 본체를 마련하는 단계; 상기 복수의 내부전극과 전기적으로 연결되도록 외부전극 패이스트를 상기 세라믹 본체 상에 도포하는 단계; 및 상기 세라믹 본체를 소성하여 외부전극을 형성하는 단계;를 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(C)는 $15 \mu\text{m}$ 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을 B라 할 때, $0.05 \leq A/B \leq 0.6$ 을 만족하는 적층 세라믹 전자부품의 제조방법을 제공한다.
- [0017] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 T_c , 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극의 두께를 T_1 이라 할 때, $T_1/T_c \geq 0.8$ 을 만족할 수 있다.
- [0018] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 T_c , 상기 용량 형성부에서 상기 복수의 내부전극이 형성된 최외측 지점의 상기 외부전극의 두께를 T_2 라 할 때, $T_2/T_c \geq 0.5$ 을 만족할 수 있다.
- [0019] 상기 글라스는 상기 도전성 금속 대비 30 내지 200 부피%의 함량을 가질 수 있다.
- [0020] 상기 도전성 금속은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0021] 상기 글라스는 절연성일 수 있다.
- [0022] **발명의 효과**
본 발명에 따르면 도금액 침투를 방지함으로써 신뢰성이 개선된 적층 세라믹 전자부품의 구현이 가능하다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 제1 및 제2 실시예에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.
- 도 2는 도 1의 B-B' 단면도이다.
- 도 3은 본 발명의 제1 실시예에 따른 도 2의 A 부분 확대도이다.
- 도 4는 본 발명의 제2 실시예에 따른 도 2의 A 부분 확대도이다.
- 도 5는 본 발명의 제3 실시예에 따른 적층 세라믹 커패시터의 제조 공정도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.
- [0026] 도 1은 본 발명의 제1 및 제2 실시예에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.
- [0027] 도 2는 도 1의 B-B' 단면도이다.
- [0028] 도 3은 본 발명의 제1 실시예에 따른 도 2의 A 부분 확대도이다.
- [0029] 도 1 내지 도 3을 참조하면, 본 발명의 제1 실시예에 따른 적층 세라믹 전자부품은 유전체층(1)을 포함하는 세라믹 본체(10); 상기 세라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극(21, 22); 및 상기 복수의 내부 전극(21, 22)과 전기적으로 연결된 외부전극(31, 32);을 포함하며, 상기 세라믹 본체(10)는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체(10)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하이고, 상기 외부전극(31, 32)은 도전성 금속(2) 및 글라스(3)를 포함하며, 상기 외부전극(31, 32)에서 상기 글라스(3)가 차지하는 면적을 A, 상기 도전성 금속(2)이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족할 수 있다.
- [0030]
- [0031] 이하에서는 본 발명의 제1 실시예에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0032] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0033] 본 발명의 제1 실시예에 따르면, 상기 유전체층(1)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨(BaTiO₃) 분말일 수 있다.
- [0034] 상기 유전체층(1)을 형성하는 재료는 티탄산바륨(BaTiO₃) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.

- [0035] 상기 복수의 내부 전극(21, 22)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 은(Ag), 납(Pb), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질을 포함하는 도전성 페이스트를 사용하여 형성될 수 있다.
- [0036] 본 발명의 제1 실시예에 따른 적층 세라믹 커패시터는 상기 복수의 내부 전극(21, 22)과 전기적으로 연결된 외부 전극(31, 32)을 포함할 수 있다.
- [0037] 본 발명의 제1 실시예에 따르면, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하일 수 있다.
- [0038] 상기 용량 형성부인 액티브층은 상기 세라믹 본체(10) 내에서 상기 복수의 내부전극(21, 22)이 적층된 영역을 의미할 수 있다.
- [0039] 상기 커버층(C)의 평균 두께(td)를 측정하는 방법은 도 2와 같이 적층 세라믹 커패시터의 길이 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 이미지를 스캔하여 측정할 수 있다.
- [0040] 구체적으로, 도 2와 같이 적층 세라믹 커패시터의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 스캔한 이미지에서 추출된 커버층(C) 영역에 대해서, 커버층 단면의 각 지점에서의 두께를 측정하여 구할 수 있다.
- [0041] 일반적으로, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)가 15 μm 이하인 경우, 상기 적층 세라믹 커패시터에 있어서 도금액 침투의 가능성이 높아질 수 있다.
- [0042] 그러나, 후술하는 바와 같이 본 발명의 제1 내지 제3 실시예에 따르면, 상기 커버층(C)의 평균 두께(td)가 15 μm 이하인 경우라도 도금액이 침투하지 않아 신뢰성이 우수한 적층 세라믹 전자부품을 구현할 수 있다.
- [0043] 반면, 상기 커버층(C)의 평균 두께(td)가 15 μm를 초과하는 경우에는 상기 커버층(C)의 평균 두께가 두꺼우므로, 도금액 침투의 문제는 발생하지 않을 수 있다.
- [0044] 또한, 상기 외부전극(31, 32)은 도전성 금속(2) 및 글라스(3)를 포함할 수 있다.
- [0045] 상기 도전성 금속(2)은 특별히 제한되지 않으나, 예를 들어, 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0046] 상기 글라스(3)는 1종의 절연성 글라스일 수 있으나, 이에 제한되는 것은 아니다.
- [0047] 상기 외부전극(31, 32)은 도전성 금속(2) 및 글라스(3)를 포함하며, 상기 외부전극(31, 32)에서 상기 글라스(3)가 차지하는 면적을 A, 상기 도전성 금속(2)이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족할 수 있다.
- [0048] 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)은 도 2와 같이 세라믹 본체(10)의 길이 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 이미지를 스캔하여 측정할 수 있다.
- [0049] 구체적으로, 도 2와 같이 세라믹 본체(10)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 스캔한 이미지에서 추출된 외부 전극 영역에 대해서, 외부 전극 단면 중 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)을 측정하여 구할 수 있다.

- [0050] 상기 도전성 금속(2)이 차지하는 면적(B) 및 상기 글라스(3)가 차지하는 면적(A)의 측정은 특별히 제한되지 않으나, 예를 들어, 상기 외부전극(31, 32)의 단면에서의 $150 \mu\text{m} \times 10 \mu\text{m}$ (가로×세로)의 면적 대비 글라스가 차지하는 면적의 비율로 측정될 수 있다.
- [0051] 즉, 상기 도전성 금속(2)이 차지하는 면적(B)은 상기 외부전극의 일 영역의 면적에서 상기 글라스가 차지하는 면적(A)을 뺀 영역의 면적에 해당할 수 있다.
- [0052] 또한, 상기와 같이 일 영역이 아니라 외부전극 전체 영역에 대하여 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)을 측정하여 구할 수 있음은 물론이다.
- [0053] 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)이 $0.05 \leq A/B \leq 0.6$ 을 만족함으로써, 상기 도금액의 침투를 막을 수 있어, 신뢰성이 우수한 적층 세라믹 커패시터의 구현이 가능하다.
- [0054] 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)이 0.05 미만의 경우에는 글라스 함량이 적어 도금액 침투에 따른 신뢰성 저하의 문제가 있을 수 있다.
- [0055] 또한, 상기 도전성 금속(2)이 차지하는 면적(B) 대비 상기 글라스(3)가 차지하는 면적(A)이 0.6을 초과하는 경우에는 글라스의 함량이 너무 많아 글라스 용출로 인한 미도금 불량 및 내부전극과 외부전극의 연결성 저하에 따른 용량 접촉성 저하의 문제가 있을 수 있다.
- [0056] 여기서 신뢰성 판단은 고온, 고습 조건에서 정격 전압(또는 정격 전압보다 높은 전압)에서 평가를 하는 경우 및 고온 조건에서 정격 전압을 달리하면서 평가하는 방법으로 수행될 수 있으며, 절연체인 커패시터와 같은 칩에서는 절연 저항값의 변화로 측정할 수 있다. 크랙 등의 불량이 발생할 경우 절연 저항값이 올라가고, 이로 인하여 불량이 발생할 수 있다.
- [0057] 또한, 미도금 불량은 주석(Sn)을 녹일 수 있는 솔더 저장조(solder pot)에 적층 세라믹 커패시터를 담근 후 빼면 주석층은 제거되고 니켈(Ni) 도금층이 형성되지 않은 부분을 관찰하여 판단할 수 있다. 이외에 선형광 분석기(X-Ray Fluorescence Spectroscopy, XRF)를 이용하여 판단할 수도 있다.
- [0058] 상기 용량 접촉성은 내부전극과 외부전극의 연결성을 판단하는 기준으로서, 모든 적층 세라믹 커패시터는 정격 용량이 있는데 내부전극과 외부전극의 연결성이 떨어지는 경우 용량이 정격 용량보다 낮게 나올 수 있으며, 이로써 판단할 수 있다. 일반적으로 부도체인 글라스가 많은 경우 내부전극과 외부전극의 연결을 방해할 수 있다.
- [0059] 본 발명의 제1 실시예에 따르면, 상기 세라믹 본체(10)의 두께 방향 중앙부 영역에서의 상기 외부전극(31, 32)의 두께를 T_c , 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체(10)의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극(31, 32)의 두께를 T_1 이라 할 때, $T_1/T_c \geq 0.8$ 을 만족할 수 있다.
- [0060] 상기 세라믹 본체(10)의 두께 방향 중앙부 영역에서의 상기 외부전극(31, 32)의 두께(T_c)라 함은 상기 세라믹 본체(10)의 두께 방향의 중앙부 지점에서 상기 세라믹 본체(10)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 외부전극의 두께를 의미할 수 있다.
- [0061] 한편, 상기 복수의 내부전극(21, 22)이 적층되어 용량 형성에 기여하는 용량 형성부의 중앙부 영역이라 함은 상기 용량 형성부에서 상기 세라믹 본체(10)의 두께 방향의 중앙부를 의미할 수 있다.
- [0062] 상기 용량 형성부는 상기 세라믹 본체(10) 내에서 상기 복수의 내부전극(21, 22)이 적층된 영역을 의미할 수 있다.

- [0063] 상기 세라믹 본체(10)의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극(31, 32)의 두께(T1)라 함은 상기 지점에서 상기 세라믹 본체(10)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 외부전극의 두께를 의미할 수 있다.
- [0064] 본 발명의 제1 실시예에 따르면, 상기 Tc 와 T1 사이에는 $T1/Tc \geq 0.8$ 의 관계를 만족할 수 있다.
- [0065] 상기 T1/Tc의 비가 0.8 이상을 만족함으로써, 상기 세라믹 본체(10)의 두께 방향 중앙부 영역에서의 상기 외부전극(31, 32)의 두께(Tc)와 상기 내부전극(21, 22)이 적층되어 용량 형성에 기여하는 용량 형성부의 중앙부 영역에서 상기 세라믹 본체(10)의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극(31, 32)의 두께(T1)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0066] 상기 T1/Tc의 비가 0.8 미만의 경우에는, 외부전극의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0067] 상기 외부전극(31, 32)의 두께를 측정하는 방법은 도 2와 같이 적층 세라믹 커패시터의 길이 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 이미지를 스캔하여 측정할 수 있다.
- [0068] 구체적으로, 도 2와 같이 적층 세라믹 커패시터의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 스캔한 이미지에서 추출된 외부 전극 영역에 대해서, 외부 전극 단면의 각 지점에서의 두께를 측정하여 구할 수 있다.
- [0069] 도 4는 본 발명의 제2 실시예에 따른 도 2의 A 부분 확대도이다.
- [0070] 도 4를 참조하면, 본 발명의 제2 실시예에 따른 적층 세라믹 전자부품은 상기 커버층(C)의 상기 세라믹 본체(10)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)는 15 μm 이하이고, 상기 외부전극(31, 32)은 도전성 금속(2) 및 글라스(3)를 포함하며, 상기 외부전극(31, 32)에서 상기 글라스(3)가 차지하는 면적을 A, 상기 도전성 금속(2)이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족하며, 상기 세라믹 본체(10)의 두께 방향 중앙부 영역에서의 상기 외부전극(31, 32)의 두께를 Tc, 상기 용량 형성부에서 상기 복수의 내부전극(21, 22)이 형성된 최외측 지점의 상기 외부전극(31, 32)의 두께를 T2라 할 때, $T2/Tc \geq 0.5$ 을 만족할 수 있다.
- [0071] 상기 용량 형성부에서 상기 복수의 내부전극(21, 22)이 형성된 최외측 지점의 상기 외부전극(31, 32)의 두께(T2)라 함은 상기 복수의 내부전극(21, 22)이 형성된 최외측 지점에서 상기 세라믹 본체(10)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 외부전극의 두께를 의미할 수 있다.
- [0072] 상기 T2/Tc의 비가 0.5 이상을 만족함으로써, 상기 세라믹 본체(10)의 두께 방향 중심부 영역에서의 상기 외부전극(31, 32)의 두께(Tc)와 상기 복수의 내부전극(21, 22)이 형성된 최외측 지점의 상기 외부전극(31, 32)의 두께(T2)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0073] 상기 T2/Tc의 비가 0.5 미만의 경우에는, 외부전극의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0074] 그 외, 본 발명의 제2 실시예에 따른 적층 세라믹 전자부품에 관한 특징은 상술한 제1 실시예에 따른 적층 세라믹 전자부품의 특징과 동일하므로, 여기서 생략하도록 한다.
- [0075] 본 발명의 제1 및 제2 실시예에 따른 적층 세라믹 전자부품에 있어서, 상기 외부전극(31, 32)은 도전성 금속(2)

및 글라스(3)를 포함하며, 상기 글라스(3)는 상기 도전성 금속(2) 대비 30 내지 200 부피%의 함량을 가질 수 있으나, 이에 제한되는 것은 아니다.

- [0076] 상기 외부전극(31, 32)이 상기 도전성 금속(2)의 함량 대비 30 내지 200 부피%의 함량을 갖는 글라스(3)를 포함함으로써, 상기 글라스(3)의 함량이 극단적으로 증가되어 외부전극이 박층화되더라도 상기 세라믹 본체(10)의 밀폐성이 우수할 수 있다.
- [0077] 이로 인하여, 본 발명의 제1 및 제2 실시예에 따른 적층 세라믹 커패시터는 고온 절연저항(Insulation Resistance, IR) 특성이 향상되어 신뢰성이 우수할 수 있다.
- [0078] 또한, 상기 외부 전극의 두께가 얇아지더라도 상기 글라스의 함량이 증가하므로, 상기 두께가 얇은 부분의 치밀도를 증가시킬 수 있어, 도금액 침투에 의한 신뢰성 저하를 방지할 수 있는 효과가 있다.
- [0079] 상기 글라스(3)의 함량이 상기 도전성 금속(2)의 함량 대비 30 부피% 미만의 경우에는 글라스 함량이 적어 본 발명의 목적에 따른 세라믹 본체의 밀폐성을 얻지 못하는 문제가 있을 수 있다.
- [0080] 또한, 상기 글라스(3)의 함량이 상기 도전성 금속(2)의 함량 대비 200 부피%를 초과하는 경우에는 글라스의 함량이 너무 많아 상기 글라스가 상기 도전성 금속을 이동시켜 상기 외부전극의 찢어짐이 발생할 수 있고, 글라스 용출로 인한 미도금 불량 및 내부전극과 외부전극의 연결성 저하에 따른 용량 접촉성 저하의 문제가 있을 수 있다.
- [0081] 도 5는 본 발명의 제3 실시예에 따른 적층 세라믹 커패시터의 제조 공정도이다.
- [0082] 도 5를 참조하면, 본 발명의 제3 실시예에 따른 적층 세라믹 전자부품의 제조방법은 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극을 포함하는 세라믹 본체를 마련하는 단계; 상기 복수의 내부전극과 전기적으로 연결되도록 외부전극 페이스트를 상기 세라믹 본체 상에 도포하는 단계; 및 상기 세라믹 본체를 소성하여 외부전극을 형성하는 단계;를 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 커버층(C)의 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(C)는 15 μm 이하이고, 상기 외부전극은 도전성 금속 및 글라스를 포함하며, 상기 외부전극에서 상기 글라스가 차지하는 면적을 A, 상기 도전성 금속이 차지하는 면적을 B라 할때, $0.05 \leq A/B \leq 0.6$ 을 만족할 수 있다.
- [0083] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부의 중앙부 영역에서 상기 세라믹 본체의 두께 방향 길이(S)의 25% 떨어진 지점의 상기 외부전극의 두께를 T1이라 할 때, $T1/Tc \geq 0.8$ 을 만족할 수 있다.
- [0084] 상기 조건을 만족할 경우 내습특성 개선 효과 및 도금액 침투 방지 효과가 우수할 수 있다.
- [0085] 상기 세라믹 본체의 두께 방향 중앙부 영역에서의 상기 외부전극의 두께를 Tc, 상기 용량 형성부에서 상기 복수의 내부전극이 형성된 최외측 지점의 상기 외부전극의 두께를 T2라 할 때, $T2/Tc \geq 0.5$ 을 만족할 수 있다.
- [0086] 상기 조건을 만족할 경우 내습특성 개선 효과 및 도금액 침투 방지 효과가 우수할 수 있다.
- [0087] 상기 글라스는 상기 도전성 금속 대비 30 내지 200 부피%의 함량을 가질 수 있다.
- [0088] 상기의 제3 실시예에 따른 적층 세라믹 전자부품의 제조방법에 있어 상술한 제1 및 제2 실시예에 따른 적층 세라믹 전자부품과 중복되는 설명은 생략하도록 한다.

- [0089] 이하, 본 발명의 제3 실시예에 따른 적층 세라믹 전자부품의 제조방법을 상세히 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0090] 우선, 유전체층(1) 및 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 복수의 내부 전극(21, 22)을 포함하는 세라믹 본체(10)를 마련할 수 있다.
- [0091] 상기 유전체층(1)은 티탄산바륨($BaTiO_3$) 등의 파우더를 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제와 배합하여 바스킷 밀(Basket Mill)을 이용하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 수 μm 의 두께로 제조된 세라믹 그린시트로 형성할 수 있다.
- [0092] 그리고, 그린시트 상에 도전성 페이스트를 디스펜싱(dispensing)하고, 스퀴지(squeegee)를 일측 방향으로 진행시키면서 도전성 페이스트에 의한 내부전극 층을 형성할 수 있다.
- [0093] 이때, 도전성 페이스트는 은(Ag), 납(Pb), 백금(Pt) 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나의 물질로 형성되거나 적어도 2개의 물질을 혼합하여 형성될 수 있다.
- [0094] 이와 같이 내부전극 층이 형성된 후 그린시트를 캐리어 필름으로부터 분리시킨 후 복수의 그린시트 각각을 서로 겹쳐서 적층하여 적층체를 형성할 수 있다.
- [0095] 이어 그린시트 적층체를 고온, 고압으로 압착시킨 후, 압착된 시트 적층체를 절단공정을 통해 소정의 크기로 절단하여 세라믹 본체를 제조할 수 있다.
- [0096] 다음으로, 도전성 금속 및 상기 도전성 금속 대비 함량비가 30 내지 200 부피%인 글라스를 포함하는 외부전극 페이스트를 마련할 수 있다.
- [0097] 상기 도전성 금속은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0098] 또한, 상기 글라스는 1종의 절연성 글라스일 수 있으나, 이에 제한되는 것은 아니다.
- [0099] 다음으로, 상기 복수의 내부전극(21, 22)과 전기적으로 연결되도록 외부전극 페이스트를 상기 세라믹 본체(10) 상에 도포할 수 있다.
- [0100] 끝으로, 상기 세라믹 본체(10)를 소성하여 외부전극(31, 32)을 형성할 수 있다.
- [0101] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0102] 본 실시예는 커버층(C)의 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td) 및 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)에 따른 용량 불량률 및 신뢰성을 시험하기 위해 수행되었다.

- [0103] 본 실시예에 따른 적층 세라믹 커패시터는 하기와 같은 단계로 제작되었다.
- [0104] 우선, 티탄산바륨(BaTiO₃) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성하였다.
- [0105] 다음으로, 니켈 입자 평균 크기가 0.05 내지 0.2 μm 인 내부전극용 도전성 페이스트를 마련하였다.
- [0106] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 50층을 적층하여 적층체를 만들었다.
- [0107] 이후 압착, 절단하여 0603 규격의 사이즈(Size)의 칩을 만들며, 상기 칩을 H₂ 0.1%이하의 환원 분위기의 온도 1050~1200℃에서 소성하였다.
- [0108] 다음으로, 상기 외부전극을 형성하고 상기 외부전극 상에 도금 등의 공정을 거쳐 적층 세라믹 커패시터로 제작하였다.
- [0109] 아래의 표 1은 커버층(C)의 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 평균 두께(td)에 따른 신뢰성을 비교한 표이다.
- [0110] 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)은 본 발명의 수치 범위를 벗어 나는 경우로서, A/B 가 0.03으로 제작하여 상기 시험을 수행하였다.
- [0111] 또한, 상기 신뢰성은 고온 가속 수명 테스트로 수행되었으며, 130℃, 1.5 Vr(9.45 V), 6시간의 조건하에서 불량 발생 개수로 평가하였다.

표 1

[0112]

시료	커버층의 평균 두께(td) (μm)	신뢰성 불량 (불량개수/전체 개수)
1	50	0/40
2	30	0/40
3	16	0/40
4*	15	2/40
5*	13	3/40

- [0113] 상기 [표 1]을 참조하면, 시료 1 내지 3은 커버층의 평균 두께가 각각 50, 30 및 16 μm 인 경우로서, 커버층의 두께가 두꺼워 신뢰성 불량이 문제되지 않음을 알 수 있다.
- [0114] 반면, 시료 4 및 5는 커버층의 평균 두께가 15 μm 이하인 경우로서, 커버층의 두께가 얇아 본 발명의 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)이 본 발명의 수치 범위를 벗어날 경우 신뢰성에 문제가 있음을 알 수 있다.
- [0115] 따라서, 후술하는 설명에 따라 본 발명의 실시예에 따른 적층 세라믹 전자부품은 커버층의 평균 두께가 15 μm

이하인 경우로서, 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)이 본 발명의 수치 범위를 만족하여야만 신뢰성 향상에 효과가 있음을 알 수 있다.

[0116] 아래의 표 2는 적층 세라믹 커패시터의 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)에 따른 용량 불량률 및 신뢰성을 비교한 표이다.

[0117]또한, 커버층의 평균 두께는 15 μm 인 조건 하에서 상기 테스트가 수행되었다.

[0118]상기 신뢰성은 고온 가속 수명 테스트로 수행되었으며, 130℃, 1.5 Vr(9.45 V), 6시간의 조건하에서 불량 발생 개수로 평가하였다.

표 2

	도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A) (A/B)	신뢰성 불량 (불량개수/전체 개수)	용량 불량률 (%)
비교예1	0.01	3/40	0
비교예2	0.03	2/40	0
실시예1	0.05	0/40	0
실시예2	0.1	0/40	0
실시예3	0.3	0/40	0
실시예4	0.5	0/40	0
실시예5	0.6	0/40	0
비교예3	0.65	0/40	10
비교예4	0.7	0/40	10.9
비교예5	0.8	0/40	12.5

[0120]상기 [표 2]를 참조하면, 비교예 1 및 2는 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)이 본 발명의 수치 범위를 벗어나는 경우로서, 신뢰성에 문제가 있음을 알 수 있다.

[0121]또한, 비교예 3 내지 5 역시 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)이 본 발명의 수치 범위를 벗어나는 경우로서, 정전 용량에 있어서 불량이 발생하였음을 알 수 있다.

[0122]반면, 실시예 1 내지 5는 본 발명의 수치 범위를 만족하는 경우로서, 용량 불량률 및 신뢰성 테스트에서 모두 양호한 결과를 보임을 알 수 있다.

[0123]결론적으로, 본 발명의 실시예에 따르면, 커버층의 평균 두께가 15 μm 이하인 경우로서, 외부전극에서 도전성 금속이 차지하는 면적(B) 대비 글라스가 차지하는 면적(A)이 본 발명의 수치 범위를 만족할 경우 용량 불량률이 낮으며 신뢰성이 우수한 적층 세라믹 전자부품의 구현이 가능하다.

[0124]본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

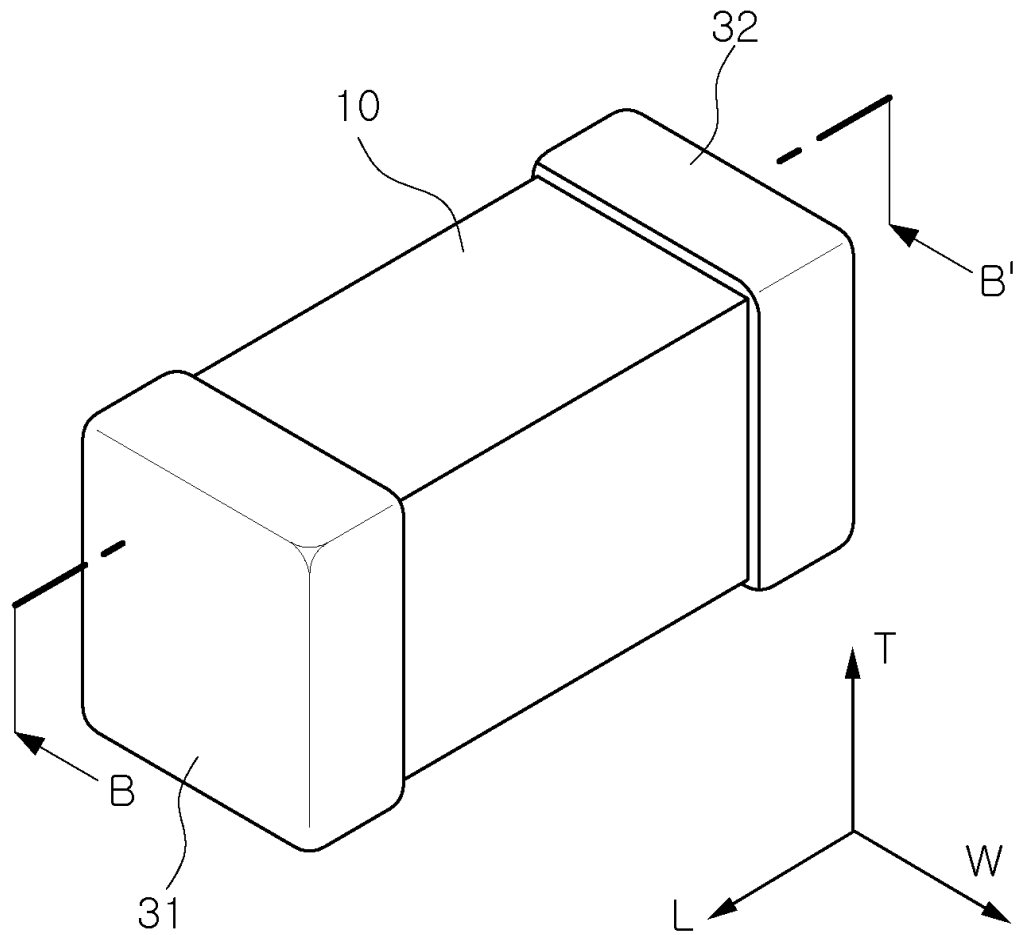
부호의 설명

[0125]

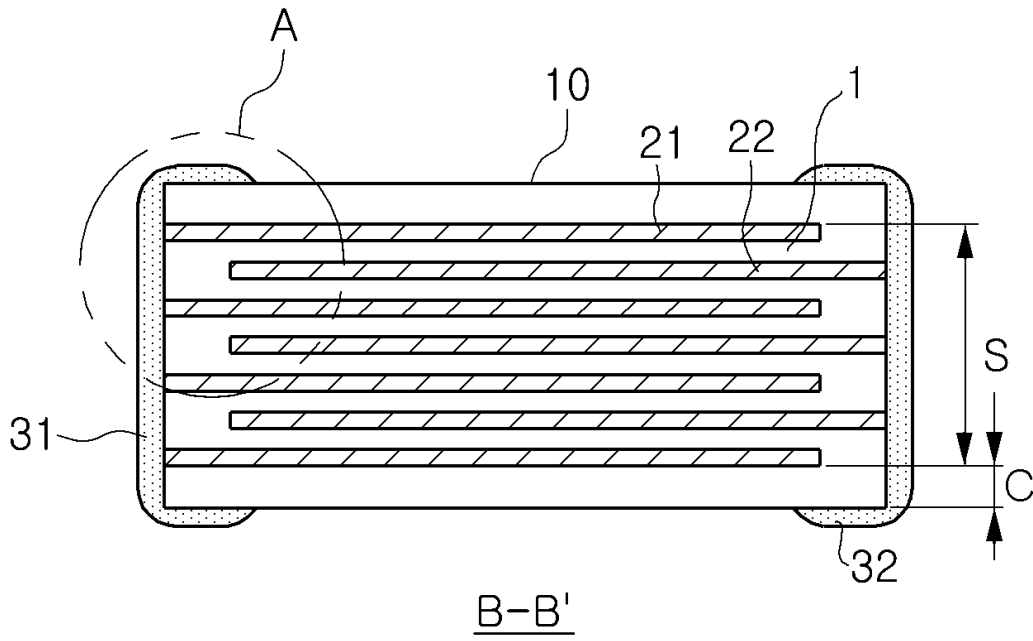
- 1: 유전체 층
- 2: 도전성 금속
- 3: 글라스
- 10: 세라믹 본체
- 21, 22: 내부전극
- 31, 32: 외부전극

도면

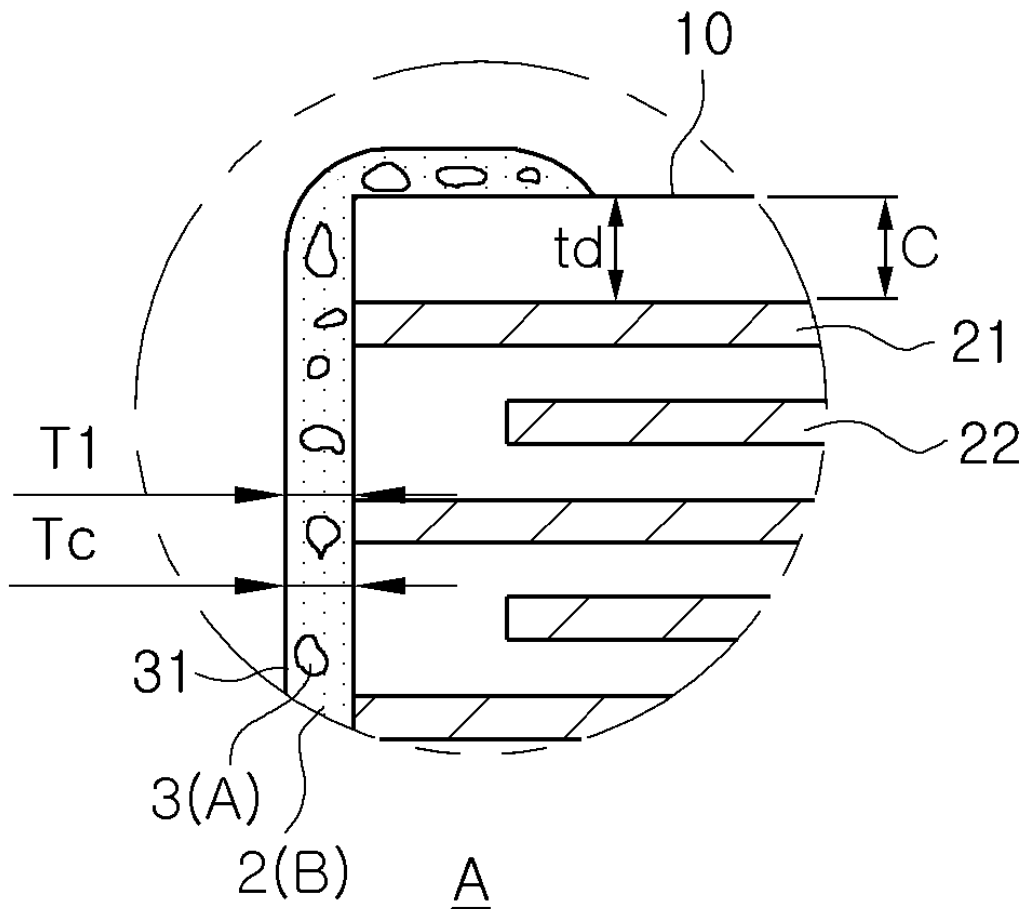
도면1



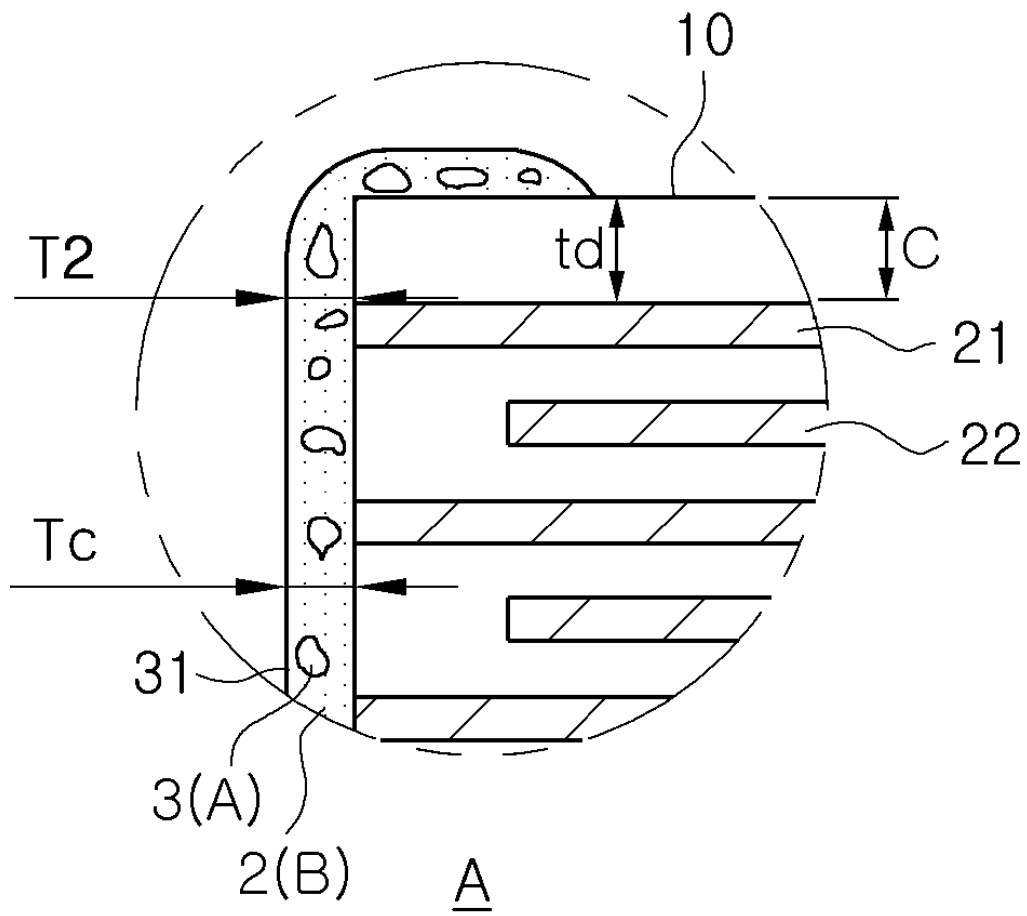
도면2



도면3



도면4



도면5

