



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I607442 B

(45) 公告日：中華民國 106 (2017) 年 12 月 01 日

(21) 申請案號：102111841

(22) 申請日：中華民國 102 (2013) 年 04 月 02 日

(51) Int. Cl. : **G11C16/06 (2006.01)**

(30) 優先權：2012/04/02 美國 13/437,324

(71) 申請人：賽普拉斯半導體公司 (美國) CYPRESS SEMICONDUCTOR CORPORATION (US)
美國(72) 發明人：梁竊緯 NEO, TIO WEI (SG)；史堤 斯凡納達 SHETTY, SHIVANANDA (US)；派
克 詹姆士 PAK, JAMES (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US	7952942B1	US	8036035B2
US	2005/0162909A1	US	2006/0193177A1
US	2007/0217271A1	US	2010/0002523A1
US	2010/0046305A1	US	2010/0259994A1
WO	2010/117807A2		

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：6 共 29 頁

(54) 名稱

用於適應性地程式化或抹除快閃記憶體區塊的方法、系統和電腦可讀取媒體
METHODS, SYSTEMS AND COMPUTER READABLE MEDIA FOR ADAPTIVELY
PROGRAMMING OR ERASING FLASH MEMORY BLOCKS

(57) 摘要

本發明所敘述之實施例一般係關於程式化及抹除快閃記憶體。在實施例中，一種程式化或抹除非揮發性記憶體之區塊之內容的方法包含：基於該區塊之年齡判定脈衝之電壓，該脈衝係用於程式化或抹除該區塊；以及輸出該脈衝至該區塊的至少一部份。該脈衝係使用來程式化或抹除該區塊。

Embodiments described herein generally relate to programming and erasing a FLASH memory. In an embodiment, a method of programming or erasing the contents of a block of a FLASH memory includes determining a voltage of a pulse based on an age of the block and outputting the pulse to at least a portion of the block. The pulse is used to program or erase the block.

指定代表圖：

符號簡單說明：

200 . . . 快閃記憶體系統

210 . . . 記憶體控制器

212 . . . 處理器

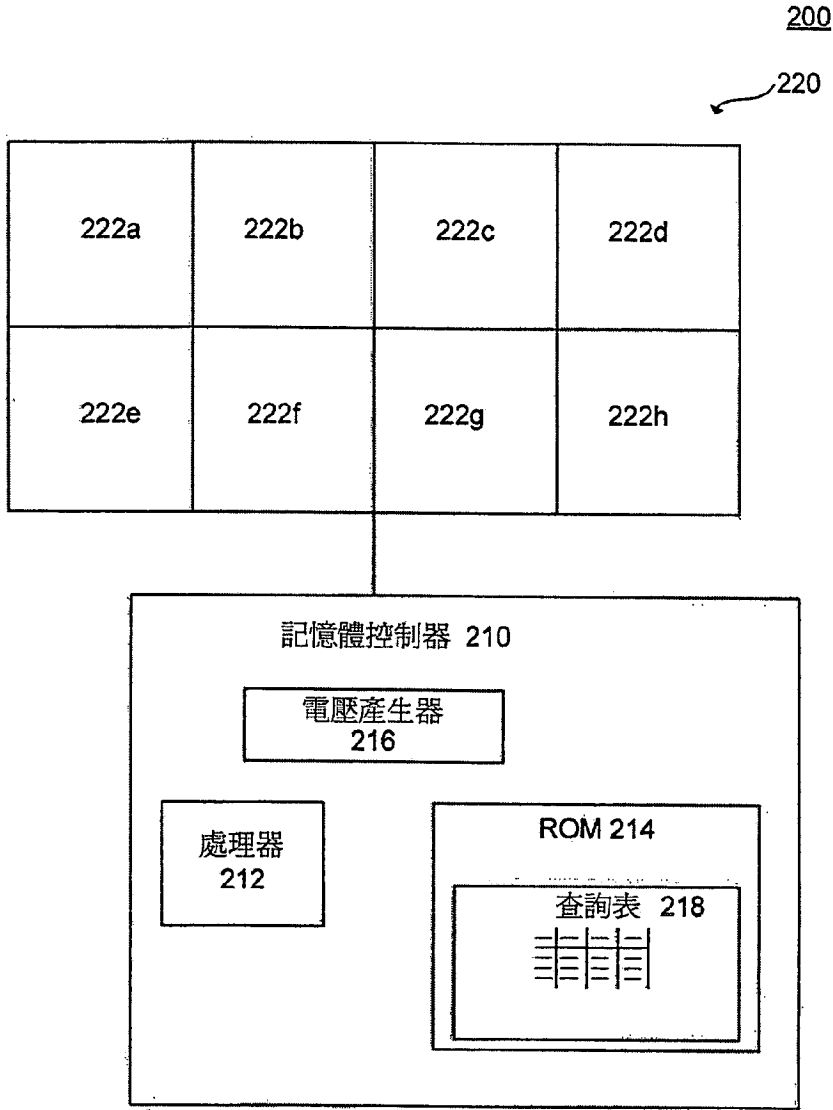
214 . . . 唯讀記憶體

216 . . . 電壓產生器

218 . . . 查詢表

220 . . . 快閃記憶體

222、222a-h . . . 區塊



第2圖

【圖式簡單說明】**【0008】**

附圖(其結合本文並形成說明書的一部分)例示了本發明，並且與實施方式一起進一步用於說明本發明的原理，以及使本領域中具有通常知識者能夠製造和使用本發明。

第 1 圖係為例示用於抹除快閃記憶體區塊之靜態脈衝列的圖示；

第 2 圖係為依據本發明之實施例的快閃記憶體系統之方塊圖；

第 3 圖係為依據本發明之實施例以提供用於適應性地程式化或抹除快閃記憶體區塊之範例步驟的流程圖；

第 4 圖係為依據本發明之實施例之例示範例脈衝列的圖示；以及

第 5 及 6 圖係為依據本發明之實施例之例示靜態與適應性技術之效果的圖示。

將參照附圖描述本發明的實施方式。在附圖中，相同的參考標號表示相同或功能上相同的元件。此外，參考標號最左邊的數字表示該參考標號第一次出現所在的圖。

【實施方式】

【0009】 將理解實施方式部分(而非摘要和發明說明部份)係意圖被使用於解釋申請專利範圍。摘要和發明說明部份可以闡明由發明人深思熟慮而得的一個或多個、但並非全部之本發明的實施例，且因此，不意圖以任何方式限定本發明和所附之申請專利範圍。

【0010】快閃記憶體係為一種非揮發性記憶體，於其中電荷係典型地儲存於「儲存節點(storage node)」中，該儲存節點可為但不限於浮動多晶矽閘極或電荷捕捉層(charge trap layer)。為了程式化該單元，係施加相對高之電壓至該電晶體控制閘極(透過該記憶體之字元線(word line))，其造成電荷開始在該儲存節點中累積。該單元係藉由施加相對中等之電壓至該控制閘極(透過該記憶體之字元線)來讀取並判斷該單元是否導通電流。在實施例中，該儲存節點係介於該控制閘極與該氧化物層之間。因此，累積在該儲存節點中之電荷有效地增大了該單元之低限電壓。理想地，在程式化該單元之後，該單元之低限電壓係增加超過在該讀取操作期間所施加之中間電壓(intermediate voltage)，從而創造其能夠在該讀取操作期間被量測的兩種狀態(即，導通與非導通)。

【0011】典型地係藉由施加相對高的電壓至該單元的控制閘極而抹除該快閃記憶體單元，該電壓具有與該程式化電壓相反之極性。亦可藉由施加高電壓至該快閃記憶體單元之井(well)來完成該抹除操作。在如此做時，目前在該儲存節點上之電荷係被移出，且當在該讀取操作期間施加中間電壓時，該單元導通電流。因此，在程式化狀態中，該單元具有 0 的邏輯值(非導通)，且在抹除狀態中，該單元具有 1 的邏輯值(導通)。

【0012】快閃記憶體典型地係由數個固定大小之記憶體區塊所組成。舉例而言，且不以此為限，各該區塊可具有 1 百萬位元(megabit, Mbit)之大小。在此處其他區塊大小為可能且能思及的。邏輯 0 可被程式化為一區塊之選擇性的或「隨機」的位元。然而，邏輯 1 能被寫入區塊的唯一方法係為抹除整個區塊。因此，當將

資料寫入至快取記憶體區塊時，在大多數情況下必須完成兩項操作。首先，抹除該區塊(例如，藉由寫入邏輯 1 至該區塊之各單元)。接著，藉由寫入邏輯 0 至該區塊之特定單元以將該區塊程式化為特定狀態。此成對操作，亦即抹除及程式化，係稱為「P/E 週期」。在其寫入命令僅要求由邏輯 1 至邏輯 0 之轉換之不太可能發生的事件中，該寫入命令可被替代為僅實施程式化操作。

【0013】理想地，快閃記憶體區塊能夠無限的循環。亦即，快閃記憶體區塊使用相同之電壓水準而能無限次的程式化及抹除。然而，事實上快閃記憶體之效能會退化。舉例而言，當區塊係曝露於更多之 P/E 週期時，構成該區塊之單元傾向於捕捉電荷。此些被捕捉之電荷造成該單元需要更高電壓水準之電壓來抹除。

【0014】為了抹除快閃記憶體之區塊，典型地藉由記憶體控制器輸出電壓脈衝列(voltage pulse train)至該區塊。第 1 圖顯示例示用於抹除快閃記憶體區塊之靜態脈衝列的圖示 100。如第 1 圖所示，該脈衝列包含三組脈衝：具有 V_1 之電壓者、具有 V_2 之電壓者、及具有 V_3 之電壓者。在該脈衝列之各脈衝之後，該記憶體控制器判斷在該區塊中之全部單元是否已被抹除。舉例而言，該記憶體控制器可將該單元之低限電壓與預定電壓進行比較以判斷該區塊是否已被抹除。若確認該區塊已被抹除，則之後無額外之脈衝被輸出至該區塊。否則，在該脈衝列中的下一個脈衝係輸出至該區塊。

【0015】因此，如第 1 圖之範例所示，在具有 V_1 之電壓的三個脈衝不成功之後，該些脈衝之電壓係增加至 V_2 。在三個此種脈

衝不成功之後，該些脈衝之電壓係增加至 V_3 。各電壓水準之數值以及在各電壓水準之脈衝的數目係為靜態的。即，傳統上，該電壓水準及在各電壓水準之脈衝的數目二者係提前決定且不再改變的。

【0016】雖然在第 1 圖中所例示之靜態方法典型地最終將造成該區塊被抹除，但一些早期之脈衝可能被「浪費」。即，該脈衝列之一些早期之脈衝在該快閃記憶體區塊之單元的狀態上可能不具有可察覺到的效應。舉例而言，請參照第 1 圖，若一區塊之大部分單元具有足夠之經捕獲之電荷，故需要在 V_3 之脈衝來抹除，在電壓 V_1 及 V_2 之脈衝將可能在該區塊之單元的狀態上可能不具有可察覺到的效應。此些浪費之脈衝可增加抹除該區塊需要的時間。當該區塊老化時(即，當其經歷更多 P/E 週期時)，在脈衝具有足夠電壓前需要輸出更多脈衝至該區塊。因此，浪費之脈衝的數目增加且可能造成抹除操作未能滿足基本效能需求(例如，在 5ms 內抹除或在一些其他規定的時間間隔內)。

【0017】在此處所述之實施例中，係提供一種用於程式化或抹除快閃記憶體區塊之適應性技術。舉例而言，在實施例中，可判定該區塊之「年齡(age)」，且該年齡可用來判定並設定脈衝列之第一脈衝的電壓。在實施例中，該快閃記憶體區塊之年齡係指該區塊所退化的程度；年齡亦為區塊之用量的測量標準。快閃記憶體區塊之年齡係通常為其所經歷之 P/E 週期的數目的函數。因此，通常以 P/E 週期量化年齡。然而，如下所提醒，可使用其他量測標準來量化該快閃記憶體區塊之年齡。藉由適性調整傳給將被程式化或抹除之個別快閃記憶體區塊的脈衝列，此處所描述之

技術能顯著地降低程式化或抹除快閃記憶體區塊所需要之時間。

【0018】第 2 圖顯示依據本發明之實施例的快閃記憶體系統 200 之方塊圖。系統 200 包含記憶體控制器 210 以及快閃記憶體 220。記憶體控制器 210 包含處理器 212、唯讀記憶體(read only memory, ROM) 214、以及電壓產生器 216。在實施例中，該記憶體控制器 210 可以包含處理器 212、唯讀記憶體 214、以及電壓產生器 216 之微控制器而實現。

【0019】在第 2 圖之例子中，該快閃記憶體 220 包含八個區塊 222a-h(全體稱為「區塊 222」)，然而本領域中具有通常知識者將了解該快閃記憶體 220 可包含任意數量之任何大小的區塊。各區塊包含其儲存資訊的個別位元的單元。此些單元(例如但不以此為限)係以浮動閘極金氧化物半導體(MOS)電晶體來實現。在顯示於第 2 圖之實施例中，ROM 214 可儲存查詢表(lookup table) 218。額外的或替代的，該區塊 222 之區塊可儲存查詢表 218。此外，本領域中具有通常知識者將了解雖然第 2 圖顯示電壓產生器 216 被包含在記憶體控制器 210 之中，電壓產生器 216 亦可與該記憶體控制器 210 分開地實施。該系統 200 之操作將參考流程圖 300 而進一步的詳細描述，如下所述。

【0020】快閃記憶體系統 200 可被包含在任何需要非揮發性記憶體之系統、次系統、裝置或模組中，現在已知或未來將發展的，包含但不限於電腦、智慧型手機、儀器、消費性產品、嵌入式系統、移動裝置、通訊系統/裝置等等，以及任何其他資料處理模組和包含此等資料處理模組之系統。應了解到本發明之實施例係適用於前述內容。

【0021】第 3 圖顯示依據本發明之實施例，以提供用於適應性地程式化或抹除非揮發性(例如，快閃)記憶體區塊之範例步驟的流程圖 300。基於以下敘述，其他結構上或操作上之實施例對本領域具有通常知識者而言將為明顯的。顯示於第 3 圖中的步驟並不需要依所顯示之順序而發生。第 3 圖之步驟係於以下詳細地描述。

【0022】在步驟 302 中，判定該區塊之年齡。舉例而言，在第 2 圖中，記憶體控制器 210 能判定該快閃記憶體 220 之區塊 222a 之年齡。在實施例中，記憶體控制器 210 可藉由輸出測試脈衝至區塊 222a 並量測在區塊 222a 之結果來判斷區塊 222a 之年齡。量測在區塊 222a 之結果的一種例子係為在該測試電壓被區塊 222a 接收之後，分析區塊 222a 之單元的低限電壓。以下係提供分析區塊 222a 之單元的低限電壓的兩種不同範例實施例。在第一實施例中，藉由施加一個或多個預定電壓至該區塊 222a 的字元線以將複數個不同之預定電壓與該單元之低限電壓進行比較。在第二實施例中，係施加預定電壓至該區塊 222a 的字元線並判定其具有高於該預定電壓之低限電壓的單元之數目的總數(例如，藉由判定哪些單元未導通電流)。此些實施例之各者將於以下更加詳細的描述。本領域中具有通常知識者應了解在不悖離本發明之範圍及精神之下，其他量測在快閃記憶體區塊上之測試脈衝的影響的技術可能被使用。

【0023】注意到一單元之低限電壓係為其必須被施加於該單元以使該單元導通電流之電壓。舉例而言，在該區塊 222a 之單元係以浮動閘極 MOS 電晶體而實現的實施例中，該單元之低限電壓

係為必須被施加於該控制閘極以使其導通電流之電壓。如上所提醒，在浮動閘極 MOS 電晶體中，該電晶體之低限電壓的值係依據在該電晶體之該浮動閘極上的電荷的存在而改變。

【0024】在分析該區塊 222a 之單元的低限電壓的第一實施例中，記憶體控制器 210 可將該區塊 222a 之單元的低限電壓與複數個預定電壓進行比較。在實施例中，ROM 記憶體 214 或該區塊 222a 之區塊(例如，區塊 222b)可能儲存三個預定電壓，此處稱為 V_{p1} 、 V_{p2} 及 V_{p3} ，且 $V_{p1} < V_{p2} < V_{p3}$ 。在此實施例中，記憶體控制器 210 可判斷該單元之低限電壓落入哪個範圍，例如，小於 V_{p1} 、位於 V_{p1} 及 V_{p2} 之間、位於 V_{p2} 及 V_{p3} 之間、或大於 V_{p3} 。在實施例中，係指派該區塊之年齡至各範圍。因此，藉由判斷該低限電壓落入哪個範圍，本發明之實施例能判斷該區塊 222a 之年齡。在實施例中，記憶體控制器 210 可使用包含在查詢表 218 中的資訊將所判定之範圍映射至特定的年齡。替代地，該低限電壓落入其中之該範圍本身可被用來量化區塊 222a 之年齡。

【0025】在實施例中，在比較該複數個預定電壓與該單元之低限電壓的過程中，記憶體控制器 210 執行了該些預定電壓的搜尋以判定該些電壓的何者係大於該區塊 222a 的全部低限電壓以及該些電壓的何者係小於或等於該區塊 222a 的全部低限電壓。在實施例中，該搜尋可為二元搜尋(binary search)。舉例而言，記憶體控制器 210 可以 V_{p2} 開始其搜尋，依據與 V_{p2} 之比較的結果，可將該區塊 222a 之單元的低限電壓與 V_{p1} 或 V_{p3} 的任一者進行比較。

【0026】在實施例中，為了執行該單元之低限電壓及該預定電壓之間的比較，記憶體控制器 210 可將該預定電壓輸出至該區

塊 222a 之字元線。在該區塊 222a 之單元係以浮動閘極 MOS 電晶體而實現的實施例中，該字元線係耦接至該單元之控制閘極。因此，藉由施加特定電壓至該字元線並判定哪個單元導通電流，記憶體控制器 210 可以判定哪個單元具有高於該預定電壓的低限電壓以及哪個單元具有小於或等於該預定電壓的低限電壓。

【0027】可依據快閃記憶體區塊的效能退化模型或快閃記憶體區塊之退化的真實實驗來決定該複數個預定電壓。在實施例中，該複數個預定電壓可儲存在記憶體控制器 210 之 ROM 記憶體 214 中或該區塊 222 之另一區塊中(例如，在製造(manufacture)中)。

【0028】在分析該區塊 222a 之單元的低限電壓的第二實施例中，並非將區塊 222a 之單元的低限電壓與複數個預定電壓進行比較，記憶體控制器 210 可依據其具有在預定電壓之上的低限電壓之單元的數目(或等於、在預定電壓之下)來判定該年齡。一旦此等單元之數目的總數被判定，記憶體控制器 210 可使用在查詢表 218 中的資訊將該總數映射至特定的年齡值。替代地，具有大於(或小於)該特定低限電壓的低限電壓之單元的數目(即，該總數)本身可被用來量化區塊 222a 之年齡。此外，如上所提醒的，在讀取操作期間，記憶體控制器 210 可輸出相對的中間電壓至該區塊 222a 之字元線並判定哪個單元導通電流。因此，在實施例中，該預定電壓可為在讀取操作期間施加至該字元線的電壓。

【0029】在另一實施例中，可藉由判斷該區塊 222a 已經歷之 P/E 週期的數目來判定該區塊 222a 之年齡。舉例而言，每次記憶體控制器 210 在區塊 222a 執行一個 P/E 週期，記憶體控制器 210 可以增加一次計數器。該計數器可被儲存在指定的複數個單元

中。該指定的複數個單元可包含在區塊 222a、另一個區塊(例如，區塊 222b)、或位於區塊 222 之外的複數個單元中。在其他實施例中，該指定的複數個單元可包含在上述的組合中，例如，一個或多個區塊 222、另一個區塊、位於區塊 222 之外的複數個單元之組合。

【0030】在寫入區塊 222a 之前，記憶體控制器 210 可藉由存取該指定的複數個單元之內容來判定該區塊 222a 之年齡。額外的或替代的，記憶體控制器 210 可寫入用以抹除區塊 222a 的最後脈衝列之第一脈衝的電壓及/或其開始抹除區塊 222a 的時間(或脈衝總數)。在又另一實施例中，可儲存在最後一個 P/E 週期所使用之脈衝列之最終脈衝的電壓。如上所提醒的，抹除該區塊所需要之電壓增加，常造成較長的脈衝列。因此，該脈衝列之該第一脈衝之電壓以及該最後一個 P/E 週期期間抹除區塊 222a 所需要之時間亦可被用來量化區塊 222a 之年齡。亦可儲存該區塊 222a 之年齡，例如，以允許用於區塊 222a 之年齡之適應性地程式化或抹除。

【0031】回到顯示於第 3 圖中的流程圖 300，在步驟 304 中，係基於該區塊之年齡判定該脈衝列之初始脈衝之電壓。舉例而言，在第 2 圖中，記憶體控制器 210 可基於所判定之該區塊 222a 之年齡判定該脈衝列之第一脈衝之電壓。舉例而言，記憶體控制器 210 可使用查詢表 218 將該區塊 222a 之年齡映射至該脈衝列之初始脈衝之電壓。舉例而言，藉由使用模擬的或實驗上判定之快閃記憶體區塊的特性以判定抹除具有既定年齡之區塊所需要的電壓水準可決定在該查詢表 218 之中的資訊。舉例而言，在製造程序之測試階段期間，可測試該區塊 222a。所產生之測試結果可與

先前設定至模型結合以判定抹除具有既定年齡之區塊所需要的電壓水準。

【0032】在步驟 306 中，輸出該脈衝列至該區塊的至少一部份。舉例而言，在第 2 圖中，記憶體控制器 210 可輸出脈衝列至該區塊 222a 的至少一部份。在實施例中，在程式化操作期間，可輸出該脈衝列至其將被程式化的該區塊 222a 的特定部份。另一方面，在抹除操作期間，可輸出該脈衝列至整個該區塊 222a。

【0033】依據實施例，在該脈衝列中的第一脈衝具有在步驟 304 中所判定之電壓。在實施例中，記憶體控制器 210 之處理器 212 可控制電壓產生器 216 以產生該脈衝列以使該第一脈衝具有所判定之電壓。在實施例中，該電壓產生器可包含數個電壓調節器，其可藉由在電壓產生器 216 及/或藉由處理器 212 中的控制電路來控制。

【0034】在實施例中，依據該區塊 222a 的年齡，亦可增加該脈衝列之其他脈衝的電壓水準。舉例而言，若在該第一脈衝之後，記憶體控制器 210 判定該區塊 222a 之內容未被完全抹除，記憶體控制器可輸出具有相同電壓水準之另一個脈衝作為第一脈衝。在位於該第一脈衝之電壓水準的數個脈衝未能完全抹除該區塊 222a 之內容之後，記憶體控制器 210 可能輸出具有關於該第一脈衝之電壓水準而增加之電壓的另一個脈衝。在該電壓水準中的增加量可為靜態的或適應性的。舉例而言，記憶體控制器 210 可基於該區塊 222a 的年齡來判定該增加量。亦可靜態地或適應性地判定對該電壓水準的任何額外的增加量。此外，亦可靜態地或適應性地判定各電壓水準之脈衝數目。即，在特定電壓水準的脈衝數目可

為靜態的(例如，儲存在 ROM 214 中)或可藉由記憶體控制器 210 基於該區塊 222a 的年齡來判定。舉例而言，查詢表 218 可能儲存識別用於依據該區塊 222a 的年齡之脈衝序列(sequence of pulses)的脈衝數目之資訊。

【0035】如上所述，記憶體控制器 210 可完成一個或多個步驟 302 至 306。在實施例中，電腦程式及/或演算法可儲存在記憶體控制器 210 之 ROM 214 中，其使記憶體控制器 210 能夠完成步驟 302 至 306。在另一實施例中，該電腦程式/演算法可儲存在其他電腦程式/演算法產品中，包含但不限於，主要儲存裝置(primary storage device)(例如，任何種類之隨機存取記憶體)、次要儲存裝置(secondary storage device)(例如，硬碟、軟性磁碟、CD ROMS、壓縮碟(ZIP disk)、磁帶(tape)、磁性儲存裝置、及光學儲存裝置、MEMS、奈米科技儲存裝置等等)。在又一實施例中，記憶體控制器 210 可實施為硬體狀態機器(hardware state machine)，例如，透過可程式邏輯(programmable logic)。

【0036】第 4 圖顯示依據本發明之實施例之例示範例脈衝列的圖示 400，其可由記憶體控制器 210 所產生。如第 4 圖所示，在開端時，記憶體控制器 210 可產生測試脈衝 402。如上所提醒並參考流程圖 300 中的步驟 302，可使用測試脈衝來判定該區塊 222a 的年齡。基於該區塊 222a 的年齡，記憶體控制器 210 可判定該脈衝列之該第一脈衝的電壓應該從 V_1 (例如，顯示在第 1 圖中的傳統脈衝列所使用的值)增加至 V_1^* 。如第 4 圖所示，記憶體控制器 210 藉由 ΔV 的值有效地增加該第一脈衝的電壓。在如此做時，記憶體控制器 210 降低了該脈衝列之該第一脈衝可能被浪費的可能

性。在實施例中， V_1^* 可能相等於 V_2 ，即，在該靜態方法中的第二組脈衝的電壓。此外，如第 4 圖所示，該脈衝列之其餘脈衝(若需要)亦可由 ΔV 增加至 V_2^* 的值或由一些其他靜態地或適應性地判定的數量。

【0037】第 5 圖依據本發明之實施例之例示使用與上述之靜態方法相反之包含在流程圖 300 中之適應性方法之效果的圖示 510-540。圖示 510 及 520 分別例示使用包含在流程圖 300 中之適應性方法以及傳統靜態方法對相對年輕之區塊的抹除。如圖示 510 及 520 所示，該靜態及該適應性方法係大約同等有效率地運作。事實上，若該區塊係相對的「年輕」，例如，經歷相對小的 P/E 週期之數目，在該適應性方法及該靜態方法中之初始脈衝的電壓在所示之例子中將為相似的。因此，在此例子中，該二方法將展現相似的效能。

【0038】圖示 530 及 540 分別例示該適應性方法以及該靜態方法對相對年老之區塊的抹除。已判斷該區塊之年齡後，該適應性方法係以具有 V_1^* 而非 V_1 之電壓開始。如圖示 530 所示，在應用 V_1^* 之電壓之後，如此做造成尚未被抹除之單元的數目立即下降。反之，如圖示 540 所示，使用靜態方法，當未造成尚未被抹除之單元的數目有可察覺的降低時，該第二及第三脈衝係有效地被浪費了。事實上，當該靜態方法需要接近八個脈衝來達到相同程度之抹除時，藉由該第三脈衝，該適應性方法已幾乎抹除了整個區塊。因此，顯示在第 5 圖之例子中的圖示 510-540 顯示對於相對年老的快閃記憶體區塊而言，參考第 3 圖所述之該適應性方法降低了抹除一區塊所需要之脈衝的數量，從而降低了抹除該區

塊所需要的時間。

【0039】第 6 圖顯示依據本發明之實施例之進一步例示包含在第 3 圖中之適應性方法之效果的圖示 600 及 610。圖示 600 及 610 例示了作為既定區塊已經歷之 P/E 週期之數目的函數之不同脈衝的電壓。圖示 600 例示該靜態方法之使用，且該圖示 610 例示該適應性方法之使用。如圖示 600 所示，在該靜態方法中的脈衝之電壓係靜態地由 V_1 增加至 V_3 。即，在各電壓水準之脈衝數目係為常數(即，在第 6 圖之實施例係為在各電壓水準有二脈衝)。此外，圖示 600 亦例示其發生在各脈衝之後的驗證(verification)。舉例而言，如圖示 600 所示，在該區塊到達 C_1 週期之前，僅需要一個脈衝來抹除該區塊。然而，當該區塊老化，需要更多的脈衝來抹除該區塊。事實上，一旦該區塊經歷過 C_5 週期，係需要 6 個脈衝來抹除該區塊。此時，在並未可察覺地影響該區塊的狀態下，該第一脈衝(例如，在電壓水準 V_1 之第一及第二脈衝以及在電壓水準 V_2 之第三及第四脈衝)係為浪費的。

【0040】相對於參考圖示 600 所述的該靜態方法，圖示 610 所示之該適應性方法可以從 V_1 至 V_3 調整在該脈衝列中之該第一及後續脈衝的值。特別是，如圖示 610 所示，一旦該區塊經歷過 C_2 週期，係需要第二脈衝來抹除該區塊。然而，一旦該區塊經歷過 C_2 週期，該脈衝列之該第一脈衝的電壓係增加至 V_2 ，且僅需要一個脈衝來抹除該區塊。同樣地，一旦該區塊到達 C_3 週期，再度需要第二脈衝來抹除該區塊。然而，一旦該區塊經歷過 C_4 週期，該第一脈衝之電壓再度依據該區塊之年齡而增加。以此方法，該適應性技術可依據該區塊之年齡在該第一脈衝之中達到電壓水準

V_3 。反之，如圖示 600 所示，不管該區塊之年齡，直到第五脈衝之前該電壓水準 V_3 均不會被達成。

【0041】本領域中具有通常知識者將了解到此處所提供之圖示 600 及 610 僅作為例示之用，而不意圖限制該申請專利範圍。舉例而言，在其他實施例中，週期 C_1 - C_5 之間的相對關係可變動。舉例而言，在該適應性方法中，該適應性方法中的該第一脈衝之電壓可以在該區塊經歷 C_2 及 C_4 週期之前增加。在此等實施例中，當該區塊到達 C_2 或 C_4 週期時，不需要兩個脈衝來抹除該區塊。更一般而言，該脈衝列之特定脈衝的電壓水準可在需要額外脈衝來抹除該區塊之前增加。

【0042】上述之實施例係著重在抹除快閃記憶體之區塊。然而，本領域中具有通常知識者基於此處所揭露者將了解該適應性技術亦可使用於程式化記憶體之區塊。舉例而言，可基於該快閃記憶體區塊之年齡判定用於程式化一單元之電壓。

【0043】又，雖然此處所描述之實施例以參考快閃記憶體，但本發明並不限於此些例子。反之，本發明係適用於其他種類之電腦記憶體。

【0044】本發明係借助例示其具體功能及其關係之實行的功能性建構模塊描述如上。為便於描述，本文係任意定義該些功能性建構模塊之邊界。只要其具體功能及其關係適當執行，可以定義替代之邊界。

【0045】之前具體實施方式的描述將充分揭示本發明的一般特性，使得無需過多實驗，且不背離本發明一般概念的情況下，其他人可通過應用本技術領域內的知識，很容易地針對各種應用

來修改和/或改變這些具體實施例。因此，基於本文給出的教示和指導，這種改變或修改意在處於所公開的實施例的等價物的涵義和範圍內。需要理解的是，本文的措辭和術語是爲了描述而不是限制的目的，從而本說明書的術語和措辭應由技術人員根據教示和指導來理解。

【0046】本發明實施方式的外延和範圍不應受任何上述範例實施例限制，而應當僅根據所附申請專利範圍及其等效者來定義。

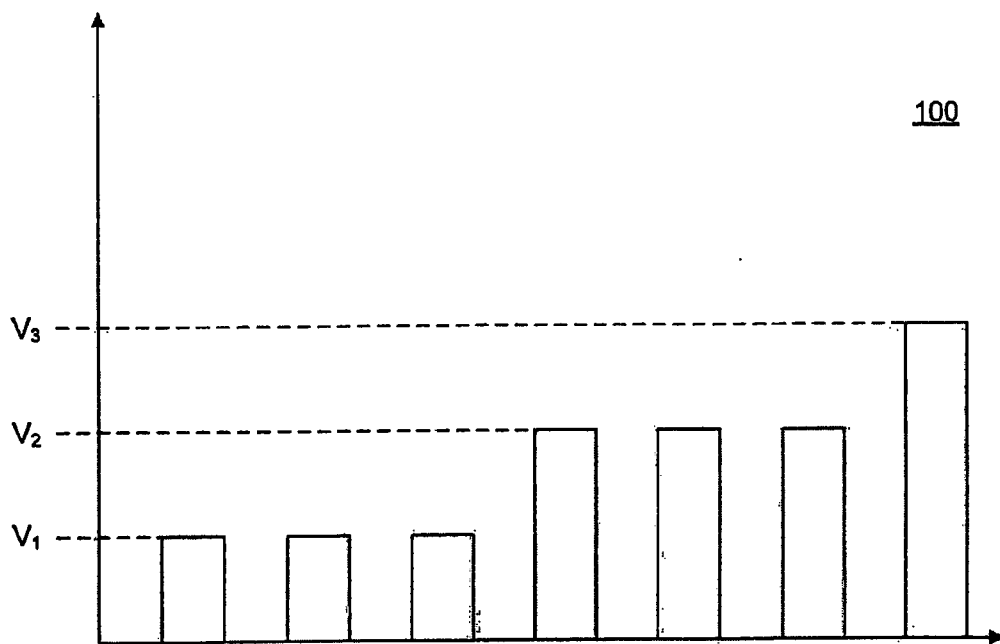
【0047】當前申請案中之申請專利範圍不同於原始申請案或其他相關申請案之申請專利範圍。因此，申請人廢除在原始申請案或關於當前申請案之任何相關申請案中所做出的申請專利範圍之範疇之任何否認聲明。因此，建議審查員可能需要重新視察任何此類先前否認聲明及使其避免的引用參考。另外，亦提醒審查員在當前申請案中所做出之任何否認聲明均不應被曲解於或違背於原始申請案。

【符號說明】

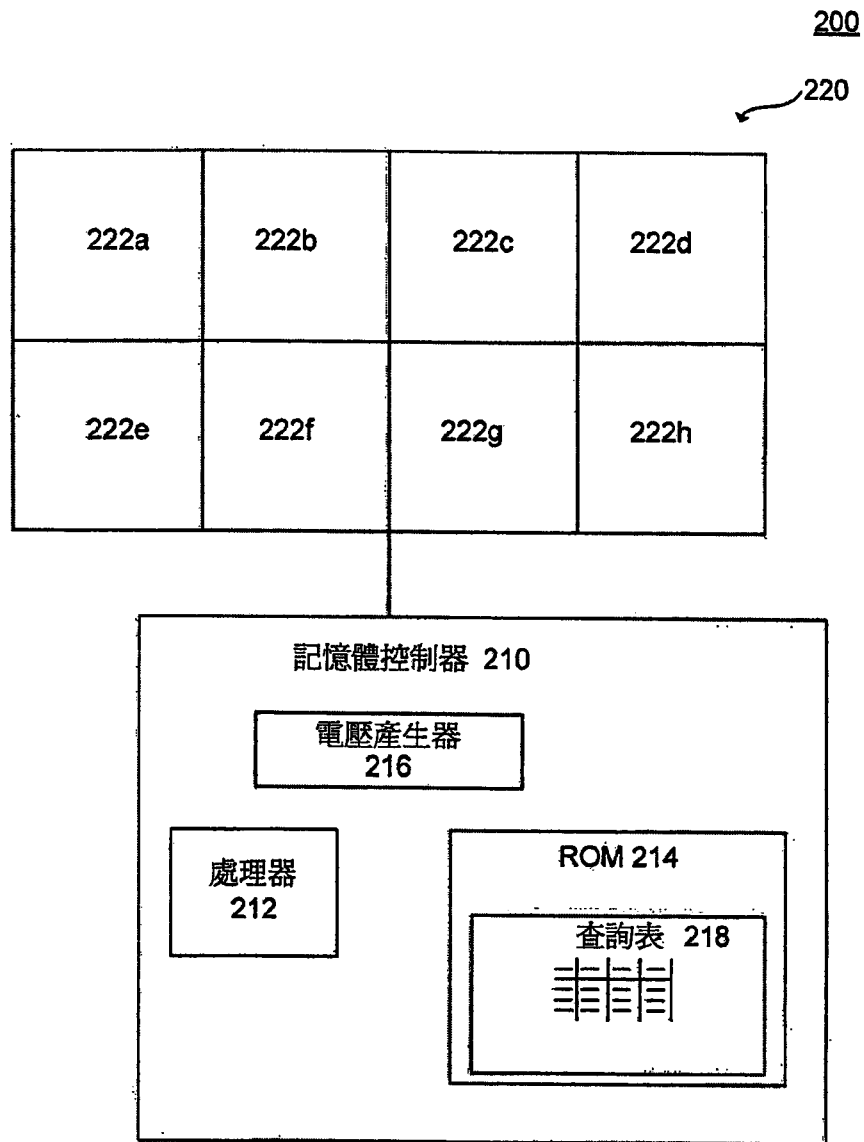
【0048】

100、400、510、520、530、540、600、610	圖示
200	快閃記憶體系統
212	處理器
216	電壓產生器
220	快閃記憶體
300	流程圖
402	測試脈衝
210	記憶體控制器
214	唯讀記憶體
218	查詢表
222、222a-h	區塊
302、304、306	步驟

圖式

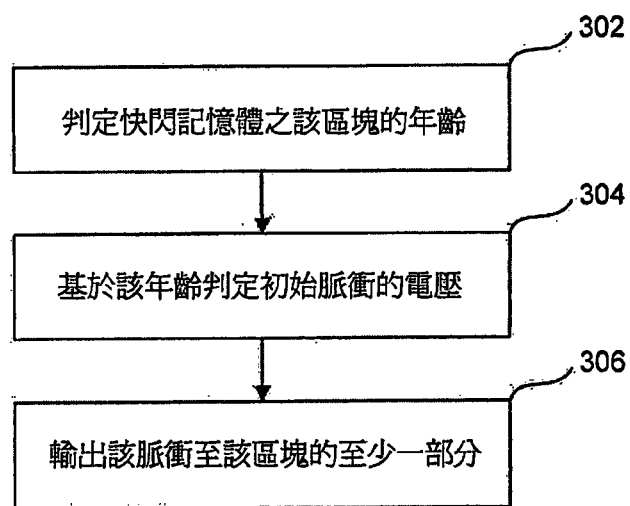


第1圖

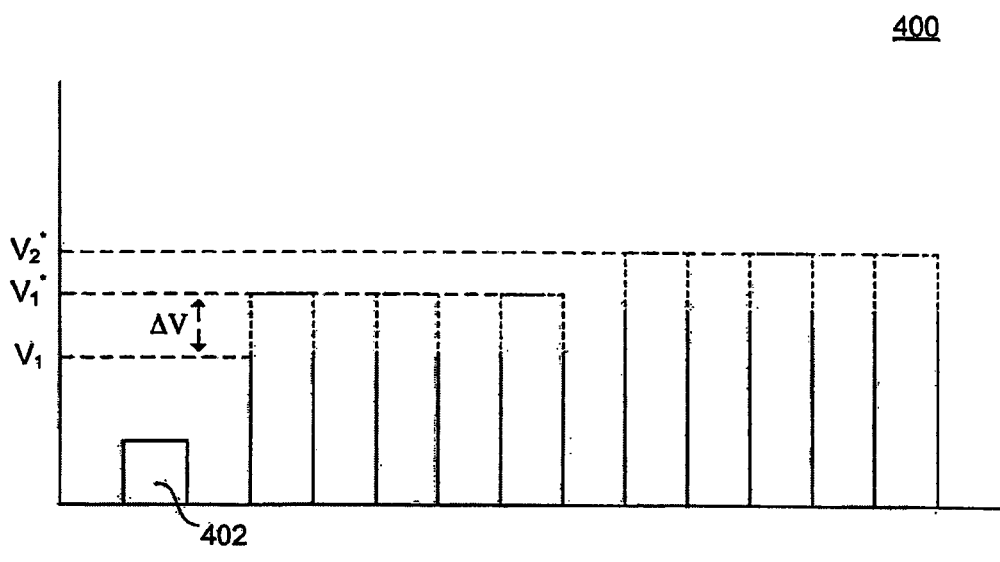


第2圖

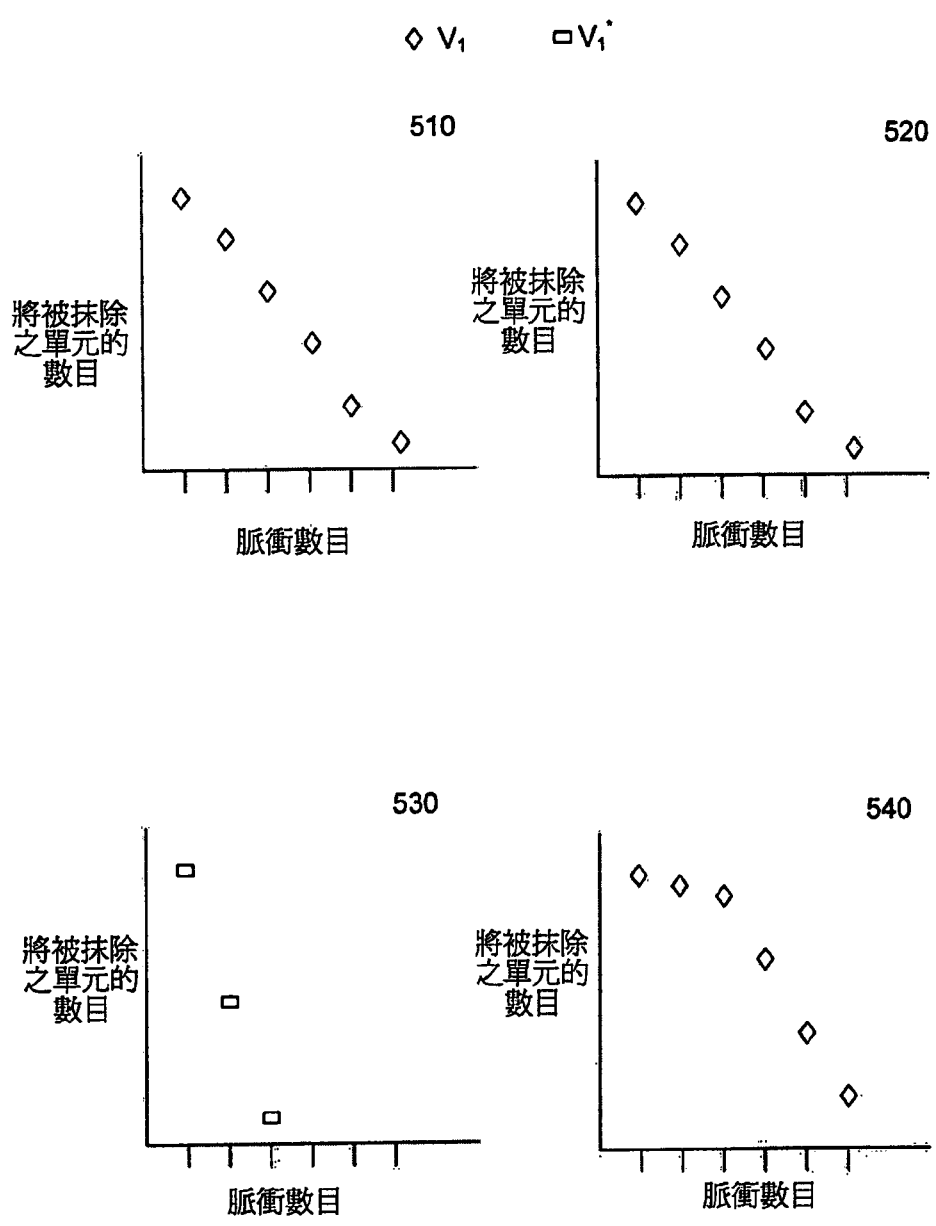
300



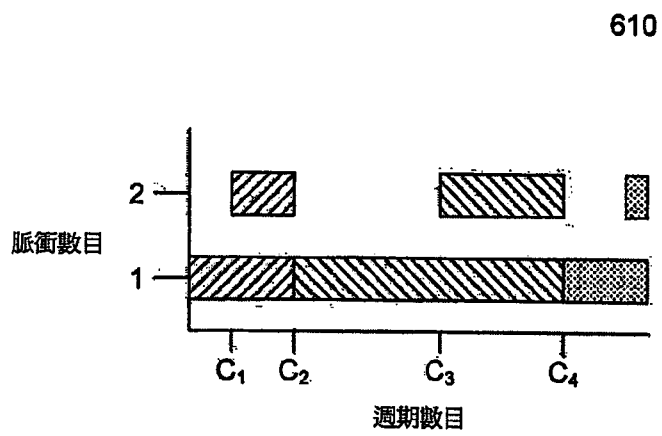
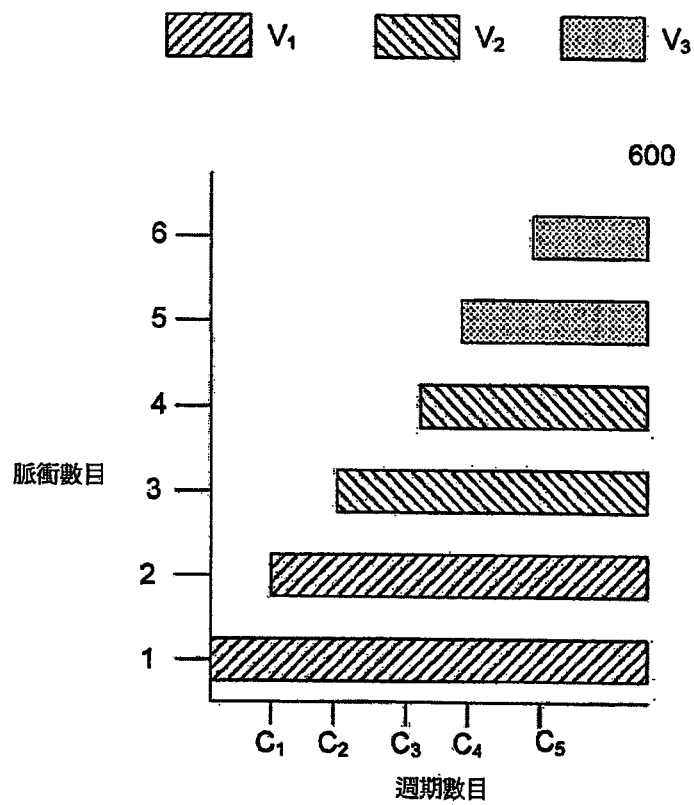
第3圖



第4圖



第5圖



第6圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於適應性地程式化或抹除快閃記憶體區塊的方法、系統和
電腦可讀取媒體

METHODS, SYSTEMS AND COMPUTER READABLE MEDIA
FOR ADAPTIVELY PROGRAMMING OR ERASING FLASH
MEMORY BLOCKS

【技術領域】

【0001】本發明所敘述之實施例一般係關於非揮發性記憶體，例如快閃(flash)記憶體。

【先前技術】

【0002】快閃記憶體不需具備電力來保存儲存於其中之資訊，而因此被認為是「非揮發性的」。據此，快閃記憶體對於包含例如可移動式儲存裝置以及行動運算裝置的許多種類之裝置變得日漸受到歡迎。不像其他非揮發性記憶體其為單次寫入(one-time programmable, OTP)，快閃記憶體能藉由記憶體控制器而被覆寫(overwritten)。典型地，資料係藉由抹除快閃記憶體之內容然後寫入至其為快閃記憶體之一部分(例如，快閃記憶體之「區塊(block)」)而整體代表希望被儲存之資料而儲存在快閃記憶體中。事實上，係施加電壓至快閃記憶體以抹除其內容。該抹除快閃記憶體之區塊以及程式化在該區塊中所選擇之單元(cell)係稱為「程式化/抹除週期(programmable/erase cycle)」或「P/E週期」。

【0003】當快閃記憶體經歷較多 P/E 週期時，某些該快閃記憶體之理想特性將傾向於降低。舉例而言，該快閃記憶體可能無

法不具備電力而將其內容儲存一段無限長的時間。此外，該快閃記憶體之程式化及抹除的特性亦可能降低。特別是，快閃記憶體可能需要更高的電壓以抹除該記憶體之內容。

【發明內容】

【0004】本發明所描述之實施例包含用於可適性程式化或抹除快閃記憶體之區塊的方法、系統、以及電腦可讀取媒體。在實施例中，係提供一種程式化或抹除快閃記憶體之區塊之內容的方法。該方法包括：基於該區塊之年齡判定脈衝之電壓，該脈衝係用於程式化或抹除該區塊；以及輸出該脈衝至該區塊的至少一部份。該脈衝係使用來程式化或抹除該區塊。

【0005】在另一實施例中，係提供一種用於程式化或抹除快閃記憶體之區塊的內容的系統。該系統包括處理器以及與所述處理器溝通之記憶體。該記憶體儲存用於命令所述處理器以基於該區塊之年齡判定脈衝之電壓以及輸出該脈衝至該區塊的至少一部份的複數個處理指令。該脈衝係用於程式化或抹除該區塊。

【0006】在又一實施例中，係提供一種電腦可讀取媒體。該電腦可讀取媒體帶有一個或多個指令之一個或多個序列，用於藉由在一個或多個處理器執行以實施一種程式化或抹除非揮發性記憶體之區塊之內容的方法，當藉由一個或多個處理器執行時，該指令造成該一個或多個處理器基於該區塊之年齡判定脈衝之電壓以及輸出該脈衝至該區塊的至少一部份的複數個處理指令。該脈衝係用於程式化或抹除該區塊。

【0007】伴隨著下列之本發明的實施方式，此些及其他優點與特徵將變得明顯。注意在發明內容及摘要部分中可能闡明由發明人深思熟慮而得的一個或多個、但並非全部之本發明的實施例。

發明摘要

※ 申請案號：102111841

※ 申請日：102/04/02

※IPC 分類：G11C 16/06 (2006.01)

【發明名稱】(中文/英文)

用於適應性地程式化或抹除快閃記憶體區塊的方法、系統和
電腦可讀取媒體

METHODS, SYSTEMS AND COMPUTER READABLE MEDIA
FOR ADAPTIVELY PROGRAMMING OR ERASING FLASH
MEMORY BLOCKS

【中文】

本發明所敘述之實施例一般係關於程式化及抹除快閃記憶體。在實施例中，一種程式化或抹除非揮發性記憶體之區塊之內容的方法包含：基於該區塊之年齡判定脈衝之電壓，該脈衝係用於程式化或抹除該區塊；以及輸出該脈衝至該區塊的至少一部份。該脈衝係使用來程式化或抹除該區塊。

【英文】

Embodiments described herein generally relate to programming and erasing a FLASH memory. In an embodiment, a method of programming or erasing the contents of a block of a FLASH memory includes determining a voltage of a pulse based on an age of the block and outputting the pulse to at least a portion of the block. The pulse is used to program or erase the block.

申請專利範圍

1. 一種程式化或抹除非揮發性記憶體之區塊之內容的方法，其包括：
 - 至少基於被輸出至該非揮發性記憶體之該區塊之測試電壓脈衝之結果，來判定該區塊之年齡；
 - 基於該區塊之該年齡來判定脈衝之電壓；以及
 - 輸出該脈衝至該區塊的至少一部份以程式化或抹除該區塊的該至少一部份。
2. 如申請專利範圍第 1 項所述之方法，其中，判定該區塊之該年齡之步驟包括：
 - 輸出該測試電壓脈衝至該區塊。
3. 如申請專利範圍第 2 項所述之方法，其中，判定該區塊之該年齡之步驟復包括：
 - 將該區塊之單元的低限電壓與複數個預定電壓進行比較。
4. 如申請專利範圍第 3 項所述之方法，其中，判定該區塊之該年齡之步驟復包括：
 - 判定該複數個預定電壓中之何者係小於或等於所有的低限電壓。
5. 如申請專利範圍第 2 項所述之方法，其中，判定該區塊之該年齡之步驟復包括：
 - 判定包含該區塊中具有大於預定低限電壓的低限電壓的單元的數目的總數。
6. 如申請專利範圍第 1 項所述之方法，其中，判定該區塊之該年

齡之步驟包括：

存取特定之複數個單元之內容。

7. 如申請專利範圍第 6 項所述之方法，其中，該特定之複數個單元係包含下列各者中之至少一者：該區塊、該非揮發性記憶體的第二區塊、或位於包括該非揮發性記憶體之複數個區塊之外的複數個區塊。
8. 如申請專利範圍第 6 項所述之方法，其中，該特定之複數個單元儲存該區塊所經歷之程式化及/或抹除週期的次數。
9. 如申請專利範圍第 6 項所述之方法，其中，該特定之複數個單元儲存下列各者中之至少一者：在該區塊之前一個程式化或抹除週期中，抹除或程式化該區塊之至少一部份所需要的時間；在該區塊之前一個程式化或抹除週期中，抹除或程式化該區塊之至少一部份所需要的脈衝總數；在該區塊之前一個程式化或抹除週期中所輸出之第一個程式化或抹除脈衝的電壓；在該區塊之前一個程式化或抹除週期中所輸出之最後一個程式化或抹除脈衝的電壓；或在該區塊之前一個程式化或抹除週期中所輸出之任何程式化或抹除脈衝的電壓。
10. 如申請專利範圍第 6 項所述之方法，其中，該特定之複數個單元儲存在前一個程式化及/或抹除週期中所輸出之最後程式化或抹除脈衝的電壓。
11. 如申請專利範圍第 1 項所述之方法，其中，該輸出之步驟包括：
控制電壓產生器以產生該脈衝。
12. 如申請專利範圍第 1 項所述之方法，其中，該輸出之步驟包括：
輸出複數個脈衝，該複數個脈衝包含該脈衝。

13. 一種程式化或抹除非揮發性記憶體之區塊之內容的系統，其包括：

處理器；以及

記憶體，係與該處理器溝通，該記憶體用於儲存複數個處理指令以命令該處理器進行：

至少基於被輸出至該區塊之測試電壓脈衝之結果，來判定該區塊之年齡；

基於該區塊之該年齡來判定脈衝之電壓；及

輸出該脈衝至該區塊的至少一部份以程式化或抹除該區塊的該部份。

14. 如申請專利範圍第 13 項所述之系統，其中，該系統包括微控制器，該微控制器包含該處理器以及該記憶體。

15. 如申請專利範圍第 13 項所述之系統，其中，該記憶體包括特定之複數個單元。

16. 如申請專利範圍第 13 項所述之系統，其中，該處理器復運作來：

輸出該測試電壓脈衝至該區塊之該至少一部分。

17. 如申請專利範圍第 13 項所述之系統，其中，該處理器復運作來：

將該區塊之單元的低限電壓與複數個預定電壓進行比較。

18. 一種電腦可讀取媒體，具有儲存於其中的一個或多個指令之一個或多個序列，用於由一個或多個處理器執行以實施對非揮發性記憶體之區塊之內容進行程式化或抹除的方法，該方法包括：

至少基於被輸出至該非揮發性記憶體之該區塊之測試電壓脈衝之結果，來判定該區塊之年齡；

基於該區塊之該年齡來判定脈衝之電壓；以及

輸出該脈衝至該區塊的至少一部份以程式化或抹除該區塊的該部份。

19. 如申請專利範圍第 18 項所述之電腦可讀取媒體，該方法復包括：

輸出測試脈衝至該區塊之該至少一部份。

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

200	快閃記憶體系統
210	記憶體控制器
212	處理器
214	唯讀記憶體
216	電壓產生器
218	查詢表
220	快閃記憶體
222、222a-h	區塊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式