

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G01S 1/04

G01S 5/14

G01C 21/26



[12] 发明专利申请公开说明书

[21] 申请号 200510070901.9

[43] 公开日 2005 年 11 月 30 日

[11] 公开号 CN 1702474A

[22] 申请日 2005.5.16

[21] 申请号 200510070901.9

[30] 优先权

[32] 2004.5.17 [33] US [31] 10/847,244

[71] 申请人 旺玖科技股份有限公司

地址 中国台湾

[72] 发明人 黄奕平

[74] 专利代理机构 北京律盟知识产权代理有限公司

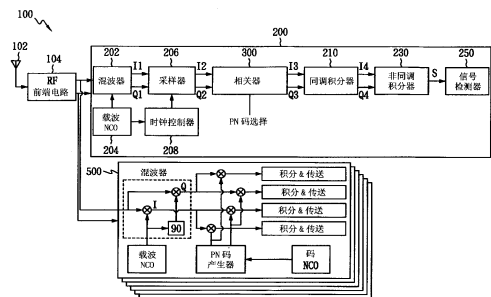
代理人 王允方

权利要求书 6 页 说明书 14 页 附图 15 页

[54] 发明名称 获得扩频信号的装置及方法

[57] 摘要

本发明的扩频信号获得装置包含一个可从所述扩频信号产生一同相位信号及一正交相位信号的混波器、一个连接于所述混波器的采样器、一个连接于所述采样器的相关器、连接于所述相关器的第一及第二同调积分器、一个连接于所述第一及第二同调积分器的非同调积分器和一个连接于所述非同调积分器的信号检测器。所述相关器可产生所述同相位信号与一虚拟乱码的同相位相关值和所述正交相位信号与所述虚拟乱码的正交相位相关值。所述第一和第二同调积分器可分别产生一同相位同调积分值和一非同相位同调积分值，而所述信号检测器根据所述非同调积分器的输出检查所述扩频信号是否存在。



1. 一种扩频信号的获得装置，其特征在于包含：
 - 一个采样器，其用以从所述扩频信号产生复数个样本；
 - 一个序列/并列转换器，其连接于所述采样器，用以将复数个样本组合为一个字；
 - 一个第一存储器，其数据宽度可存储所述字；和
 - 一个相关器，其包含复数个连接于所述第一存储器的部分相关模块，所述部分相关模块可从所述字和一个虚拟乱码片段计算一个部分相关值，其中所述部分相关模块包含：
 - 复数个乘法器和一个加法器，用以计算所述字和所述虚拟乱码片段的内积以产生所述部分相关值；和
 - 一个累加器，其用以累加复数个部分相关值以产生一个完整相关值。
2. 根据权利要求1所述的扩频信号的获得装置，其其特征在于另外包含：
 - 一个同调积分器，其连接于所述相关器，用以累加复数个完整相关值以产生一个同调积分值；
 - 一个非同调积分器，其连接于所述同调积分器，用以累加复数个同调积分值以产生一个非同调积分值；和
 - 一个信号检测器，其连接于所述非同调积分器，用以根据所述非同调积分值检查所述扩频信号是否存在。
3. 根据权利要求2所述的扩频信号的获得装置，其特征在于所述信号检测器包含：
 - 一个第一组寄存器，其用以存储所述非同调积分值的最大峰值和所述最大峰值在所述非同调积分值中的对应偏位；
 - 一个第二组寄存器，其用以存储所述非同调积分值的次大峰值和所述次大峰值在所述非同调积分值中的对应偏位；和
 - 一个比较器，其用以比较所述最大峰值和所述次大峰值间的差值与一

- 个预定阈值，以检查所述扩频信号是否存在。
4. 根据权利要求2所述的扩频信号的获得装置，其特征在于所述非同调积分器包含：
- 一个非同调存储器，其用以存储所述非同调积分值；
 - 一个第一平方元件，其用以平方所述同调积分器输出的同相位信号；
 - 一个第二平方元件，其用以平方所述同调积分器输出的正交相位信号；
 - 一个第三平方元件，其用以平方前一次非同调积分值；
 - 一个加法器，其用以将所述第一平方元件、所述第二平方元件和所述第三平方元件的输出相加以产生一个平方值；和
 - 一个平方根元件，其用以计算所述平方值的平方根以产生所述非同调积分值，并减半存储所述加法器的输出所需的比特数。
5. 根据权利要求4所述的扩频信号的获得装置，其特征在于所述非同调积分器另外包含一个直流偏压移除器，其包含：
- 一个第二存储器，其用以存储所述前一次非同调积分值的最小直流偏压值；
 - 一个减法器，其用以将所述加法器的输出减去存储于所述第二存储器内的最小直流偏压值；和
 - 一个直流偏压检测器，其用以检测所述减法器输出的非同调积分值的最小直流偏压值。
6. 根据权利要求1所述的扩频信号的获得装置，其特征在于所述采样器的采样速率为 K 样本/符片，所述字由 M 个样本构成，且所述相关器包含 M 个部分相关模块。
7. 根据权利要求6所述的扩频信号的获得装置，其特征在于 K 为 $2N$ ， M 为 K 的倍数，且 N 和 M 为正整数。
8. 一种扩频信号的获得装置，其特征在于包含：

一个混波器，其用以从所述扩频信号产生一个同相位信号和一个正交相位信号；

一个采样器，其用以采样所述同相位信号和所述正交相位信号；

一个相关器，其连接于所述采样器，用以从所述同相位信号和一个虚拟乱码产生一个同相位相关值并从所述正交相位信号和所述虚拟乱码产生一个正交相位相关值；

一个第一同调积分器，其连接于所述相关器，用以累加复数个同相位相关值以产生一个同相位同调积分值；

一个第二同调积分器，其连接于所述相关器，用以累加复数个正交相位相关值以产生一个正交相位同调积分值；

一个非同调积分器，其连接于所述第一同调积分器和所述第二同调积分器，用以累加复数个同相位同调积分值和正交相位同调积分值以产生一个非同调积分值；和

一个信号检测器，其连接于所述非同调积分器，用以根据所述非同调积分值检查所述扩频信号是否存在。

9. 根据权利要求8所述的扩频信号的获得装置，其特征在于所述信号检测器包含：

一个第一组寄存器，其用以存储所述非同调积分值的最大峰值和所述最大峰值在所述非同调积分值中的对应偏位；

一个第二组寄存器，其用以存储所述非同调积分值的次大峰值和其在所述次大峰值在所述非同调积分值中的对应偏位；和

一个比较器，其用以比较所述最大峰值和所述次大峰值间的差值与一个预定阈值，以检查所述扩频信号是否存在。

10. 根据权利要求8所述的扩频信号的获得装置，其特征在于所述非同调积分器包含：

一个非同调存储器，其用以存储所述非同调积分值；

- 一个第一平方元件，其用以平方所述同相位同调积分值；
- 一个第二平方元件，其用以平方所述正交相位同调积分值；
- 一个第三平方元件，其用以平方前一次非同调积分值；
- 一个加法器，其用以将所述第一平方元件、所述第二平方元件和所述第三平方元件的输出相加以产生一平方值；和
- 一个平方根元件，其用以计算所述平方值的平方根以产生所述非同调积分值，并减半存储所述加法器的输出所需的比特数。
11. 根据权利要求10所述的扩频信号的获得装置，其特征在于所述非同调积分器另外包含一个直流偏压移除器，其包含：
- 一个存储器，其用以存储所述前一次非同调积分值的最小直流偏压值；
- 一个减法器，其用以将所述加法器的输出减去存储于所述存储器内的最小直流偏压值；和
- 一个直流偏压检测器，其用以检测所述减法器输出的非同调积分值的最小直流偏压值。
12. 根据权利要求8所述的扩频信号的获得装置，其特征在于所述采样器以一K样本/符片的速率采样所述同相位信号和所述正交相位信号，所述相关器包含 $2 \times M$ 个部分相关模块，且M为K的倍数。
13. 根据权利要求12所述的扩频信号的获得装置，其特征在于K为 $2N$ ，并且N为正整数。
14. 一种扩频信号的获得方法，其特征在于包含：
- 从所述扩频信号产生一个同相位信号和一个正交相位信号；
- 将所述同相位信号乘以一个虚拟乱码以产生一个同相位相关值，并将所述正交相位信号乘以所述虚拟乱码以产生一个正交相位相关值；
- 累加复数个同相位相关值以产生一个同相位同调积分值，并累加复数个正交相位相关值以产生一个正交相位同调积分值；

累加复数个复数同相位同调积分值和正交相位同调积分值以产生一个非同调积分值；和

根据所述非同调积分值检查所述扩频信号是否存在。

15. 根据权利要求14所述的扩频信号的获得方法，其特征在于产生所述非同调积分值包含：

平方所述同相位同调积分值以产生一个第一数值；

平方所述正交相位同调积分值以产生一个第二数值；

平方前一次非同调积分值以产生一个第三数值；

将所述第一数值、所述第二数值和所述第三数值相加以产生一个第四数值；和

计算所述第四数值的平方根以产生所述非同调积分值。

16. 根据权利要求15所述的扩频信号的获得方法，其特征在于另外包含：

检测所述非同调积分值的最小直流偏压值；和

将所述非同调积分值减去所述最小直流偏压值。

17. 根据权利要求14所述的扩频信号的获得方法，其特征在于检查所述扩频信号是否存在包含：

检测所述非同调积分值的最大峰值；

检测所述非同调积分值的次大峰值；和

比较所述最大峰值和所述次大峰值间的差值与一个预设阈值，以检查所述扩频信号是否存在。

18. 根据权利要求14所述的扩频信号的获得方法，其特征在于产生所述同相位相关值包含：

以一K样本/符片的速率采样所述同相位信号以产生复数个样本；

将M个样本组合为一个字，其中所述字为K的倍数并为一正整数；

计算所述字与一个虚拟乱码片段的内积以产生一个部分相关值；和

累加复数个部分相关值以产生所述同相位相关值。

-
19. 根据权利要求18所述的扩频信号的获得方法, 其特征在于 K 为 $2N$, 且 N 为正整数。
20. 根据权利要求18所述的扩频信号的获得方法, 其特征在于计算所述字与所述虚拟乱码片段的内积包含下列步骤:
- 计算所述字的各样本与所述虚拟乱码片段的一个对应符片的乘积; 和将所述字和所述虚拟乱码片段的 M 个乘积相加以产生所述内积。

获得扩频信号的装置及方法

技术领域

本发明涉及一种扩频信号的获得装置和获得方法，特别涉及一种可实时获得微弱扩频信号的装置和方法。

背景技术

全球定位系统(global positioning system, GPS)是由卫星建构的导航定位网络，其具有24颗环绕地球上空11,000英里的卫星，这24颗卫星分布在6个轨道上且环绕地球飞行。每颗卫星以12小时的周期环绕地球，并发出专属的虚拟乱码(pseudo-random, PN)。通过在相同频谱中使用不同的虚拟乱码序列，卫星彼此之间可共享带宽而不会干扰彼此的信号。应用于GPS的虚拟乱码具有1023个符片(chip)且其周期为1毫秒。

GPS接收器使用不同的虚拟乱码序列来搜索一个符合的扩频信号。如果找到一个符合的扩频信号，则所述接收器即可识别发出所述扩频信号的卫星。大部分传统的GPS接收器都采用序列相关器来获得、追踪及解调卫星发出的扩频信号。一般用途的扩频信号的数据速率为50比特/秒、并以二进制相移键控(BPSK)编码而具有1.023百万符片/秒，且调制于一频率1575.42百万赫兹的载波上。

如果要通过一个GPS信号来测量位置，那么接收器必须先分辨未知的载波频率和扩频信号的码相位不确定性。未知的载波频率源自于卫星与接收器的相对移动所产生的都卜勒频率变动，和接收器与卫星的计时频率的差异。码相位不确定性则源自于接收器与卫星的计时频率间的差异。

传统接收器是以试误法搜索隐藏于环境噪音中的扩频信号。试误法利用本身的相关器产生一假定的载波频率及相位的复制虚拟乱码，并对比接收的虚拟乱码与自身产生的复制虚拟乱码在一周期内的相关性。之后，将具有

1023个符片的复制虚拟乱码每次移动半个符片，再与接收信号对比，直到找到符合的接收信号。当找出符合的复制虚拟乱码后，所述相关器的输出即为一个强信号。如果在整个1023个符片之中都找不到符合的复制虚拟乱码，则改变载波的频率及相位后再进行对比，直到找出符合的复制虚拟乱码。由于虚拟乱码的周期为1毫秒且具有1023个可能相位，因此搜索单一载波频率的所有相位总共需要1.023秒。一般用途的GPS接收器搜索一视觉上可见的卫星总共需要尝试36个载波频率。由此可知，即使对一个采用多信道设计的GPS接收器而言，信号检测也是一个非常耗时的步骤，特别是在微弱信噪比的环境中。

为了检测GPS信号，必须对每一个频率及相位的组合进行超过1毫秒的相关程序。当相关间隔增加一因子 N ，则频率的变动大小必须减少为 $1/N$ ，这样将导致整体的搜索时间增加 N^2 。因此，当使用数毫秒的相关程序来检测一个微弱的GPS信号时，信号的搜索时间将由于耗时太长而不切实际。

近来，GPS在手机操作E-119紧急电话的应用已经逐渐显现。此项应用要求GPS接收器必须可以在恶劣的环境中操作，例如在室内以数秒时间快速地实现信号检测。然而，要检测这样微弱的信号需要进行较长的相关程序。一般用途的GPS接收器必须进行超过10毫秒的相关程序才可锁定这样微弱的信号。然而，使用10毫秒的相关程序来检测信号将延长整体搜索时间100倍，导致无法实际应用于一般用途的接收器上。

由于50比特/秒的导航数据是调制于GPS信号上，因此超过10毫秒的相关程序将导致性能严重地降低。然而，要在室内检测GPS信号，必须延长GPS信号的搜索时间才可检测约-150dBm的微弱信号。单一序列相关器需要花费约460秒来搜索单一频率的所有相位。即使采用16-信道64-相关器(16-channel 64-correlator)设计的接收器，对这类微弱信号的整体获得时间将因耗时太长而无任何实际的应用。

GPS信号的整体搜索时间与所使用的相关器数目成反比。因此，设计人

员利用高时钟电路的时间共享技术来虚拟地建构更多的相关器，而无需实际增加相关器的硬件电路。1999年4月27日核准的美国专利5,897,605号揭示一种可快速获得扩频信号的接收器，其使用一个时间共享电路来实现240个相关器，具有比传统12-信道48个相关器快5倍的优点。然而，这样的获得速率仍无法在可接受的时间内检测GPS信号。

另外，2003年8月12日核准的美国专利6,606,346号揭示一种高速相关GPS信号的方法，其实现了在合理时限内检测GPS信号的高感度接收器。只是，此项设计需要100百万赫兹或更高的工作时钟，才可在1毫秒的虚拟乱码周期内完成分隔半个符片的完整2046点样本(sample)的相关结果。高时钟意味着需要消耗更多的功率，因而不适用于以电池供应电源的可携式装置。

因此，低操作功率的可携式装置需要一种可显著地加速信号获得速度、实现高感度且操作于一低时钟的硬件结构。

发明内容

本发明的主要目的在于提供一种可实时获得微弱扩频信号的装置和方法。

为实现上述目的，本发明揭示一种扩频信号的获得装置，其包含一个可从所述扩频信号产生一同相位信号及一正交相位信号的混波器、一个连接于所述混波器的采样器、一个连接于所述采样器的相关器、一个连接于所述相关器的第一同调积分器、一个连接于所述相关器的第二同调积分器、一个连接于所述第一同调积分器及第二同调积分器的非同调积分器以及一个连接于所述非同调积分器的信号检测器。

所述采样器分别从所述同相位信号及所述正交相位信号产生复数个样本。所述相关器产生所述同相位信号的样本与一个虚拟乱码的同相位相关值和所述正交相位信号的样本与所述虚拟乱码的正交相位相关值。所述第一同调积分器将复数个同相位相关值相加以产生一个同相位同调积分值，而所述第二同调积分器则将复数个正交相位相关值相加以产生一个正交相位同调

积分值。所述非同调积分器将复数个同相位相关值与正交相位相关值相加以产生一个非同调积分值，而所述信号检测器根据所述非同调积分值检查所述扩频信号是否存在。

本发明的扩频信号获得方法首先从所述扩频信号产生一同相位信号及一正交相位信号。之后，将所述同相位信号乘以一个虚拟乱码以产生一个同相位相关值，并将所述正交相位信号乘以所述虚拟乱码以产生一个正交相位相关值。接着将复数个同相位相关值相加以产生一个同相位同调积分值且将复数个正交相位相关值相加以产生一个正交相位同调积分值。然后将复数个同相位同调积分值与正交相位同调积分值相加以产生一个非同调积分值，并根据所述非同调积分值检查所述扩频信号是否存在。

附图说明

- 图1为一使用本发明的全球定位系统接收器的功能结构图；
- 图2显示一个同调积分技术如何改善信号/噪音比；
- 图3显示一个以匹配滤波器型式直接实现的相关器；
- 图4例示本发明第一实施例的相关器的结构；
- 图5例示本发明的部分相关模块的结构；
- 图6显示一虚拟乱码检索表只读存储器的内部配置；
- 图7显示一个随机存取存储器的记忆内容的更迭情形；
- 图8(a)和图8(b)显示本发明如何利用部分相关模块计算相关值；
- 图9例示本发明第二实施例的相关器的结构；
- 图10例示本发明第三实施例的相关器的结构；
- 图11例示本发明第四实施例的相关器的结构；
- 图12例示本发明的同调积分器和非同调积分器的结构；
- 图13例示本发明的信号检测器的结构；和
- 图14为本发明的全球定位系统接收器的整体运作流程图。

具体实施方式

GPS接收器的定位程序涉及二维检索，也即找出正在接收的虚拟乱码的正确相位及信号载波的频率偏移。GPS接收器是通过检查接收信号与自身产生的虚拟乱码(间隔半个符片)在1毫秒内的相关值，用以确认每个可能的载波频率及每个可能的相位。如果相关值大于一个预定阈值，则表示已检测到信号，且信号与虚拟乱码间的偏移间隔即对应GPS信号的传递时间。如果相关值小于所述预定阈值，则表示未检测到信号，因而必须尝试另一个载波频率及相位的组合。本发明将在下文的GPS应用上详细加以叙述，所属领域技术人员应了解本发明也可应用于其它通讯产品上，而不局限于GPS的应用上。

图1为一使用本发明的GPS接收器100的功能结构图。如图1所示，所述接收器100包含一个用以接收GPS信号的天线102、一个RF前端电路104、一个用以获得GPS信号的获得装置200和复数个用以追踪GPS信号的追踪模块500。所述RF前端电路104是用以滤波、放大并将GPS信号降频为一个中频信号(IF)。所述RF前端电路104的输出分辨率可为1比特/样本到4比特/样本。下文的叙述主要以1比特/样本作为实施例。

所述获得装置200包含一个连接于所述RF前端电路104的混波器202、一个连接于所述混波器202的采样器206、一个连接于所述采样器206的相关器300、一个连接于所述相关器300的同调积分器210、一个连接于所述同调积分器210的非同调积分器230和一个连接于所述非同调积分器230的信号检测器250。

所述混波器202以一数值控制振荡器(numerically controlled oscillator, NCO) 204驱动而产生一个基带信号。所述基带信号由一同相位信号I1及一正交相位信号Q1构成，其中I1和Q1的数据速率分别为8样本/符片。如果适当地设定所述数值控制振荡器204的频率，即可消除GPS信号在所述RF前端电路104降频后的频率偏移误差、参考计时器的频率误差和源自于卫星与接收器间的相对移动所产生的都卜勒频率偏移。在此情况下，频率的不确定性即可视为已经消除。

所述数值控制振荡器204通过一时钟控制器208驱动所述采样器206产生一同相位信号I2及一正交相位信号Q2，且I2和Q2的数据速率小于I1和Q1。例如，I1和Q1的数据速率为8样本/符片，而I2和Q2的数据速率可为2或4样本/符片。此外，所述采样器206也可补偿都卜勒频率偏移。

所述相关器300执行I2和Q2与一选取PN码的高速相关以产生一同相位信号I3和一正交相位信号Q3，其中I3和Q3代表在每一毫秒的PN码周期内完整的2046点(对4样本/符片的数据速率而言则为4092点)的相关结果。由于GPS的虚拟乱码的周期为1毫秒，因此从所述相关器300连续地输出的1毫秒帧的相关结果将具有相似的特性。如果搜集复数个1毫秒帧，并在相同的偏位(offset)下将其相加即可增加信噪比，如图2所示。将四个帧1101、112、113和114相加以产生一同调积分帧115。明显地，所述同调积分帧115具有一优选的信噪比，有助于增加检测微弱GPS信号的成功机会。此一程序称为同调积分，由所述同调积分器210执行。所述同调积分器210将一预定数目的1毫秒帧相加以产生具有2046点数据的同相位帧I4或正交相位帧Q4。

所述同调积分器210在处理GPS信号的期间受限于GPS数据调制、信号因都卜勒效应而引起的载波偏移和参考频率的稳定性。对GPS信号上的50比特/秒并以BPSK调制的数据而言，连续的虚拟乱码帧在超过20毫秒时即改变记号。对信号调制的未知数据比特而言，所述同调积分的持续时间限制于20毫秒内。一般而言，同调积分的持续期间少于10毫秒，而10毫秒的同调积分可提供10分贝(dB)的信号处理增益。

为进一步增加信号处理增益以便于检测微弱信号，所述非同调积分器230平方所述同调积分器210输出的I4及Q4，并将其相加，其可移除载波偏移的旋转效应和I4及Q4的50比特/秒调制，而容许进行较长时间的积分以增加接收器的感度。因此，非同调积分的执行时间可持续数秒钟。所述非同调积分器230每次进行一个预定数目的同调积分帧(I4和Q4)的非同调积分以产生一个具有2046点数据的非同积分帧。

所述非同调积分器230的输出被传送到所述信号检测器250以检查GPS信号是否存在。如果在同调和非同调积分处理一预定时间后仍无法检测到信号,则尝试另一不同的NCO频率。如果检测到信号,所述PN码的相位数据可由非同调积分帧的相关信号峰的位置决定。之后,所述PN码的相位数据和频率偏位数据传送到一个未使用的追踪模块500,其实质上等同于传统接收器内使用的追踪模块。在闭合回路模式下,所述追踪模块500的载波追踪回路和码追踪回路将追踪由所述获得装置200检测到的微弱GPS信号。搜索程序对所有可视的卫星一直重复执行,直到所述追踪模块500至少追踪到4个卫星后,才可进行GPS测量。

对一个特定的接收器结构而言,通过N-毫秒的同调积分来增加感度将导致整体搜索速率降低 $1/N^2$,而10毫秒的同调积分将导致搜索时间降低100倍,而降低至此的性能是无法适用于传统的GPS接收器。本发明揭示一种较不复杂并具有低实现成本的快速搜索器,其即便使用10毫秒的同调积分和更长时间的非同调积分,所需的整体处理时间仍在合理范围内。

图3显示一个以匹配滤波器型式直接实现的相关器400,其分辨度为 $1/2$ 符片(或 $1/2$ 符片延迟)。所述相关器400总共具有2046个寄存器,用以容纳所述采样器206输出的2046个分隔 $1/2$ 符片的样本。每个样本都移入所述2046-寄存器的延迟线,通过向量乘法计算输入样本与PN码(读取自一个PN码检索表只读存储器)的相关并将其相加。在 $2.046E6$ 样本/秒的数据速率下,每一毫秒可产生一个具有2046点分隔 $1/2$ 符片的相关结果(即分别产生I3和Q3)。传统采用12信道48序列相关器的设计可以每一毫秒产生24个分隔 $1/2$ 符片的相关点。由此可知,匹配滤波器型式的相关器400的相关速度比传统12信道48序列相关器快85倍。图3下方的方程式即显示I信道输出的17点数据通过在延迟线上移位而计算相关结果。然而,此一直觉式实现的相关器400的延迟线需要非常多的正反器和非常大量的乘法及加法电路。

图4例示本发明第一实施例的相关器300的结构。如图4所示,所述相关

器300包含连接于所述采样器206的序列/并列转换器302A和302B、连接于所述序列/并列转换器302A和302B的随机存取存储器304A和304B、16个连接于所述随机存取存储器304A和304B的部分相关模块330A和330B以及一个用以存储PN码的PN码检索表只读存储器306。所述序列/并列转换器302A和302B可将所述采样器206产生的复数个样本转换成一个字，所述随机存取存储器304A和304B的数据宽度可存储所述字，而所述部分相关模块330A和330B用以计算所述字与一PN码片段的部分相关值。如果所述采样器206的采样速率为K样本/符片，所述字由M个样本构成，所述相关器300包含M个部分相关模块330A，其中K为 $2N$ ，M为K的倍数，且N和M为正整数。具体而言，所述相关器300的部分相关模块330A和330B总共有 $2 \times M$ 个(此处 $M=16$)，其中16个部分相关模块330A用以计算I信道的部分相关值，而另外16个部分相关模块330B则用以计算Q信道的部分相关值。

自所述采样器206输出的 I_2 和 Q_2 ($2.046E6$ 样本/秒， $2F_0$)是由所述序列/并列转换器302A和302B组合为16-比特的字，所述字的数据速率为 $F_0/8$ (或每8个符片间隔即输出一个字)。所述16-比特的字写入存储空间为 $128 \text{字} \times 16$ 比特的随机存取存储器304A和304B(或一个 $128 \text{字} \times 32$ 比特的随机存取存储器)，其功能为执行如图3所示的延迟线的工作。一地址产生单元308可产生所述随机存取存储器304A和304B与所述PN码检索表只读存储器306的地址指针。就一运作时钟频率为 16.368 百万赫兹($16F_0$)的系统而言，在所述序列/并列转换器302A和302B输出的两个字之间共有128个时钟(clock)。在每一个16-比特的字从所述序列/并列转换器302A传送到所述随机存取存储器304A之间，16个部分相关模块330A使用128个时钟计算16点分隔 $1/2$ 符片的部分相关值。由此可知，部分相关模块330A计算后输出数据的速率匹配于输入数据的速率，且I信道和Q信道实时地在1毫秒内分别产生全部2046点的相关结果。

图5例示本发明的部分相关模块330A的结构。如图5所示，所述部分相关模块330A包含一个相关单元340、一个累加器346和一个门锁348。所述相关

单元340实质上包含16个乘法器342和一个连接于所述乘法器342的加法器344。各加法器342计算所述16-比特的字内含的一个样本与所述PN码片段的一个对应符片的乘积，而所述加法器344则将所述16个加法器342计算的16个乘积相加以产生一个部分相关值。所述累加器346实质上连接于所述加法器344，且累加由所述加法器344输出的128个连续的部分相关值以产生一个完整相关值。所述门锁348随后将最终的完整相关值传送到所述同调积分器210，且为所述同调积分器210保存所述完整相关值。

下文将描述如何在128个时钟中完成I信道的16点分隔1/2符片(或8个符片)的部分相关值。所述PN码检索表只读存储器306的内容显示于图6。虽然未显示于图6中，广域增强系统(Wide Area Augmentation System, WAAS)和欧洲同步卫星导航覆盖服务(European Geostationary Navigation Overlay System, EGNOS)等系统的PN码也可添加于所述PN码检索表只读存储器306中。所述随机存取存储器304A的更迭情形显示于图7。

所述随机存取存储器304A的内容以1字/秒的速率依序读出并传送到门锁312A，且同时将原本门锁312A内的数据移入门锁314A。所述PN码检索表只读存储器306内的PN码数据也依时钟读出，一次读出8符片/字。所述16个部分相关模块330A计算所述16点样本的相关结果。所述16个部分相关模块330A每一个时钟即计算所述16点样本(来自第一寄存器320A和第二寄存器322A)与16个符片(由所述PN码检索表只读存储器306读出的8个符片加倍展开而得)的内积。简单而言，先计算所述字的各样本与所述虚拟乱码片段的一个对应符片的乘积(共有16个乘积)后，再将所述字和所述虚拟乱码片段的16个乘积相加即可获得所述16点样本与所述16个符片的内积。

图8(a)和图8(b)显示本发明如何利用所述部分相关模块330A计算相关值。由第一寄存器320A和第二寄存器322A提供的总共32点样本与所述PN码检索表只读存储器306的输出可计算得到每一个部分相关值。由所述16个部分相关模块330A计算在128到225时钟的部分相关值也显示于图中。在第128个

时钟(即 $t=255$)时,所述部分相关模块330A所累加的16个相关结果几乎与图3底部所显示的结果相同,两者的差异仅在于最终的2个额外1/2符片。而这些微差异是可以忽略的。由此可知,此一优选实施例的运作时钟频率仅为16.368百万赫兹,却可获得高度相似的相关结果。

请参考图4,在计算前128个部分相关值时,第一寄存器320A存储的数据取自所述门锁316A,而门锁316A保存前一次计算的相关值。在计算其它部分相关值(即前128个部分相关值以外)时,第一寄存器320A存储的数据取自所述门锁314A。在计算最后的128个部分相关值时,第二寄存器322A存储的数据取自所述门锁318A,而所述门锁318A保存前一次存入所述随机存取存储器304A的16-比特的字。在下一个时钟,所述随机存取存储器304A和所述门锁318A两者的内容都以新组成的16-比特的字更新。在计算其它部分相关值(即最后的128个部分相关值以外)时,第二寄存器322A存储的数据取自所述门锁312A。与图3所示的匹配滤波器型式的相关器400相比,本发明的相关器300所需的闸数目较少,且面积使用率较高。

图9例示本发明第二实施例的相关器300。为了进一步降低闸数目,所述相关器300的运作时钟频率可提升到65.472百万赫兹($64F_0$),如图9所示。所述随机存取存储器304A和304B的存储容量变更为256字 \times 8比特,且所述相关器300使用8个部分相关模块330A来计算部分相关值。所述采样器206输出的I2和Q2的数据速率为2.046样本/秒($2F_0$)且1比特/样本,而所述序列/并列转换器302A和302B将I2和Q2组合为8-比特的字,所述字的数据速率为 $F_0/4$ (即每4个符片间隔输出一个字)。所述8-比特的字随后存入256字 \times 8比特的所述随机存取存储器304A。所述相关器300的运作时钟频率为 $64F_0$,每两个从所述序列/并列转换器302A输出的8-比特的字间将有256个时钟。在每一个8-比特的字从所述序列/并列转换器302A传送到所述随机存取存储器304A时,此一优选实施例在256个时钟内使用8个部分相关模块330A计算8点分隔1/2符片的相关结果。

图10例示本发明第三实施例的相关器300的结构。如图10所示,所述相关器300的运作时钟频率为261.888百万赫兹($256F_0$),所述随机存取存储器304A和304B的存储容量变更为512字 \times 4比特,且所述相关器300使用4个部分相关模块330A来计算部分相关值。所述采样器206输出的I2和Q2的数据速率为2.046样本/秒($2F_0$)且1比特/样本,而所述序列/并列转换器302A和302B将I2和Q2组合成4-比特的字,所述字的数据速率为 $F_0/2$ (即每2个符片间隔输出一个字)。所述4-比特的字随后存入512字 \times 4比特的所述随机存取存储器304A。所述相关器300的运作时钟频率为 $256F_0$,每两个从所述序列/并列转换器302A输出的4-比特的字间将有512个时钟。在每一个个4-比特的字从所述序列/并列转换器302A传送到所述随机存取存储器304A,此一优选实施例在512个时钟内使用4个部分相关模块330A计算4点分隔 $1/2$ 符片的相关结果。很明显,提升运作时钟频率4倍(或16倍),所需的部分相关模块330A数目和其所需的数据输入宽度两者都可减少为 $1/2$ (或 $1/4$)。整体看来,通过提升相关器330的运作时钟频率4倍(或16倍),所述部分相关模块330A所需的闸数目可减少50%(或75%)以上。

图11例示本发明第四实施例的相关器300的结构,其可处理分隔 $1/4$ 符片的样本(或每一符片间隔有4个样本)。前述实施例的操作都用以处理分隔 $1/2$ 符片的样本。在此一实施例中,图1的获得装置200的采样器206从I1和Q1产生分隔 $1/4$ 符片的样本(即每一符片间隔产生4个样本)。除了将平行处理的数据路径的宽度和部分相关模块330A和330B的数目扩展二倍之外,在所述获得装置200内的元件的功能大致与上文所述相同。所述获得装置200内其它的信号处理元件需要增加1比特以容纳倍增的相关结果,因为每一帧的样本已由2046点倍增为4096点。同调积分和非同调积分所需的随机存取存储器的容量为4096个字。所述获得装置200仍可运作于相当低的时钟频率,16.368百万赫兹。前述通过提升相关器300的运作时钟频率4倍(或16倍)以降低部分相关模块50%(或75%)以上所需的闸数目的技术仍可适用于此一实施例。

图12例示本发明的同调积分器210和非同调积分器230的结构,用以处理分隔1/2符片的样本。所述同调积分器210包含一个地址产生单元212和两个同调积分随机存取存储器214A和214B,其数据宽度仅需要容纳1到10毫秒的同调积分和2046个字的容量以容纳2046个分隔1/2符片的同调相加的相关结果。所述非同调积分器230包含一个非同调积分随机存取存储器240、一个用以平方所述同调积分器随机存取存储器214A的输出I4的第一平方元件232、一个用以平方所述同调积分器随机存取存储器214B的输出Q4的第二平方元件234、一个用以平方所述非同调积分器随机存取存储器240内存储的前一次非同调积分值的第三平方元件236、一个加法器231和一个平方根元件238。所述加法器231用以将所述第一平方元件232、所述第二平方元件234和所述第三平方元件236的输出相加,而所述平方根元件238则用以降低所述非同调积分随机存取存储器240用以存储所述非同调积分(I₂+Q₂)值所需的比特数。所述平方根元件238先将所述加法器231的输出取平方根后再存入所述非同调积分随机存取存储器240,而取自所述非同调积分随机存取存储器240的数据先由所述第三平方元件236取平方后再加入由第一平方元件232和第二平方元件234计算的新的非同调积分值。所述地址产生器212可产生所述非同调积分随机存取存储器240、所述同调积分随机存取存储器214A和214B的地址指针。

图13例示本发明的信号检测器250的结构。如图13所示,所述信号检测器250包含一个第一组寄存器252、一个第二组寄存器254、一个比较器256和一个阈值寄存器258。所述第一组寄存器252用以存储一个最大峰值和其在所述非同调积分中的对应偏位,而所述第二组寄存器254用以存储一次大峰值和其在所述非同调积分中的对应偏位。所述阈值寄存器258存储一个预定阈值,而比较器256用以检查所述最大峰值与所述次大峰值的差值是否大于所述预定阈值。检测非常微弱GPS信号需要进行长时间的非同调积分,导致输出的非同调相关结果内含相当程度的直流电平,而所述直流电平与所进行

的非同调积分时间相关。由于难以决定所有可能输入信号电平的绝对阈值和同调积分时间与非同调积时间的组合，因此需要一种更简易的信号检测方法。本发明通过非同调积分的最大峰值与次大峰值的差值来判定信号是否存在。所述比较器256比较所述差值与所述预定阈值以检查是否检测到一个扩频信号，并根据此输出一个信号检测指示。如果所述差值大于所述预定阈值，则指示已经检测到信号，否则即指示未检测到信号。如果设定一较大的阈值，则可获得较高可信度的检测信号指示。

请参考图12，所述非同调积分器230另外包含一个直流偏压移除器242，其实质上包含一个闩锁244、一个减法器246、一个直流偏压检测器248。所述闩锁242存储前一次非同调积分的最小直流偏压，所述减法器246将所述加法器231的输出减去所述闩锁244存储的最小直流偏压，而所述直流偏压检测器248则可检测从所述减法器246输出的目前非同调积分的最小直流偏压。如果在信号检测后不需预估信噪比，移除非同调积分结果的最小直流偏压有助于延长可实施非同调积分的时间。在进行第一次非同调积分的迭代时，所述闩锁244的存储值设定为0，且所述直流偏压检测器248暂存2046点非同调积分的最小值。在非同调积分程序的末端，所述直流偏压检测器248存储的直流偏压值将传送到所述闩锁244。在进行下一次非同调积分的迭代过程中，所述加法器231的输出将减去所述闩锁244存储的最小直流偏压值以移除前一次非同调积分的迭代所产生的直流偏压。由此，使用2046个字存储器可实现较长的非同调积分时间。

图14为本发明的全球定位系统接收器100的整体运作流程图，其中所述获得装置200进行虚线内的所有操作，而虚线外的操作则可由一个中央处理器执行的软体进行。在一般户外情况下，所述GPS接收器100在所述追踪模块500追踪到扩频信号时即可解调在所述扩频信号上的数据。在搜集星历表(ephemeris)数据且已知起点周时(time-of-week)数据后，所述接收器100的位置可经由测量至少四个卫星的位置来计算。户外操作并不需要高感度，

但所述GPS接收器100仍具有非常高的信号检测速度的优点。对一个微弱信号环境而言，所述追踪模块500无法再正确地解调数据比特，所述接收器100操作于一个协同模式。在协同模式下，星历数据和起点周时数据是由外部提供，例如由具有GPS-E911功能的手机内的无线调制解调器提供。

简而言之，本发明的扩频信号获得方法首先从所述扩频信号产生一同相位信号和一正交相位信号。所述同相位信号和正交相位信号的采样速率为2样本/符片，即2046样本/毫秒。分别将2046个样本的同相位信号和正交相位信号组合为128个16比特的字，并存储于一个随机存取存储器中。所述同相位信号的16比特的字随后乘以一个虚拟乱码片段以产生一个同相位相关值，所述正交相位信号也进行相同处理以产生一个正交相位相关值。之后，累加复数个同相位相关值以产生一个同相位同调积分值，并累加复数个正交相位相关值以产生一个正交相位同调积分值。接着，累加复数个同相位同调积分值和正交相位同调积分值以产生一个非同调积分值，并根据所述非同调积分值检查所述扩频信号是否存在。

与以匹配滤波器型式直接实现的相关器400相比，本发明的相关器300所需的闸数目较少。此外，同调积分、非同调积分和信号检测排程的整合可提供在非常微弱信噪比环境下操作所需的信号处理。

本发明的技术内容和技术特点已在上文中得以揭示，然而所属领域技术人员仍可能基于本发明的教示和揭示而作种种不背离本发明精神的替换和修正。因此，本发明的保护范围应不限于实施例所揭示内容，而应包括各种不背离本发明的替换和修正，并为前述权利要求书所涵盖。

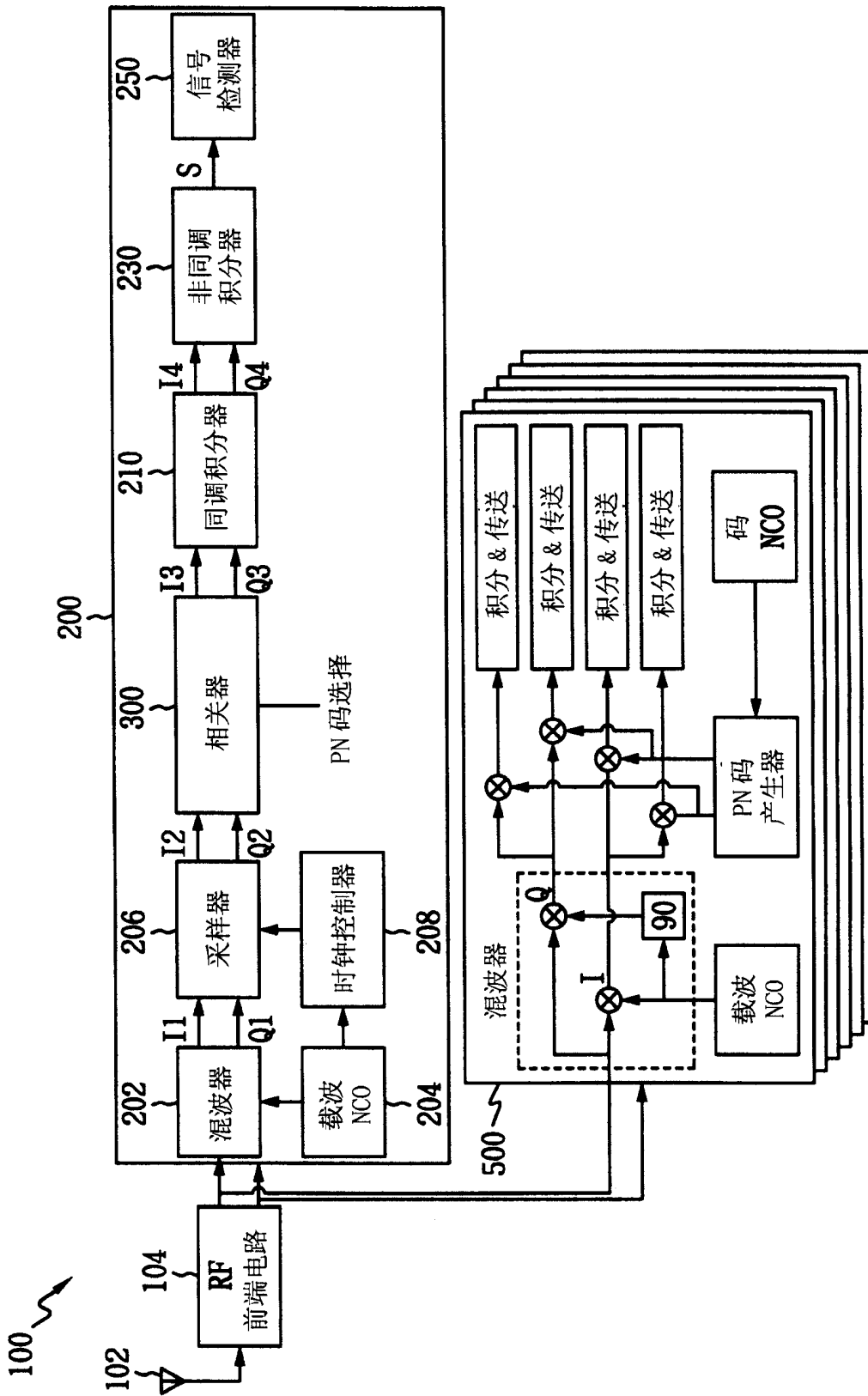


图1

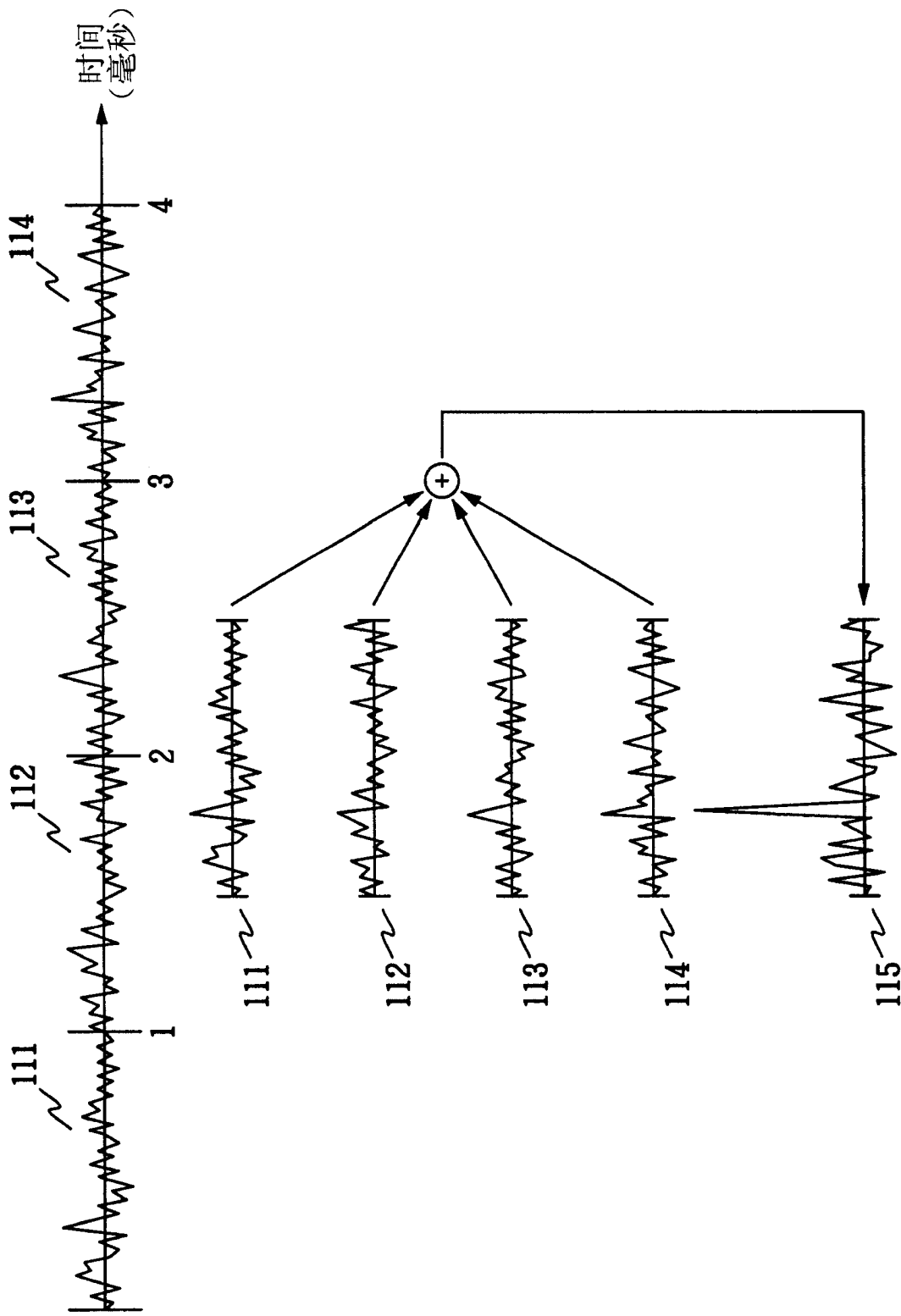


图 2

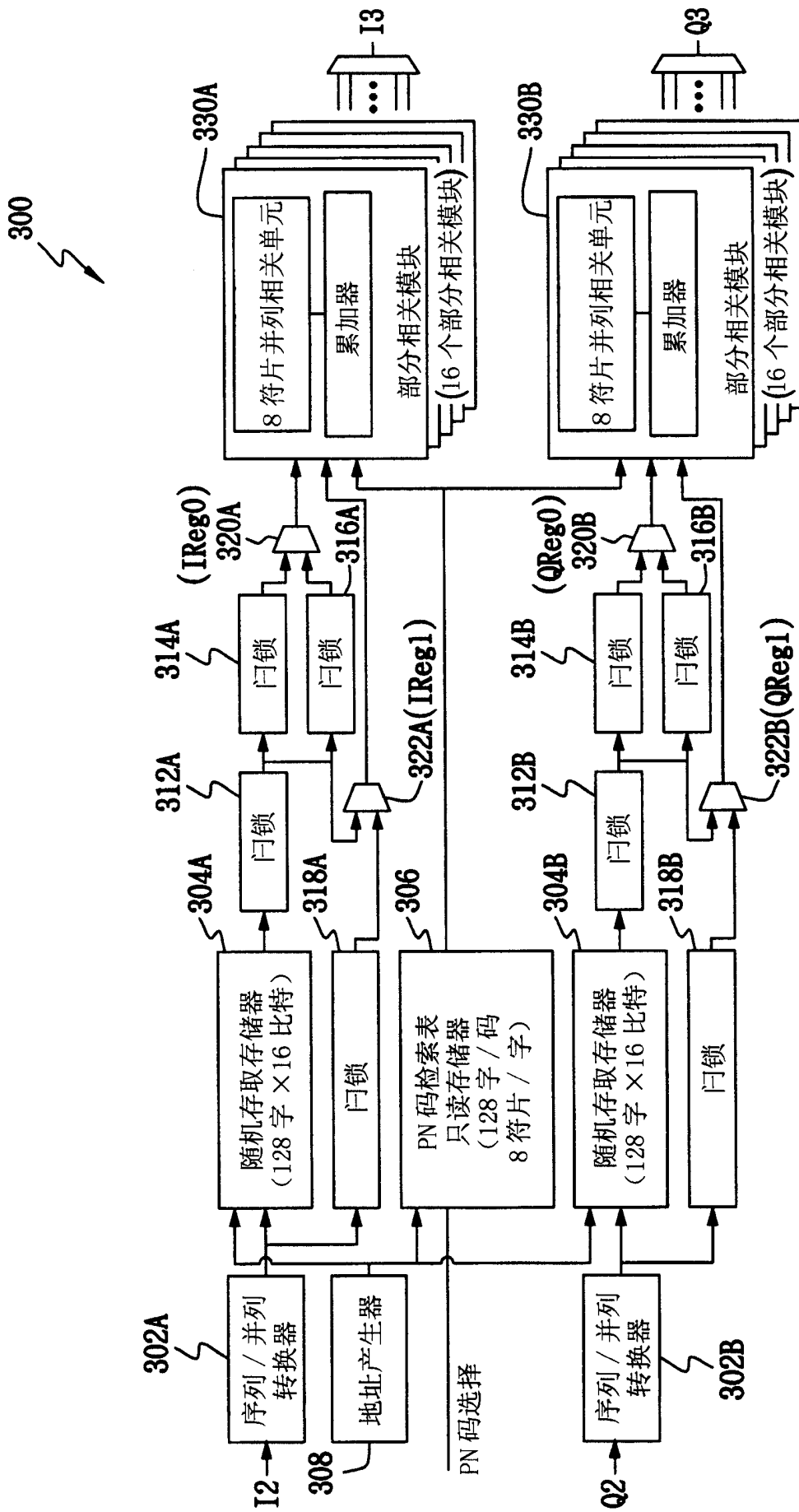


图 4

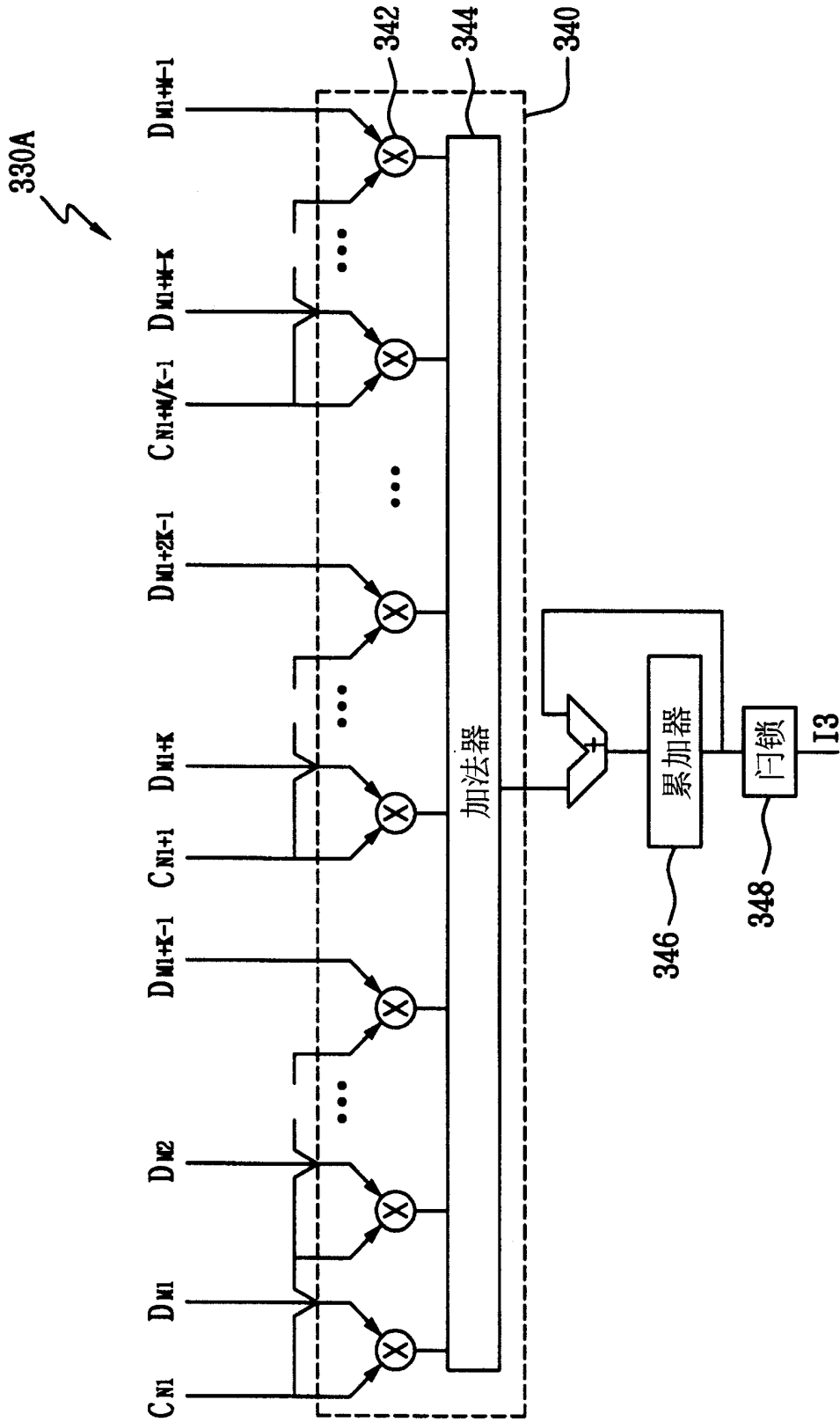


图 5

PN 码检索表只读存储器

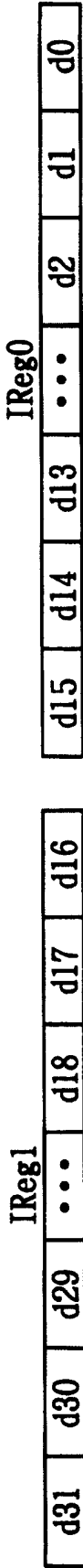
	bit7	bit6	...	bit1	bit0	
PRN1 PN 码	c7	c6	...	c1	c0	000h
	c15	c14	...	c9	c8	001h
	c47	c46	...	c33	c32	002h
			...			
	c1015	c1014	...	c1009	c1008	07Eh
	x	c1022	...	c1017	c1016	07Fh
PRN2 PN 码	c'7	c'6	...	c'1	c'0	080h
	c'15	c'14	...	c'9	c'8	081h
	c'47	c'46	...	c'33	c'32	082h
			...			
	c'1015	c'1014	...	c'1009	c'1008	0FEh
	x	c'1022	...	c'1017	c'1016	0FFh
	...					
PRN32 PN 码	c"7	c"6	...	c"1	c"0	F80h
	c"15	c"14	...	c"9	c"8	F81h
	c"47	c"46	...	c"33	c"32	F82h
			...			
	c"1015	c"1014	...	c"1009	c"1008	FFEh
	x	c"1022	...	c"1017	c"1016	FFFh

图 6

随机存取存储器的内容

t=0~127	d15	d14	d13	d12	...	d1	d0	00h
	d31	d30	d29	d28	...	d17	d16	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh
t=128~255	d2063	d2062	d2061	d2060	...	d2049	d2048	00h
	d31	d30	d29	d28	...	d17	d16	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh
t=256~383	d2063	d2062	d2061	d2060	...	d2049	d2048	00h
	d2079	d2078	d2077	d2076	...	d2065	d2064	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh

图 7



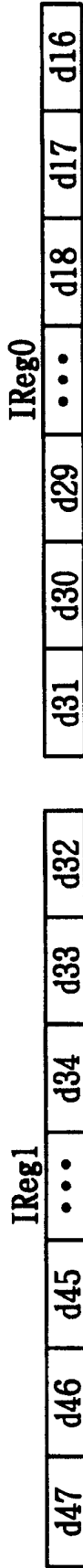
$$\text{Acc0,0} = d15*c7 + d14*c7 + d13*c6 + d12*c6 + \dots + d3*c1 + d2*c1 + d1*c0 + d0*c0$$

$$\text{Acc1,0} = d16*c7 + d15*c7 + d14*c6 + d13*c6 + \dots + d4*c1 + d3*c1 + d2*c0 + d1*c0$$

t=128

$$\text{Acc14,0} = d29*c7 + d28*c7 + d27*c6 + d26*c6 + \dots + d17*c1 + d16*c1 + d15*c0 + d14*c0$$

$$\text{Acc15,0} = d30*c7 + d29*c7 + d28*c6 + d27*c6 + \dots + d18*c1 + d17*c1 + d16*c0 + d15*c0$$



$$\text{Acc0,1} = \text{Acc0,0} + d31*c15 + d30*c15 + d29*c14 + d28*c14 + \dots + d19*c9 + d18*c9 + d17*c8 + d16*c8$$

$$\text{Acc1,1} = \text{Acc1,0} + d32*c15 + d31*c15 + d30*c14 + d29*c14 + \dots + d20*c9 + d19*c9 + d18*c8 + d17*c8$$

t=129

$$\text{Acc14,1} = \text{Acc14,0} + d45*c15 + d44*c15 + d43*c14 + d42*c14 + \dots + d33*c9 + d32*c9 + d31*c8 + d30*c8$$

$$\text{Acc15,1} = \text{Acc15,0} + d46*c15 + d45*c15 + d44*c14 + d43*c14 + \dots + d34*c9 + d33*c9 + d32*c8 + d31*c8$$

图 8 (a)

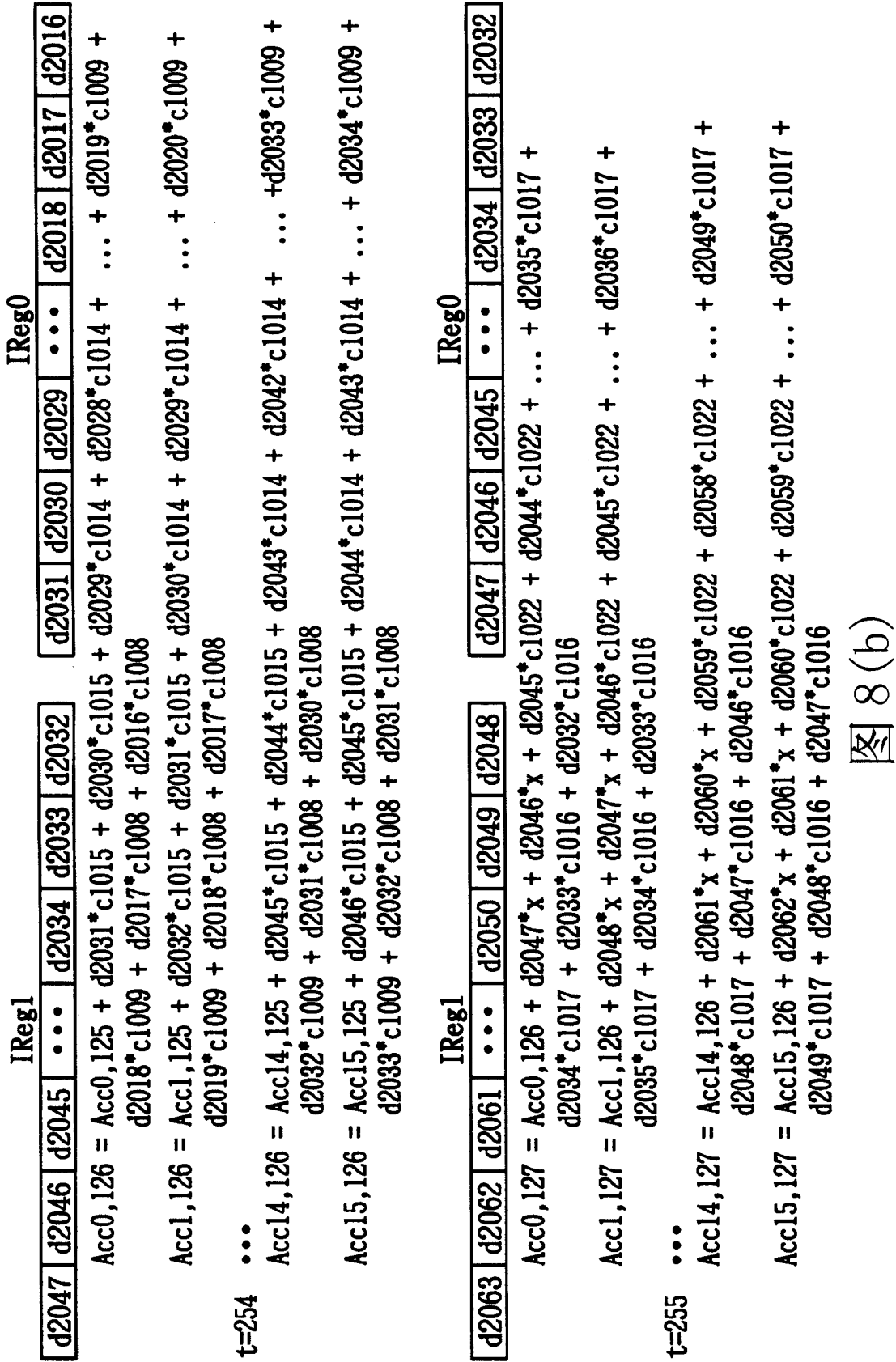


图 8 (b)

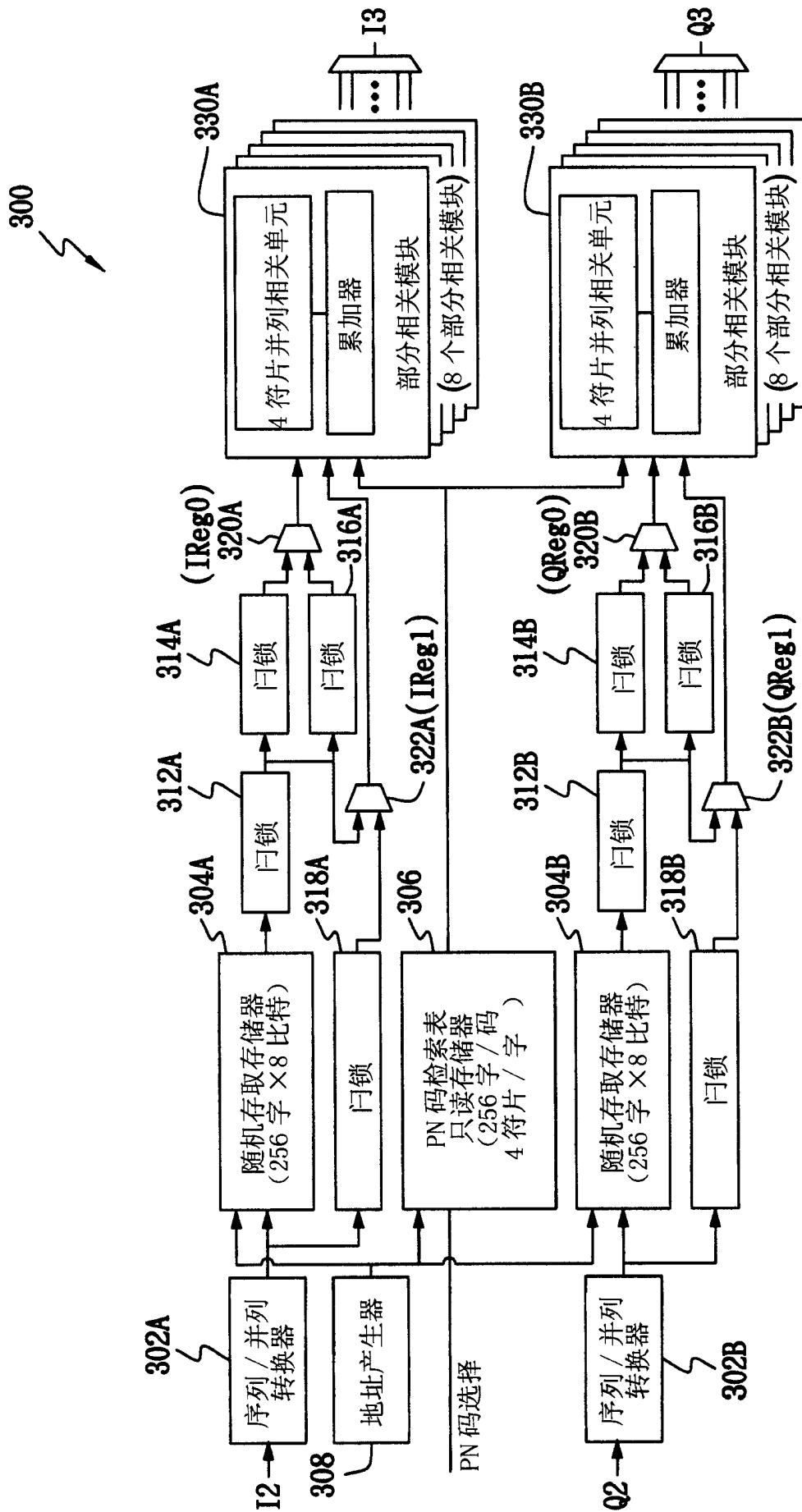


图 9

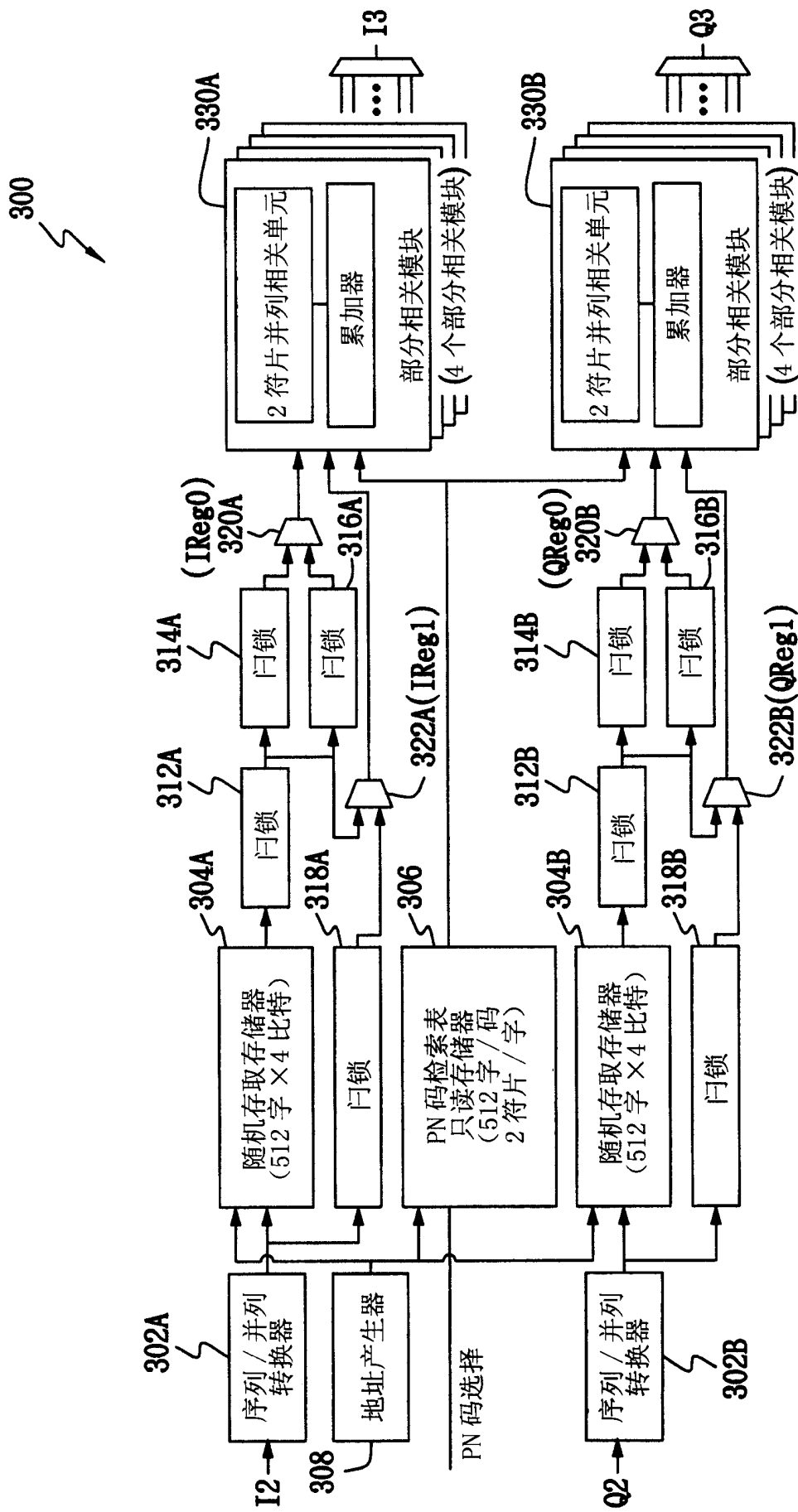


图 10

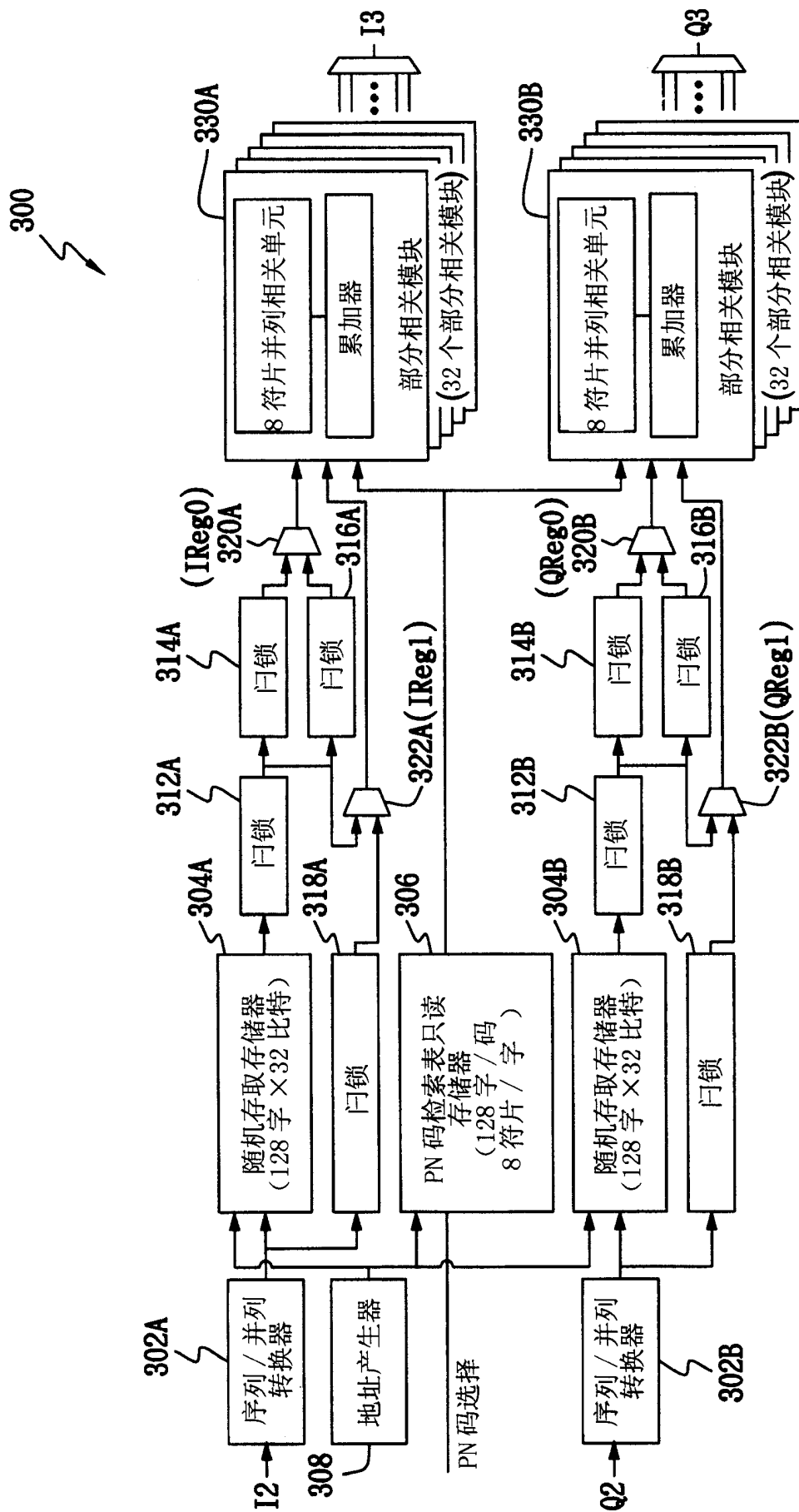


图 11

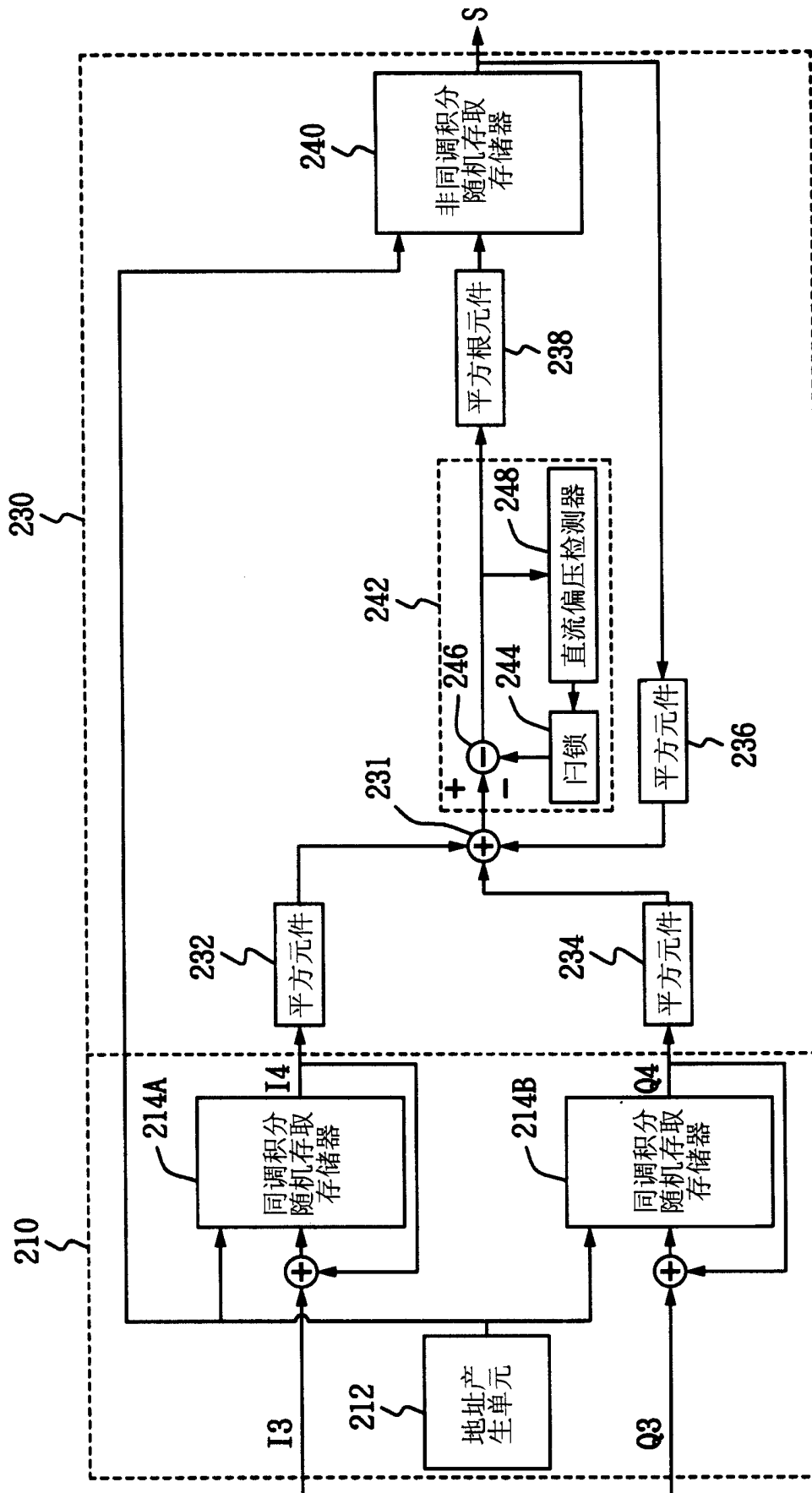


图 12

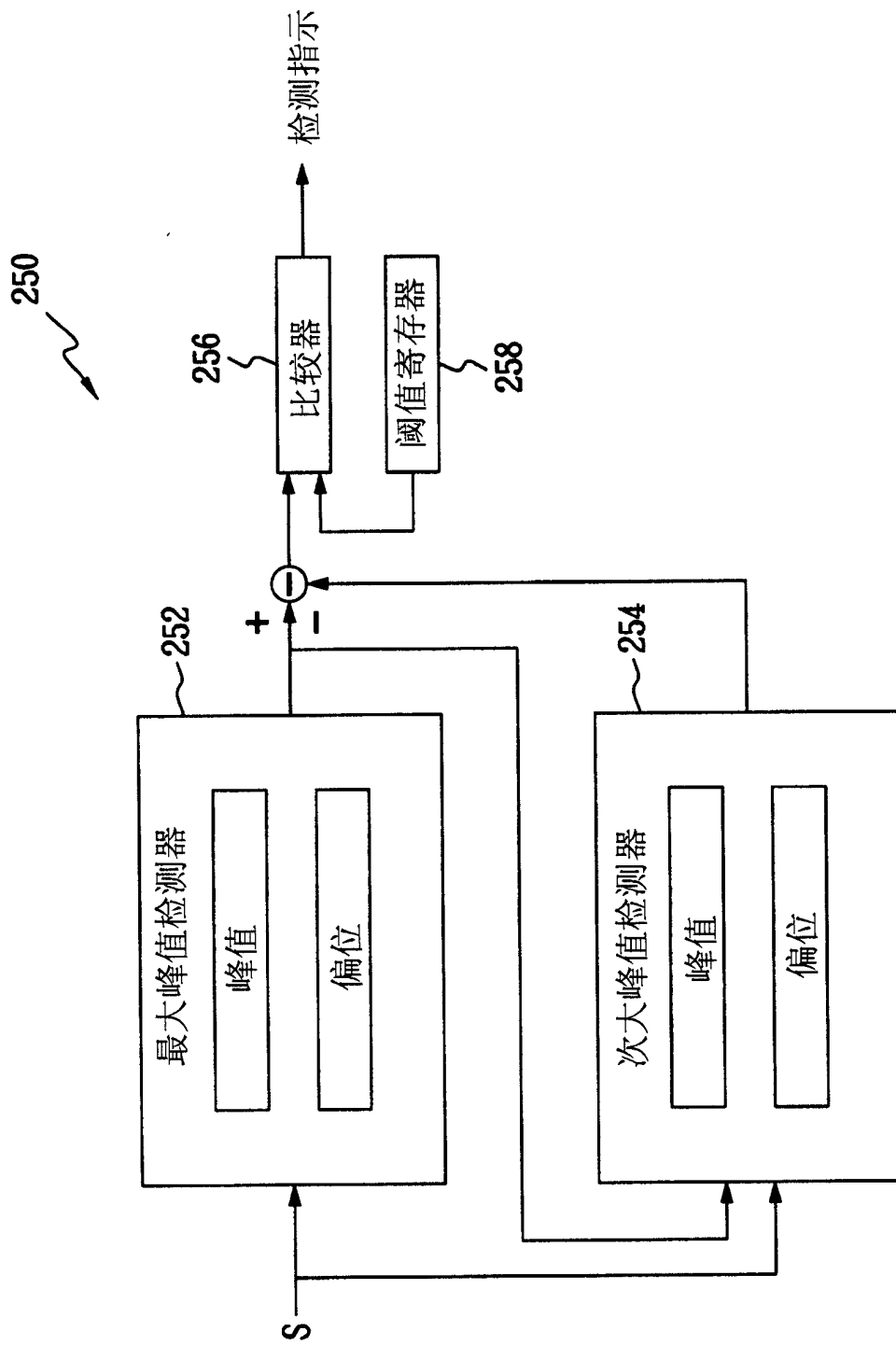


图 13

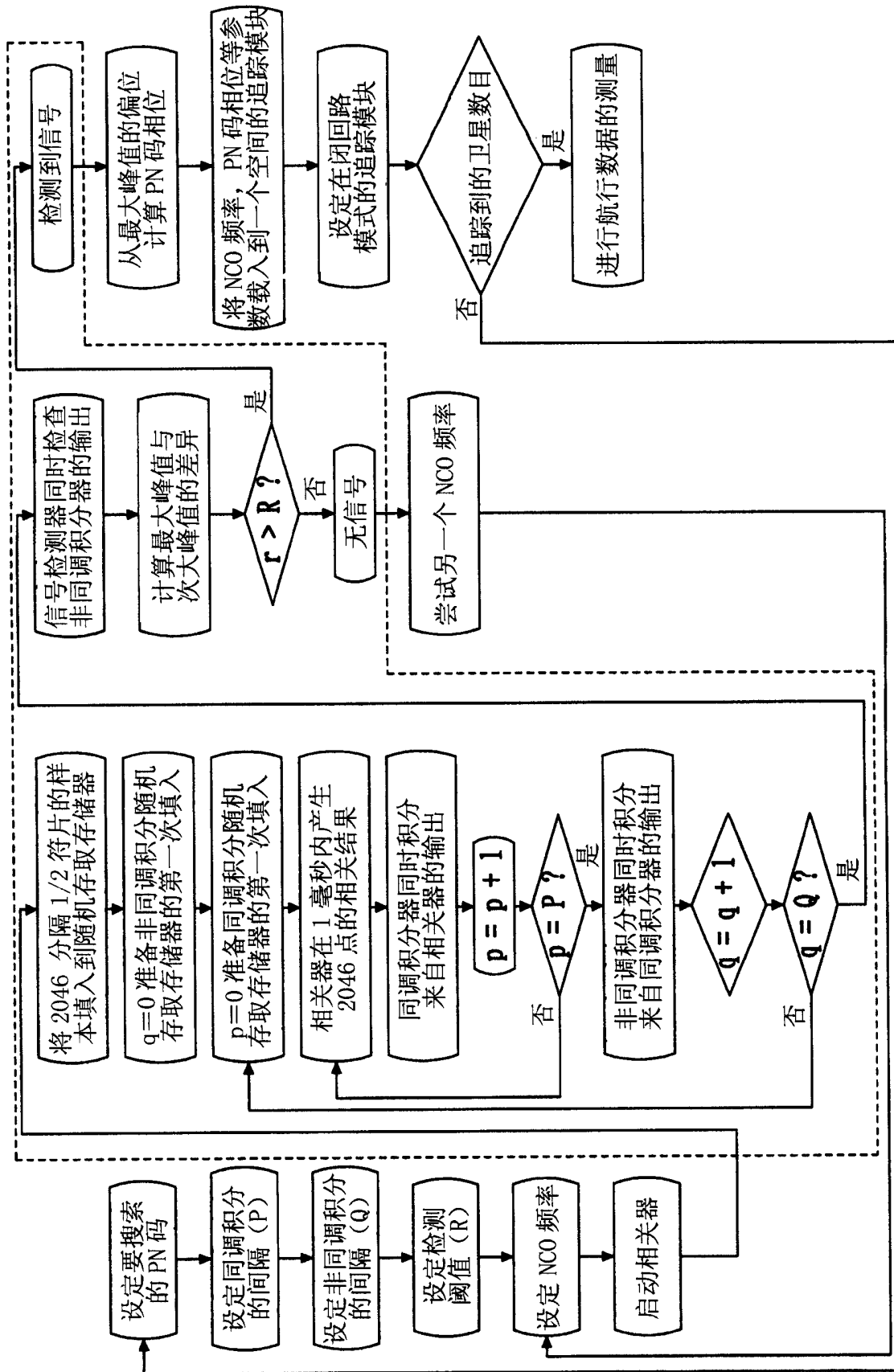


图 14