

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4705604号
(P4705604)

(45) 発行日 平成23年6月22日(2011.6.22)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int.Cl. F I
 H O 4 L 7/04 (2006.01) H O 4 L 7/04 B
 H O 3 L 7/081 (2006.01) H O 3 L 7/08 J

請求項の数 20 (全 34 頁)

(21) 出願番号	特願2007-105344 (P2007-105344)	(73) 特許権者	597154922
(22) 出願日	平成19年4月12日(2007.4.12)		アルテラ コーポレーション
(62) 分割の表示	特願2006-128713 (P2006-128713) の分割		Altera Corporation
原出願日	平成13年3月14日(2001.3.14)		アメリカ合衆国 95134 カリフォル ニア州 サン ホセ イノベーション ド ライヴ 101
(65) 公開番号	特開2007-195254 (P2007-195254A)	(74) 代理人	100078282
(43) 公開日	平成19年8月2日(2007.8.2)		弁理士 山本 秀策
審査請求日	平成20年3月12日(2008.3.12)	(74) 代理人	100062409
(31) 優先権主張番号	60/189, 212		弁理士 安村 高明
(32) 優先日	平成12年3月14日(2000.3.14)	(74) 代理人	100113413
(33) 優先権主張国	米国 (US)		弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックデバイス回路に結合されるクロックデータリカバリ回路

(57) 【特許請求の範囲】

【請求項 1】

プログラム可能な数を受信する制御回路と、
 該プログラム可能な数の入力信号をパラレルに受信する入力回路と、
 該プログラム可能な数の入力信号を順次シリアルに示す出力信号を生成する出力回路と
 を備えている、プログラム可能なシリアライザ回路。

【請求項 2】

前記出力信号は、第 1 のクロックレートを有する第 1 のクロック信号と同期しており、
 前記回路は、

プログラム可能なファクタによって該クロックレートを除算することにより、入力信号
 を示す情報が前記入力回路から前記出力回路にパラレルに通過するタイミングのための第
 2 のクロック信号を生成するクロックレート除算回路をさらに備えている、請求項 1 に記
 載のプログラム可能なシリアライザ回路。

【請求項 3】

前記ファクタは、前記プログラム可能な数と等しくなるようにプログラム可能である、
 請求項 2 に記載のプログラム可能なシリアライザ回路。

【請求項 4】

前記入力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量
 以下の任意の整数値にプログラム可能である、請求項 1 に記載のプログラム可能なシリア
 ライザ回路。

10

20

【請求項 5】

前記レジスタステージは、前記入力信号をパラレルに格納する、請求項 4 に記載のプログラム可能なシリアライザ回路。

【請求項 6】

前記レジスタステージは、前記入力信号を示す情報を前記出力回路にパラレルにさらに出力する、請求項 5 に記載のプログラム可能なシリアライザ回路。

【請求項 7】

前記出力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項 1 に記載のプログラム可能なシリアライザ回路。

10

【請求項 8】

前記レジスタステージは、前記入力信号を示す、前記入力回路からの情報をパラレルに格納する、請求項 7 に記載のプログラム可能なシリアライザ回路。

【請求項 9】

前記出力回路は、前記レジスタステージから情報を順次所定のシリーズでさらに出力する、請求項 8 に記載のプログラム可能なシリアライザ回路。

【請求項 10】

請求項 1 に記載のプログラム可能なシリアライザ回路と、
入力信号を供給するプログラム可能なロジック回路と
を備えている、プログラム可能なシステム。

20

【請求項 11】

プログラム可能な数を受信する制御回路と、
情報の複数のビットを示す入力信号を順次シリアルに受信し、該複数のビットのうちの該プログラム可能な数の連続するビットを格納する入力回路と、
該プログラム可能な数の出力信号をパラレルに生成する出力回路と
を備えており、
該プログラム可能な数の出力信号のそれぞれは、該入力回路によって格納されている該ビットのそれぞれを示している、プログラム可能なデシリアライザ回路。

【請求項 12】

前記入力信号は、第 1 クロックレートを有する第 1 のクロック信号と同期しており、前記回路は、

30

プログラム可能なファクタによって該クロックレートを除算することにより、該入力回路によって格納されている前記ビットを示す情報が前記入力回路から前記出力回路にパラレルに通過するタイミングのための第 2 のクロック信号を生成するクロックレート除算回路をさらに備えている、請求項 11 に記載のプログラム可能なデシリアライザ回路。

【請求項 13】

前記ファクタは、前記プログラム可能な数と等しくなるようにプログラム可能である、請求項 12 に記載のプログラム可能なデシリアライザ回路。

【請求項 14】

前記入力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項 11 に記載のプログラム可能なデシリアライザ回路。

40

【請求項 15】

前記レジスタステージのそれぞれは、前記ビットのうちの 1 つを格納する、請求項 14 に記載のプログラム可能なデシリアライザ回路。

【請求項 16】

前記レジスタステージは、該レジスタステージに格納されているビットを示す情報を前記出力回路にパラレルにさらに出力する、請求項 15 に記載のプログラム可能なデシリアライザ回路。

【請求項 17】

50

前記出力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項 11 に記載のプログラム可能なデシリアライザ回路。

【請求項 18】

前記レジスタステージは、前記入力回路によって格納されているビットを示す、該入力回路からの情報をパラレルに格納する、請求項 17 に記載のプログラム可能なデシリアライザ回路。

【請求項 19】

前記出力回路は、前記レジスタステージから情報をパラレルにさらに出力する、請求項 18 に記載のプログラム可能なデシリアライザ回路。

10

【請求項 20】

請求項 11 に記載のプログラム可能なデシリアライザ回路と、出力信号を受信するプログラム可能なロジック回路とを備えている、プログラム可能なシステム。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はクロックデータリカバリ回路に係り、より具体的にはプログラマブルロジックデバイス上にまたはこれと結合して設けられるクロックデータリカバリ回路に関する。

20

【背景技術】

【0002】

重要性が増しているデバイス間のシグナリングタイプとして、クロック信号情報がシリアルデータ流の中に埋め込まれ独立したクロック信号を伝送する必要がなくなるシグナリングが挙げられる。例えば、データは所与のパターンのバイナリ 1 およびバイナリ 0 からなるいくつかのトレーニングビットを含んだシリアル“ヘッダ”が先行する連続するいくつかのシリアルデータワードのパケットとして直列に伝送することができる。クロック信号はその信号内のハイローおよび/またはローハイ転換群の中に埋め込まれ、これは特定数のクロック信号サイクルの間に少なくとも 1 つのハイローまたはローハイ遷移 (transition) を含んでいなければならない。レシーバにおいてデータ信号内のデータを適宜に処理するためにデータ信号の中からクロック信号が“復元”される。利便性のためここではこのシグナリングを総称して“クロックデータリカバリ”または“CDR”と称する。

30

【0003】

CDRシグナリングは、今日多数の異なったシグナリングプロトコルの中で使用されている。これらのプロトコルは、クロック信号周波数、ヘッダ構成、パケットサイズ、パラレルチャンネル数等に従って異なるものとなる。

【0004】

プログラマブルロジックデバイス (“PLD”) は、例えばクリフ氏等の米国特許第 5689195 号公報、クリフ氏等の米国特許第 5909126 号公報、1999 年 3 月 10 日出願のジェファーソン氏等の米国特許出願第 09/266235 号、ならびに 2000 年 3 月 2 日出願のガイ氏等の米国特許出願第 09/516921 号等によって知られている。一般的に、PLD は広範囲のロジックタスクのうちの任意のものを実行するためにプログラムすることが可能な汎用集積回路デバイスである。異なったロジックタスクを実行するために独立した回路を設計して構成するよりも、これらの多様なロジックタスクを実行するように PLD を多様な方式でプログラムすることができる。多くの製造業者は、製造が必要な多様な構成要素を提供するために PLD は好適な手段であると考えている。

40

【0005】

50

C D R シグナリングは、常に多数の異なる C D R プロトコルごとに固有である C D R トランスミッタおよびレシーバを設計および構成することを避けながら P L D を使用し得るために極めて重要な部分である。

【発明の開示】

【課題を解決するための手段】

【 0 0 0 6 】

本発明によれば、C D R レシーバ回路、C D R トランスミッタ回路、および/または C D R レシーバ回路と C D R トランスミッタ回路の両方を備えることができる C D R 回路が提供される。本発明の C D R 回路は少なくともいくつかの点でプログラム可能であるとともに、より従来型の P L D 回路とともに集積回路上に

10

。

【 0 0 0 7 】

本発明に係る C D R リカバリ回路は、処理すべき C D R データ信号源あるいはその他の好適なクロック信号源から、独立したかつ追加的な基準クロック信号を受信することが好適である。基準クロック信号の周波数は、C D R データ信号の周波数に対して既知の相関性を有しているが、C D R データ信号と同位相である必要ことは必要ない。独立した基準クロック信号の必要性は典型的な C D R シグナリングとは相違しているが、これによって本発明に係る回路が広範な C D R 周波数のうち任意のもので動作するようプログラム可能になることを補助する。独立した基準クロック信号が C D R データ信号に対して特別な位相関係を有する必要がないため、基準クロック信号と C D R データ信号間に生じ得るスキュー（すなわち位相シフト）に関する制限は存在しない。（スキューに関連する問題は C D R シグナリングを使用する動機の一つであり、これは C D R シグナリングによってクロック信号がデータ信号内に埋め込まれ、このためデータ信号に対してスキューが生じることがあり得ないためである。）C D R レシーバ回路は C D R データ信号から埋め込まれたクロック信号を復元するために基準クロック信号と C D R データ信号を使用する。この C D R データ信号クロックの復元に使用する種々のパラメータは、プログラム可能であることが好適である。復元されたクロック信号は、好適にはワード長パラメータ等のプログラム可能なパラメータを使用して C D R データ信号を非直列化するために使用される。その後非直列化されたデータは、異なるクロックレジームで処理するために同期化またはバッファリングされる（例えば、C D R 回路に結合されているより従来型の P L D 回路内のクロック信号に従って）。

20

30

【 0 0 0 8 】

本発明に係る C D R トランスミッタ回路も、伝送される C D R データ信号の宛先からあるいはその他の好適な基準クロック信号源から、独立したかつ追加的な基準クロック信号を受信することが好適である。この基準クロック信号は、前述した C D R レシーバ回路によって使用される基準クロック信号と同様な特徴を有している。伝送されるデータのソースは、C D R トランスミッタ回路と結合された従来型の P L D 回路とすることができる。伝送されるデータはいくつかの平行ビットからなる連続するワードとして表示することができる。このデータの多様な特徴（ワード周波数、ワード長等々）は選択可能（すなわちプログラム可能）とすることが好適である。この段落で述べた基準クロック信号は、好適にはプログラム可能なパラメータに従って処理することができ、その後 C D R トランスミッタ回路内に伝送されるデータ流を同期化するために使用することができる。処理された基準クロック信号も、好適にはプログラムによって選択可能なワー

40

50

ド長パラメータに従って、伝送されるデータの各ワードのビットを直列化するために使用することができる。

【 0 0 0 9 】

前述したプログラム可能の観点において、本発明に係る C D R レシーバおよび / またはトランスミッタ回路はその他の点に関してもプログラム可能とすることができる。例えば、C D R 回路は任意の数の C D R データレシーバおよび / またはトランスミッタサブ回路を並列して動作させる性能を備えることができる。別の例として、C D R 回路は任意の数の異なる基準クロック信号を並列に処理し従って任意の数の異なる C D R レシーバおよび / またはトランスミッタを動作させる能力を有することができる。

10

【 0 0 1 0 】

本発明の回路は、さらに非 C D R 低電圧差動シグナリング (“ L V D S ”) 等の他の非 C D R シグナリング形式をサポートようプログラムすることもできる。本発明の回路は、回路の種々の部分をリセットするために使用し得るロック欠如 (l o s s o f l o c k) およびランレングス違反 (v i o l a t i o n) 信号等の信号を提供するように構成することもできる。回路の様々な部分のリセットおよび / またはパワーダウンを実行するための回路も提供される。回路の様々な部分のテストを実行するために、回路内において種々のタイプのテストループを選択的に形成する回路も提供することができる。特定の動作モードにおいて基準クロック信号をプログラムによって変更するための回路を提供することもできる (特にプログラマブルロジックデバイスによる基準クロック信号出力) 。

20

【 0 0 1 1 】

本発明は P L D によって C D R データを処理することを促進するため、P L D のロジックを任意のプロトコルに従って (例えば、バイト配列、カンマディテクト、ワード長、その他のレシーバ側のデータのデコーディングおよび / またはトランスミッタ側のデータのエンコーディング特性等に従って) データを処理するために使用することができる。従って、この C D R と P L D の組合せは極めて効果的なものとなる。

【 0 0 1 2 】

本発明のその他の構成要素、特徴および種々の利点は、添付図面を参照しながら以下に記述する好適な実施例の詳細な説明によって明らかにされる。

30

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

図 1 には、本発明に係る C D R シグナリング装置 1 0 の説明的な実施例が示されている。この装置は C D R 信号源 (ソース) 2 0 とレシーバ 4 0 とから構成されている。要素 2 0 と 4 0 は同一の集積回路上に設けることができるが、これは一般的なケースを示したものであり、これらは集積回路または回路アセンブリのより典型的な各部分である。例えば、図 1 2 に示されているようなシステムにおいて、レシーバ 4 0 は要素 5 0 0 / 6 0 0 の一部であるのに対し、ソース 2 0 はその他の要素 (要素群) 1 0 0 4 , 1 0 0 6 , 1 0 0 8 および / または 1 0 1 0 の一部とすることができる。

40

【 0 0 1 4 】

C D R 信号源 2 0 は基準クロック信号源 2 2 と C D R データ信号源 3 0 を備えており、この C D R データ信号源は従来型のものまたは実質的に従来型のものですることができる。基準クロック信号源 2 2 は、C D R データ信号源 3 0 によって形成される C D R データ信号内に埋め込まれたクロック周波数に対して正確な周波数相関性を持った基準クロック信号を形成する。例えば、基準クロック信号源 2 2 は、C D R データ信号内に埋め込まれたクロック周波数と同じ周波数かまたは適宜な分数あるいは倍数の周波数を有する基準クロック信号を形成することができる。特に、基準クロック信号周波数 R E F C L K は埋め込まれたクロック

50

周波数 $EMCLK$ に対して以下の相関性を有し：

$$REFCLK * W = EMCLK$$

ここで W は $0.5, 1, 2, 4$ 等の適宜なスケールファクタとすることができる。要素 22 と 30 の間の点線はこれらの要素の出力の間に周波数相関性があることを示しており、従ってソース 22 によって形成される基準クロック信号の周波数（またはこの信号の任意の分数あるいは整数倍の周波数）が CDR データ信号の周波数を確立するために要素 30 によって使用され得る。しかしながら、要素 20 と 30 の出力信号の間に特定の位相関係が存在する必要はない。

【0015】

基準クロック信号源 22 の出力信号は一般的な差動シグナリングドライバ 24 に付加されリード 26 a および 26 b 上にペアの差動 $REFCLK$ 出力が形成される。（オプションとして、必要であれば要素 20 と 40 の間において基準クロック信号を単一の信号として単一のリード上で伝送することもできる。）

10

【0016】

前述したように、 CDR データ信号源 30 は従来型の CDR データ信号源とすることができる。この信号は一般的な差動シグナリングドライバ 32 に付加されリード 34 a および 34 b 上にペアの差動 CDR 出力信号が形成される。（ここでも再び CDR データ信号の差動シグナリングはオプションであり、 CDR データ信号は要素 20 と 40 の間において単一のリード上で伝送することもできる。）

20

【0017】

レシーバ 40 においてリード 26 a および 26 b 上の差動 $REFCLK$ は一般的な差動ドライバ 42 に付加され、この受信した $REFCLK$ を変換して単一リード上の信号に戻し CDR 回路 50 に付加する。同様に、リード 34 a および 34 b 上の差動 CDR データ信号は一般的な差動ドライバ 44 に付加され、受信した CDR データ信号を変換して単一リード上の信号に戻し CDR 回路 50 に付加する。

【0018】

CDR 回路 50 は、受信した $REFCLK$ と CDR データ信号を使用して CDR データ信号からクロック信号とデータ信号を抽出する。これらの信号はデシリアライザ 60 に付加され、これは付加された直列データを並列データに変換する。並列データ信号は CDR 回路 50 によって形成されたクロック信号と同期させてシンクロナイザ 70 に付加する。シンクロナイザ 70 は、並列データをバッファして PLD コア 80 によってシンクロナイザ 70 に供給される別のクロック信号 82 に同期させて PLD コア 80 に最終的に付加する。

30

【0019】

図 1 A には CDR シグナリング装置 10 の代替的实施例が示されており、これにおいてはレシーバ 40 によって使用される基準クロック信号源 22 が CDR 信号源 20 から分離されている。 CDR 信号源 20 は、基準クロック信号をレシーバ 40 に送信するための図 1 に示された要素 24 に相当する要素を備えていない点を除いて基本的に図 1 の CDR 信号源 20 と同様なものである。これに代えて、独立した基準クロック信号源 22 がリード 26 a および 26 b を介して基準クロック信号をレシーバ 40 に送信する。基準クロック信号源 22 は図 1 の基準クロック信号源 22 と類似のものとすることができ、図 1 のソース 22 に対して述べた全てのものが図 1 A のソース 22 に対して同様に適用することができる（勿論、ソース 22 がソース 20 から独立しておりソース 30 に対して入力またはクロック基準を提供しない点は除く）。加えて、ソース 22 と 22 の間には正確で既知の周波数相関性が必要であるが（再び、これらの周波数間には $0.5, 1, 2, 4$ 等のスケールファクタが存在し得る）、これらのソースの周波数は同一である必要は無いとともにソース 22 と 22 の間に特定

40

50

の位相相関性がある必要は無い。図1Aのレシーバ40は図1のレシーバ40と同等なものとしてすることができる。

【0020】

図1Aに示されているタイプの構成はソース20とレシーバ40とが比較的遠くに離間している場合に使用することができ、大きく離れた要素20と40との間においてCDRデータリード34と基準クロックリード26の両方を動作させることを不要にし得る。この場合、ソース22はレシーバ40に対して比較的に近接して配置することができ、従ってリード34のみを比較的長くする必要があり、他方リード26は比較的短いものとしてすることができる。特徴的な説明として、要素20および40はそれぞれ異なった領域に設けることができ、ソース22はレシーバ40の近くに設け従ってCDRデータ信号34自体のために領域間リンクのみが必要となる。(これに関して、リンク34, 26, 26のいずれかを代替的に単一信号とすることができ、これらは代替的にワイヤ線等のその他の手段によって(全体的または部分的に)伝送することができることに着目すべきである。例えば、これらは全体的または部分的に無線、光線、またはその他の好適な方式で伝送することができる。これと同じことが、図7および図7Aに示されているようなその他の実施例においても伝送が必要な信号に対して有効である。)

10

【0021】

図2には、CDR回路50の部分100の実施例がより詳細に示されている。回路100は基本的に位相ロックループ(“PLL”)回路であり、従って場合によってそのように呼称することがある。PLL100は位相周波数検出器(“PFD”)回路110を備えており、これは図1のバッファ42によるREFCLKならびにWプリスケラ回路の出力信号を受信する。PFD110は従来型のものとしてすることができ、受信した2つの信号の位相と周波数を比較してREFCLK信号の位相および周波数がより適正に一致するためにプリスケラ140の出力信号がスピードアップすべきかまたはスロウダウンすべきかを示す信号を出力する。チャージポンプ回路120(これも従来型のものとしてすることができる)はPFD110の出力信号を積算してVCO電流制御信号を形成し、これは電圧制御発振器(“VCO”)130の出力信号(Wプリスケラ140によって処理された後)が位相および周波数に関してREFCLK信号により適正に一致するような方式でVCO130を制御するために適したものである。VCO130の出力信号はWプリスケラ140に付加され、これはVCO出力信号をスケールファクタWで除算しPFD110に付加される2つの信号のうちの一つを形成する。スケールファクタWは、前述したREFCLKとEMCLKの相関において使用したものと同一の数値とされる。Wプリスケラ140は、いくつかのW数値のうちの一つを使用して動作するようプログラム可能であるか、またはその他の方式によって制御可能であることが好適である。例えば、所要のW値をレシーバ40の一部分である1つまたは複数のプログラム可能な機能制御要素(“FCES”)内に記録することができる。

20

30

40

【0022】

PLL100の説明から、この回路の動作はVCO130がEMCLK周波数に殆ど一致する周波数で動作することを誘起するものであることが明らかである。VCO130は8個のクロック信号を出力し、これらは全てEMCLK周波数を有しているが相互に位相シフトしており、従ってこれらは全体としてEMCLK信号の周期を8個の同等な時間インターバルに分割している。VCO130は、広範な動作周波数で動作することを補助するためにプログラム可能とすることができ、またはその他と方式によりD信号によって制御可能とすることができる。例えば、D信号はVCO100の“荒”調整と呼ばれるような制御を行い、一方チャージポンプ120からのVCO電流制御信号はVCOの“細密”調整のためのも

50

のである。所要のD値は、レシーバ40の一部分である1つまたは複数のプログラマブルFCE内に記憶することができる。

【0023】

図2に示されたりセット信号はPLL100をリセットして制御された方式による始動を許可することを可能にする。例えば、PLL100内において同期ロック喪失(ロス・オブ・ロック)状態が検出された場合にPLL100のリセットが必要あるいは要望されるものとなる。(種々のリセット動作のこれらおよびその他の特徴はこの明細書において後により詳細に説明される。)リセット信号はチャージポンプ120、VCO130、およびWプリスケラ140をリセットする。W、D、およびリセット信号は全てPLDコア80から送信される(図1)。

10

【0024】

図2に示されているパワーダウン信号は、PLL100が使用されない場合にこれをターンオフすることを可能にする。このことはパワーダウン信号によってVCO130への電流をターンオフすることによって実施される。このことは、以下に詳細に記述する図3に示されたVCO130構成例において、電流源131をターンオフしその結果差動ドライバ132への電流をターンオフすることによって実施することができる。パワーダウン信号はPLL100に結合されたFCEから送信することができる。このようにしてPLL100をターンオフすることによってPLLが使用されない場合に電力を節約することができる。

20

【0025】

図3には、VCO130の説明的な構成の一部がより詳細に示されている。差動ドライバ132a-dは閉ループ列として相互接続される。このループの1つの完全な回路を作成するための信号伝達(正式なまたは補完的なパスを介して)に必要とされる時間は、クロック信号の周期の半分である。各ドライバ132が動作する速度、従ってループの信号伝達速度は、(少なくともある程度は)電流源131からドライバに提供される電流量によって決定されるものとなる。(図2に関連して前述した)D信号は、電流源131が動作するいくつかの電流レンジのいずれか1つをプログラムによって選択するために使用することができる。従ってD信号は前述した電流源131ならびにVCO130の“荒”調整を制御する。(図2のチャージポンプからの)VCO電流制御信号は、電流源131によって提供される電流の追加的な動的制御を実施する。特に、VCO電流制御信号は電流源131によって提供される電流をD信号によって選択されたいずれかのレンジ内において調節する。このようにしてVCO電流制御信号は電流源131ならびにVCO130の動的な“細密”制御を実施する。(同様に図2に関連して説明したパワーダウン信号はPLL100が全く使用されないケースにおいて電流源131をプログラムによってターンオフするよう使用し得る。)

30

前述した説明から、(D信号を使用して選択される、可能ないくつかの周波数レンジいずれかの範囲において)クロック信号の周波数はVCO電流制御信号を変化させることによって上昇または低下させることができることが理解される。ドライバ132の閉ループを通じた真または補のパスは、全体としてクロック信号周期を8つの等時間インターバルに有効に分割する8つの点においてタップされる。これらの8つの点における信号は、前述した8つの等間隔で位相シフトされたクロック信号として出力される。

40

【0026】

VCO130内において差動ドライバ132に代えてシングルエンド型のドライバを使用することもできるが、いくつかの理由のため差動ドライバの方が好適である。それらの理由のうち1つは、差動ドライバはノイズが少ない傾向があるためである。差動ドライバはより小さな入力信号振幅において動作するよう形成することがより簡単である(例えば、3Vの代わりに300mV)。差動ドライ

50

バはさらにより簡単に高速化することができ、より効果的にジッタを防止し、ノイズに対する抵抗力もより高いものである。VCO130に差動ドライバを使用することが好適である別の理由は、VCOによって差動出力信号が必要とされるからである。前述した電流制御に代えてVCO130の電圧制御を使用し得ることは勿論であるが、現状において電流制御が好適である。

【0027】

CDR回路50の別の部分150の実施例が図4に示されている。少なくとも特にアナログ回路において有利であるPLL100と異なって、図4に示された回路150はデジタル回路とすることが好適である。デジタルであるとともに位相ロックループのごとく動作するため、回路150は本明細書においてデジタル位相ロックループ(“DPLL”)回路150と称することもある。

10

【0028】

DPLL150は、(図1のドライバ44からの)CDRデータ信号とマルチプレクサ190によるクロック出力信号の両方を受信する位相検出器160を備えている。以下により詳細に説明するように、マルチプレクサ190の2つの出力のうちいずれか1つはCDRデータ信号の立ち上がりエッジと比較することを目的としており、マルチプレクサ190の2つの出力のうち他の1つはCDRデータ信号の立ち下りエッジと比較するためのものである。位相検出器160は受信した信号の位相を比較し、CDRデータ信号内のトランジション位相と共により有効に動作するためにクロック信号をスピードアップする必要がある場合にUP出力信号パルスを形成し、CDRデータ信号内のトランジション位相と共により有効に動作するためにクロック信号をスローダウンする必要がある場合にはDOWN出力信号パルスを形成する。これらのUPおよびDOWN信号パルスは位相補間ステートマシン162に付加される。

20

【0029】

位相補間ステートマシン162は、UPおよびDOWN信号のそれぞれに対して内部状態を変更することによって応答する。しかしながら、ステートマシン162は、受信した全てのUPまたはDOWN信号パルスに反応して出力信号を形成するわけではない。代わりに、ステートマシン162は、受信した信号内に所定の傾向が見られた後のみにさらなるUPまたはDOWN信号パルスを出力する。言い換えると、ステートマシン162はデジタルローパスフィルタのように動作し、図4の回路の残り部分が位相検出器160によって形成される極短時間の位相不整合表示に過剰に速く反応することを防止する。従ってステートマシン162は、図4に示された回路に所要の待ち時間をもたらす(回路162のデバッグ出力はオプションのものであり、必要であれば回路の性能を監視するために使用される。)

30

【0030】

ステートマシン162によって出力されるUPおよびDOWN信号パルスは、UP/DOWNカウンタおよびデコーダ回路164によってカウントおよびデコードされる。(回路164のデバッグ出力信号もオプションであり、さらに回路性能を監視するためのものである。)回路164の出力のうちいくつかはクロックマルチプレクサ回路170によって使用され、(1)PLL100からの8個のクロック信号のうちCDRデータ信号の立ち上がりエッジに最も適合して動作する2つを選択し、PLL100からの8個のクロック信号のうちCDRデータ信号の立ち下りエッジに最も適合して動作する2つを選択する。前述の説明により、選択されたクロック信号のそれぞれは位相に関して直ぐ隣接(8個のクロック信号の中にある8個の位相の中から)している信号を含むことが明らかである。さらに、各ペアの信号のうちそれぞれが別のペアの中の信号のそれぞれ1つに対して位相が180°離れていることが理解される。従って、8個の入力クロック信号の中から、回路170は4個の出力クロック信号を動的に選択す

40

50

る。例えば、8個の入力クロック信号について位相順に0 - 7の番号を付けると、回路170は一定の時間周期の間にCDRデータ信号の立ち上がりエッジに最も適合して動作するものとしてクロック信号0および1を選択し、CDRデータ信号の立ち下がりエッジに最も適合して動作するものとしてクロック信号4および5を選択する。回路170によって選択された4つのクロック信号は、アナログ補間回路180ならびにデジタル補間回路182に付加される。デバイスの使用者は、これら2つの補間回路のうちいずれを使用するかを選択することができる。

【0031】

アナログ補間回路180は、回路170から受信した各クロック信号のペア内の2つのクロック信号間の時間インターバルを8個の等しいサブインターバルに分割するよう動作する。アナログ補間回路180はさらに回路164の出力信号を受信し、これは各ペアのクロック信号に対して前記サブインターバルのうち1つを選択するとともにこのサブインターバルと同期するシフトされたクロック信号を形成するよう補間回路を制御する。選択されたサブインターバル（およびシフトされたクロック信号）は、CDRデータ信号内の立ち上がりまたは立ち下がりエッジのうち適宜の1つに最も適合して動作するものである。従って、アナログ補間回路180によって形成された2つのシフトされたクロック信号は、それぞれCDRデータ信号内の立ち上がりエッジまたは立ち下がりエッジとともに動作するように最適化（または殆ど最適化）されたものである。マルチプレクサ190はこれらの2つの信号を位相検出器160にフィードバックするようプログラムによって制御する（FCEによって）ことができる。マルチプレクサ190の立ち上がりエッジと共に動作する信号出力は図4の回路の復元されたクロック出力信号でもある。位相検出器160は、その他の機能（前述された）に加えて、マルチプレクサ190によってフィードバックされた信号のうち1つによってクロックされるレジスタにCDRデータ信号を伝送し、図4のリタイムされたデータ出力信号を形成する。このリタイムされたデータ出力信号は、本発明の装置によってさらに（復元されたクロック信号を使用して）処理されるデータ信号である。

【0032】

次にデジタル補間回路182を参照すると、回路170によって出力された2つのペアのクロック信号を受信し、回路164からの制御信号に基づいて各ペアの中からより好適なタイミングを有する1つの信号を選択する。マルチプレクサ190は、回路182によって選択された2つの信号を前述した使用目的（回路180の出力信号の代わりに）のために出力するよう制御され得る。

【0033】

図4に示されたリセット信号は、一般的に図2のリセット信号と同じ目的を有している。従って、DPLL150をリセットすることが必要あるいは要望される（例えばロックの喪失状態が検出されて）場合、要素162, 164, 180および182をリセットするようリセット信号が発行される。図2のリセット信号と同様に、図4のリセット信号もPLDコア80（図1）から発信される。

【0034】

図4に示されたパワーダウン信号は、DPLL150が使用されない際に全ての8個の入力クロック信号をゲートオフするよう使用される。入力クロック信号の全てをゲートオフすることによって、図4の回路は全く動作せず従って電力を極僅かに消費するかあるいは全く消費しない。

【0035】

前述の説明から、適宜な動作周期の後、DPLL150の出力信号が図1のドライバ44によって受信されたCDRデータ信号内に埋め込まれたクロック信号と実質的に等しい位相および周波数を有することが理解される。適正な周波数はPLL100によって確立され、これはさらにその周波数を有するとともにいく

10

20

30

40

50

つかの異なった候補位相を有するクロック信号の一群を形成する。DPLL150は最適な候補位相(マルチプレクサ170の出力信号)を取り出し、その後候補の間で適正な調節または選択を実施することによって位相選択をさらに改善する。DPLL150は、さらにPLL出力と入力されたCDRデータ信号内に埋め込まれたクロック情報との間に生じ得る比較的小さな相違にも留意することができる。言い換えると、DPLL150は、十分なCDRデータ伝送を妨害することなくこのような比較的小さな周波数相違が存在することを可能にする。この能力は、図1Aに示されているように実際のCDRクロックとREFCLK信号に対して異なったソース22および22が使用される実施例の動作を補助するものである。

10

【0036】

図5には、デシリアライザ60(図1)の説明的な実施例がより詳細に示されている。この実施例において、デシリアライザ60は、マルチステージシフトレジスタ200とマルチステージパラレルバッファレジスタ210とプログラマブルディバイダ220とを備えている。例えば、レジスタ200および210のそれぞれは20のステージを有し、ディバイダ220は付加されたクロック信号を1ないし20の選択可能な複数の数値Jのいずれかによって除算する(1つまたは複数のFCEを使用して)ようプログラムすることができる。DPLL150(図4)からのリタイムされたシリアルCDRデータは、シフトレジスタ200のシリアルデータ入力に付加される。シフトレジスタ200はさらにDPLL150からの復元されたクロック信号を受信する。従って、シフトレジスタ200は、EMCLKのレートかつCDR信号内に埋め込まれたクロック信号情報と完全に同期してシリアルデータをいくつかのステージにシフトする。

20

【0037】

各タイムディバイダ220はJの数値と等しい数のクロックパルスを受信し、ディバイダ220の出力信号は、バッファレジスタ210がクロック信号に 응답してシフトレジスタ200の水平方向に隣接するステージの内容を記憶することを可能にするレベルに転換する。言い換えると、シフトレジスタ200はデータをシリアルに記憶し、バッファレジスタ210はシフトレジスタ200の内容を周期的かつパラレル受信および記録する。Jはデシリアライザ60によって出力される各ワードの長さ(すなわちワードごとのビット数)である。デシリアライザ60の別の出力信号は、Jによって除算されたクロック信号(すなわちCLK/J)である。

30

【0038】

図5に示されているJおよびリセット信号はPLDコア80(図1)から提供される。前述した他のリセット信号と同様に、図5のリセット信号は回路をリセットすることが必要あるいは要望される場合にディバイダ220をリセットするよう使用される(例えば、ロックの喪失が検出されたことによって)。

【0039】

図6には、シンクロナイザ70(図1)の説明的な実施例がより詳細に示されている。この実施例において、シンクロナイザ70はRAMアレー250と書き込みアドレスロジック260と読み取りアドレスロジック270とを備えている。これらの要素は独立した読み取りおよび書き込みを備える先入れ先出し("FIFO")メモリとして動作する。書き込みアドレスロジック260は、基本的にデシリアライザ60(図5)によって出力されたCLK/J信号内のパルス数を(繰り返しサイクルで)カウントするリングカウンタとすることができる。従って、書き込みアドレスロジック260は、CLK/J信号内のパルスと同期して繰り返しサイクルで、連続するワード記憶口ケーションをRAMアレー250内にアドレスする。ENW信号が適正なレベルを有していると仮定すると、RAMアレー250はデシリアライザ60からの信号内のデータを受信および蓄積す

40

50

るよう付勢される。このようにして、デシリアライザ60から提供された連続するパラレルデータワードは、RAMアレー250内の連続するワード記憶ロケーションに蓄積される。前述したようにRAM250への書き込みはENW信号によって選択的に付勢され、この信号はPLDコア80(図1)から提供することができるとともに、RAMアレー250がFULL出力信号(以下に説明する)を形成するまで付勢する。

【0040】

読み取りアドレスロジック270は書き込みアドレスロジック260とは別のリングカウンタとすることができる。しかしながら、読み取りアドレスロジック270は、デシリアライザ60からのクロックパルスのカウントする代わりにPLDコア80(図1)によって形成されたクロックパルス(CORECLK)をカウントする。従って、読み取りアドレスロジック260はENR信号によって読み取りが付勢されている限りRAM250内の連続するロケーション(このロケーションはCORECLKと同期して繰り返しアドレスされる)からデータワードを読み取ることを誘起する。ENW信号と同様にENR信号も通常PLDコア80(図1)から提供され、特にRAMアレー250がEMPTY出力信号(以下に説明する)を形成しない限り付勢を行う。RAMアレー250から読み取られるデータワードはPLDコア80に付加される。

10

【0041】

前述した説明から、RAMアレー250とこれに結合された要素が可能な2つのクロックレジーム(すなわちCDRクロックおよびPLDコアクロック)の間でデータをバッファすることが理解される。例えば、データワードのPLDコア処理は、時々入力されたCDRデータ流に遅れることがあり得る(例えば、割り込みの最中あるいはシンクロナイザ70に付加されたCORECLK信号のスローダウンに際して)。その後PLDは入力されるCDRデータ流に追いつくためにデータをより高速に処理することができる。RAMアレー250(または結合された要素)は、PLDコア80に付加されるFULLおよびEMPTY信号を形成し、RAMアレーが充満または空状態である際にこれをそれぞれPLDコアに伝達することができる。例えば、FULL信号にตอบสนองしてPLDコア80はシンクロナイザ70からのデータの読み取りをスピードアップするか、および/または使用者がFULL信号にตอบสนองしてENW信号を使用することによってPLDコア80にRAMアレー250への新たな書き込みを中止させることを選択できる。EMPTY信号にตอบสนองしてPLDコア80はシンクロナイザ70からのデータの読み取りをスローダウンするか、および/または使用者がFULL信号にตอบสนองしてENR信号を使用することによってPLDコア80にRAMアレー250からの新たな読み取りを中止させることを選択できる。

20

30

【0042】

図6に示されたりセット信号は、回路をリセットすることが必要または要望される際(例えば、ロックの喪失の検出にตอบสนองして)にRAMアレー250の内容を消去するために使用される。前述した他のリセット信号と同様に、図6のリセット信号もPLDコア80(図1)から提供することができる。

40

【0043】

図7には、本発明に係る別のCDRシグナリング装置300の説明的な実施例が示されている。再び、主要な構成要素310および320は同一の集積回路上に設けることができるが、これらはより典型的には分離された集積回路または回路アセンブリの一部とされる。例えば、図12において、要素320は要素500/600と結合することができ、一方要素310はその他のいずれかの要素1004, 1006, 1008および/または1010と結合することができる。

【0044】

装置10において、PLDコア80はCDR信号のレシーバ40と結合されて

50

いる。装置 300 において、PLD コア 80 は CDR 信号のトランスミッタ 320 に結合される。ここで再び、CDR クロック信号の周波数に関して広範なレンジが予想される CDR レシーバ 310 と交信し得るプログラム可能な PLD ベースのトランスミッタの提供を達成するために、装置 300 はレシーバ 310 内に基準クロック信号源 22 を備えている。要素 22, 24, 26, 42 および 100 はいずれも図 1 および図 2 の同一参照符号の要素と類似のものである。従って、基準クロック信号源 22 の出力信号の周波数 (REFCLK) は所要の CDR クロック信号周波数 (EMCLK) に対して以下の相関性を有しており：

$$REFCLK * W = EMCLK$$

ここで W は 0.5, 1, 2, 4 等の適宜なスケールファクタとすることができる。この基準クロック信号は図 1 に関連して記述したようにトランスミッタ 320 に伝送される。トランスミッタ 320 内の PLL 100 は図 2 に関連して記述したようにこの信号を処理し、所要の CDR クロック周波数に正確に等しい周波数を有する出力信号を形成する。この信号は図 2 の出力と同様に 8 個のクロック信号のうち 1 つとすることができ、これはこの信号の位相が重要ではないからである。(以下により詳細に記述するように、一般的な CDR 信号レシーバ 350 は位相多様型であり、従って特定の位相を有する受信 CDR 信号に束縛されることはない。)

【0045】

PLL 100 によって形成される CDR クロック信号 (または以下に詳細に記述するようにこの信号の数倍のもの) は、シンクロナイザ 330 ならびにシリアライザ 340 に付加される。シンクロナイザ 330 も PLD コア 80 からデータおよびクロック信号を受信する。シンクロナイザ 330 は、受信した信号をコア 80 からのデータを CDR クロック信号に同期させて出力するために使用する。シリアライザ 340 は通常平行であるシンクロナイザ 330 からのデータを通常シリアルである CDR データに変換する。シリアライザ 340 によって出力されたシリアル CDR データは、一般的な差動ドライバ 342、リード 344a および 344b、ならびに一般的な差動ドライバ 346 を介して CDR 信号レシーバ 350 に伝送される。(要素 342, 344 および 346 は、それぞれ図 1 の要素 24, 26 および 42 と類似のものである。図 1 の場合と同様に差動シグナリングはオプションのものである。) 一般的な CDR 信号レシーバ 350 は、受信した CDR 信号内に埋め込まれたクロック情報を使用して一般的な方式によってこの信号からデータを抽出する。

【0046】

図 1 に示された装置と同様に、図 7 の装置は広範な CDR 周波数のうちいずれか 1 つにおいて動作することができる。CDR シグナリングにおいては一般的でないが、レシーバ 310 内の基準クロック信号源 22 を使用してトランスミッタ 320 に基準クロック信号を提供することにより、広範な CDR 周波数をサポートするようプログラム可能な総合的なトランスミッタ装置を提供することができる。

【0047】

図 7 A には図 7 に示された回路の代替的な実施例が示されている。図 7 および図 7 A の実施例の関係は、図 1 および図 1 A の実施例の関係と同様である。図 7 A は、基準クロック信号源 22 をレシーバ 310 から分離し得ることを示している。(他の点においてソース 22 はソース 22 と同様である。) 図 1 A の場合と同様に、トランスミッタ 320 に近接するものとし得る分離されたソース 22 を提供することによって、要素 310 と 320 を互いに比較的大きく離間して配置することができ、これは CDR データ信号のみ (REFCLK 信号は不要) を要素 310 と 320 の間において比較的遠距離を介して伝送する必要があるためである。

10

20

30

40

50

【 0 0 4 8 】

図 8 には、シンクロナイザ 3 3 0 の代替的な実施例がより詳細に示されている。この実施例においてシンクロナイザ 3 3 0 は、RAM アレー 3 6 0、書き込みアドレスロジック 3 7 0、クロックディバイダ 3 8 0、および読み取りアドレスロジック 3 9 0 を備えている。RAM アレー 3 6 0 は、PLD コア 8 0 (図 7) から書き込みアドレスロジック 3 7 0 に付加された CORECLK 信号と同期して PLD コア 8 0 からのパラレルデータワードを受信する。書き込みアドレスロジック 3 7 0 は図 6 の書き込みアドレスロジック 2 6 0 と同様なものとしてことができ、繰り返しサイクルで RAM アレー 3 6 0 内に連続するデータワード記憶ロケーションをアドレスする。従って PLD コア 8 0 によって提供された連続するデータワードは、同様に PLD コア 8 0 によって提供される ENW 信号によって書き込みが付勢されている限り、CORECLK 信号に同期させながら繰り返しサイクルで RAM アレー 3 6 0 内の連続するロケーション内に記憶される。コア 8 0 は通常 RAM アレー 3 6 0 が FULL 信号を形成しない限り書き込み付勢 ENW 信号を提供する。

10

【 0 0 4 9 】

クロック信号周波数ディバイダ 3 8 0 は、PLL 1 0 0 (図 7) によって出力された CDCLK 信号を J によって除算する。J の数値はプログラム可能な装置パラメータとすることが好適である (例えば、1 つまたは複数の FCE 内に記憶される)。図 5 に関連して記述したように、J は図 8 の装置が PLD コア 8 0 (図 7) から受信した各パラレルデータワード内のビット数に等しい整数である。ディバイダ 3 8 0 の出力信号は読み取りアドレスロジック 3 9 0 に付加される。ロジック 3 9 0 は図 6 の読み取りアドレスロジック 2 7 0 と同様なものとしてすることができる。従って、ロジック 3 9 0 は繰り返しサイクルで RAM アレー 3 6 0 内に連続するワード記憶ロケーションをアドレスし、同様にコア 8 0 から提供された ENR 信号によって読み取りが付勢されている限りディバイダ 3 8 0 からの出力信号に同期して前記ロケーションからデータワードを読み取る。コア 8 0 は通常 RAM アレー 3 6 0 が EMPTY 信号を形成しない限り読み取り付勢 ENR 信号を提供する。RAM アレー 3 6 0 から読み取られたデータは、シリアライザ 3 4 0 (図 7) にパラレルで付加される。

20

30

【 0 0 5 0 】

前述の説明から、シンクロナイザ 3 3 0 (図 6 のシンクロナイザ 7 0 と同様に) が可能な 2 つのクロックレジームの間でデータをバッファする FIFO メモリのように動作することが理解される。この場合、バッファされるデータはシリアライザ 3 4 0 へ伝送中の PLD コア 8 0 からのデータである。既に記述したように、シンクロナイザ 3 3 0 は、充満または空状態に際して PLD コア 8 0 に対してそれぞれ FULL または EMPTY 信号を形成することができる。

【 0 0 5 1 】

図 8 に示されたりセット信号は、回路をリセットすることが必要あるいは要望される際に (例えばロックの喪失が検出されたことに応答して)、RAM アレー 3 6 0 の内容を消去しディバイダ 3 8 0 をリセットするために使用される。前述した他のリセット信号と同様に、図 8 のリセット信号も PLD コア 8 0 (図 7) から提供することができる。

40

【 0 0 5 2 】

図 9 にはシリアライザ 3 4 0 の説明的な実施例がより詳細に示されている。この実施例において、シリアライザ 3 4 0 はパラレルデータレジスタ 4 0 0 およびシフトレジスタ 4 1 0 を備えている。図 8 のクロック周波数ディバイダ 3 8 0 も再び使用される。RAM アレー 3 6 0 からのパラレルデータはレジスタ 4 0 0 に付加され、ディバイダ 3 8 0 の出力信号によってゲートされた CDCLK 信号パルスに反応してこのレジスタ内に記憶される。(図 9 に示された CDCLK

50

信号は図 8 内の類似の標記のものと同等とすることができる。) レジスタ 4 0 0 に記憶されたデータは、ディバイダ 3 8 0 の出力信号がレジスタ 4 1 0 に対して C D R C L K 信号パルスの中にデータを受信すべきであることを指示している際に、C D R C L K 信号パルスにตอบสนองしてシフトレジスタ 4 1 0 へパラレル伝送される。C D R C L K パルスの間、シフトレジスタ 4 1 0 はそのシリアルデータ出力リードの方向へデータをシフトさせる。特に、シフトレジスタ 4 1 0 は、各 C D R C L K パルスにตอบสนองしてその内容をそのシリアルデータ出力リードの方向に 1 ステージシフトさせる。従って、シリアライザ 3 4 0 は、J ビットの各パラレルデータワードを C D R C L K 信号に同期したシリアル C D R 出力に変換する。結果として得られる C D R データ信号は差動ドライバ 3 4 2 に付加され、図 1 において C D R データ信号がソース 3 0 からレシーバ 4 0 へ伝送される場合と同様な方式でレシーバ 3 1 0 に伝送される。

10

【 0 0 5 3 】

図 1 0 には、前述したレシーバ 4 0 (図 1) およびトランスミッタ 3 2 0 (図 7) の全ての機能ならびに以下に記述する追加的な機能を備えた P L D 5 0 0 の説明的な実施例の代表的な部分が示されている。図 1 0 内の構成要素は既に記述した同一の参照符号を有する要素と類似のものである。図 1 0 において、2 つ以上使用される要素を個別に参照するために “ a ” および “ b ” 添え字が付けられている。図 1 0 において、5 0 0 番台の参照符号は以前の図には特に示されていないかあるいは図 1 0 において追加された要素に対して使用しており、従って以前の図には対応するものは存在しない。図 1 0 において、いくつかの要素は、以前の図に関連して説明された C D R シグナリングモードに対する代替的なシグナリングモードをサポートするためのオプションとして変更あるいは追加されている。例えば、図 1 または図 7 において提供されたクロック信号は差動信号でなければならないことはなく、代わりにシングルエンド信号とすることもできる。図 1 0 はこの代替方式をサポートする装置を示している。別の例として、図 1 0 は非 C D R 低電圧差動シグナリング (“ L V D S ”) をサポートする装置を示している。(非 C D R - L V D S に関する追加的な技術背景は、例えば 1 9 9 9 年 6 月 2 5 日提出のグエン氏等の米国特許出願第 0 9 / 3 4 0 2 2 号を参照すべきである。)

20

30

【 0 0 5 4 】

図面の過密化を防止するため、図 1 0 には以前の図の全ての回路が繰り返し示されているわけではないことは勿論である。例えば、図 1 0 には以前のいくつかの図に示された種々のリセットならびにパワーダウン信号は示されていない。さらに、図 1 0 には以前のいくつかの図に示された E N W および E N R 信号は示されていない。しかしながら、図 1 0 の回路においてもこれらの信号が好適に存在することは勿論である。

【 0 0 5 5 】

まず入力面について説明すると、図 1 0 には 2 つの代表的な入力クロックサブ回路が示されている (例えば、C D R シグナリングに関連して、代替的に L V D S クロック信号を受信するための P L L 1 0 0 b およびこれに結合された回路の場合に使用される基準クロック信号)。図 1 0 にはさらに 2 つの代表的なデータ入力サブ回路が示されている (例えば C D R または L V D S 信号を受信するために)。これらの種々のサブ回路は互いに完全にまたは部分的に独立するか、または広範な組合せで統合して使用し得ることは勿論である。例えば、いくつかのサブ回路を C D R シグナリングのために使用し、その他のサブ回路を L V D S 用に行うことができる。デバイス 5 0 0 はこれらの種々のサブ回路をさらに多くまたは全て備え得ることが理解される。

40

【 0 0 5 6 】

典型的なクロック入力サブ回路は要素 4 2 a , 5 1 0 a , 5 1 2 および 1 0 0

50

aからなる。要素510aは単純なドライバであり、入力されるクロック信号（例えばCDR基準クロック信号）が差動ではなくシングルエンドである際に差動ドライバ42aに代えてプログラムによって選択することができる。プログラマブルロジックコネクタ（“PLC”）512は、ドライバ42a/512aの出力信号およびPLDコア80内のいくつかのグローバルクロック信号コンダクタ520のいずれか上のクロック信号の中からPLL100aに付加されるクロック信号をプログラムによって選択することを可能にする。例えばPLL100aがLVDS伝送のためのクロック信号を形成するために使用される際にグローバルクロック信号のうちの1つを選択することができる。この目的で使用する場合、PLL100aによって形成されたクロック信号はLVDS差動ドライバ530を介して出力される。伝送（LVDS伝送を含む）については本明細書において後により詳細に説明する。PLL100bはLVDS伝送に使用することができないため、このPLL100bに結合されたPLC512は備えていない。しかしながら、PLL100bはLVDS入力に付随する必要があるクロック信号のために使用される。以前に記述したものと同様にCDRシグナリングに使用する場合、PLL100aはドライバ42aまたは510aの出力信号を受信し、8個の位相シフトされた候補CDRクロック信号を出力する。同様な8個の信号グループがPLL100bによって出力され得る。

10

【0057】

図10においてPLL100は以前の図には示されていない別の出力信号を有することができる。これは各PLLに結合されたリード514上の“ロックの喪失”信号である。このロック喪失信号は結合されたPLLが付加されるクロック信号にロックされているかどうかを示すフラグである。ロック状態を示すロック喪失信号数値は、例えばPFD110（図2）の出力信号が予め設定された時間インターバルにわたって比較的low振幅であった後に形成することができる。そうでない場合、ロック喪失信号はロックが喪失されたことを示す数値に伴って形成される。リード514上の信号は、PLDコア80のプログラマブルロジックが必要とするいずれかの使用目的のためにこのコアに付加される。例えば、コア80は、その時点でロックの喪失が示されているサブ回路から受信したデータを無視するか、および/またはこのサブ回路に対して前述したリセット信号を形成するようプログラムすることができる。

20

30

【0058】

各DPLL150は結合されたPLC540を備えており、これによってPLL100aまたはPLL100bによる8個の出力信号からなる2つのグループのうちのいずれかを選択してDPLLに付加することを可能にする。従って、各DPLL150はPLL100のうちのいずれかと共に使用することができる。各DPLL150はこれに結合された差動入力ドライバ44（例えばCDR信号の受信に）を備えている。各DPLL150は、付加されたCDR信号と候補CDRクロック信号を処理して、以前の記述と同様に結合された要素60および220に付加される最終的なCDRクロック信号を形成する。各DPLL150は結合された要素60に付加するリタイムされたCDRデータ信号を形成する（図10においては過密化を防ぐためにCDRデータ入力ドライバ44から結合された要素60へ直接的な接続として示されている）。（DPLL150が全てのLVDSシグナリングに使用されるわけではないことは勿論である。このため各DPLL150は、PLL100bの8個の出力信号のうちの選択された1つをこのDPLLをバイパスさせてこのDPLLに結合された要素60および220に付加することを可能にするための結合されたPLC518を備えている。入力されたLVDSデータは、結合されたDPLL150を使用せずに、入力ドライバ44から結合されたデシリアライザ60へ直接伝送される。）

40

【0059】

50

図10に示されているように、各DPLL150は前述の説明にはない他の2つの出力を有することができる。これらは各DPLLに結合されたリード516上の“ランレンクス違反(RLV)”フラグ、ならびに各DPLLに結合されたリード517上の“デジタルロックの喪失”フラグである。ランレンクス違反信号は、結合されたDPLL150が付加されたCDR信号のレベルの遷移(transition)が無いまま許可された数以上のCDRクロック信号サイクルが経過したことを検出した際にランレンクス違反を示す数値を有する。この種のランレンクス違反信号は各DPLL150内のカウンタ/コンパレータ回路によって形成することができる。カウンタは各CDR信号パルスをカウントするが、CDR信号内の各遷移によってリセットされる。コンパレータは、カウンタ内のカウント数値を、有効なCDR信号内の遷移間において生じることが許される許容CDRクロック信号サイクル数あるいはパルス数を示す、予め設定された数値(好適にはプログラムによって)と比較する。カウンタのカウント数が許容数値を超過したことをコンパレータが示すと、ランレンクス違反が生じたことを示すためにランレンクス違反数値信号が形成される。

【0060】

図10AにはRLV信号516を形成するために使用することができる回路600の説明的な実施例が示されている。この回路内のアップカウンタ620は復元されたクロック信号パルスをカウントするが(図4のソース参照)、排他的OR(“XOR”)ゲート612の出力信号が高位になる度にゼロにリセットされる。XORゲート612はその入力を介してリタイムされたデータ信号(図4のソース参照)を受信し、さらに別の入力を介してレジスタ610の出力を受信する。レジスタ610は、リタイムされたデータ信号を記録するために復元されたクロック信号によってクロックされる。XORゲート612の出力は、このゲートへの入力のうち1つ(両方ではなく)が高位になる度に高位なる。リタイムされたデータ信号が立ち上がりエッジを有すると、XORゲート612の出力信号が高位になるが(これによってカウンタ620をリセットする)、レジスタ610が依然として先の低レベルのリタイムされたデータ信号を出力し続けるからである。その後、レジスタ610の出力は高位になり、リタイムされたデータ信号が立ち下がりエッジを有していなかった場合XORゲートの出力信号は低位になり、カウンタ620がカウントを開始することを可能にする。この状態(すなわちリタイムされたデータ信号内に立ち下がりエッジが存在しない)が過度に多くの復元されたクロック信号サイクル間にわたって持続した場合、カウンタ620はリード622を介してこれに提供された閾値に到達する。この閾値カウンタパラメータはプログラム可能(例えばFCEを使用して)とすることが好適である。閾値カウンタ値に到達すると同時に、カウンタ620は、レジスタ630をセットしこれによってレジスタ630の出力信号を即座にロジック1に変更する。次のPLDクロック信号(PLDコア80(図10)からの)に対応して、レジスタ640はレジスタ630の高位の出力信号を記録し、これによってランレンクス違反が発生したことを示すRLV出力信号516を形成する。レジスタ630は、カウンタ620からのセット信号が除去された後いずれかのPLDクロック信号パルスにตอบสนองしてロジック0を出力する状態に回帰する。充分短い時間のうちに立ち上がりエッジが後続していない立ち下がりエッジがリタイムされたデータ信号内に存在することに対して、回路600は一般的に同様な方式でตอบสนองする。しかしながら、リタイムされたデータ信号内の立ち下がりおよび立ち上がりエッジが時間的に充分接近している場合、カウンタ622は充分に頻りにリセットされ、従って閾値カウンタには決して到達せずRLVフラグ信号516は形成されない。

【0061】

RLV検出はPLDコア80内で代替的に実行することもできるが、ここに示

10

20

30

40

50

されるようにCDR回路内に含める方がPLDコアを他の使用目的のために保存できるため好適である。また、RLV検出にPLDコア80を使用する場合よりも早くRLVフラグ信号を得ることができる。回路600のようなRLV検出回路は、高速の復元されたクロック信号の使用を可能にし、これによってRLV状態の検出が高速化される。

【0062】

図10に戻って説明すると、前述したPLL100がロック喪失信号514を形成する場合と同様な状況においてDPLL150によってデジタルロックの喪失信号517が形成される。例えば、デジタルロック喪失信号はDPLL150が予め設定された時間周期の間比較的安定的になるまでこのDPLL150によって形成することができる。安定性のために要求される周期はプログラム可能(例えばFCEによって)とすることが好適であり、これによって回路500を広範なDPLL周波数で使用することを達成する。

10

【0063】

図10Bには、デジタルロック喪失(“DLOL”)信号517を形成するための回路700が示されている。この回路は、いくつかのロック喪失時間インタバルまたはウィンドウをプログラムによって選択する(例えばリード702上にマルチプレクサ制御信号を提供するFCEを介して)ことを可能にする。a-nの各グループの要素710/712/720/722/730/740は可能なDLOL時間ウィンドウのうちの1つをそれぞれ提供する。各時間ウィンドウは、基本的に要素グループ内のこの時間ウィンドウに相関する要素710および720の遅延によって実行される。例えば、代表的なグループaについて説明すると、遅延要素710aは一定量の遅延時間の後にリタイムされたデータ信号(図4のソース参照)を伝送する。遅延要素720aは復元されたクロック信号(図4のソース参照)を同じ遅延時間の後に伝送する。レジスタ712aは、遅延要素710aの出力信号をデータ信号として受信し復元されたクロック信号によってクロックされる。レジスタ722aはデータ信号としてリタイムされたデータ信号を受信し遅延要素720aの出力信号によってクロックされる。復元されたクロック信号の中の立ち上がりエッジがリタイムされたデータインタバルのそれぞれ略中央に配置されるべきである。従って適宜にタイム設定されると、レジスタ712aと722aの両方がデータを捕捉し、結合されたXORゲート730aの出力信号がロジック0となり、それによってロック喪失問題が発生していないことを示す。他方、リタイムされたデータパルスが十分に遅く要素710aの遅延がレジスタ712aによって記録されるには遅過ぎるようになると、レジスタ712aの出力信号はロジック0となり、一方レジスタ722aの出力信号はロジック1となる。このことによってXORゲートの出力信号がロジック1にされ、これはロック喪失状態を示すものである。同様に、リタイムされたデータパルスが復元されたクロックの立ち上がりエッジに対して早過ぎると、要素720aの遅延はレジスタ722aがデータパルスを記録することを妨害するために十分なものとなる。このことによってレジスタ722aの出力信号をロジック0にすることができ、一方レジスタ712aの出力信号はロジック1となる。これによって再びXORゲート730aの出力信号がロジック1にされロック喪失問題を示すことができる。

20

30

40

【0064】

XORゲート730によって形成されるいずれのロジック1出力信号も、復元されたクロック信号にตอบสนองして結合されたレジスタ740によって記録される。マルチプレクサ750はリード702(前述された)上の信号によってプログラム制御され、レジスタ740の信号のうち任意の1つを出力する。従ってマルチプレクサ750の出力信号は、選択されたレジスタ740を含む要素グループに相関する遅延ウィンドウに基づいたエラー信号である。マルチプレクサ750の

50

いずれのロジック 1 出力信号も即座にレジスタ 7 6 0 をセットする。レジスタ 7 6 0 のセッティングは、次の P L D クロック信号を受信した際に D L O L カウンタ 7 7 0 によってカウントされる。カウンタ 7 7 0 は、レジスタ 7 6 0 がセットされる限りカウントを継続する。(レジスタ 7 6 0 は、このレジスタ 7 6 0 がマルチプレクサ 7 5 0 からの信号を受信していない間に生じるいずれかの P L D クロックパルスによって有効にリセットされる。) カウンタ 7 7 0 が予め設定された閾値(リード 7 0 4 を介して提供され、また好適にはプログラム可能(F C E を使用して)である)に到達すると、カウンタ 7 7 0 はリード 5 1 7 を介してロック喪失フラグ信号を出力する。図 1 0 B には示されていないが、カウンタ 7 7 0 は必要に応じて(例えばロック喪失の検出ステップが適宜に実行された後)常にリセットする(例えば P L D コア 8 0 からの信号によって)ことができる。

10

【 0 0 6 5 】

図 1 0 B に示された種々の異なった遅延は、いくつかの C D R クロック信号周波数レンジのいずれかにおいてロック喪失を検出するために適宜に選択することができる。従って、いくつかの遅延ウィンドウのうちいずれかをプログラムによって選択することは、本発明の回路を広範な C D R クロック周波数のうちいずれかと共に使用するために有用である。この機能は、C D R データと復元された C D R クロックとの間のドリフトに対してプログラムによってレベルを選択できる異なった許容差を提供することを可能にする。D L O L 回路の感度も、リード 7 0 4 上の D L O L 選択信号を介してプログラム選択することができる。

20

【 0 0 6 6 】

再び図 1 0 に戻ると、ランレンクス違反信号 5 1 6 およびデジタルロック焼失信号 5 1 7 は、考えられるロジックコア 8 0 のプログラマブルロジックによる使用のためこのコアに付加される。例えば、コア 8 0 は、ランレンクス違反信号 5 1 6 がその時点でランレンクス違反が発生していることを示す数値を有しているサブ回路(サブ回路群)からの入力データの使用を保留するか、および/またはこのような回路(群)に対して前述したリセット信号を形成するようプログラムすることができる。デジタルロック喪失に対しても同様な動作(あるいは複数動作)を実行することができる。

【 0 0 6 7 】

各ドライバ 4 4 からのデータ信号(実際は C D R モードにおいて結合された D P L L 1 5 0 からの)はさらに結合されたデシリアライザ 6 0 に付加される。各デシリアライザ 6 0 はさらに 2 つのクロック信号を受信し、1 つは結合された P L C 5 1 8 からのものであり、もう 1 つは結合されたディバイダ 2 2 0 からのものである。各デシリアライザ 6 0 は、入力された信号を使用して付加されたシリアルデータをそれぞれ J ビットからなる連続するパラレルデータに変換する。データは C D R 入力データまたは L V D S 等のその他の形式のデータとすることができる。

30

【 0 0 6 8 】

ディバイダ 2 2 0 (またドライバ 3 8 0)の出力信号は、これらのディバイダの信号のいずれかが P L D コア 8 0 内におけるクロック信号として必要である場合に、P L C 5 2 2 を介してグローバルクロック信号コンダクタ 5 2 0 のうちの異なっただれかに付加される。勿論、クロック信号コンダクタ 5 2 0 上の信号は、ローカル発振器、クロック入力ピン、またはコア 8 0 内の出力信号ロジック要素等の他のソースから代替的に選択することもできる。

40

【 0 0 6 9 】

各デシリアライザ 6 0 からのパラレルデータ出力は、以前の図に関連して記述したものと同様に結合されたシンクロナイザ 7 0 に付加するか、またはこのデータはシンクロナイザをバイパスし結合された P L C 5 4 0 を介して直接 P L D コア 8 0 に付加することができる。前者のルーティングは典型的に C D R シグナリ

50

ングのためのものであり（必要であればLVDSにも使用できるが）、この場合シンクロナイザ70は結合されたディバイダ220およびPLDコア80の両方からのクロック信号をCDR（またはLVDS）クロックレジームとPLDコアクロックレジーム間の一時的インタフェースを介してデータを伝送するために使用する。特に、PLC542は、PLDコア80内のいくつかのソースからのクロック信号（例えばグローバルクロック信号コンダクタ520のいずれか、またはPLDコア80内のその他の好適なソースからの）を結合されたシンクロナイザ70に対して選択することを可能にする。前述したように、各シンクロナイザ70によるパラレルデータ信号出力は、PLDがそのような選択を行うようプログラムされている場合、結合されたPLC540を介してPLDコア80に付加される。既に説明したように、結合されたPLC540がそのようなルーティングを可能にするようにプログラムされている場合、結合されたデシリアライザ60のパラレル出力を直接PLDコア80に付加するために各シンクロナイザ70をバイパスすることができる。このことは、PLDコア80内で使用されるものと同一のクロックを有するCDRまたはLVDS入力に対して実行される。

【0070】

各シンクロナイザ70の出力信号544（例えば前述したFULLおよびEMPTY信号）も考えられるPLDコア80による使用（例えばコアのプログラムブルロジックによって）のためこのコアに付加される。例えば、PLDコア80は、これらの信号を利用してその時点でEMPTY出力信号を形成しているシンクロナイザ70からの読み取りを一時的に停止することができる。これに代えてまたは追加して、PLDコア80は“ストップ”信号をトランスミッタ（例えば図1の要素20等）に送信しその時点でFULL出力信号を形成しているシンクロナイザ70へのそれ以上のデータ送信を停止することができる。

【0071】

ここで出力面について説明すると、図10には2つの代表的な出力サブ回路が示されている（例えば、CDRまたはLVDS信号の伝送用）。これらのサブ回路のそれぞれは、PLDコア80からのパラレルデータを受信するシンクロナイザ330が始まっている。他方、このデータは結合されたPLC550を介してシンクロナイザ330をバイパスすることができる。このバイパスルーティングはLVDSに使用することができ、一方シンクロナイザルートは以前の図に関連して説明したようにCDRに対して使用することができる。シンクロナイザ330を介するルーティングと仮定すると、このシンクロナイザは結合されたPLC552からのコアクロック信号も受信する。各PLC552は、いずれかのグローバルクロック信号コンダクタ520、コア80内のロジック要素等の可能ないくつかのソースの中からコアクロック信号を選択することを可能にする。各シンクロナイザ330は、さらに結合されたディバイダ380からのCDRまたはLVDSクロック信号（Jによる除算後の）を受信する。（各ディバイダ380はそのCDR/LVDSクロック信号を結合されたPLC360から受信し、これがいずれかのPLL100の出力のうちから使用するCDR/LVDSクロック信号を選択することができる。（CDRの場合、一般的に適正なPLL100の8個の出力のいずれを使用することも可能である。LVDSの場合、スキュー問題を緩和するPLL100aの1出力を選択することが好適である。））従って、各シンクロナイザ330は、以前の図に関連して説明したものと同様に、PLDコアクロックレジームと外部CDRあるいはLVDSクロックレジームとの間でデータをインタフェースすることができる。

【0072】

各シンクロナイザ330に結合されたPLC550は、このシンクロナイザによってデータを出力するか、またはこのシンクロナイザをバイパスして結合されたシリアライザ340にデータを付加することを可能にする。各シンクロナイザ

10

20

30

40

50

330のその他の出力信号（例えば前述したFULLおよびEMPTY信号）は、結合されたリード554を介してPLDコア80に付加することができる。PLDコア80は、これらの信号を必要とされる任意の方式で使用することができる（例えば、前述したシンクロナイザ70によるFULLおよびEMPTY出力信号の使用と同様に）。

【0073】

前述したように各シリアライザ340は結合されたPLC550の平行出力信号をシリアルデータに変換するよう動作し、これは結合された出力ドライバ342に付加される。このため、各シリアライザ340は、結合されたディバイダ380によって導出されたファクタJを介して互いに相関するクロック信号を使用する。前述したように、これらの信号のソースはPLL100の出力信号のうちの一つである。シリアライザ340がCDR信号を処理している場合、このシリアライザに付加されるクロック信号は、ドライバ42または510のうち一つを介してPLD500に付加されたCDR基準クロック信号上で動作するPLL100から伝送される。PLL100aの場合、このPLLに付加するためにCDRクロック基準信号がPLC512によって選択される。他方、シリアライザ340がLVDS信号を処理している場合、このシリアライザに付加されるクロック信号はPLL100aから伝送され、この場合これはPLC512によって選択されたPLDコア80（例えば、いくつかのリード520のいずれか）からのクロック信号（LVDSクロック信号と呼ばれることもある）上で動作する。LVDS出力信号は特にデータとクロック信号とを別々のリード上に有するため、PLL100aはさらにリード528を介してLVDSクロック信号を出力する。この信号は、PLC360に付加されるPLL100aの出力リード上の信号に対して適宜な位相相関性を有する。周波数ディバイダ529によって可能な周波数の調節が行われた後、リード528上のLVDSクロック信号は差動ドライバ520に付加され、これは付加されたクロック信号をLVDS基準に従ってPLD500から出力するための2つの差動信号に変換する。従ってPLD500はドライバ342のいずれか一つまたは複数を介してLVDSデータ信号を出力し得るとともに、ドライバ530を介して同期LVDSクロック信号を出力することができる。

【0074】

ユーザによっては相関するLVDSデータ出力信号の形成に関わる要素100a, 330および340によって使用される周波数とは異なった周波数有するLVDSクロック出力信号を要望するため、周波数ディバイダ529が設けられている。例えば、LVDSデータはPLDコア80によって42MHzおよび20ビットで提供することができる。この種のデータを処理するために、PLL100aは840MHzでクロック信号を出力する必要がある（すなわちPLL100aのREFCLKが42MHzであり、このPLL内のWが20である）。結合されたLVDSデータサブ回路内のJも20となる。しかしながら、ユーザはドライバ530から（840MHzではなく）420MHzのLVDSクロック信号を望むこともある。そのため、リード528上の840MHzの出力信号をB（前記の例においてはB=2）で分割するために周波数ディバイダ529が設けられており、その結果ドライバ520は420MHzのLVDSクロック信号を受信ならびに出力する。ディバイダ529はBに関してプログラム可能であることが好適であり（例えば1つまたは複数のFCEを使用して）、Bはその他の複数の数値とすることができる。BはPLDコア80によって周波数ディバイダ529に提供することができる。

【0075】

前述の説明から、PLD500はその入力および出力サブ回路を多様な方式で使用できることが理解される。例えば、広範なCDRおよび/またはLVDS入

10

20

30

40

50

力および/または出力の組合せを同時に行うことができる。2つのCDRサブ回路を使用する場合、これらのサブ回路は同一または異なったクロック周波数を有することができる。同様に2つのサブ回路を使用する場合、両方が入力し両方が出力するか、または1つが入力、他方が出力を行うことができる。図10に示されたより多数のデータ回路を反復して追加することができ、その結果各クロックサブ回路は任意の数のデータサブ回路と組合わせて使用することができる。LVD Sまたはデシリアライザ60および/またはシリアライザ340の使用を必要としないその他のシグナリングモードをサポートまたは実行するために、データ信号がこれらの要素をバイパスすることを可能にする別のルーティングを設けることができる。結果として、広範なCDRシグナリングプロトコルのいずれかをサポートするように回路がプログラム可能であるため、広範な非CDR-LVD Sまたはその他のプロトコルに関しても同様に柔軟であることが理解される。

10

【0076】

必要であれば図10に示された形式の回路を図10Cに示されているように追加的な回路で拡大することができる。各データ信号レシーバサブ回路は、入力ドライバ44と残りのレシーバ回路60/E T Cの間に直列接続されたP L C 5 6 0を備えることができる。(ここでは便宜上プログラマブルロジックコネクタあるいはP L C 5 6 0と呼称されるが、要素560は時にはP L Dコア80によって動的に制御することもできる。しかしながら、便宜上P L Cという用語を継続して使用する。P L C 5 7 0についても同様なことが有効であり、また本明細書中に記載されているその他のP L Cについても同様である。) P L C 5 6 0への別の入力、結合された出力データサブ回路内のトランスミッタ回路340/E T Cの出力である。P L C 5 6 0は、その入力うちのいずれかをレシーバ回路60/E T Cに付加するために選択することができる。P L C 5 6 0は、この選択を行うようP L C 5 6 2の出力信号によって制御される。P L C 5 6 2は、固定されたロジック0信号またはP L Dコア80の出力信号をP L C 5 6 0の制御入力端子に付加するようF C E 5 6 4によってプログラム制御される。固定されたロジック0を付加する場合、P L C 5 6 0は常にドライバ回路44の出力信号を回路60/E T Cに付加する。P L Dコア80の出力信号を付加する場合、この信号はロジック0またはロジック1のいずれかとすることができ、信号レベルは装置の動作中の異なった時点ごとに異なったものとなる。信号がロジック0である場合、P L C 5 6 0はドライバ44を回路60/E T Cに接続する。信号がロジック1である場合、P L C 5 6はトランスミッタ回路340/E T Cの出力を回路60/E T Cに接続する。

20

30

【0077】

要素570, 572および574は、図10Cに示された出力サブ回路に関して同様に動作する。従ってP L C 5 7 0は、トランスミッタ回路340/E T Cの出力または入力ドライバ44の出力のうちのいずれか一方をドライバ342に付加することができる。P L C 5 7 0はこの選択を行うようP L C 5 7 2によって制御される。P L C 5 7 2の出力は、F C E 5 7 4のプログラム状態に従って、固定されたロジック0またはP L Dコア80の出力信号のいずれかとすることができる。P L C 5 7 2の出力がロジック0(固定されたものまたはP L Dコア80からのもの)である場合、P L C 5 7 0は回路340/E T Cをドライバ342に接続する。他方、P L C 5 7 2の出力がロジック1(P L Dコア80からの)である場合、P L C 5 7 0は入力ドライバ44の出力をドライバ342に接続する。

40

【0078】

前述の説明から、要素560/570およびこれに結合された回路は種々の異なったテストループを提供するために使用し得ることが理解される。例えば、要素560は、トランスミッタ回路340/E T Cの出力信号をレシーバ回路60

50

／ E T Cへ戻すようにルーティングするよう制御することができる。このルーティングは、 P L Cコア 8 0が回路 3 4 0 / E T Cを介してテストデータを伝送し、回路 6 0 / E T Cを介して返送されたデータを受信することを可能にするため使用し得る。 P L Dコア 8 0にテストデータが正確に返送された場合、コア 8 0は回路 3 4 0 / E T Cおよび回路 6 0 / E T Cが適正に動作していることを検知する。別の例として、要素 5 7 0はドライバ 4 4を介して受信したテストデータをドライバ 3 4 2を介して返送するルーティングを行うよう制御することができる。これは、ドライバ 4 4と 3 4 2の適正な動作を検査するための便利な方式である。勿論、ドライバ 4 4を介し要素 5 6 0 , 6 0 / E T C , 8 0 , 3 4 0 / E T Cおよび 5 7 0によって受信したテストデータをドライバ 3 4 2によって返送する、別のテストモードも可能である。通常の（すなわち非テストモード）ルーティングは、 P L C 5 6 0がドライバ 4 4を回路 6 0 / E T Cに接続し、 P L C 5 7 0が回路 3 4 0 / E T Cをドライバ 3 4 2に接続するものである。

10

【 0 0 7 9 】

本明細書に記載されている種々の状態監視信号（例えばロック喪失およびランレンクス違反信号等）、ならびにユーザが P L Dコア 8 0内にプログラムすることができる種々の動作チェック、さらに種々のリセット信号を P L Dコア 8 0が使用して、多様な状況下において回路 5 0 0の多様な部分を自動リセットすることができる。このような考えられるリセット手段の例として、“グローバルリセット”および“チャンネルリセット”と呼ばれるものが挙げられる。グローバルリセットは、全ての P L L 1 0 0、全ての D P L L 1 5 0、全てのカウンタ（ P L L、D P L L、シリアライザ、デシリアライザ内のカウンタ / ディバイダ / マルチプライア）、ならびに全ての F I F O（すなわち R A Mアレー 2 5 0および 3 6 0）をリセットする。チャンネルリセットは、ペアのレシーバ内と、互いに結合されたあるいはリセットされるチャンネルを形成するために組合されたトランスミッタサブ回路内の F I F Oをリセットする。チャンネルリセットは、さらにリセットされるチャンネル内の D P L Lをリセットする。 P L L、D P L L、シリアライザ、デシリアライザ、またはシンクロナイザ F I F O等の各要素内のリセットされる構成部分は、前述した各図内のリセット信号の受信部によってより明らかにされている。

20

30

【 0 0 8 0 】

前述したように、多様なタイプのリセットが実施される状況は P L Dコア 8 0内にプログラムすることができる。例えば、グローバルリセットは P L Lによってロック喪失信号が出力された際に実行することができる。別の例として、チャンネルリセットは、以下のいずれかの状況が検出された際に実行することができる：それらは（ 1 ）ランレンクス違反、（ 2 ）デジタル（すなわち D P L L）ロック喪失、（ 3 ）ユーザによって定義されたエラーまたは異常状態（例えば、 P L Dコア 8 0内におけるユーザのロジックがデータ伝送エラーを検出する）である。前述したように、ランレンクス違反、ロック喪失、デジタルロック喪失の検出に使用されるパラメータは、勿論プログラム可能（例えば P L Dコア 8 0のプログラミングによって）とすることが好適である。

40

【 0 0 8 1 】

図 1 0においては単一の集積回路上に全てが示されているが、実施例によっては構成要素および / または機能のうちのいくつかを（完全にまたは部分的に）第 2の集積回路上に設けることが好適である。例えば、図 1 1 Aには、全ての高周波 P L L（図 1 0の P L L 1 0 0等）および全ての D P L L（図 1 0の D P L L 1 5 0等）がマルチチップモジュール 8 0 0内の 1つのチップ（集積回路） 8 1 0上に設けられている説明的な実施例が示されている。図 1 0内のその他の主要な機能要素（例えば、デシリアライザ 6 0、シリアライザ 3 4 0、シンクロナイザ 7 0および 3 3 0、ならびに P L Dコア 8 0）は、マルチチップモジュール内

50

の第2のチップ(集積回路)820上に設けられている。チップ810および820は互いに独立しているがマルチチップモジュール800内において近接して組み合わせることが好適である。例えば、チップ810と820の間において全てまたは殆どの信号ついて差動シグナリングを使用することができる。目的によっては(例えば、CDRまたは特定の高周波非CDRシグナリング等)、チップ820はチップ810を介して外部の回路と交信することができる。その他の目的において、チップ820は外部の回路と直接交信することもできる。高周波PLLおよびDPLLをPLDコア80等のその他の回路から分離することによって、このその他の回路との間の高周波干渉を低減することが可能になる。図11Aにはチップ810および820内の種々の要素がどのように相互接続されるかは示されていないが、この相互接続は基本的に図10に示されたものと同様であることが理解される。

10

【0082】

図11Bには、本発明に係るマルチチップモジュール800の別の説明的な実施例が示されている。図11Bにおいて、マルチチップモジュールの1つのチップ830は、図11(チップ810)に示された全ての高周波PLL100およびDPLL150を含んでいる。加えてこの回路チップ830は、PLL100の出力信号を2で分割してその結果をチップ840に付加する回路802を含んでいる。チップ830は、さらにデシリアライザ60、シンクロナイザ70、シンクロナイザ330、シリアライザ340を含んでいる。チップ830は、高周波外部(例えばCDR)クロックレジームと低周波PLDコアクロックレジームとの間において信号をトランスレートするために必要な動作の一部を実行する設定されている。チップ830は、特にこの機能のうちの高周波部分を実行する。チップ840は、この機能のうちの高周波部分を実行する。従って、チップ840は、PLDコア80、ならびにそれぞれ要素60、70、330および340に類似であるがより低い周波数で動作する追加的な要素60、70、330および340を備えている。図示された実施例において、チップ830は、信号によって示される情報に相関する最高(外部)周波数とこの最高周波数の半分の周波数の間で信号をトランスレートするために必要な全ての操作を実行する。チップ840は、最高周波数の半分の周波数とPLDコアクロック周波数の間において信号をトランスレートする操作を実行する。前記のことは、信号送信ならびに信号受信の両方に対して好適である。この方式により、チップ840は、最高または外部クロック信号周波数の半分よりも高い周波数有する信号を受信または処理する必要がなくなる。例えば、システムが1.25GHzのクロック信号周波数を扱っている場合、チップ830はこの周波数を625MHzにステップダウンしてチップ840に付加するために必要な全てのことを実行する。チップ840は625MHzよりも高い周波数を有するデータまたはクロック信号を取り扱うことはない。これは、高周波PLLおよびDPLLをオンボードに備えていないがチップ820が最高周波数のクロック信号(例えばチップ810からの)を処理する必要がある図11Aの実施例とは対照的である。

20

30

40

【0083】

図11Bの実施例の考えられる制限は、全周波数変換を要素802に相関する除数の倍数としなければならないことである。(この除数は2に限定されるものではなく、3または4等の数字とすることができる。)例えば、除数が2である場合、奇数ワード長(例えば3, 5, 7等のワード長)を簡便に非直列化または直列化することができない。図11Aの場合のように、チップ830と840の間を伝送される殆どまたは少なくとも多くの信号に対して差動シグナリングを使用することが好適である。

【0084】

50

図 1 1 B の実施例について考えてみると、チップ 8 3 0 と 8 4 0 の間のデータ
 交信のデータ速度がチップ 8 3 0 から外部回路への接続に関連した最高周波数デ
 ータ速度よりも低いため、チップ 8 3 0 の 1 つの外部データ接続のためにチップ
 8 3 0 と 8 4 0 の間のより多数のデータ接続が必要となる。例えば、図 1 1 B の
 回路 8 0 2 に相関する除数が 2 である場合、チップ 8 3 0 から外部回路への各デ
 ータ接続のためにチップ 8 3 0 と 8 4 0 の間に 2 つのデータ接続が必要となる。
 このことは以下に記す図 1 3 A および図 1 3 B の説明によってより明らかにされ
 る。これらの図の両方が図 1 1 B の回路 8 0 2 に相関する除数が 2 であると仮定
 したものであるが、図 1 3 A および図 1 3 B の回路がその他の除数値のためにど
 のように変更し得るかが明らかとなっている。

10

【 0 0 8 5 】

図 1 3 A にはチップ 8 3 0 および 8 4 0 内のレシーバ回路がより詳細に示され
 ている。デシリアライザ 6 0 は、クロック速度 C L K を有するシリアル入力デ
 ータをそれぞれ C L K / 2 のクロック速度を有するとともに元のシリアルデータ
 入力信号情報のそれぞれ半分を含んだ 2 つの平行データ出力信号に変換する
 点を除いて、図 5 のデシリアライザ 6 0 に極めて類似している。(勿論、これら
 2 つのデータ信号はなおシリアルデータ信号である。) これら 2 つのデータ出力
 信号のそれぞれは、チップ 8 3 0 のその他の回路(例えばシンクロナイザ 7 0
 (図 1 1 B) および出力ドライバ(図 1 0 の出力ドライバ 3 4 2 に類似)を分離
 して伝送することができ、その後チップ 8 4 0 に付加される。この信号経路内
 において、シンクロナイザ 7 0 は、データ出力信号をリタイムしてディバイダ 8
 0 2 の C L K / 2 出力信号とより良好に同期させるために使用することができ、
 前記の出力信号はさらに出力ドライバ(図 1 0 の出力ドライバ 5 3 0 に類似)等
 のその他の回路を介してチップ 8 3 0 の外部へ伝送されチップ 8 4 0 に付加され
 る。(デシリアライザ 6 0 はチップ 8 3 0 上の D P L L 1 5 0 からの復元され
 た C L K 信号と共に動作するがディバイダ 8 0 2 はチップ 8 3 0 上の P L L 1 0
 0 の出力信号と共に動作するため、このリタイミングが必要または有用なもの
 となる。これら 2 つの信号は同じ周波数を有するが、異なった位相を有する
 ことがあり得る。)

20

【 0 0 8 6 】

図 1 3 A のチップ 8 4 0 上において、各入力データは最初に入力ドライバ等(
 図 1 0 の入力ドライバ 4 4 に類似)のさらにその他の回路を介して伝送するこ
 とができ、その後デシリアライザ 6 0 a および 6 0 b のうち適宜な 1 つにそれ
 ぞれ付加される。(デシリアライザ 6 0 a および 6 0 b は単一のディバイダ
 回路 2 2 0 を共有しているように示されているが、必要であれば別々のディバ
 イダ回路を代わりに使用することができる。) デシリアライザ 6 0 のそれぞれ
 は、(既に明らかなように)各デシリアライザ 6 0 が元の入力シリアルデータ
 の半分のみを処理する点を除いて、再び図 5 のデシリアライザ 6 0 に類似してい
 る。加えて、結合されたディバイダ回路 2 2 0 は、 $J / 2$ (J ではなく)によ
 って受け取った C L K / 2 信号を分割するためにのみ必要とされる。両方のデシ
 リアライザ 6 0 a および 6 0 b の平行出力信号は、合わせて元のシリアル
 データ入力信号の全平行データ出力バージョンである。この平行出力
 信号は(例えば図 1 0 に関連して)前述したようにさらに処理される。例えば、
 チップ 8 4 0 上のシンクロナイザ 7 0 は、平行データ信号を P L D コア 8
 0 に相関するクロックレジームにリタイムするために使用することができる。

30

40

【 0 0 8 7 】

図 1 3 B には、チップ 8 3 0 および 8 4 0 上のデータトランスミッタ回路がよ
 り詳細に示されている。シリアライザ 3 4 0 a および 3 4 0 b はそれぞれ図
 9 のシリアライザ 3 4 0 に類似している。シリアライザ 3 4 0 a および 3 4 0
 b はディバイダ回路 3 8 0 を共有しているように示されているが、必要であ

50

れば各シリアライザがそれぞれ独自のディバイダを備えることもできる。各シリアライザ340a および340b は、全パラレル入力データの半分を2つのシリアル出力信号の一方にそれぞれ変換する。これらの信号は、チップ840から送出され（例えば図10の出力ドライバ342に類似する出力ドライバを介して）チップ830に付加される。チップ830上の入力ドライバ（例えば図10の44に類似）およびその他の回路がこれらの信号を受信し、シリアライザ340の入力側にパラレル付加するために処理する。（シンクロナイザ330は、チップ840上のシリアライザ340a および340b によって使用されるPLLに基づいたクロックレジームからのデータ信号をチップ830上のシリアライザ340 によって使用されるDPLLに基づいたクロックレジームにリタイムするために使用することができる。）シリアライザ340 は再び図9のシリアライザ340に類似しており、パラレルに受信した2つのデータ信号をシリアルデータ出力信号に変換する。

10

【0088】

このように、図13Aおよび図13Bは図11B内のチップ830および840内のいくつかの要素がどのように相互接続され得るかを示している。図11Bの要素のその他相互接続は一般的に図10に示されたものと同様にすることができる。

【0089】

図11Cには、本発明に係るマルチチップモジュール800 のさらに別の説明的な実施例が示されている。この実施例において、チップ860は、図10のデバイス500と同一かあるいは実質的に同一のものとするすることができる。しかしながら、システムによって受信されたCDR信号をチップ860に伝送する前に“クリーンアップ”し、および/またはチップ860によって形成されたCDR信号を外部回路に伝送する前に同様に“クリーンアップ”するためのインタフェースチップ860が追加されている。従ってチップ850は外部回路からCDR信号を受信することができる。チップ850はPLL100 およびDPLL150 を使用してこれらの信号からクロックを復元する。チップ850はシンクロナイザ70（これらの信号をバッファおよび/またはリタイムするために）を介してCDR信号を伝送し、また結合されたCLKREF信号を出力することもできる。これらのチップ850の出力CDR信号は、このチップ850が受信したものよりも一般的に良好な信号品質を有しているが、その他の点に関しては入力および出力CDR信号は同等なものとなる。チップ860はこのチップ850の出力信号を受信し、これらはより高い信号品質を有しているため元の信号よりも信頼性の高い処理を行うことができる。チップ850上において非直列化は必要とされず、チップ860上においてのみ実行することができる。チップ850による外向き信号処理も同様であり、チップ860からの入力CDR信号とチップ850から外部回路への出力信号との間においてバッファおよび/またはリタイムを行うためにシンクロナイザ330 を使用することを含んでいる。図11Aおよび図11Bの場合と同様に、チップ850と860の間で伝送される多くの信号（全てではない）について差動シグナリングを使用することが好適である。また、前述の説明により、チップ850と860の間において、モジュール800 によってCDR信号として受信されたものかあるいはモジュール800 によってCDR信号として出力されるもののいずれか信号に対してCDRシグナリングが使用されることが少なくとも示唆されている。図11Aおよび図11Bの場合と同様に、図11Cに示された種々の要素の間の相互接続は一般的に図10に示されているものと同様である。

20

30

40

【0090】

以下の記述においては、既に説明した種々のマルチチップモジュール800 , 800 および800 の全てが参照符号800をもって総称される。

50

【0091】

図12には、データ処理システム1002内に設けられた本発明に係るPLD500またはマルチチップモジュール800が示されている。データ処理システム1002は以下の構成要素のうち1つまたは複数を用意しており：それらはプロセッサ1004；メモリ1006；I/O回路1008；および周辺デバイス1010である。これらの構成要素はシステムバスまたはその他の相互接続要素1020を介して互いに結合され、エンドユーザシステム1040内に内蔵された回路基板1030上に装備されている。要素500/800およびその他の要素の間のいずれの相互接続も前述したCDRまたはLVDSシグナリングを使用して形成することができる。

10

【0092】

システム1002は、コンピュータネットワーク、データネットワーク、ビデオ処理、デジタル信号処理、またはプログラマブルあるいはリプログラマブルロジックデバイスの利点を活用することが望まれる、広範な適用形態で使用することができる。PLD/モジュール500/800は多様なロジック機能を広範囲に実行するために使用することができる。例えば、PLD/モジュール500/800はプロセッサ1004と組合わせて動作するプロセッサまたはコントローラとして構成することができる。PLD/モジュール500/800は、さらにシステム1002内の共有リソースへのアクセスを仲介するアービタとして構成することもできる。さらに別の例として、PLD/モジュール500/800は、プロセッサ1004とシステム1002内の他の構成要素との間のインタフェースとして構成することもできる。システム1002は1つの例であり、本発明の視点ならびに精神は請求の範囲によってのみ定義されることは勿論である。

20

【0093】

本発明の特徴を有するPLD500またはマルチチップモジュール800、ならびにこれらのデバイスの種々の構成要素（例えば、先述したPLCおよびこのPLCを制御するプログラム可能な機能制御要素（“FCE”）を実施するために多様な技術を使用することができる。例えば、各PLCは、いくつかの入力を1つの出力に接続するためのスイッチまたはスイッチ群等の比較的単純なプログラマブルコネクタとすることができる。他方、各PLCは、接続を行うだけでなくロジック（例えば、複数の入力ロジック結合）を実行することができるより複雑な要素とすることもできる。後者において、各PLCはAND、NAND、OR、またはNOR等の機能を実施するp項ロジックとすることができる。PLCを構成するために適した要素の例としては、EPROM、EEPROM、パストランジスタ、伝達ゲート、アンチヒューズ、レーザヒューズ、メタルオプションリンク等が挙げられる。PLCおよびその他の回路要素は、多様なプログラマブル機能制御要素（“FCE”）によって制御することができる。（特定の実施形態（例えばヒューズおよびメタルオプションリンク）については独立したFCEデバイスは必要でない。）FCEもいくつかの異なった方式で実施することができる。例えば、FCEは、SRAM、DRAM、先入れ先出し（“FIFO”）メモリEPROM、EEPROM、機能制御レジスタ（例えば、ウォールストロームの米国特許第3473160号に記載）、強誘電メモリ、ヒューズ、アンチヒューズ等から構成することができる。前述の多様な例から、本発明は一回のみプログラム可能なデバイスおよびリプログラム可能なデバイスの両方に適用可能であることが理解される。

30

40

【0094】

以上の記述は単に本発明の原理を説明したものであり、当業者においては本発明の視点および精神を逸脱することなく種々の設計変更をなし得ることは勿論である。構成要素500/600上の種々のリソースの数は、図示ならびに記述さ

50

れた実施例とは異なった数とすることができる。

【図面の簡単な説明】

【0095】

【図1】本発明に係るCDRシグナリング装置の説明的な実施例を示す簡略化された概略ブロック線図である。

【図1A】本発明に係るCDRシグナリング装置の別の実施例を示す簡略化された概略ブロック線図である。

【図2】図1の本発明に係る装置の説明的な実施例の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図3】図2の本発明に係る装置の説明的な実施例の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図4】図1の本発明に係る装置の説明的な実施例の別の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図5】図1の本発明に係る装置の説明的な実施例のさらに別の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図6】図1の本発明に係る装置の説明的な実施例のさらに別の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図7】本発明に係るCDRシグナリング装置の別の実施例を示す簡略化された概略ブロック線図である。

【図7A】本発明に係るCDRシグナリング装置のさらに別の実施例を示す簡略化された概略ブロック線図である。

【図8】図7の本発明に係る装置の説明的な実施例の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図9】図7の本発明に係る装置の説明的な実施例の別の一部をより詳細に示したものであるがなお簡略化された概略ブロック線図である。

【図10】本発明の以上の図面に示された特徴ならびにその他特徴を組合わせたプログラマブルロジックデバイスの説明的な実施例の代表的な部分を示す簡略化された概略ブロック線図である。

【図10A】本発明に係る図10の回路内に含まれることができる回路の説明的な実施例を示す簡略化された概略ブロック線図である。

【図10B】本発明に係る図10の回路内に含まれることができる別の回路の説明的な実施例を示す簡略化された概略ブロック線図である。

【図10C】本発明に係る図10の回路の代表的な部分の可能な変更の説明的な実施例を示す簡略化された概略ブロック線図である。

【図11A】本発明に係る図10に示される形式の回路の代替的な実施例を示す簡略化された概略ブロック線図である。

【図11B】本発明に係る図10に示される形式の回路の別の代替的な実施例を示す簡略化された概略ブロック線図である。

【図11C】本発明に係る図10に示される形式の回路のさらに別の代替的な実施例を示す簡略化された概略ブロック線図である。

【図12】本発明に係る回路を使用するシステムの説明的な実施例を示す簡略化された概略ブロック線図である。

【図13A】図11Bの回路の代表的な部分の説明的な実施例をより詳細に示す簡略化された概略ブロック線図である。

【図13B】図11Bの回路の別の代表的な部分の説明的な実施例をより詳細に示す簡略化された概略ブロック線図である。

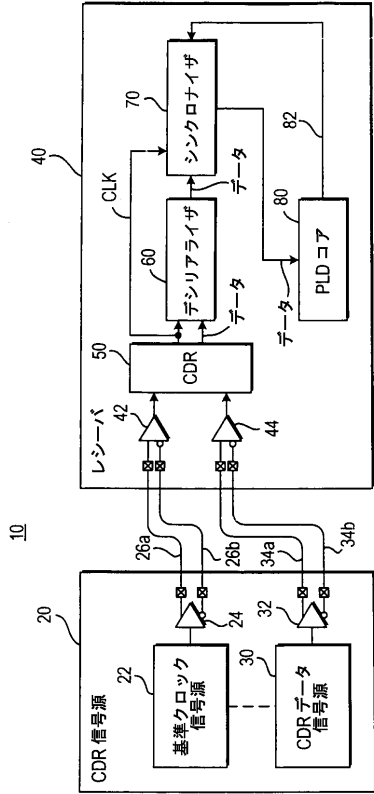
10

20

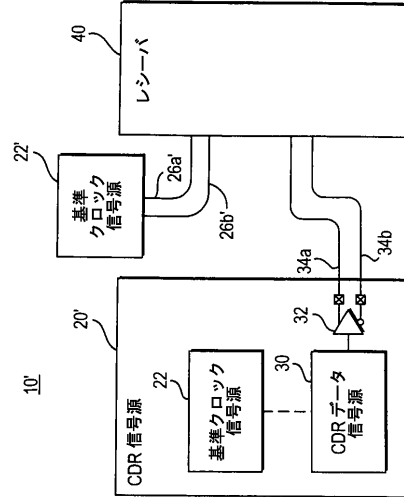
30

40

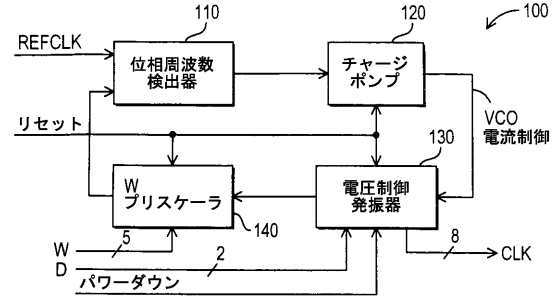
【図1】



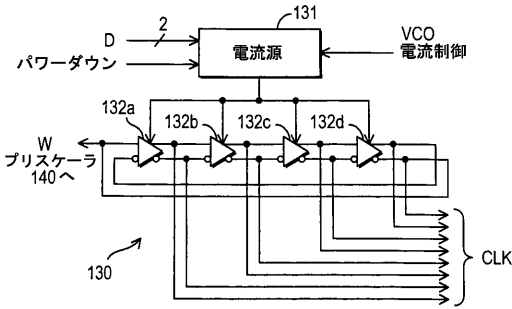
【図1A】



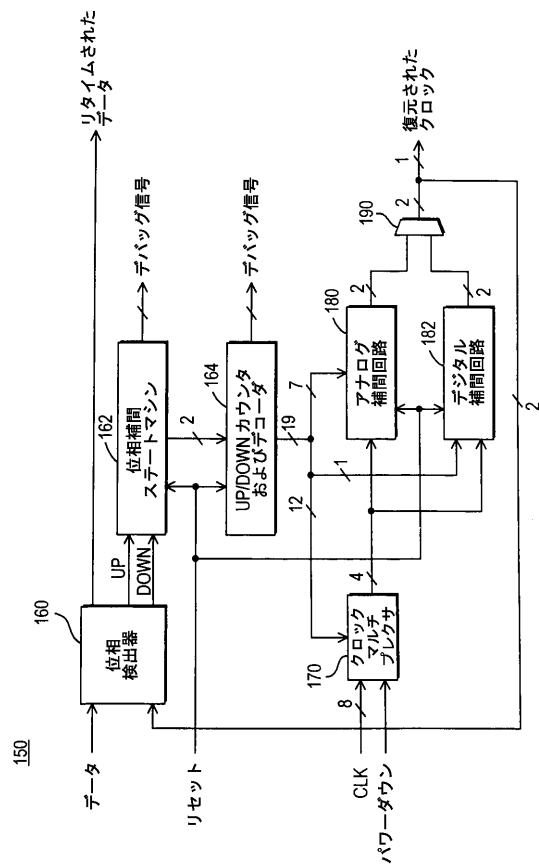
【図2】



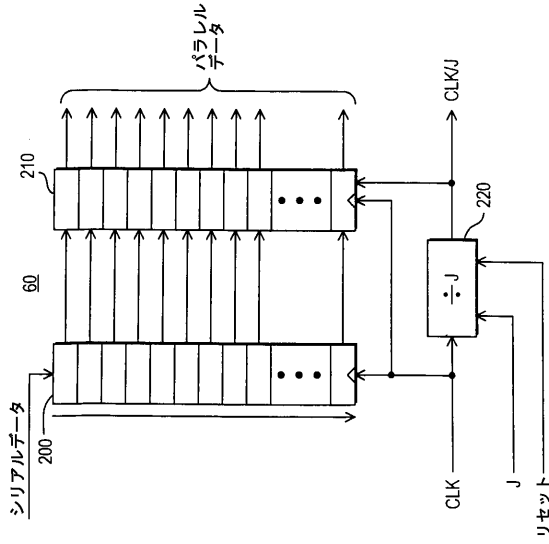
【図3】



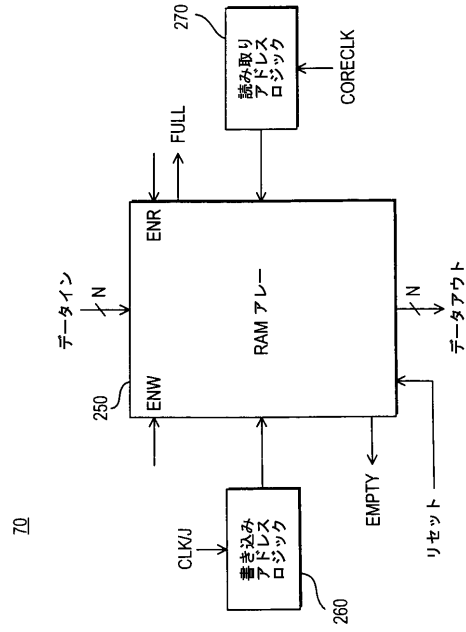
【図4】



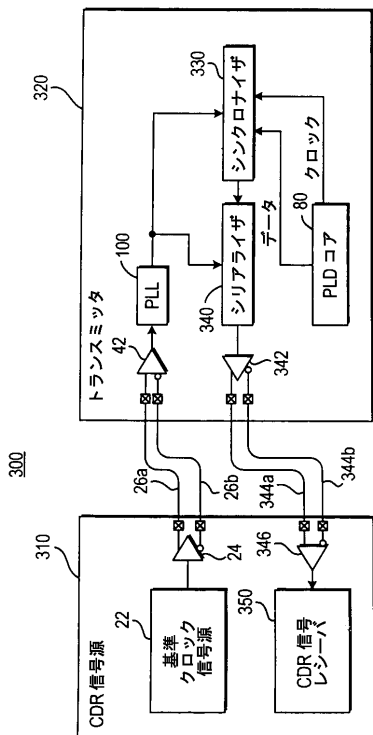
【図 5】



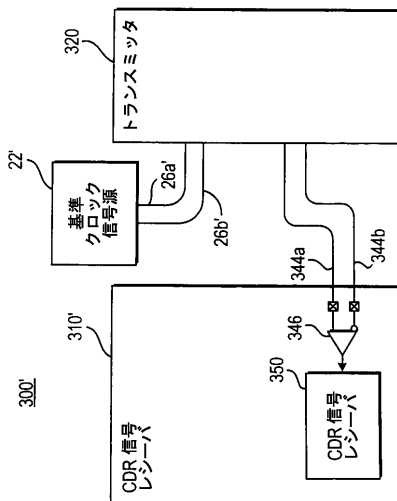
【図 6】



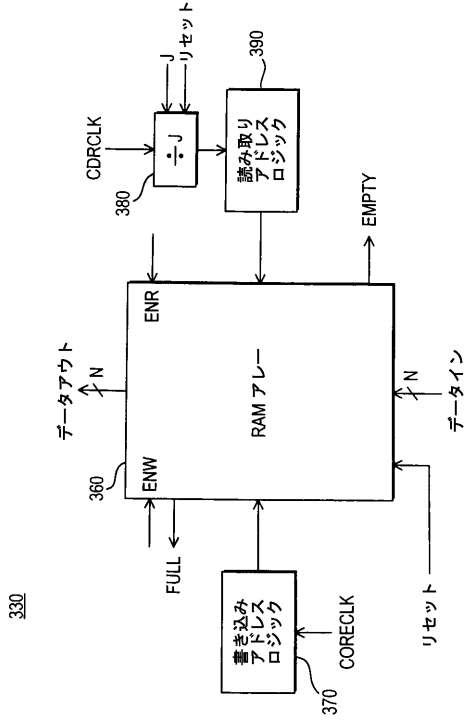
【図 7】



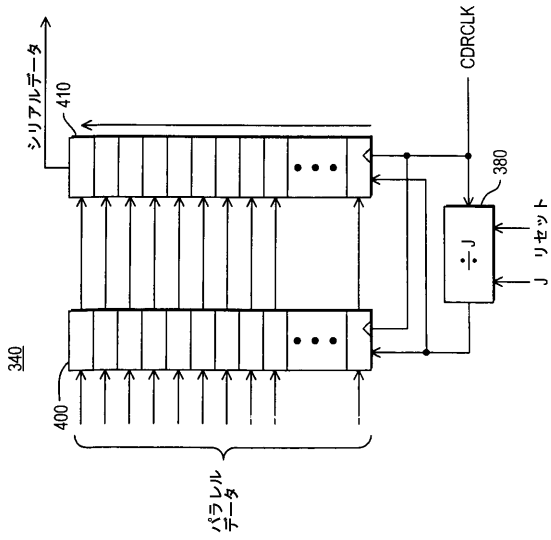
【図 7 A】



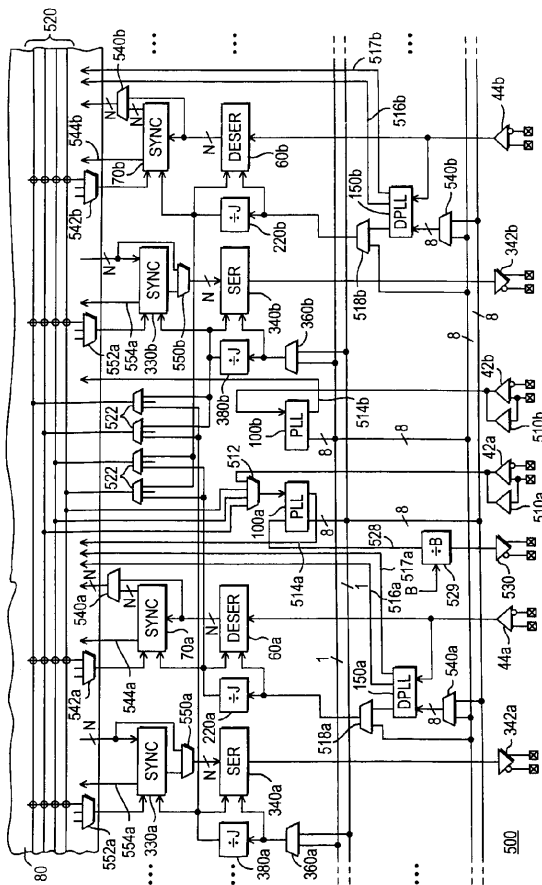
【図 8】



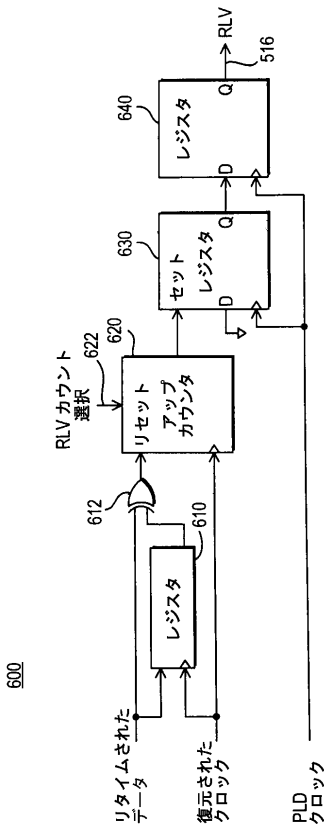
【図 9】



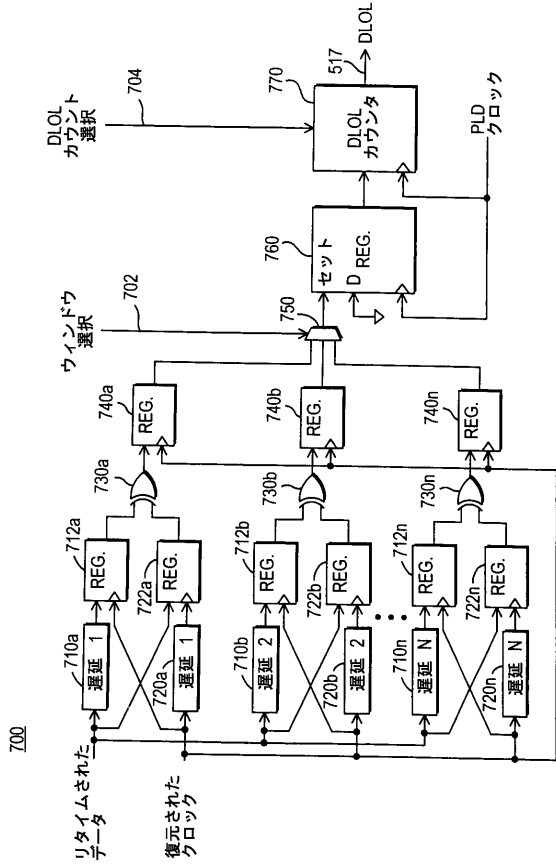
【図 10】



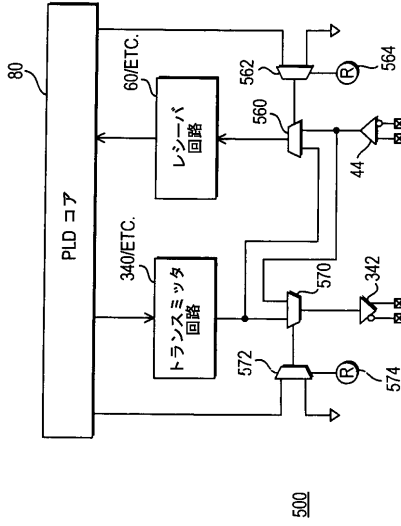
【図 10A】



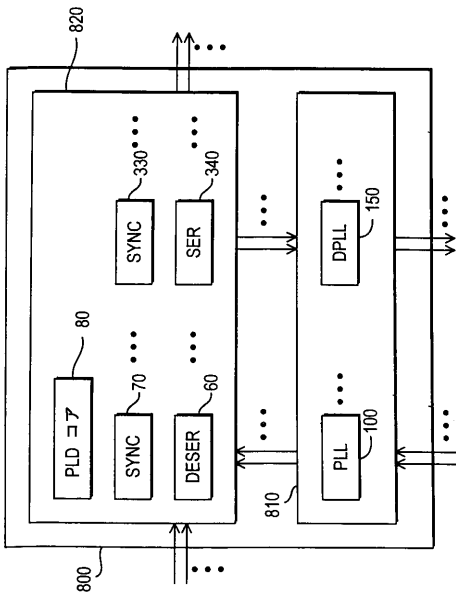
【図10B】



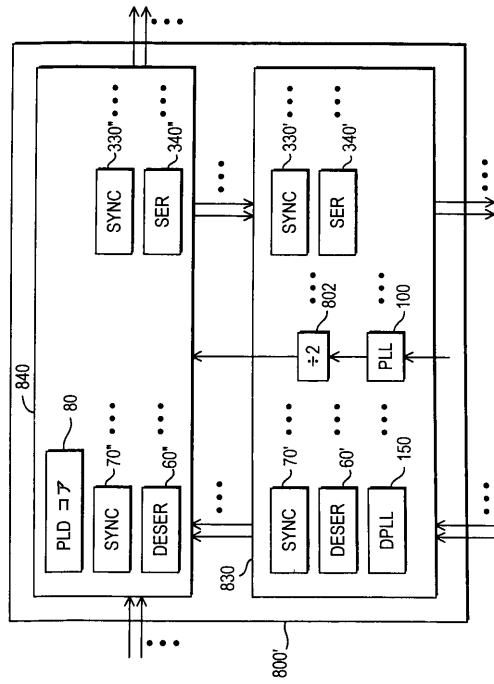
【図10C】



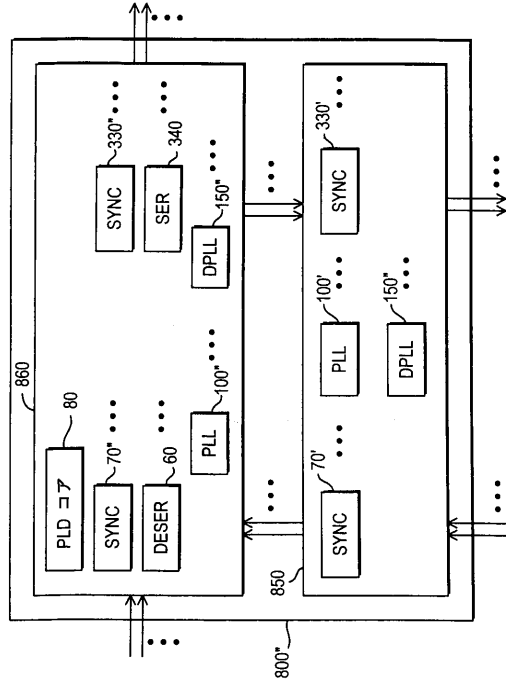
【図11A】



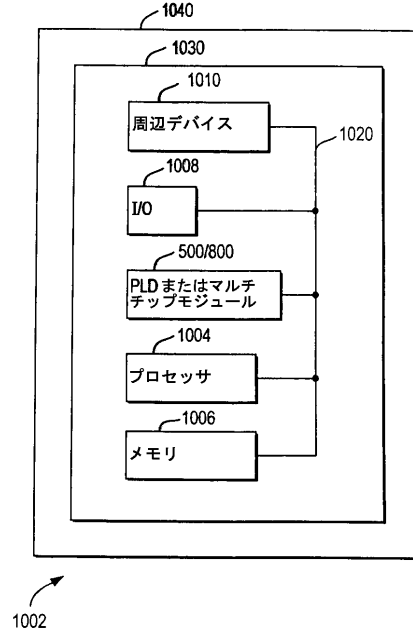
【図11B】



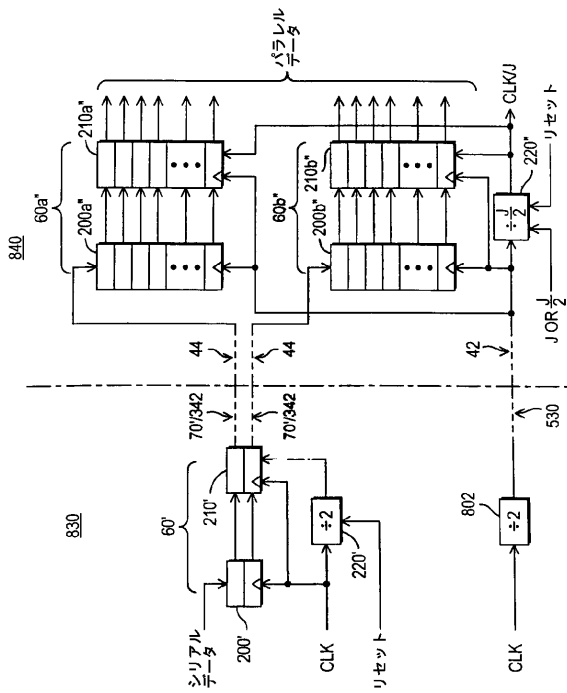
【図11C】



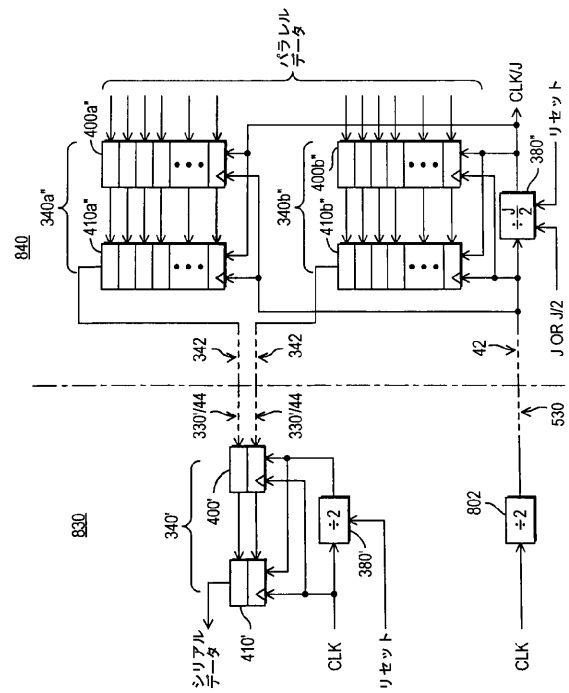
【図12】



【図13A】



【図13B】



フロントページの続き

- (72)発明者 エドワード アウン
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション
- (72)発明者 ルイ ヘンリー
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション
- (72)発明者 ポール バトラー
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション
- (72)発明者 ジョン ターナー
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション
- (72)発明者 ラケシュ パテル
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション
- (72)発明者 チョン リー
アメリカ合衆国、カリフォルニア 9 5 1 3 4、サン ホセ、イノベーション ドライブ 1 0 1
、ケアオブ アルテラ コーポレーション

審査官 白井 亮

- (56)参考文献 米国特許第 5 6 8 9 1 9 5 (U S , A)
米国特許第 5 9 0 9 1 2 6 (U S , A)
米国特許第 6 0 3 1 4 2 8 (U S , A)
特開平 1 0 - 1 3 4 5 2 3 (J P , A)
実開昭 6 3 - 1 0 8 2 3 8 (J P , U)
実開平 0 6 - 0 4 8 2 4 3 (J P , U)
特開平 0 4 - 1 9 9 9 1 2 (J P , A)
特開平 0 9 - 1 4 9 0 1 7 (J P , A)
特開昭 6 3 - 1 2 1 3 4 4 (J P , A)
特開平 1 1 - 0 0 4 2 1 8 (J P , A)
特開平 0 4 - 2 7 4 5 4 2 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 4 L 7 / 0 0 - 7 / 1 0