

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 8/00

(11) 공개번호 특2001-0022944
(43) 공개일자 2001년03월26일

(21) 출원번호	10-2000-7001552	(87) 국제공개번호	W0 1999/09560
(22) 출원일자	2000년02월15일	(87) 국제공개일자	1999년02월25일
번역문제출일자	2000년02월15일		
(86) 국제출원번호	PCT/US1998/15979		
(86) 국제출원출원일자	1998년07월31일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 사이프러스		
	국내특허 : 중국 일본 대한민국		
(30) 우선권주장	08/911,737 1997년08월15일 미국(US)		
(71) 출원인	실리콘 아쿠아리우스 인코포레이티드		
	미국 75081 텍사스 리차드슨 801 이. 캠프벨 로드 슈트 300		
(72) 발명자	라오, 모현, 지., 알.		
	미국75029텍사스플레노프리스톤드라이브#20167200		
(74) 대리인	남상선		

심사청구 : 없음

(54) 저 대기시간 디램 셀 및 그 방법

요약

본 발명에 따르면, 스테틱 및 다이내믹 메모리의 양쪽 장점을 모두 갖는 메모리 시스템이 제공되도록 메모리 셀 및 그 구조가 구현된다. 다이내믹 메모리 셀은 셀 내에 저장된 데이터 값과 관련된 전하를 저장하는 커패시터를 이용하여 구현된다. 저장 커패시터는 멀티플 스위치를 통해 액세스될 수 있으며, 그 스위치 각각은 독립적 비트라인에 결합된다. 독립적 비트라인이 구현되기 때문에, 다음 메모리 동작의 수행을 위해서, 두번째 비트라인이 프리차지되거나 리프레시된 상태에서 하나의 비트라인이 메모리 셀 내에 저장된 데이터 값을 감지할 수 있다. 이와 같이, 데이터가 첫번째 비트라인에 도착하자 마자, 두번째 비트라인을 공유하는 임의의 메모리 셀이 이들이 모두 동일한 데이터 메모리 어레이에 존재하는 경우에도 감지되어 복구될 준비가 된다. 종래의 DRAM 셀에서는 이들이 동일한 메모리 위치를 액세스하는 비트라인을 프리차지하는 리프레시 주기를 필요로 하기 때문에 이러한 연속 동작이 가능하지 않다. 다음 연속 타이밍 사이클에서 동일한 메모리 셀을 액세스하는 능력을 제공함으로써, 매우 낮은 대기시간을 갖는 DRAM 셀이 구현된다.

대표도

도2

명세서

기술분야

본 발명은 일반적으로 전자 메모리에 관련된 것이며, 보다 상세하게는 저 대기시간(latency)을 갖는 다이내믹 랜덤 액세스 메모리(DRAM)과 이를 이용하는 시스템 및 방법에 관한 것이다.

배경기술

반도체 기술이 진보함에 따라서, 개인용 컴퓨터, 워크스테이션, 통신 시스템과 같은 데이터 프로세싱 응용 분야에서 고속이며 대형 메모리 용량이 점점 필요하게 되었다. 구체적으로, 반도체 데이터 프로세싱 시스템은 전형적으로 메모리의 임의의 부분이 타부분과 동일한 속도로 읽고 쓰여질 수 있도록 하는 RAM 메모리를 구비하고 있다. 반도체 RAM은 일반적으로 비휘발성, 스테틱(static) 및 다이내믹(dynamic)으로 분류된다. 비휘발성 RAM은 일반적으로 시스템 구동시에 액세스되는 시스템 정보와 같은 영구적으로 저장되어야 하는 정보용으로 사용된다. 스테틱 RAM은 레치에 데이터를 저장하며 파워가 메모리에 공급되는 경우에 정보를 유지할 수 있다. 파워가 메모리로부터 제거되는 경우에, 스테틱 메모리는 저장된 모든 데이터를 잃어버리게 된다. 다이내믹 랜덤 액세스 메모리(DRAM)는 주기적으로 리프레시(refresh)되어야 하는 실질적으로 매우 소형인 메모리 셀을 사용함에 의해 구현된다. 이러한 리프레시 동작이 없는 경우에, DRAM 셀은 그 내부의 커패시터로부터의 셀 누설로 인하여 저장된 정보를 잃어버리게 된다.

DRAM 셀이 컴팩트한 메모리 셀을 제공하나, 특정 동작을 위한 다른 회로 부분의 요구과 함께 DRAM에서의 리프레시의 요구는 메모리 액세스 시간을 느리게 만든다. 지난 20년 이전부터, 마이크로제어기 및 마이크로프로세서를 포함하는 데이터 프로세서의 내부 속도가 약 40배 정도 향상되었으나, DRAM 스피드는 두 배 이하로 향상되었다. 또한, 마이크로프로세서 클럭 주파수는 조만간 1GHz 범위까지 도달할 것으로 예상되나, 가장 빠른 DRAM은 단지 동일한 시간 주기에서 200MHz에 도달할 것으로 예상된다.

DRAM의 속도는 몇개의 인자에 의해 제한된다. 예를들어, DRAM은 스테틱 RAM과 일부 랜덤 로직 회로와 비교하여 속도에서가 아니라 저전력으로 최적화되기 때문에 긴 사이클 시간을 갖는 경향이 있다. 구체적으로, DRAM 셀이 동작하는 속도는 각 셀을 구현하는데 사용되는 커패시터의 누설을 보상하기 위해 셀이 주기적으로 리프레시되어야 한다는 요구에 의해 제한된다. 또한, 리프레시 요구에 부가하여, 사이클 시간이 리프레시 요구와 경쟁함으로써 악영향을 줄 수 있다. 이러한 경쟁은 리프레시되는 DRAM 메모리에 액세스가 동시에 요구되는 경우에 발생한다. 또한, 읽기 및 쓰기 동작은 "데이터 감지 및 증폭" 전에 "프리-차지(pre-charge)" 또는 셋업 시간을 요구한다. 이러한 정보는 당업계에서 주지되어 있으며 "XVI 회합, 랜덤 액세스 메모리", L. White 등, 1980 IEEE 국제 고상 회로 컨퍼런스 진행중 발행에 보다 상세하게 설명되어 있다. 통상, 리프레시 동작은 DRAM 내의 다른 동작들보다 우선권을 갖는다. 따라서, 읽기 또는 쓰기 동작은 리프레시 동작이 수행된 후까지 지연된다. 이러한 경쟁을 감소시키기 위한 노력으로, 일부 메모리 시스템에는 캐시 메모리가 포함되며, 이때 데이터 프로세싱 시스템의 중앙처리장치에 제한된 양의 메모리를 이러한 캐시 메모리가 스테틱 RAM과 같이 구현되기 때문에 잠재적인 경쟁 문제 발생없이 보다 신속하게 액세스 가능하도록 한다. 그러나, 캐시 메모리를 도입한다 하더라도, 요구되는 데이터가 스테틱 RAM에 이용가능하지 않은 경우에 캐시 메모리 오류가 일어난다.

리프레시와 잠재적 경쟁과 관련된 제한들에 덧붙여서, DRAM은 또한 대기시간 문제를 갖고 있다. 대기시간은 적절한 어드레스가 할당된 후에, DRAM 셀의 갯수, 바이트 또는 워드를 액세스하는데 요구되는 시간 양을 측정하는데 사용되는 파라미터이다. 이와 같이, 4,096개 열 및 4,096개 행을 갖는 통상 16 메가비트뱅크 DRAM 셀과 관련된 대기시간은 위에서 언급한 할당된 주소에 의해 정해지는 메모리의 이러한 열 또는 행을 실행시키는데 요구되는 시간으로 측정된다.

리프레시, 경쟁, 및 대기시간과 관련된 문제들을 해결하기 위한 노력으로, 몇몇 DRAM 구조 및 동작 기술이 개발되어 왔다. 가장 최근에, 종래의 DRAM 셀과 메모리 주변 회로와 관련된 속도를 향상시키기 위해서 싱크로너스 DRAM을 사용하는 것이 구현되어 있다. 이러한 싱크로너스 DRAM은 보다 시간 효율적 방식으로 종래의 DRAM 셀을 액세스하기 위해서 3단 파이프라인 구조를 구현한다. 이러한 싱크로너스 DRAM에 대한 추가 정보는 "250 MByte/3단 파이프라인 구조를 이용한 싱크로너스 DRAM", IEEE Journal of Solid-state Circuits, 29권, 4번, 1994년 4월, Yasuhiro Takai 등, pp.426-430을 참조하면 된다. 그러나, 싱크로너스 DRAM을 포함하는 방법론들이 DRAM 셀의 대기시간, 경쟁 및 리프레시 요구를 최적화하도록 구현되었으나, DRAM 셀이 리프레시되어야 한다는 점은 여전히 남아있다. 이러한 요구는 종래의 메모리 셀 구현을 이용하여서는 극복될 수 없는 시간 제약을 부과한다. 따라서, 새로운 메모리 셀, 시스템 구조, 및 빠른 프로세싱과 대형 메모리 용량에 대한 증가되고 있는 요구 양자를 만족시키는데 사용되는 방법에 대한 필요가 존재하게 된다. 이러한 구현은 포괄적이어야 하며 가격이 적절하여야 하며, 또한 리프레시 요구와 이에 의한 DRAM 메모리 시스템의 경쟁과 관련된 대기시간을 감소시켜야 한다.

발명의 상세한 설명

위에서 언급한 필요들은 본 발명에 의해 달성된다. 따라서, 첫번째 형태로서 다이내믹 랜덤 액세스 메모리 셀이 제공된다. 다이내믹 랜덤 액세스 메모리 셀은 전하를 저장하기 위한 커패시터를 포함한다. 첫번째 시간 주기 중에 독립적으로 프리차지된 첫번째 도체를 경유하여 상기 전하의 첫번째 부분을 첫번째 출력에 선택적으로 전달하기 위해 첫번째 전달 소자가 상기 커패시터에 결합된다. 두번째 전달 소자가 두번째 시간 주기 중에 독립적으로 프리차지된 두번째 도체를 경유하여 상기 전하의 두번째 부분을 두번째 출력에 선택적으로 전달하기 위해 상기 커패시터에 결합된다. 첫번째 시간 주기와 두번째 시간 주기는 연속적이다.

또한, 두번째 형태로서 메모리 셀이 제공된다. 상기 메모리 셀은 첫번째 비트라인에 결합된 첫번째 전극, 첫번째 워드라인에 결합된 두번째 전극, 및 세번째 전극을 갖는 첫번째 트랜지스터를 포함한다. 메모리 셀은 또한 두번째 비트라인에 결합된 첫번째 전극, 두번째 워드라인에 결합된 두번째 전극, 및 상기 첫번째 트랜지스터의 상기 세번째 전극에 결합된 세번째 전극을 갖는 두번째 트랜지스터를 포함한다. 커패시터는 상기 첫번째 트랜지스터의 상기 세번째 전극에 결합된 첫번째 전극과 두번째 전극을 갖는다.

또한, 세번째 형태로서 다이내믹 랜덤 액세스 메모리 셀을 동작시키기 위한 방법이 제공된다. 상기 방법은 커패시터에 전하를 저장하는 단계, 첫번째 전달 소자를 이용하여 첫번째 시간 주기 중에 이전에 프리차지된 도체를 경유하여 상기 전하의 첫번째 부분을 첫번째 출력에 선택적으로 전달하는 단계를 포함한다. 상기 방법은, 상기 전하의 상기 부분을 선택적으로 전달하는 상기 단계와 실질적으로 동시에, 상기 첫번째 시간 주기 중에 두번째 도체를 프리차지하는 단계; 및 두번째 전달 소자를 이용하여 두번째 시간 주기 중에 상기 프리차지된 두번째 도체를 경유하여 상기 전하의 두번째 부분을 두번째 출력에 선택적으로 전달하는 단계를 포함한다. 상기 첫번째 시간 주기와 상기 두번째 시간 주기는 연속적이다.

또한, 네번째 형태로서, 데이터 프로세싱 시스템에서의 메모리가 제공된다. 상기 메모리는 메모리 셀 어레이를 포함한다. 감지 증폭기의 첫번째 뱅크가 메모리 셀 어레이의 첫번째 부분에 접속된다. 감지 증폭기의 상기 뱅크는 첫번째 시간 주기 중에 메모리 셀 어레이의 상기 첫번째 부분을 선택적으로 액세스한다. 감지 증폭기의 두번째 뱅크는 메모리 셀 어레이의 두번째 부분에 접속된다. 감지 증폭기의 두번째 뱅크는 두번째 시간 주기 중에 메모리 셀 어레이의 두번째 부분을 선택적으로 액세스한다. 첫번째 시간 주기와 두번째 시간 주기는 연속적이다.

본 발명에 대한 상세한 설명이 이하에서 개시될 것이므로, 위의 본 발명에 대한 설명은 본 발명의 기술적 이점 및 특징에 대해 다소 넓은 범위로 설명되어 있다. 개시된 구체적 실시예와 설명으로부터 당업

자가 본 발명과 동일한 목적을 수행하는데 필요한 다른 구조를 설계하고 수정하기 위한 기본으로서 이를 용이하게 이해할 수 있을 것이다. 청구범위에 따른 본 발명의 사상 및 범위를 벗어남 없이 당업자가 이러한 균등한 구조들을 용이하게 실현할 수 있을 것이다.

도면의 간단한 설명

도1A 및 도1B는 통상 개인용 컴퓨터에서 발견되는 두개의 기본적인 시스템 구조 100A 및 100B를 각각 도시하는 블록도이다.

도2는 본 발명의 일실시예에 따른 다이나믹 랜덤 액세스 메모리 장치의 블록도 형태를 나타낸다.

도3은 본 발명의 일실시예에 따른 DRAM 메모리 뱅크의 보다 상세한 블록도 형태를 나타낸다.

도4는 종래의 DRAM 셀의 회로도 형태를 나타낸다.

도5는 본 발명의 일실시예에 따른 DRAM 셀의 회로도 형태를 나타낸다.

도6은 본 발명의 일실시예에 따른 DRAM 어레이 액세스 동작과 관련된 타이밍의 타이밍도 형태를 나타낸다.

도7은 본 발명의 다른 실시예에 따른 DRAM 어레이 액세스 동작과 관련된 타이밍의 타이밍도 형태를 나타낸다.

도8은 본 발명의 일실시예에 따른 DRAM 시스템의 블록도 형태를 나타낸다.

도9는 도8의 DRAM 셀 어레이 부분의 회로도 형태를 나타낸다.

도10은 본 발명의 다른 실시예에 따른 DRAM 셀 실시예의 회로도 형태를 나타낸다.

실시예

이하의 상세한 설명에서, 본 발명에 대한 철저한 이해를 위해서 바이트, 또는 비트 길이와 같은 특정 단어가 다양한 특정 설명에서 개시되어 있다. 그러나, 이러한 상세한 설명없이도 본 발명이 속하는 기술 분야의 당업자라면 이를 실시할 수 있을 것이 명백하다. 다른 예들에서, 본 발명을 모호하게 만들지 않게 위해서 주지의 회로에 대해 블록도 형태로 상세하게 설명되었다. 또한, 상세한 설명 대부분에 있어서, 타이밍 고려 등에 대한 상세한 설명은 본 발명에 대한 완전한 이해를 얻는데 필요하지 않은 정도이고 당업자의 기술 수준 범위에서 생략되어 있다. 또한, 본 발명의 실시예에 대한 설명에서, 용어 "진실이라고 주장하다(assert)"와 "부정하다(negate)"와 이의 다른 변형형태들은 "활성 하이(high)" 및 "활성 로우(low)" 논리 신호의 혼함을 다룰 때의 혼동을 피하기 위해서 사용된다. "진실이라고 주장하다"는 논리 신호 또는 레지스터 비트를 그의 활성, 또는 논리 참 상태로 만드는 것을 나타낸다. "부정하다"는 논리 신호 또는 레지스터 비트를 그의 비활성, 또는 논리 거짓 상태로 만드는 것을 나타낸다.

구성요소들을 나타내고 있는 도면에 대한 설명에서 치수를 도시하는 것이 항상 요구되는 것은 아니며 동일 또는 유사한 구성요소들에 대해서는 도면을 전반에 걸쳐 동일한 도면번호가 부여된다.

이하에서는 본 발명과 그 이점을 설명하기 위해서 도면을 참조하여 본 발명에 대해 상세히 설명하고자 한다.

도1A 및 도1B는 개인용 컴퓨터와 같은 대부분의 데이터 프로세싱 시스템에서 발견되는 형태의 두개의 기본 시스템 구조 100A 및 100B를 나타내는 블록도이다. 이들 기본 구조에 대해 다양한 변형예들이 존재하나, 도1A 및 도1B는 대부분의 데이터 프로세싱 시스템의 기본 구조 및 동작을 설명하는데 적절한 것이다.

시스템 100A 및 100B 양자는 단일 중앙처리장치(CPU), CPU 로컬 데이터 버스 102, CPU 로컬 어드레스 버스 103, 외부(L2) 캐시 104, 코어 로직/메모리 제어기 105, 및 시스템 메모리 106을 포함한다. 시스템 100A에서, 주변장치 108가 버스 107를 경유하여 코어 로직/메모리 제어기 105에 직접 결합된다. 여기서, 버스 107는 바람직하게는 주변 제어기 인터페이스(PCI) 버스이다. 또한, 버스 107가 일반적으로 ISA, 또는 공지된 특정 목적 버스인 것도 가능하다. 시스템 100B에서, 코어 로직/메모리 제어기 105가 다시 버스 107에 결합된다. 다음, PCI 버스 브릿지 109가 주변장치 111가 결합된 PCI 버스 110과 버스 107와 인터페이스된다. 일반적으로, ISA, PCI, VESA, IDE일 수 있는 추가 버스 112, 또는 특정 목적의 버스가 외부 장치 또는 시스템(미도시)으로부터 주변장치 111를 액세스하도록 제공된다.

단일 CPU 시스템 100A 및 100B에서, CPU 101는 오퍼레이션 시스템과 응용 소프트웨어와 결합되어 시스템 100의 전체 동작을 제어하는 "마스터(master)"이다. 다른 것중에서, CPU 101는 숫자 및 문자 프로세싱을 포함하는 다양한 데이터 프로세싱 기능을 수행하며, 그래픽 데이터를 발생시키고 전체 시스템 운영을 수행한다. CPU 101은 예를들어, 인텔 펜티엄계 마이크로프로세서와 같은 컴퓨터(CISC)에 복잡한 지시를 내리거나, IBM, Inc. 또는 Motorola, Inc.에서 입수가능한 PowerPC 마이크로프로세서와 같은 컴퓨터(RISC)에 제한된 지시를 내리거나, 장문의 지시를 워드(VLIW) 장치에 내릴 수 있다.

CPU 101는 CPU 로컬 어드레스와, 각각 공지의 특정 버스 또는 일반 버스일 수 있는 데이터 버스 102 및 103를 경유하여 나머지 시스템 100과 의사소통한다.

코어 로직/메모리 제어기 105는 CPU 101의 지령하에서 버스 107 및/또는 버스 브릿지 109를 경유하여 CPU 101, 시스템 메모리 105, 및 주변 장치 108/111 사이에서 데이터, 어드레스, 제어 신호 및 지시 교환을 제어한다. 코어 로직/메모리 제어기 105는 CPU 101가 다른 CPU 내포 작업에 참여하도록 CPU 101로부터 작업이 이동되도록 하나, CPU 101는 높은 우선권 작업 수행 실행을 위해서 코어 로직/메모리 제어

기 105에 항상 오버라이드(override)할 수 있다.

코어 로직/메모리 제어기는 개인용 컴퓨터(PC) 산업을 포함하는 데이터 프로세싱 상업에서 광범위하게 사용될 수 있으며, 이들의 선택 및 응용은 당업계의 당업자에게 공지되어 있다. 메모리 제어기는 분리된 장치이거나 또는 코어 로직으로 세팅된 동일 칩에 통합될 수 있다. 메모리 제어기는 일반적으로 시

스템 클럭(SCLK), 열 어드레스 스트로브(/RAS), 행 어드레스 스트로브(/CAS), 읽기/쓰기(R/\overline{W}), 및 뱅크 선택과 같은 메모리 클럭 및 제어 신호를 발생시키는 임무를 갖는다. 메모리 제어기는 또한 셀 리프레시 동작을 제어하고 모니터링한다. 또한, 메모리 제어기는 메모리 내의 페이지 시퀀스를 액세스하기 위한 일부 어드레스 발생 능력을 갖고 있다.

코어 로직은 통상 "어드레스 및 시스템 제어 중심"인 하나 이상의 칩과 통상 "데이터 중심"인 하나 이상의 칩을 갖는 칩 세트에 통상 이루어져 있다. 무엇보다도, 어드레스 중심 칩은 어드레스 버스 103을 갖는 CPU 101과 인터페이스를 이루며 캐시 태그를 포함하는 캐시 메모리, 캐시 태그와 결합된 세트, 및 캐시 응답을 보장하는데 필요한 다른 데이터를 포함하는 캐시 메모리를 유지시킨다. 또한, 어드레스 중심 칩은 캐시 "버스 스누핑(snooping)"을 수행하며 시스템 메모리 또는 캐시의 DRAM에 요구되는 제어 신호를 발생시킨다. 또한, 주소 중심 칩은 시스템 내의 일반적인 운영 부분을 제어한다. 데이터 중심 칩은 일반적으로 데이터 버스 102를 갖는 CPU 101과 인터페이스하여, 사이클 연결 응답을 발생시키고, 사이클이 불완전되는 경우에 동작을 선택적으로 중지시킨다. 데이터 중심 칩은 또한 버스 102의 데이터 경로를 조정한다.

CPU 101은 코어 로직/메모리 제어기 103과 직접 통신하거나 외부(L2) 캐시 104를 통해 제어기 103과 통신할 수 있다. L2 캐시 104는 예를 들어 156 Kbyte 고속 SRAM 소자로 구현될 수 있다. 통상, CPU 101은 16바이트의 온-칩(L1) 캐시 메모리(여기서는 상세히 설명하지 않음)까지 유지될 수 있다.

PCI 버스 브리지 109와 같은 PCI 버스 브리지가 당업계에 공지되어 있다. 통상의 PC에서, CPU는 전체 버스 시스템용 버스 마스터이며, 따라서 PCI 버스 브리지 109와 같은 장치는 CPU의 명령 하에 동작하는 종속 장치이다.

주변장치 108/111는 표시 제어기를 포함할 수 있으며 프레임 버퍼, 플로피 장치 제어기, 디스크 드라이브 제어기, 및/또는 모뎀 등을 포함할 수 있다.

도시되어 있지는 않으나, 본 발명의 원리는 당업계에 공지된 멀티프로세싱 장치와 시스템으로 또한 구현될 수 있음이 주지되어야 한다.

도2는 본 발명의 일 실시예에 따라 구현된 다이나믹 랜덤 액세스 메모리(DRAM) 장치 200의 일 실시예를 나타낸다. DRAM 200이 L2 캐시 104로서 시스템 100A 또는 100B 내에 구현될 수 있음이 주지되어야 한다. 또한, DRAM 장치 200은 또한 도1A 및 도1B에 도시되지 않은 다른 메모리로 구현될 수 있다.

메모리 200은 "n" 메모리 뱅크 또는 유닛 201을 포함하며, 여기서 "n"은 정수를 나타낸다. 도2에서, 네 개의 뱅크 201A, 201B, 201C 및 201D가 설명의 필요에 의해 도시되어 있다. 실제 뱅크의 갯수는 응용에 따라 변화될 수 있다. 구체적으로, 모든 뱅크 201이 각 열 액세스 또는 /RAS 사이클 중에 활성이 된다. 범용 열 할당기 206는 액세스될 뱅크를 선택하기 위해서 소정 갯수의 열 어드레스 비트를 사용한다. 열 디코더 204가 DRAM 액세스 도중에 각 DRAM 어레이의 /RAS 당 하나의 열을 동시에 선택하기 위해서 결과적으로 남아있는 열 어드레스 비트를 디코딩한다.

제어 회로 207이 통상의 DRAM 제어 신호와 시스템 100A 또는 100B의 코어 로직 105 또는 CPU 101과 같은 외부 소스로부터의 클럭을 수신한다. 이들 신호에는 싱크로너스 클럭(SCLK), 열 어드레스

스트로브(/RAS), 행 어드레스 스트로브(/CAS), 읽기/쓰기 선택(R/\overline{W}), 및 출력 인에이블(/OE), 데이터(DQ) 및 어드레스(A_{dd})가 포함된다. 본 발명의 실시예에서, 어드레스 입력 포트는 행 어드레스와 열 어드레스가 동일한 집적회로 핀에서 연속 수신되고 각각 /RAS 및 /CAS 신호를 이용하여 DRAM 200에 레치되는 종래의 방법에 따라 시간 도메인에서 멀티플렉스되어 있다.

DRAM 시스템 200은 데이터 레치 209, 감지 및 증폭을 위한 DRAM 감지 증폭기, 행 디코더 205, 데이터 버스 210 및 적절한 주변 회로로 이루어진다. 행 어드레스는 행 어드레스 버스 211을 경유하여 전달되고 열 어드레스는 열 어드레스 버스 212를 경유하여 전달된다.

어드레스 레치와 마지막 열 읽기(LRR) 비교 회로 213는 어드레스 포트에 도달되고 $A_{dd}0$ 내지 $A_{dd}Y$ 로 참조되는 현재의 열 및 행 어드레스를 저장하기 위한 레치를 포함한다. 또한, 회로 213의 일부로서 저장된 LRR 비트를 현재 열 어드레스의 고차 비트(MSB)에 비교하기 위한 마지막 열 읽기(LRR) 및 비교 회로의 고차 열 어드레스 비트(MSB)를 저장하기 위한 레치가 포함된다.

예시된 실시예에서 최소 중요 열 어드레스 비트가 범용 열 할당기 206에 의해 프로세스되고 대부분의 중요 열 어드레스 비트가 메모리 셀의 개별 열을 선택하기 위해서 복수개의 뱅크 201 내부에 사용될 수 있으나, 다른 배치도 용이하게 응용될 수 있다. 예를 들어, 대부분의 중요 열 어드레스 비트의 주어진 갯수는 범용 열 할당기 206와 잔여 최소 중요 비트가 개별 열 선택 동작을 위해 사용될 수 있다. 대형 또는 소형말단형 데이터 구조가 사용될 수 있다.

도3은 선택된 뱅크 201의 데이터와 어드레스 라우팅 회로를 보다 상세히 강조한다. 뱅크 201에서, 어드레스가 $A_{dd}0$ 내지 $A_{dd}Y$ 로 참조되는 어드레스 포트에서 멀티플렉스 형태로 수신된다. 열 어드레스 비트는 SCLK 신호(도3에서는 상세히 도시되어 있지 않음)를 따르는 /RAS 신호의 다음 에지에서 열 어드레스 레치 301로 레치된다. 대부분의 중요 비트가 미세 세분성 열 디코더 204에 제공되고 최소 중요 비트가 범용 열 할당기 206(도3에서 미도시)에 제공된다. 이전(마지막) /RAS 사이클로부터의 대부분의 중요 열 어드레스 비트가 마지막 열 읽기 어드레스 레치 302에 전달된다. 비교 회로 303는 열 어드레스 레치

301에 레치된 대부분의 중요 비트와 레치 302에 홀딩된 마지막 읽기 열 어드레스를 비교한다. 각 /CAS 사이클에서, 하나 이상의 행 어드레스가 $A_{dd}0$ 내지 $A_{dd}Y$ 로 참조되는 어드레스 포트에서 수신되고, 각각의 /CAS 신호의 하강 에지에서 레치된 행 어드레스 레치 304에 레치된다.

열 어드레스 증가/감소 리프레시 제어 회로 308은 인에이블 되는 경우에 DRAM 감지 앰프를 통한 셀 리프레시 동작을 수행하도록 DRAM 셀 어레이 202의 열을 통해 스텝되며 이하에서 상세히 설명되는 어드레스 변환을 수행한다.

DRAM 시스템 200의 동작 방법의 하나에서, 열 어드레스가 액세스 동작 중에 $A_{dd}0$ 내지 $A_{dd}Y$ 의 어드레스 핀에서 먼저 수신된다. /RAS의 하강 에지에서, 최소 중요 열 어드레스 비트(뱅크가 네개의 실시예에서, 두개의 최소 중요 비트)가 범용 열 할당기 206으로 전달된다. 남아있는 대부분의 중요 비트가 각각의 뱅크 201의 각각의 열 어드레스 레치 301에 레치된다. 이전 /RAS 사이클에서 각각의 열 어드레스 레치 301에 저장된 대부분의 중요 비트가 대응하는 LRR 어드레스 레치 302에 전달된다. 다음, DRAM 셀 어레이 202의 내용이 공지의 원리에 의해 읽혀지거나 씌어진다. 또한, DRAM 셀 어레이 202 내의 메모리가 공지의 리프레시 기술을 이용하여 주기적으로 리프레시될 수 있다.

본 발명에서 다른 메모리 시스템이 구현될 수 있다는 점이 주지되어야 한다.

본 발명의 종래 구현예에서, DRAM 셀 어레이 202가 도4에 도시된 바와 같은 복수개의 메모리 셀 400을 이용하여 구현된다. 메모리 셀 400은 트랜지스터 402와 커패시터 404로 이루어지는데, DRAM 셀 400의 동작 중에, 커패시터 404의 전하(전자)가 존재하는 것은 논리 0 값을 나타내고 커패시터 404에 전하가 존재하지 않는 것은 메모리 셀 400에 논리 1 값이 저장되어 있다는 것을 나타낸다. 당업자들 사이에서 주지되어 있는 커패시터에 저장된 에너지와 관련하여 논리 값을 결정하는 다른 방법들이 또한 사용가능하다.

통상, DRAM 메모리 셀은 서로 직교하는 열(워드라인 또는 WL)과 행(비트라인 또는 BL) 어레이로 배치된다. 멀티플 서브-어레이가 워드 및 비트라인을 단축시키고 이에 의해 메모리 셀을 액세스하는데 요구되는 시간을 감소시키기 위해 때때로 단일 대형 어레이를 대체한다. 이 DRAM 셀의 동작 중에, 워드라인이 선택되는 경우에, 트랜지스터 402와 같은 워드라인에 접속된 모든 전달 장치가 인에이블되고 전하 전달이 커패시터 404와 비트라인 사이에서 일어난다.

또한, 읽기 또는 쓰기 동작 전에, 비트라인 BL이 내부 파워 서플라이 V_{dd} 와 접지 전압 사이의 중간값인 소정의 전압 V_b 로 프리차지된다. 데이터 프로세싱 기술분야에서 공지된 다른 프리차지 구조가 동일하게 기능할 수 있음이 또한 주지되어야 한다. 다음, 셀 400을 읽기 위해서, 선택된 워드라인(이 실시예에서 WL)이 V_{dd} 전압 레벨로 상승되고 이에 의해 트랜지스터 402와 워드라인에 접속된 다른 전달 장치(미도시)를 턴온시킨다. 다음, 데이터 감지와 증폭이 메모리 셀과 관련된 논리 값을 결정하기 위해서 수행된다.

메모리 셀의 전하 반영 값이 커패시터 404 내에 저장되기 때문에, 커패시터 404의 내재적인 누설로 인해 저장된 전하가 시간에 따라 감소하며, 통상의 DRAM 소자의 셀 유지 시간이 1/1000 내지 1/100000 범위인 것은 당업계에서 공지되어 있다. 따라서, 전하 레벨이 논리 1 값과 논리 0 값이 구별될 수 없게 되는 임계값 이하로 떨어지기 전에 커패시터 404에 저장된 전하를 저장하기 위해서 주기적 리프레시 동작이 요구된다. 통상의 DRAM의 동작에 대한 보다 상세한 설명을 위해서는 "DRAM 셀 기술 발전", B. El-Kareh 등, Solid State Technology 편찬, 1997년, pp 89-101이 참조되며 이는 참고문헌으로서 결합된다.

위에서 언급한 바와 같이, 도4에 도시된 DRAM 셀은 비트라인(BL)이 커패시터 404 내의 데이터가 다시 읽히기 전에 프리차지되어야 하기 때문에 연속적으로 액세스되지 않을 수 있다. 이 프리차지 동작은 적어도 하나의 클럭 사이클을 필요로 한다. 또한, 비트라인이 프리차지되고 있는 경우에, DRAM 메모리 셀에 저장된 데이터는 감지되거나 복구되지 않을 수 있다. 따라서, 동일한 셀이 다음의 연속 동작에서 액세스되는 경우에, 메모리 셀 400이 적절한 방식으로 요구되는 데이터를 제공하지 않을 수 있다. 소자 액세스 셀 400은 셀이 다시 액세스되기 전에 프리차지 비트라인에 요구된다. 또한, 비트라인이 커패시터 404 내에 저장된 데이터를 감지하는 경우에, 다른 모든 열이 동일한 메모리 뱅크 내에서 액세스되지 않는다. 종래 DRAM 셀의 프리차지와 리프레시와 관련된 제한으로 인해, DRAM 셀로부터 데이터를 액세스하는데 요구되는 시간은 스테틱 메모리 셀로부터 데이터를 액세스하는데 요구되는 시간 보다 실질적으로 더 길다.

도4에 도시된 바와 같은 종래 기술의 DRAM 셀과 관련된 대기시간 문제를 해결하기 위해서, 본 발명은 동일한 다이내믹 메모리 셀이 매우 낮은 대기시간 내에 연속 타이밍 사이클 도중에 액세스될 수 있도록 하는 낮은 대기시간 DRAM 셀을 구현한다. 이와 같이, 본 발명의 낮은 대기시간 DRAM 셀은 이러한 스테틱 셀과 통상 관련된 파워 소비 또는 많은 능동 소자를 필요로 함 없이 스테틱 메모리 셀을 에뮬레이트한다. 본 발명은 동일한 저장 커패시터에 두개의 독립 포트를 제공함에 의해 낮은 대기시간 DRAM 셀을 구현한다. 포트가 독립적이기 때문에, 다른 포트 또는 비트라인이 감지 동작을 행하는 상태에서 하나의 포트 또는 비트라인이 프리차지될 수 있다. 본 발명의 낮은 대기시간 DRAM 셀과 그 동작에 대하여 이하에서 상세히 설명하고자 한다.

도5를 참조한다. 도5는 낮은 대기시간 DRAM 셀 500을 나타낸다. 낮은 대기시간 DRAM 셀 500은 액세스 트랜지스터(스위치) 502, 액세스 트랜지스터(스위치) 504, 및 커패시터 506로 이루어져 있다. 첫번째 비트 라인 BL1이 트랜지스터 502의 첫번째 단자에 결합된다. 트랜지스터 502의 세번째 전극이 트랜지스터 504의 첫번째 전극과 커패시터 506의 첫번째 전극에 결합된다. 커패시터 506의 두번째 전극은 기준 전압에 결합된다. 기준 전압은 V_{cc} (가장 높은 전압), V_{ss} (접지 전압), 또는 이들 사이의 중간 전압일 수 있다. 트랜지스터 504의 두번째 전극이 두번째 워드라인 WL2에 결합된다. 트랜지스터 504의 세번째 전극이 두번째 비트라인 BL2에 결합된다.

낮은 대기시간 DRAM 셀 500의 동작 중에, WL1이 BL1과 저장 커패시터 506 사이에서 전하를 공유함에 의해 메모리 셀 500에 데이터를 읽거나 쓰도록 인에이블할 수 있다. BL1이 메모리 셀 500 내에 저장된 데이터를 감지하고 있는 경우에, BL2가 다음 동작에 의해 프리차지될 수 있다. 다음, 메모리 셀 500에 저장된 데이터가 커패시터 506 내에서 복구된 후에, 임의의 셀 공유 BL2가 이들이 동일한 저장 어레이에 위치하는 경우라도 다음 감지되고 복구될 준비가 된다. 프리차지, 감지, 복구 및 증폭 동작에 대한 추가 정보는, "회합 XVII: 랜덤 액세스 메모리", L. White 등, 1980 IEEE 국제 고상 회로 컨퍼런스 도중 편찬,을 참조할 수 있으며 이는 참고문헌으로서 결합된다. 동일한 메모리 셀에 대한 이러한 연속 액세스가 단지 하나의 비트라인이 종래 셀에 제공되어 감지 동작을 수행하고 비트라인이 메모리 셀이 적절히 읽혀지기 전에 프리차지되어야만 하는 종래 기술에서는 가능하지 않다.

본 발명의 메모리 셀 500 액세스 소자가 비트라인이 동일한 메모리 셀에서 연속 감지 기능을 수행하기 전에 프리차지되고 있는 동안 대기할 필요가 없기 때문에, 셀을 액세스하는데 따른 대기시간이 실질적으로 감소된다. 그 결과적 효과는 스택 메모리 셀이 액세스되는 것과 매우 동일한 방식으로 본 발명의 낮은 대기시간 메모리 셀 500이 연속 타이밍 사이클에서 액세스될 수 있다는 것이다. 그러나, 본 발명의 메모리 셀과 관련된 비트라인이 다른 동작이 메모리 셀 상에서 수행되고 있는 도중에 프리차지되기 때문에, 스택 메모리 동작을 수행하는데 통상 필요한 회로 구조가 요구되지 않는다. 따라서, 본 발명의 낮은 대기시간 DRAM 셀 500은 통상의 스택 메모리 셀에 요구되는 파워보다 실질적으로 적은 파워를 필요로 하는 반면에 스택 메모리 저장 기능을 효과적으로 수행한다.

도6은 본 발명의 동작을 나타내는 타이밍도이다. 클럭 신호는 도2 및 도3에 도시된 바와 같은 DRAM 시스템에 제공된 시스템 클럭 신호를 나타낸다. 동작 중에, 복수개의 어드레스가 DRAM 셀 어레이에서 동일한 비트라인을 이용하여 액세스될 수 있다. 이와 같이, 단지 열 어드레스가 DRAM 셀 어레이 내에 저장된 각각의 연속 값을 액세스하도록 제공된다. 열 어드레스 A를 액세스함에 의해, 열 어드레스 B와 다음 열 어드레스 C, 복수개의 데이터 값이 DRAM 셀 어레이로부터 액세스될 수 있다.

본 발명의 실시예에서, 열 A로 참조되는 첫번째 어드레스가 WL1의 표명에 의해 커패시터 506 내에 저장된 데이터가 첫번째 비트라인 BL1에 전달되도록 액세스될 수 있다. 메모리 셀 500 내에 저장된 데이터가 BL1에 전달되고, 두번째 비트라인 BL2가 다음 타이밍 사이클에 이용될 수 있도록 프리차지될 수 있다. 따라서, WL2 신호가 "열 B" 어드레스에 대응하여 표명되는 경우에, 데이터가 커패시터 506로부터 BL2로 전달될 수 있다. 데이터가 BL2로 전달되고, BL1이 커패시터 506에 저장된 데이터가 다시 다음 어드레스가 제공되는 도중에 검색될 수 있다. 이와 같이, 공통 워드라인(WL1 또는 WL2)을 공유하는 몇개의 비트, 바이트 또는 워드가 종래 소자에서 이용되지 않는 방식으로 낮은 대기시간을 가지면서 연속적으로 액세스될 수 있다.

본 발명에서, 모든 DRAM 셀에서 요구되는 프리차지 동작이 수행된다. 그러나, 사용자가 종래 시스템에서와 같이 일반적으로 수행되는 프리차지 스텝을 기다릴 필요가 없기 때문에, 메모리를 액세스하는 외부 장치가 데이터 리퀘스트와 데이터 액세스 사이의 매우 낮은 대기시간을 관측한다. 이 외부 "프리차지 시간 제한"이 "TRP"로 불린다.

도6의 타이밍도가 이하의 규칙에 따라 메모리 셀이 제어되는 본 발명의 일 실시예를 나타낸다는 것이 주지되어야 한다. 이들 규칙에 따르면, 클럭 신호가 논리 하이 값을 갖는 경우에, WL1이 메모리 셀 내에 저장된 데이터를 액세스하도록 표명될 수 있다. 또한, WL2가 BL1이 프리차지되도록 반대가 될 수 있다. 또한, WL2 값이 메모리 셀 500의 커패시터 506 내에 저장된 데이터를 액세스하도록 표명될 수 있다. 이들 규칙은 논리 회로와 상태 기계에 의해 구현될 수 있다.

위에서 설명된 것과 같은 적절한 제어를 제공함에 의해, 본 발명의 낮은 대기시간 메모리 셀이 특별한 수정없이 싱크로너스 DRAM 시스템 구조를 포함하는 DRAM 시스템 구조로 구현될 수 있다. 단지 본 발명의 실시예에 따른 메모리 셀 구조의 수정과 이 메모리 셀 구조를 액세스하는데 요구되는 제어가 현재 사용가능한 메모리 시스템 구조에서의 본 발명의 사상을 구현하는데 필요하다. 메모리 셀 구조를 액세스하는데 필요한 제어는 당업계에서 주지되어 있으며 따라서 이에 대해 더 상세하게 설명하지는 않을 것이다.

도7은 본 발명의 낮은 대기시간 DRAM 셀의 다른 제어 동작 방법을 나타낸다. 도7에 도시된 바와 같이, DRAM 시스템 200이 WL1과 BL1이 적절히 활성화되어 첫번째 클럭의 활성 상태에 따라 메모리 셀에 저장된 데이터 값을 액세스하도록 하는 두개의 클럭 시스템인 것으로 가정하자. 첫번째 및 두번째 클럭이 페이지를 벗어날 수 있으나 이것이 꼭 요구되는 것은 아니다. 각각의 경우에, 동일한 워드라인을 액세스하는 동일한 셀 또는 셀들 내에 저장된 데이터가 도6을 참조하여 설명한 연속 클럭 사이클에 따라 액세스될 수 있다.

클럭 1 및 클럭 2가 외부에서 또는 내부에서 또는 공지의 페이지 룩 루프 기술을 이용하여 두개가 결합되어 제공될 수 있다는 점이 주지되어야 한다. 이러한 클럭 발생 기술은 당업계에 주지되어 있으며 이에 대해 더 상세하게 설명하지는 않는다.

특정 워드라인을 공유하는 동일한 메모리 셀 또는 셀들로부터의 연속 데이터 액세스를 가능하게 하는 방식으로 DRAM 시스템 내에 구현하는 본 발명의 장점에 덧붙여서, 본 발명은 또한 리프레시 동작을 혼합하는데 사용될 수 있다. 리프레시 동작을 혼합함에 의해 리프레시 동작이 읽기 또는 쓰기 동작과 동시에 수행될 수 있으며 이는 위에서 설명한 종래 DRAM 셀에서는 가능하지 않은 것이다.

또한, 낮은 대기시간 DRAM 셀이 구현된 시스템이 본 발명의 DRAM 셀의 특정 구조를 이용하도록 최적화될 수 있다. 최적 메모리 시스템을 예시하기 위하여 도8을 참조한다. 도8의 메모리 시스템은 행 어드레스 디코드 A 회로 802, 복수의 감지 증폭기뱅크 B 810, 행 어드레스 디코드 B 회로 812, 및 제어 회로 814로 이루어져 있다. 복수의 어드레스 신호가 각각의 행 어드레스 디코드 A 회로 802, 복수의 감지 증폭기뱅크 A 804, 제어 회로 814, 행 어드레스 디코드 B 회로 812, 및 복수의 감지 증폭기뱅크 B 810에 제공된다.

동작 중에, 제어 회로 814는 어드레스 신호를 디코딩하여 열 어드레스 디코드 회로 808에 열 어드레스 증가, 감소 및 리프레시 제어 신호를 제공한다. 또한, 제어 회로 814는 이들 감지 동작을 선택적으로 제어하기 위해서 증폭기 804 및 810을 감지하는 제어 신호를 제공한다. 행 어드레스 디코드 A 회로 802가 복수의 감지 증폭기 뱅크 A 804에 결합된다. 복수의 감지 증폭기 804가 DRAM 셀 어레이 806에 결합된 비트라인 부분 상에 제공된 데이터를 감지하기 위해서 DRAM 셀 어레이 806에 결합된다. 예를들어, 복수의 감지 증폭기 뱅크 A 804가 홀수 비트라인 BL1, BL3, ... BLn에 제공된 데이터를 감지하기 위해 DRAM 셀 어레이 806에 결합될 수 있다. 이와 유사하게, 복수의 감지 증폭기 B 810가 짝수의 비트라인 BL0, BL2, ... BL(n-1)을 경유하여 통신되도록 DRAM 셀 어레이 806에 결합된다. 행 어드레스 디코드 B 회로 812가 복수의 감지 증폭기 뱅크 B 810에 결합된다. 열 어드레스 디코드 회로 808이 복수의 워드라인 WL0 내지 WLn을 제공하도록 DRAM 셀 806에 결합된다.

도8의 메모리 시스템 800의 동작 중에, 동일한 열 디코드 회로 808이 워드라인이 DRAM 셀 어레이 806에 저장된 첫번째 데이터 값을 액세스하도록 표명된다. DRAM 셀 어레이 806 내의 셀이 본 발명의 일 실시예의 낮은 대기시간 DRAM 회로로 구현된다는 것이 주지된다. 감지 증폭기를 두개 이상의 부분으로 분리함에 의해, 메모리 시스템 800이 감지 증폭기의 첫번째 뱅크가 프리차지되고 감지 증폭기의 두번째 뱅크가 선택적으로 감지되는 장치를 구현함에 의해서 본 발명의 회로 설계를 최적화한다. 이와같이, 감지 증폭기의 전체 뱅크가 프리차지 또는 감지 동작을 동시에 수행하지 않기 때문에 파워가 절약된다. 또한, 감지 증폭기의 뱅크들이 하나의 클록 타이밍 구조 또는 이전에 설명한 두개의 클록 타이밍 구조를 이용하여 시간에서 그들의 역할을 뒤바꿀 수 있다.

복수개의 감지 증폭기 804 및 810를 형성하는데 이용되는 감지 증폭기 구조는 당업계에서 주지된 것으로써 이에 대해서 더 상세히 설명하지는 않는다.

도9는 도8의 메모리 시스템에 따라 구현될 수 있는 낮은 대기시간 DRAM 셀 어레이 900를 나타낸다. 홀수 비트라인이 감지 증폭기의 첫번째 뱅크에 제공되고 짝수 비트라인이 감지 증폭기의 두번째 뱅크에 제공된다는 것을 다시 주지해야 한다. 이러한 비트라인간의 구분이 꼭 필요한 것은 아니나 본 발명의 실시예를 구현하기 위해서 도입되어 있다.

도10은 본 발명의 메모리 셀의 다른 실시예를 나타낸다. 도10은 멀티-포트 메모리 셀 1000을 나타낸다. 메모리 셀 1000은 커패시터 1002, 트랜지스터 1004, 트랜지스터 1006, 트랜지스터 1008, 및 트랜지스터 1010으로 구성된다. 첫번째 비트라인 BL1이 트랜지스터 1004의 첫번째 전극에 결합된다. 첫번째 워드라인 WL1이 트랜지스터 1004의 두번째 전극에 결합된다. 트랜지스터 1004의 세번째 전극이 커패시터 1002의 첫번째 전극, 트랜지스터 1006, 트랜지스터 1008, 및 트랜지스터 1010에 결합된다. 커패시터 1002의 두번째 전극이 기준 접지 전압과 같은 기준 전압에 결합된다. 트랜지스터 1006의 두번째 전극이 두번째 워드라인 WL2에 결합된다. 트랜지스터 1006의 세번째 전극이 두번째 비트라인 BL2에 결합된다. 트랜지스터 1008의 두번째 전극이 세번째 워드라인 WL3에 결합된다. 트랜지스터 1008의 세번째 전극이 세번째 비트라인 BL3에 결합된다. 트랜지스터 1010의 두번째 전극이 네번째 워드라인 WL4에 결합된다. 트랜지스터 1010의 세번째 전극이 네번째 비트라인 BL4에 결합된다.

멀티-포트 메모리 셀 1000에서, 동일한 메모리 셀이 네개의 서로 다른 포트를 이용하여 연속적으로 액세스될 수 있다. 또한, 도10에 도시된 멀티-포트 메모리 셀이 트랜지스터 1004 내지 1010과 같은 추가된 또는 더 적은 액세스 트랜지스터를 갖도록 수정될 수 있다. 동일한 메모리 어레이에서의 이러한 "멀티-포트" 셀 그룹이 종래 기술에서 이용가능한 DRAM 셀보다 적은 시간에 산술 및 논리 동작을 수행할 수 있다.

본 발명의 낮은 대기시간 DRAM 셀이 다이내믹 회로이나, 상기 셀은 스택 메모리 셀의 기능을 에뮬레이트한다. 멀티 포트를 제공함에 의해, 리프레시 동작이 "감춰질" 수 있으며 이는 증가된 대기시간을 초래하지 않는다. 또한, 메모리 내의 임의의 어드레스가 프리차지 시간 제약없이 동일한 셀에서 이전 액세스에 즉시 뒤이어 클록 사이클에서 액세스될 수 있다. 이러한 낮은 대기시간 DRAM 셀이 스택 메모리 동작을 에뮬레이트한다는 사실에 대해 설명하였으나, 본 발명의 낮은 대기시간 DRAM 셀은 CPU, 마이크로제어기, 또한 콘텐츠 어드레스 가능 메모리 셀의 스택 메모리 구동 레지스터 구조를 치환하도록 사용될 수 있다. 본 발명의 낮은 대기시간 DRAM 셀은 통상의 RAM 구현과 관련된 기능성과 다이내믹 메모리 셀의 파워 절약을 제공한다. 또한, 본 발명의 낮은 대기시간 DRAM 셀이 다른 어드레스로 동시에 쓰기하는 상태에서 하나의 어드레스에서 읽기 동작을 수행하는 능력을 제공하기 때문에, 그래픽과 비디오 프레임 버퍼와 같은 영상 데이터를 업데이트하는데 매우 강력한 응용을 제공한다.

이상에서 본 발명에 대해 상세하게 설명하였다. 그러나, 당업자라면 추가 구현이 또한 가능하다는 것을 이해할 수 있을 것이다. 예를들어, 본 발명의 DRAM 셀은 메모리 로직이 매설된 단일 칩 시스템-온-실리콘에서 뿐만아니라 독립형 DRAM 시스템에서 구현될 수 있다. 본 발명의 낮은 대기시간 DRAM 셀은 동일한 프로세싱 단계가 메모리 구조를 포함하는 전체 데이터 프로세싱 시스템을 제조하는데 사용될 수 있기 때문에, 단일 칩 시스템-온-실리콘에 특히 유용하다. 본 발명의 낮은 대기시간 DRAM 셀은 고속 및 저전력으로 데이터를 제공함으로써 향상된 성능을 제공한다. 낮은 대기시간 DRAM 셀은 레지스터 소자와 같은 중앙처리장치에서 구현될 수 있으며 멀티-레벨 캐시 시스템의 스택 RAM을 대체할 수 있다. 또한, 본 발명의 낮은 대기시간 DRAM 셀은 향상된 DRAM과 통상 스택 메모리 셀에서 사용되는 것과 유사한 방식의 로직과 단일 칩 매설 메모리와 같은 집적된 해결수단에서 이용될 수 있다.

본 발명의 이점들에 대해 상세히 설명하였으나, 당업자는 청구범위에 따른 본 발명의 사상 및 범위를 벗어나지 않고 본 발명에 대한 다양한 변형, 치환 및 변화가 가능하다는 것을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

전하를 저장하기 위한 커패시터;

첫번째 시간 주기 중에 독립적으로 프리차지된 첫번째 도체를 경유하여 상기 전하의 첫번째 부분을 첫번째 출력에 선택적으로 전달하기 위한 상기 커패시터에 결합된 첫번째 전달 소자; 및

두번째 시간 주기 중에 독립적으로 프리차지된 두번째 도체를 경유하여 상기 전하의 두번째 부분을 두번째 출력에 선택적으로 전달하기 위한 상기 커패시터에 결합된 두번째 전달 소자를 포함하며,

상기 첫번째 시간 주기와 상기 두번째 시간 주기가 연속적인 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 2

제 1 항에 있어서, 상기 첫번째 전달 소자는 상기 두번째 전달 소자가 상기 두번째 출력에 상기 전하의 상기 두번째 부분을 선택적으로 전달하는 경우에 불능상태(disabled)가 되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 3

제 1 항에 있어서, 상기 두번째 전달 소자는 상기 첫번째 전달 소자가 상기 첫번째 출력에 상기 전하의 상기 첫번째 부분을 선택적으로 전달하는 경우에 불능상태가 되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 4

제 1 항에 있어서,

상기 두번째 출력에 상기 전하의 상기 두번째 부분을 전달하도록 상기 두번째 전달 소자를 선택적으로 인에이블시키기 위해 첫번째 인에이블 신호를 통신하기 위한 첫번째 도체; 및

상기 전하의 상기 두번째 부분을 선택적으로 전달하기 위한 상기 두번째 출력에 결합된 두번째 도체를 더 포함하는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀

청구항 5

제 4 항에 있어서, 상기 첫번째 전달 소자가 상기 첫번째 출력에 상기 전하의 상기 첫번째 부분을 선택적으로 전달하는 경우에 상기 두번째 도체가 소정의 논리 레벨로 충전되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 6

제 4 항에 있어서, 상기 첫번째 출력에 상기 전하의 상기 첫번째 부분을 전달하도록 상기 첫번째 전달 소자를 선택적으로 인에이블시키기 위해 상기 두번째 인에이블 신호를 통신하기 위한 세번째 도체; 및

상기 전하의 상기 첫번째 부분을 선택적으로 전달하기 위해서 상기 첫번째 출력에 결합된 네번째 도체를 더 포함하는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 7

제 6 항에 있어서, 상기 두번째 전달 소자가 상기 두번째 출력에 상기 전하의 상기 두번째 부분을 선택적으로 전달하는 경우에 상기 두번째 도체가 소정의 논리 레벨로 충전되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리 셀.

청구항 8

첫번째 비트라인에 결합된 첫번째 전극, 첫번째 워드라인에 결합된 두번째 전극, 및 세번째 전극을 갖는 첫번째 트랜지스터;

두번째 비트라인에 결합된 첫번째 전극, 두번째 워드라인에 결합된 두번째 전극, 및 상기 첫번째 트랜지스터의 상기 세번째 전극에 결합된 세번째 전극을 갖는 두번째 트랜지스터; 및

상기 첫번째 트랜지스터의 상기 세번째 전극에 결합된 첫번째 전극과 두번째 전극을 갖는 커패시터를 포함하며,

상기 첫번째 트랜지스터가 상기 첫번째 비트라인과 선택적으로 전하를 교환하며, 첫번째 시간 주기 중에 상기 두번째 비트라인이 실질적으로 동시에 프리차지되는 것을 특징으로 하는 메모리 셀.

청구항 9

제 8 항에 있어서, 상기 커패시터의 상기 두번째 전극이 기준 전압에 결합되는 것을 특징으로 하는 메모리 셀.

청구항 10

제 8 항에 있어서, 상기 커패시터가 전하를 저장하고, 상기 첫번째 트랜지스터가 첫번째 시간 주기 중에 상기 전하의 첫번째 부분을 상기 첫번째 비트라인에 선택적으로 전달하고, 상기 두번째 트랜지스터가 두번째 시간 주기 중에 상기 전하의 두번째 부분을 상기 두번째 비트라인에 선택적으로 전달하며, 상기 첫번째 시간 주기와 상기 두번째 시간 주기는 연속적인 것을 특징으로 하는 메모리 셀.

청구항 11

제 10 항에 있어서, 상기 두번째 비트라인이 상기 첫번째 시간 주기 중에 첫번째 논리 레벨로 프리차지 되는 것을 특징으로 하는 메모리 셀.

청구항 12

제 11 항에 있어서, 상기 첫번째 비트라인이 상기 두번째 시간 주기 중에 두번째 논리 레벨로 프리차지 되는 것을 특징으로 하는 메모리 셀.

청구항 13

커패시터에 전하를 저장하는 단계;

첫번째 전달 소자를 이용하여 첫번째 시간 주기 중에 이전에 프리차지된 도체를 경유하여 상기 전하의 첫번째 부분을 첫번째 출력에 선택적으로 전달하는 단계; 및

상기 전하의 상기 부분을 선택적으로 전달하는 상기 단계와 실질적으로 동시에, 상기 첫번째 시간 주기 중에 두번째 도체를 프리차지하는 단계; 및

두번째 전달 소자를 이용하여 두번째 시간 주기 중에 상기 프리차지된 두번째 도체를 경유하여 상기 전하의 두번째 부분을 두번째 출력에 선택적으로 전달하는 단계를 포함하며,

상기 첫번째 시간 주기와 상기 두번째 시간 주기는 연속적인 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리 셀을 동작시키기 위한 방법.

청구항 14

제 13 항에 있어서,

상기 전하의 상기 첫번째 부분을 상기 첫번째 출력에 전달하도록 상기 첫번째 전달 소자를 인에이블링하는 단계;

상기 첫번째 출력을 첫번째 도체에 결합시키는 단계;

상기 첫번째 도체에 의해 전달된 상기 전하의 상기 첫번째 부분을 감지하는 단계; 및

상기 전하의 상기 첫번째 부분을 감지하는 단계와 동시에 상기 두번째 전달 소자에 결합된 두번째 도체를 프리차지하는 단계를 더 포함하는 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리 셀.

청구항 15

제 14 항에 있어서,

상기 전하의 상기 두번째 부분을 상기 두번째 출력에 전달하도록 상기 두번째 전달 소자를 인에이블링하는 단계;

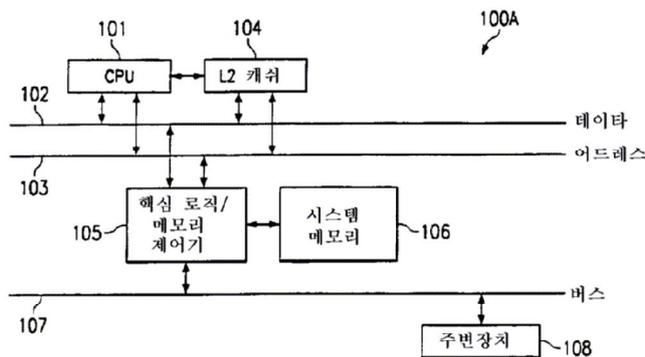
상기 두번째 출력을 두번째 도체에 결합시키는 단계;

상기 두번째 도체에 의해 전달된 상기 전하의 상기 두번째 부분을 감지하는 단계; 및

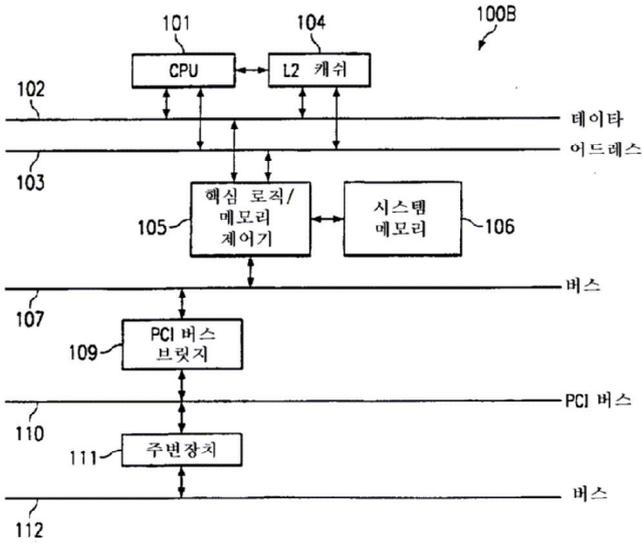
상기 전하의 상기 두번째 부분을 감지하는 단계와 동시에 상기 첫번째 도체를 프리차지하는 단계를 더 포함하는 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리 셀.

도면

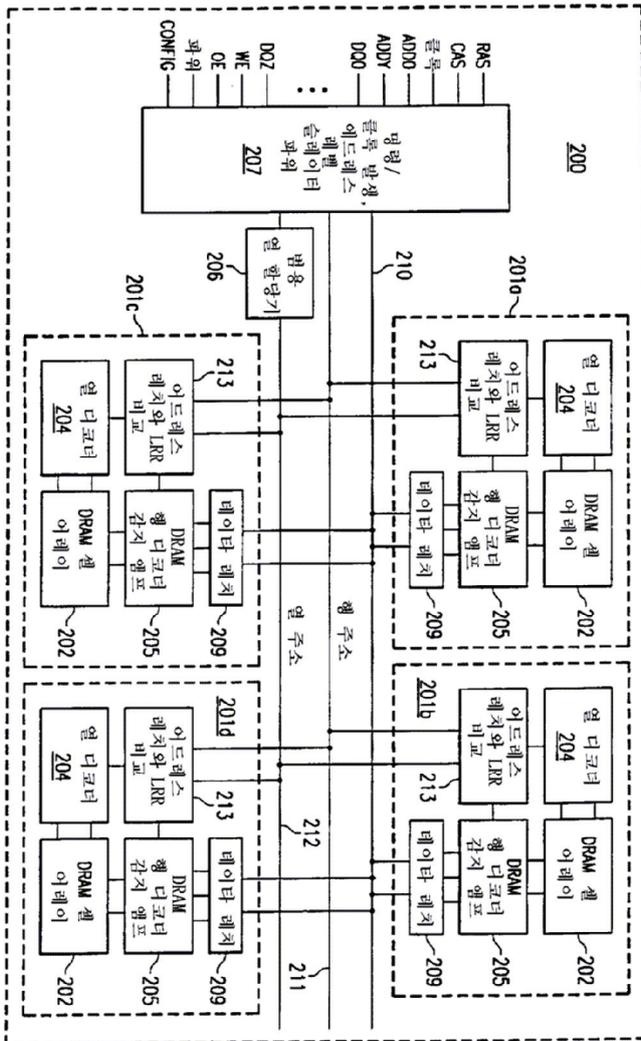
도면 1a



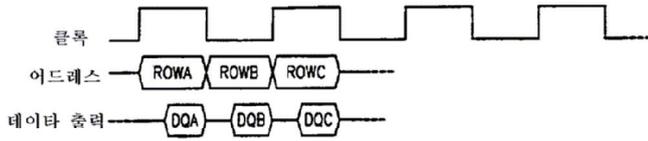
도면 1b



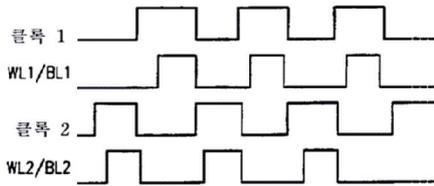
도면 2



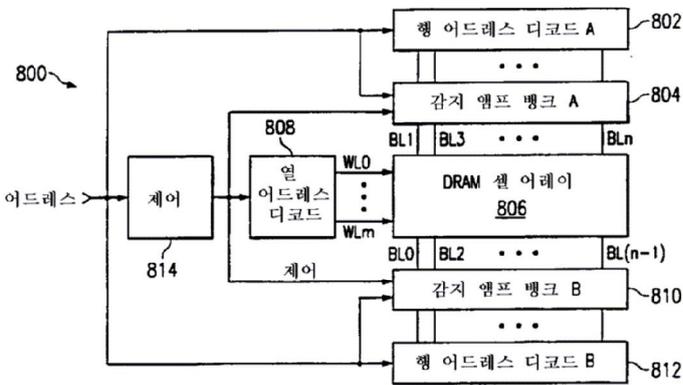
도면6



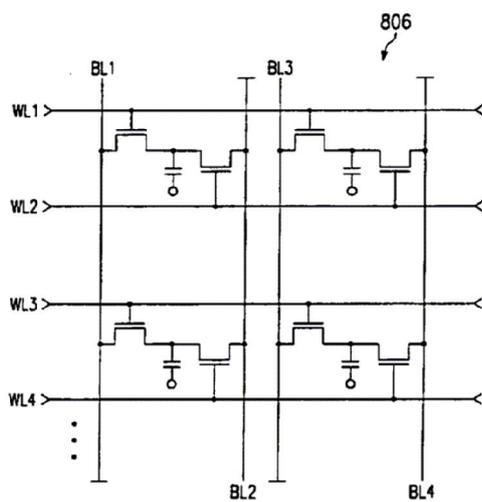
도면7



도면8



도면9



도면10

