

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

G06T 1/00

H04N 5/222

# [12] 发明专利申请公开说明书

[21] 申请号 99101887.7

[43]公开日 1999年10月20日

[11]公开号 CN 1232230A

[22]申请日 93.8.18 [21]申请号 99101887.7

分案原申请号 93116446.X

[30]优先权

[32]92.8.18 [33]JP [31]219309/92

[32]93.7.8 [33]JP [31]169159/93

[71]申请人 富士通株式会社

地址 日本神奈川县

[72]发明人 中本诚 中村聪 高山昭宪

高桥和则 泷上明夫 佐藤泰雄

伊东千秋 青木洋一

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

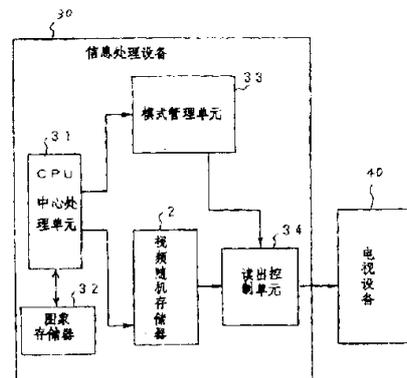
代理人 范本国

权利要求书 4 页 说明书 59 页 附图页数 44 页

[54]发明名称 图象数据转换处理装置以及具有该装置的信息处理设备

[57]摘要

本发明为一种图像数据处理装置,包括一个发布单元,多行存贮单元和一个产生单元。该图像数据包括多行,而电视信号具有一预定的行数。发布单元把该图像数据的一个发送指令发布给存储单元。多行存贮单元循环地逐行存贮由存贮单元发送的图象数据。产生单元使存贮在行存贮单元中的图象数据乘以与多个内插系数中被进行转换的图象数据的开发格式相对应的内插系数,由此产生电视信号。



ISSN 1008-4274

## 权 利 要 求 书

---

1.一种图象转换处理装置，其特征在于包括：

接收装置，用于接收具有第一行数的非隔行图象数据，

转换装置，用于将上述图象数据转换成具有多个场的隔行电视信号，

其中，上述电视信号的行数与上述的第一行数不同，上述电视信号中一个场中的一行与该电视信号中另一场中的一个相邻的行相互联系。

2.如权利要求1所述的图象数据处理装置，其中所述的转换装置将用多种产生方式中的任何一种产生的上述图象数据转换成具有多个场的隔行电视信号。

3.如权利要求1或2所述的图象数据处理装置，其中，所述的图象数据可以用多种产生方式中的任何一种来产生，所述的转换装置用于将用多种产生方式中的任何一种方式产生的图象数据转换成具有多个场的隔行电视信号。

4.如权利要求1至3所述的图象转换处理装置，其中，由上述接收装置接收到的图象数据是用多种产生方式所产生的。

5.如权利要求1至4所述的图象转换处理装置，其中，上述的转换装置给上述图象数据乘以多个系数，

其中，上述的系数用于改变上述图象数据的行数，将非隔行信号转换成具有多个场的隔行信号，以及使一个场中的行与另一场中的行联系起来。

6.如权利要求1至5所述的图象转换处理装置，其中所述的转换装置还包括：用于产生对应于上述图象信号的多种产生方式的多个系数的系数发生器。

7.如权利要求1至6所述的图象转换处理装置，其中所述的多种产生格式在图象的行数上是不相同的。

8.如权利要求1至7所述的图象转换处理装置，其中所述的多种产生格式在图象尺寸上是不相同的。

9.如权利要求1至8所述的图象转换处理装置，其中所述的转换装

置还包括:

用于存贮每一场中的各个行的存贮装置,

用于将有一场中的每一行数改变为其他格式的每一场中的行数的改变装置,

相互联系装置, 用于将上述的其他格式的一个场中的每一行与上述其他格式中的其他场中的每一行相互联系起来, 以减少闪烁; 以及

输出装置, 用于将由上述的相互联系装置进行相互联系后的各行作为电视信号进行输出。

10.如权利要求 1 至 8 所述的图象转换处理装置, 还包括:

用于存贮图象数据的第一存贮装置,

用于将图象数据改变为隔行图象数据的改变装置,

用于存贮每一场中的各行的第二存贮装置,

11.如权利要求 9 或 10 所述的图象转换处理装置, 其中上述的相互联系装置包括:

针对第一行的系数发生器, 以及

将每一行乘以由上述系数发生器产生的系数的乘法器。

12.如权利要求 1 至 8 所述的图象转换处理装置, 还包括:

偶存贮装置, 用于存贮被进行转换的图象数据中的偶数行的图象数据,

奇存贮装置, 用于存贮被进行转换的图象数据中的奇数行的图象数据,

其中, 上述转换装置包括一个方式转换处理装置, 该方式转换处理装置用于将由上述偶存贮装置和上述奇存贮装置提供的上述的偶数行和奇数行的图象数据转换成符合一种方式的电视信号。

13.如权利要求 12 所述的图象转换处理装置, 其中所述的方式转换处理装置包括:

转换处理控制装置, 用于产生赋予基于一种方式的图象数据的一个系数,

计算处理装置, 用于读出存贮在上述的偶存贮装置和上述奇存贮装置中相邻的奇数行和偶数行的图象数据, 并且使读出的图象数据乘以上

述系，

行存贮装置，用于将上述计算处理装置中得到的电视信号一行一行地存贮在其中，以及

平均处理装置，用于对存贮在上述行存贮装置中的前一行的电视信号和从上述计算处理装置中得到的一行电视信号进行平均处理，形成一行电视信号。

14.根据权利要求 13 所述的图象转换处理装置，其特征在于进一步包括另一个行存贮装置，用于逐行地存贮电视信号，所述平均处理装置计算存贮在所述行存贮装置中两行之前的电视信号、存贮在上述的另一个行存贮装置中一行之前的电视信号和在所述计算处理装置中计算出的电视信号的平均值，从而产生该电视信号。

15.根据权利要求 12 至 14 所述的图象转换处理装置，其特征在于所述平均处理装置使电视信号的每一行与一预定的加权系数相乘，并把各自的相乘输出相互相加，由此产生该电视信号。

16.如权利要求 1 至 8 所述的图象转换处理装置，其中所述的转换装置包括：

多场存贮装置，用于逐场地存贮由所述存贮装置提供的图象数据的每一行；以及

设置在所述多场存贮装置的一个输入或输出侧的平均处理装置，用于对图象数据行和与此相邻的图象数据行的多个图象数据行的图象数据求平均。

17.如权利要求 16 所述的图象转换处理装置，其中，上述的转换装置还包括：

线性内插装置，用于使用一个预定的系数对由上述接收装置接收到的二个图象行的图象数据和与之相邻行的图象数据进行线性内插。

18.如权利要求 16 所述的图象转换处理装置，

其特征在于：所述的平均处理装置包括多个滤波器装置，用于对图象数据的多个相邻行的信号电平实施滤波处理；和相加装置，用于把由所述多个滤波器提供的多个经滤波处理的行的信号电平相加。

19.如权利要求 16 所述的图象转换处理装置，还包括：

同步信号发生装置，用于产生电视信号的水平同步信号和垂直同步信号；和

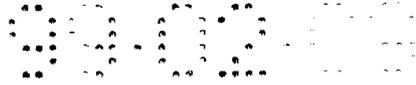
场控制装置，用于根据在所述同步信号发生装置中产生的水平同步信号和垂直同步信号对所述多场存贮装置执行图象数据的逐场写入和读出操作。

20.如权利要求 1 至 8 所述的图象转换处理装置，其中所述的转换装置还包括：

线性内插装置，利用一预定的内插系数对由所述提供装置提供的二个图象行的图象数据和与此相邻的一图象数据行的图象数据实施线性内插；

设置在所述线性内插装置的输入或输出侧的多场存贮装置，用于逐场地存贮各个行；以及

平均处理装置，用于对由上述多场存贮装置提供的图象数据行中多个图象数据行和与此相邻的图象数据行的图象数据进行求平均处理。



## 说 明 书

### 图象数据转换处理装置以及具有该装置的信息处理设备

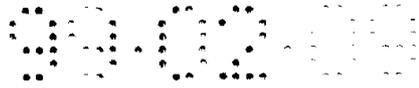
本发明涉及一种图象数据转换处理装置,用于将图象数据转换成电视信号,所述图象数据是在一个存储器中以所开发的多种格式产生的;以及涉及具有图象数据转换处理装置的信息处理设备。

所述信息处理设备例如可以由带有存储器和处理单元的一台个人计算机构成。信息处理设备与一阴极射线管(CRT)相连,存储器输出的图象数据显示在CRT上。这时,所述图象数据在一视频随机存取存储器(VRAM)中以所开发的各种格式产生。

所述图象数据由每行320象素(点)构成,总行数为200。此外,图象数据也可由640象素 $\times$ 400行或640象素 $\times$ 480行构成。CRT的帧(屏幕)可分为用于显示图象数据的显示帧区域和非显示帧区域。

一个程序具有一种模式数据,它与图象数据的一图象模式相对应,用于在屏幕上显示该图象数据,所述模式数据代表非显示帧区域的尺寸、在水平方向上显示帧区域的象素数目、回扫周期以及用于每一象素的读出频率。

当图象数据含640象素 $\times$ 480行时,用来控制CRT显示图象数据的一种装置可用于根据该程序的模式数据设置一个31KHz的水



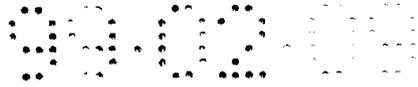
平扫描频率。根据所设定的水平扫描频率,该装置可从 VRAM 中以 28MHz 的读出频率读出图象数据。根据所述的模式数据,CRT 将该图象数据显示在它的显示帧区域。

另一方面,当图象数据含 320 象素 $\times$ 200 行时,该装置将水平扫描频率置定为 15KHz。这时,该装置根据这一水平扫描频率从 VRAM 中以 21MHz 的读出频率读出所述图象数据。当图象数据含 640 象素 $\times$ 400 行时,该装置设定水平扫描频率为 24KHz,这时,该装置根据该水平扫描频率,从 VRAM 中以 25MHz 的读出频率读出所述图象数据。根据以各种开发的格式所产生的图象数据,分别提供不同的 CRT。

综上所述,用于控制 CRT 执行其显示操作的装置通过设定水平扫描频率,使 CRT 显示与图象模式相应的图象数据。

另外,近来已出现了一种多重 CRT,它能显示 320 象素 $\times$ 200 行、640 象素 $\times$ 400 行及 640 象素 $\times$ 480 行的多种图象数据。这时,带有程序的一个信息处理设备输出一个复合信号到多重 CRT 中。该复合信号含 31/24/15 的水平同步信号和垂直同步信号。在此复合信号的基础上,该多重 CRT 显示一个来自该信息处理设备的 RGB 信号的图象数据。

另外,有一种电视设备,它通常用作家庭使用,与 CRT 和上述的多重 CRT 地位相似。这种电视设备的水平扫描频率规定为 15KHz(精确地说为 15.73426KHz),有效行数规定为 400 行。在这



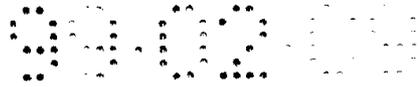
种电视设备中,利用隔行扫描操作,其中,对帧进行隔行扫描,可将一帧显示成两个场。

人们已有一种不断增长的需要,即要求电视设备连接到所述信息处理设备上,以促进这种信息处理设备的普及。在这种情况下,需要一种扫描转换器,用于将图象数据转换成电视信号。所述扫描转换器带有一种转换开关,用于在上述的多种水平扫描频率中选择出任一种频率,并且根据一设定的(所选择出的)水平扫描频率,所述扫描转换器对所述的将由所述信息处理设备显示的图象数据进行转换。根据该电视信号,电视设备在其帧上显示图象。

如上所述,当所述电视设备连接到信息处理设备上时,所述扫描转换器将以模拟形式发送的图象数据转换成数字信号,然后将该数字信号存储到内部的 VRAM 中,而且,该扫描转换器将图象信号转换成电视信号,该电视信号将以 15KHz 水平扫描频率被隔行扫描。然后将该已转换的电视信号输出到电视设备上。

当在 VRAM 中生成的图象数据的行数超过一电视帧 400 行时,普通的扫描转换器仅显示与 400 行相对应的图象部分,它由一个可调量来规定。因此,在这种情况下,存在一个问题,即在电视帧(屏幕)上,不能显示与 400 行以外的多个行相应的图象数据。为了解决这个问题,必须利用扫描转换器来对图象数据进行压缩。

如果该图象数据由扫描转换器均匀一致地压缩,那么,一个不应被压缩的图象也可能被压缩。例如,信息处理设备常常以 31KHz 的



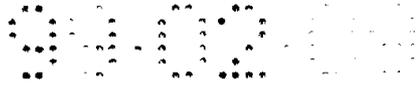
水平扫描频率输出  $640 \text{ 象素} \times 480 \text{ 行}$  的图象以及  $640 \text{ 象素} \times 420 \text{ 行}$  的图象。这时,  $640 \text{ 象素} \times 420 \text{ 行}$  的图象数据可以被显示在电视屏幕上,而  $640 \text{ 象素} \times 480 \text{ 行}$  图象数据不能显示在电视屏幕上。

所述扫描转换器用于以一个恒定压缩率将  $640 \text{ 象素} \times 480 \text{ 行}$  的图象数据压缩到  $640 \text{ 象素} \times 420 \text{ 行}$ ,然而,它还以这个恒定的压缩率压缩原来不必被压缩的  $640 \text{ 象素} \times 420 \text{ 行}$  的图象数据。

进而,采用上述的扫描转换器会产生这样一个问题,即用户必须通过一个转换开关来选择一个水平扫描频率,利用所述复合信号可以省去用户对转换开关的运用。该复合信号是一个同步信号,且由各种频率的信号组成。这种情况下,不发送表示每一频率的编码信息,这样,根据该复合信号不能立即地对频率加以识别。所以,要提供给扫描转换器一个频率检测器,用于检测每一种频率。利用频率检测器的检测结果可以省略转换开关的使用。然而,这时扫描转换器的电路结构是十分复杂的。

另外,当使用扫描转换器时,在信息处理设备中产生的将被显示的图象数据从数字信号转换成模拟信号,然后,利用该扫描转换器将该模拟信号再转换成数字信号。因此,会产生这样一个问题,那就是将被显示在电视设备上的图象数据的图象质量变劣。

再者,在普通的扫描转换器中,仅通过隔行扫描操作,从信息处理设备发送的图象数据被转换成电视信号,所以在电视屏幕上存在着闪烁,这样,所显示的图象是不清楚的。



本发明的一个目的是提供一种图象数据转换处理装置，它能根据在具有一单独硬件结构的 VRAM 上生成的各种图象数据，自动地生成具有优良显示性能的电视信号；以及一种信息处理设备，它带有上述的图象数据转换处理装置。

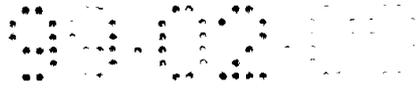
为了完成上述目的，按照本发明的图象数据转换装置将多行图象数据（它们存储在一个存储单元中，并能按照所开发的各种格式生成出来）转换成具有预定行数的电视信号。该图象数据转换装置包括一个发布单元（*issue unit*）、多行存储单元以及一个发生单元。所述发布单元根据一个由将被转换的图象数据的行数与电视信号的预定行数之比值来确定的周期，发布一个图象数据发送指令给存储单元。

多行存储单元根据发布单元的发送指令，用于周期性地逐行地存储从存储单元发送的图象数据。

所述发生单元用于使一个内插系数与存储在行存储单元中的图象数据相乘，所述内插系数是多个内插系数中与一个所生成的图象数据的开发格式相对应的，上述多个插值系数是事先对应于本发明所开发的各种格式来设定的；上述乘法过程与电视信号的水平同步信号同步，从而生成所述电视信号。

按照本发明，所开发的各种格式的图象数据能自动地转换成电视信号。

进一步说，按照本发明，所述图象数据转换处理装置能将存储在



存储单元中的且能以所开发的多种格式生成的图象数据转换为具有预定行数的电视信号。所述图象数据由多行组成。

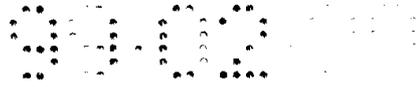
本发明的图象数据转换处理装置包括模式管理单元和转换处理单元。模式管理单元用于处理与图象数据的行数相对应的模式数据。

转换处理单元用于根据模式管理单元提供的模式数据更新图象数据的转换，以将对应于至少多个模式数据的图象数据转换成电视信号。

另外，本发明的信息处理设备执行对应于不同图象模式的多种程序，所述图象数据包括一种预定的图象模式。所述程序包括一种模式数据，该模式数据具有用于图象数据本身的图象模式的信息或规定的信息。

信息处理设备执行多种程序并且有一个处理单元，用于处理模式数据和图象数据，处理单元包括图象存储单元和转换处理单元。图象存储单元用于存储含有模式数据和图象数据的程序，转换处理单元用于根据模式数据使存储在图象存储单元中的图象数据经受一种预定的转换，由此，将图象数据转换成电视信号。

再者，本发明的图象数据转换处理装置把按所开发的格式生成图象数据转换成预定行数的电视信号，所述图象数据由多行组成。图象数据转换处理装置包括一个偶存储单元、奇存储单元、信号发生单元以及格式转换处理单元。



偶存储单元用于存储将被转换的图象数据中的偶数行图象数据,而奇存储单元用于存储将被转换的图象数据中奇数行的图象数据。

信号发生单元产生一用于电视信号的水平同步信号,也产生多个速率数据(rate data),它们由图象数据的行数与电视信号的预定行数之比值确定,电视信号的预定行数与所开发的多种格式相对应。

格式转换处理单元利用水平同步信号和与被进行转换的图象数据的开发格式相对应的速率数据,将偶存储单元和奇存储单元提供的偶数行和奇数行的图象数据转换成电视信号。

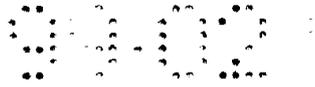
根据本发明的信息处理设备,提供有偶存储单元和奇存储单元,并且通过读出偶数行和奇数行的图象数据来执行一种计算,这样可以简化格式转换处理单元的结构。

另外,本发明的信息处理设备将存储在一存储单元中的图象数据转换成具有预定行数的电视信号。所述图象数据由多行组成。

一帧电视信号由多场组成。本发明的信息处理设备包括一线性内插单元,多场存储单元、同步信号发生单元和场控制单元。

所述线性内单元利用一预定的内插系数,对存储单元提供的一图象数据行和与上述图象数据行相邻的一图象数据行的两行图象数据进行线性内插由此产生电视信号。

多场存储单元被设置在线性插值单元的输入或输出端,以便以场为基础存储各自的行。同步信号发生单元用于产生电视信号的水



产同步信号和垂直同步信号。

场控制单元用于根据由同步信号发生单元产生的同步信号，对多场存储单元逐场地执行图象信号的写入和读出操作。

根据本发明的信息处理设备，所述图象数据逐场地经受所述的处理，以生成电视信号。

如上所述，按照发明的图象数据转换处理装置和信息处理设备，通过使用一种单独的硬件结构，具有优良显示性能的电视信号能够从所开发的各种格式的图象数据中自动地生成，这样可省略用户的操作。

图 1 是一个框图，说明本发明第一实施例的含有图象数据转换处理装置的信息处理设备。

图 2 是一个框图，示出了图 1 中所示的图象数据转换处理装置的基本结构。

图 3 是一个流程图，说明了示于图 2 中的图象数据转换处理装置的操作过程。

图 4 是一个框图，说明了示于图 1 中的图象数据转换处理装置的典型结构。

图 5 是一具框图，说明了图 4 所示的结构的主要部分。

图 6 是一个插值系数计算的说明图。

图 7 是用于插值系数计算的另一个说明图。

图 8A 和 8B 是管理表的管理数据。



图 9 是一个用于表示实施例的操作处理过程的时序图；

图 10 是一个用于实施例的操作处理的另一时序图；

图 11 是电视信号发生处理过程的说明图；

图 12 是电视信号发生处理过程的另一说明图；

图 13 是电视信号发生处理过程的又一说明图；

图 14 说明了插值系数的引用；

图 15 是一个框图，说明按照本发明第二实施例的图象数据转换处理装置的基本结构；

图 16 是一个流程图，说明了示于图 15 中的图象数据转换处理装置的操作过程；

图 17 是一个框图，说明了按照本发明第二实施例的图象数据转换处理装置的典型结构中的半导体存储单元；

图 18 是一个框图，说明了在本发明的第二实施例的图象数据转换处理装置的典型结构中含有格式转换处理单元的外部电路；

图 19 是一个框图，说明了一个转换处理控制单元的结构；

图 20 是一个框图，说明了计算处理单元的结构；

图 21 是一个定时表，用于一个奇数场的第一电视信号的显示部分；

图 22 是一个定时表，用于一个奇数场的第二电视信号的显示部分；

图 23 是一个示意图，说明一个奇数场的电视信号的产生；

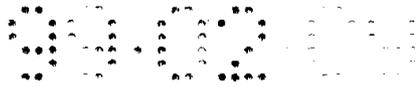


图 24 是用于半导体存储器读出地址和内插系数的计算的示意图；

图 25 是一个定时表；用于一个偶数场的第一电视信号的显示部分；

图 26 是一个定时表，用于一个偶数场的第二电视信号的显示部分；

图 27 是一个示意图，说明一个偶数场的电视信号的产生；

图 28 是一个框图，说明了第二实施例的第一改型的结构；

图 29 是一个定时表，用于第一改型的一个奇数场的第一电视信号的显示部分；

图 30 是一个定时表，用于第一改型的一个奇数场的第二电视信号的显示部分；

图 31 是一个示意图，用于说明一个奇数场的电视信号的产生；

图 32 是一个定时表，用于第一改型的一个偶数场的第一电视信号的显示部分；

图 33 是一个定时表，用于第一改型的一个偶数场的第二电视信号的显示部分；

图 34 是一个示意，说明一个偶数场的电视信号的产生；

图 35 是一个框图，说明了第二实施例的第二改型的结构；

图 36 是一个框图，说明了一个转换处理单元的结构；

图 37 是一个框图，说明了一个计算处理单元的结构；

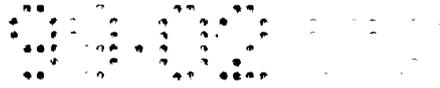


图 38 是一个框图,说明了本发明第三实施例的信息处理设备的基本结构;

图 39 是一个流程图,说明了示于图 38 中的信息处理设备的操作过程;

图 40 是一个框图,说明本发明第三实施例的信息处理设备的典型结构;

图 41 是一个流程图,说明了示于图 40 中的信息处理设备的操作过程;

图 42 是表示一种横向滤波器的示意图;

图 43 是表示一种线性内插电路的示意图;

图 44 是表示内插系数值的一个举例;

图 45 是线性插值电路 20 的结构示意图。

下面将参照附图说明图象数据转换处理装置和含有所述图象数据转换处理装置的信息处理设备的优选实施例。

#### 第一实施例

图 1 是一个框图,说明了本发明第一实施例的含有图象数据转换处理装置的一种信息处理设备的结构。

在图 1 中,所述信息处理设备可以由例如一台个人计算机组成。信息处理设备包括一个 CPU31,一个图象存储器 32,一个 VRAM2、一个模式管理单元 33,以及一个读出控制单元 34。该信息处理设备 30 与外部的电视设备 40 相连接。



所述图象存储器 32 用于存储一个程序和图象数据。该程序具有模式数据，它存储与图象数据本身的图象模式相对应的信息或其它规定的信息。

CPU31 用于根据来自图象存储器 32 的程序和图象数据执行一个处理过程。这个图象数据具有一预定的图象模式。CPU31 执行多个程序，其中模式数据互不相同，它还接收包括在程序中和图象数据中的模式数据。

CPU31 也将图象存储器 32 的图象数据输出到 VRAM2，以及将模式数据输到模式管理单元 33。图象数据由多行组成，每行由多个象素组成，根据这种结构，图象模式互不相同的图象数据具有不同的数据行数。模式数据是与行数相对应的数据。

VRAM2 用来存储所开发的各种格式的图象数据。所述图象数据被存储在 VRAM2 中，可以以所开发的这样的格式：例如 320 象素  $\times$  200 行、640 象素  $\times$  400 行或 640 象素  $\times$  480 行存储，也可按其它的格式存储。

模式管理单元 33 用于管理模式数据，所述模式数据对应于将在 VRAM2 中生成和转换的图象数据的行数。读出控制单元 34 由图象数据转换处理装置构成。读出控制单元 34 根据模式管理单元 33 提供的模式数据更新图象数据的转换模式（方式），以使对应于至少多个模式数据的图象数据转换成电视信号。

用于电视信号的图象数据代表一个预定的行数。所述读出控制



单元 34 使图象数据经受一预定的转换, 所述预定的转换根据上述预定行数的行数比和模式数据来确定, 由此, 使对应于至少多个模式数据的图象数据转换成电视信号。

按照这种结构, 后面将要说明的一个管理表 22 被提供给读出控制单元 34。该管理表 220 包括一个第一转换信息, 用于转换成具有电视信号图象数据行数的图象数据, 在所述的电视信号图象数据中, 欲被转换的图象的行数大于电视信号的行数。管理表 220 还包括一个第二转换信息, 用于转换成具有电视信号图象数据的行数的图象数据, 在所述的电视信号图象数据中, 欲被转换的图象的行数小于电视信号的行数。

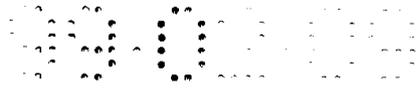
读出控制单元 34 选择第一和第二转换信息中的任一种, 并根据所选择的转换信息执行图象数据的转换。

读出控制单元 34 也可以根据模式数据从 VRAM2 中对欲被读出的数据的读出范围加以改变, 而且, 它能根据电视信号的扫描频率进行转换。

按照这种构成, 从读出控制单元 34 输出的图象显示在电视设备 40 上。所述信息处理设备 30 可设计成装在一个壳体内。

#### A. 第一实施例的图象数据转换处理装置的基本结构。

图 2 是一个框图, 说明了图象数据转换处理装置的基本结构。该图象数据转换处理装置 1 包括 VRAM2、多个行缓冲器 3、发生单元 4、第一计数器 5、第二计数器 6、表 7 和发布单元 8。



VRAM2 存储欲被转换成电视信号的图象数据。存储在 VRAM2 中的图象数据由一个程序生成。所述图象数据由例如 640 象素 $\times$ 400 行或 640 象素 $\times$ 480 行组成。

多个行缓存器 3 连接到 VRAM2 上, 如图 2 所示, 行缓存器 3 中的每一个用于循环地对来自 VRAM2 的图象数据逐行加以存储。

发生单元 4 连接到多个行缓存器 3 上, 如图 2 所示, 用于产生电视信号的水平同步信号和垂直同步信号。该发生单元 4 以与水平同步信号同步的方式使存储在行缓冲器 3 中的图象数据乘以一个分配给该图象数据的内插系数, 然后使所得到的相乘结果相加以产生电视信号。

这就是说, 利用预先设定作为内插系数的一个预定值, 发生单元 4 对一个电视信号行的图象数据行和一个与其相邻的图象数据行的二个图象数据行的图象数据执行线性内插, 由此计算出一个信号电平, 以及计算出已线性内插的电视信号行和与其相邻的一个电视信号行这两个电视信号行之间信号电平的平均值。

而且, 利用预先设立为内插系数的所述预定值, 发生单元 4 通过信号电平的平均值的计算可产生一个电视信号, 所述信号电平的平均值是对应于电视信号行的图象数据行和与其相邻的图象数据行的二个图象数据行之间的信号电平的平均值。

第一计数器 5 根据模式管理单元 33 提供的模式数据, 按照由模式数据规定的周期, 循环地对电视信号的水平同步信号进行计数。



表 7 按照图象所生成的格式,管理内插系数和识别时钟数,用于电视信号的水平同步信号。这些管理数据由存储在 VRAM2 中的图象数据所生成的格式来确定,并且对于电视信号的水平同步信号具有周期性。

表 7 设定内插系数和识别时钟数,用于由模式管理单元 33 提供的模式数据,作为输出的对象。表 7 使用第一计数器 5 的计数值作为存取地址以输出一个具有周期性的内插系数,该周期性对应于欲作为输出对象的内插系数和识别时钟数中的计数值。这样输出的内插系数被提供给发生单元 4,而识别时钟数被输出到发布单元 6。

第二计数器 6 对电视信号的水平同步信号的时钟数进行计数。发布单元 8 通过比较来自表 7 的识别时钟数和第二计数器 6 所计出的计数值,发布一个用于发送图象数据的指令给 VRAM2。

接下来,将对这样构成的图象数据转换处理装置的操作过程加以说明。

图 3 是一个流程图,说明了示于图 2 中的图象数据转换处理装置的操作过程。

首先,一个模式数据被提供到第一计数器 5 和表 7(步骤 101),所述模式数据用于将在 VRAM2 中生成的一个图象数据。第一计数器 5 按照模式数据所规定的周期,对电视信号的水平同步信号执行循环计数操作(步骤 102)。

相应于上述的计数操作,表 7 输出一个具有周期性的内插系数



和一个识别时钟数，所述周期性由根据所述模式数据欲被输出的内插系数和识别时钟数中的计数值确定(步骤 103)。第二计数器 6 对电视信号的水平同步信号的时钟数进行计数(步骤 104)。

发布单元 8 将表 7 输出的识别时钟数和第二计数单元 6 的计数值进行比较。当识别时钟数与计数值一致时，发布一个发送指令，用于一个图象数据串，该图象数据串与在前的一个图象数据串是连续的(步骤 105)。也就是说，根据在 VRAM2 中生成的图象数据的行数与电视信号的行数之比值即行数比确定的一个周期，发布单元 8 发布与在前的图象数据串相连续的图象数据串的发送指令。

所以，当 VRAM2 中生成的图象数据的行数大于电视信号的行数时，发布单元按照一个短周期发布图象数据的发送指令。另一方面，当所述图象数据的行数小于电视信号的行数时，发送单元 8 按照一个长周期发布图象数据的发送指令。

响应于发布单元 8 的发送指令，图象数据从 VRAM 发送到行缓冲器 3 中(步骤 106)。这时，首先连续地发送顶行的图象数据，所述顶行的图象数据位于每一预定行数的发送单元的发送起始点。当图象数据的这一发送完成之后，接下来，连续发送顶行之下的那一行图象数据，所述顶行位于每一预定行数的发送单元的发送起始点。当图象数据的这一发送过程完成之后，接下来，下一顶行本身又连接地被发送，所述顶行再次位于每一发送单元的发送起始点。如上所述，当利用顶行图象数据作为发送起始点的发送单元和利用顶



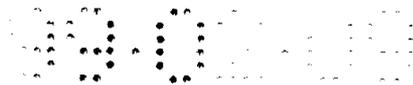
行之下的一行图象数据作为发送起始点的发送单元被交替选择时，图象数据即被发送。

行缓冲器 3 循环地存储来自 VRASM2 的图象数据(步骤 107)。响应于上述的存储过程，按照电视信号的水平同步信号，发生单元 4 同步地使存在行缓存器 3 中的图象数据与来自表 7 的插值系数相乘(步骤 108)。通过使所相乘的结果相加，发生单元 4 产生电视信号(步骤 109)。

这就是说，当在 VRAM2 中生成的图象数据的行数较大时，行缓存器 3 按一个短周期更新所存储的图象数据，当图象数据的行数较小时，行缓存器 3 以一个长周期来更新所存储的图象数据。响应于行缓存器 3 对图象数据的存储操作，发生单元 4 生成电视信号，同时缩减(压缩)在 VRAM2 中生成的图象数据。

有这样一种情况，即当行缓冲器 3 的数目大于发生单元 4 生成电视信号所需的图象数据的行数时，有许多行缓冲器 3 备用。这时，发布单元 8 以这样一种定时方式发布图象数据的发送指令，即在图象数据写入到行缓冲器 3 中的过程中，使行缓冲器的数目保持在足以存储生成电视信号所需的图象数据的数目上，这时，设定图象数据写入到行缓冲器 3 中的速度大于从行缓存器 3 中读出图象数据的速度。

用于这种情况的内插系数的设定值由发生单元 4 设定。这个设定值按如下方法计算。与一个电视信号行相对应的一个图象数据



行相邻的两个图象数据行的图象数据被进行内插处理以计算出信号电平。所述内插系数是这样来建立的,以使具有一个平均值的电视信号得以产生,所述平均值是上述信号电平与相似信号电平的平均值,所述相似信号电平是与上述电视信号行相邻的一个电视信号行的信号电平。

按照内插系数的设定值,通过获得夹着所对应的图象数据行的两个图象数据的线性内插值的信号电平,发生单元 4 可计算出每一电视信号的信号电平,所述对应的图象数据行是与电视信号有缩小(压缩)关系的行。接着,通过计算这样获得的两个相邻电视信号的平均值,发生单元 4 能确定电视信号的最终信号电平。

综上所述,发生单元 4 确定电视信号的信号电平,同时缩减 VRAM2 中的图象数据。而且发生单元 4 能求得两相邻的电视信号的信号电平平均值。通过这种操作,所有 VRAM2 的图象数据能生成无闪烁的电视信号。而且,根据内插系数的设定值和交替发送的图象数据,发生单元 4 能生成隔行扫描的电视信号。

#### B. 具有第一实施例典型结构的图象数据转换处理装置。

下面说明具有典型结构的图象数据转换处理装置。图 4 是一个框图,说明了图象数据转换处理装置的典型结构。

在图 4 中,按照模式管理单元 33 给出的模式数据,图象数据转换处理装置读出存储在 VRAM2 中的图象数据,而且,它缩减图象数据,以将所有存储在 VRAM2 中的图象数据显示在电视设备 40



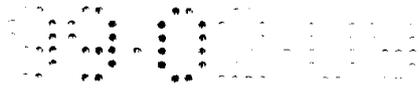
上,并且确定电视信号的信号电平。然后,通过求得相邻电视信号之间的信号电平平均值,产生无闪烁的电视信号。

在图4中,RGB矩阵电路10可以将从VRAM2中读出的RGB分量图象数据转换成YUV分量图象数据。低通滤波器(LPF)11可以消除由RGB矩阵电路11转换所得的U—分量图象数据的噪声成分。LPF12消除由RGB矩阵电路10转换所得的V—分量图象数据的噪声成份。

多路转接器13从两个低通滤波器11和12的任一个中选择图象数据。行缓冲器14— $i$ ( $i=1$ 到4)用来循环地且连续地存储由RGB矩阵电路10转换所得的Y—分量图象数据以及由多路转接器13—行接一行地选择出的图象数据分量。

选择器15对存储在行缓冲器14— $i$ 中的图象数据进行选择。通过使存储在行缓冲器14— $i$ 中的图象数据经受缩减处理和去闪烁处理,逻辑操作电路16产生一个电视信号。信号分离器将从逻辑操作电路16输出的电视信号的U和V—分量电视信号分配给选择器18。来自逻辑操作电路16的电视信号的U和V—分量电视信号由多路转接器13选择。

选择器18选择出由RGB矩阵电路10转换所得的图象数据和由逻辑操作电路16输出的电视信号中的任一个。NTSC编码器19对从选择器18输出的电视信号进行编码以成为NTSC信号,D/A转换器20将从NTSC编码器19输出的数字信号转换成模拟信号,



然后将该模拟信号输出到电视设备 40 上。

根据模式管理电路 33 给出的模式数据,行缓冲器写入控制电路 21 控制着写入到行缓冲器 14—*i* 中的图象数据的写入操作。一个内插系数发生电路 22 根据模式数据和时钟信号  $CLKS0$  和  $CLKS1$  产生一个内插系数,该内插系数为逻辑操作电路 16 所需要以执行缩减处理和去闪烁处理,如上所述的那样。内插系数发生电路 22 输出所述内插系数到逻辑操作电路 16。

在 28.63MHz 时钟的基础上,NTSC 同步信号发生电路 23 产生一个 NTSC 同步信号,它含有水平同步信号和垂直同步信号,NTSC 同步信号发生电路 23 输出 NTSC 同步信号到内插系数发生电路 22 上。

按照这种结构,每一个行缓冲器 14—*i*,选择器 15 和逻辑操作电路 16 按照电视信号的奇数场和偶数场分别成对提供(即提供两组行缓冲器、选择器和逻辑操作电路)。在图 4 中,示出了一组行缓冲器 14—*i*,选择器 15 和逻辑操作电路 16。图象数据进入行缓冲器 14—*i* 的写入操作以 28.6MHz( $8f_{sc}$ )的频率进行。逻辑操作电路 16 以

14.3MHz( $4f_{sc}$ )的频率与电视信号的产生同步地运行。也就是说,图象数据进入行缓冲器 14—*i* 的写入操作电路和逻辑操作电路 16 异步工作。

图 5 是一个框图,说明了示于图 4 中电路主要部分的详细结构。在图 5 中,与图 4 中同样的元件由同样的标号标示。



在 VRAM2 中生成的图象数据是 640 象素  $\times$  480 行、640 象素  $\times$  400 行或 320 象素  $\times$  200 行的，这些图象数据要分别转换成 640 象素  $\times$  400 行、640 象素  $\times$  480 行及 320 象素  $\times$  400 行的电视信号。

在存储器 32 中产生的程序按照三种所开发的格式中的任一种，通过其处理过程生成 VRAM2 中的图象数据，这时所采用的格式经模式管理单元 33，按照已编码模式数据，告诉给管理表格 220 和选择器 223，如下文中将说明的那样。

选择器 15 含有三个选择器 150— $i$  ( $i=1-3$ )。选择器 150— $i$  选择出存储在行缓冲器 14—1 和 14—2 中的任一图象数据。当从管理表 220 的  $a$ —端输出的选择控制信号表示为“1”时，如下面所述的，选择器 150—1 选择行缓冲器 14—1 的图象数据；当选择控制信号表示为“0”时，它选择行缓冲器 14—2 的图象数据。

选择器 150—2 选择存储在行缓冲器 14—2 的 14—3 中的图象数据的任何一个。当从管理表 220 的  $b$ —端输出的选择控制信号表示为“1”时，选择器 150—2 选择行缓冲器 14—2 的图象数据；当所述选择控制信号表示为“0”时，它选择行缓冲器 14—3 的图象数据。

选择器 150—3 选择存储在行缓冲器 14—3 和 14—4 中的任一图象数据，当从管理表 20 的  $C$  端输出的选择控制信号代表“1”时，选择器 150—3 选择行缓冲器 14—3 的图象数据；当选择控制信号表示为“0”时，它选择行缓冲器 14—4 的图象数据。

逻辑操作电路 16 由三个乘法器 160— $i$  ( $i=1-3$ ) 和一个加法器



161 组成,逻辑操作电路 16 利用前文所述的内插系数执行运算处理,由此可进行图象数据的缩减和求平均运算。

乘法器 160—1 执行一个乘法操作,也就是使从选择器 150—1 输出的图象数据和从管理表 220 的  $\alpha$ —端输出的内插系数相乘。乘法器 160—2 执行一个乘法运算,使从选择器 150—2 输出的图象数据和从管理表 220 的  $\beta$ —端输出的内插系数相乘。乘法器 160—3 执行一个乘法运算,使从选择器 150—3 输出的图象数据和从处理表的  $\gamma$ —端输出的内插系数相乘。

加法器 161 使从三个乘法器 160—1 到 160—3 输出的相乘结果相加,由此,执行图象数据的缩减和求平均的操作。

内插系数发生电路 22 由管理表 220、两个计数器 221 和 222 以及选择器 223 组成。

管理表 220 管理将要提供给选择器 15— $i$  的选择控制信号和将要提供给乘法器 160— $i$  每一模式数据的内插系数。而且,管理表 220 还管理一个识别时钟数(下面称之为  $LWT$ ),它与电视信号的水平同步信号的所规定的时钟数相对应。所述内插系数和识别时钟数根据存储在  $VRAM2$  中的图象数据所开发的格式来加以规定,且具有电视信号的水平同步信号的周期性。

计数器 221 循环地对电视信号的水平同步信号进行计数,以循环地输出“0”和“1”。计数器 222 循环地对电视信号的水平同步信号进行计数,以循环地输出“0”到“4”(按此次序),当模式数据表示 640



象素 $\times$ 400行时,选择器223选择计数器221的计数值。当模式数据表示640象素 $\times$ 480行时,选择器223选择计数器222的计数值。选择器223输出所选择的计数值到管理表220上,作为管理表的存取地址。

NTSC同步信号电路23配备有计数器230和比较器231。

计数器230开始其计数操作,对带有一个时钟信号的电视信号的水平同步信号进行计数,并输出时钟计数值。在本实施例中,从对水平同步信号的计数操作的起始到结束,时钟数目置为“910”(例如),比较器231将从计数器230输出的计数值与从管理表220输出的识别时钟数相比较,当从计数器230输出的计数值达到识别时钟数时,比较器231指示图象数据的发送给一个控制机构(未示出)用于VRAM2。

接下来,说明由管理表管理的内插系数。当图象信号的行数与电视信号的行数之缩减比率大于“ $2/3$ ”时,三个相邻行的图象数据需用来生成一个缩减的无闪烁电视信号。

这就是说,当图象数据的行数与电视信号的行数之缩减比率是“ $2/3$ ”时,由一个黑圈指示出的4行图象数据对应于由一个白圈指示出的三行图象数据,当行数之缩减比率大于“ $2/3$ ”时,所缩减的图象数据沿箭头所指方向偏移。

因此,当行数的缩减比率大于 $2/3$ 时,由白圈表示的每一缩减的图象数据通过线性地内插两相邻行的图象数据的信号电平来被计



算出来。通过求得两相邻行的缩减图象数据的信号电平之平均值，可计算出电视信号的信号电平。所以，三个相邻行的图象数据对生成缩减的无闪烁电视信号来说是必须的。

这里，用“ $m:n$ ”表示图象数据的行数和电视信号的行数之比；用  $L_x$  表示缩减了的图象数据的行数；用  $I_x$  表示在 VRAM2 中相应的图象数据的行数；下面的等式在整数值的关系下是能满足的：

$$I_x = L_x \times (m/n)$$

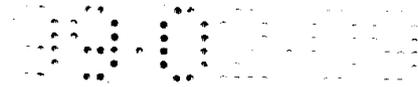
而且，用  $b$  表示  $L_x \times (m/n)$  的小数值，考虑到小数值的关系，下列等式能成立：

$$I_x + b = L_x \times (m/n)$$

也就是说，如图 7 所示，缩减的图象数据的第  $L_x$  行对应于存储在 VRAM2 中图象数据的第  $I_x$  和第  $I_x+1$  行之间“ $b: (1-b)$ ”的分界的位置 (*divisional Position*)。然而，这些图象数据的象素位置是一致的。另外，下列等式也成立：

$$\begin{aligned} (L_x + 1) \times (m/n) &= L_x \times (m/n) + (m/n) \\ &= I_x + b + (m/n) \\ &= (I_x + 1) + b + (m/n) - 1 \end{aligned}$$

从这个等式中，如图 7 所示，缩减的图象数据的第  $L_x+1$  行相应于存储在 VRAM2 中的图象数据  $I_x+2$  和  $I_x+1$  之间由下列等式 1 表



示的分界位置:

$$\{b + (m-n)/n\} : \{1 - (b + (m-n)/n)\} \dots (1)$$

这里, 缩减的图象数据和存储在 VRAM2 中的图象数据的象素位置相互是一致的。在图 7 中, 黑圈表示缩减前的图象数据, 白圈表示缩减的图象数据。

根据使 VRAM2 的图象数据的  $I_x$  行信号电平与加权值  $(1-b)$  以及一个经 VRAM2 的图象数据的  $I_{x+1}$  行的信号电平与加权值  $b$  相乘所获得的值相乘所得的值的总和, 可以计算出缩减图象数据的  $I_x$  行的信号电平。这就是说, 该信号电平被提供来作为线性内插值。

而且, 根据使 VRAM2 的图象数据的  $I_{x+1}$  行的信号电平与由下列等式 (2) 表示的加权值以及经 VRAM2 的图象数据的  $I_{x+2}$  行的信号电平与由下列等式 (3) 表示的加权值相乘所获的值相乘所得的值的总和, 可计算出缩减的图象数据的  $L_{x+1}$  行的信号电平。

$$1 - (b + (m-n)/n) \dots (2)$$

$$b + ((m-n)/n) \dots (3)$$

这个信号电平被提供来作为线性内插值。

所以, 可由下式 (a) 计算出缩减的图象数据的  $L_x$  行的信号电平



与缩减的图象数据的  $L_{x+1}$  行的信号电平之平均值  $D_{0x}$  (在图 7 中 (1) 行的信号电平):

$$D_{0x} = D_{i_{Lx}} \times \alpha_x + D_{i_{Lx+1}} \times \alpha_{x+1} + D_{i_{Lx+2}} \times \alpha_{x+2} \dots (a)$$

这里,  $D_{i_{Lx}}$  表示在 VRAM2 中图象数据的  $i_x$  行的信号电平;  $D_{i_{Lx+1}}$  表示在 VRAM2 中图象数据的  $L_{x+1}$  行的信号电平;  $D_{i_{Lx+2}}$  表示在 VRAM2 中图象数据的  $i_{x+2}$  行的信号电平。内插系数  $\alpha_x$  等于  $\{(1-b)+0\}/2$ 。内插系数  $\alpha_{x+1}$  等于由下列等式(4)表示的值:

$$[\{1 - (b+(m-n)/n) + b\}/2 = \{1-(m-n)/n\}/2 \dots (4)$$

内插系数等于由下列等式(5)所表示的值:

$$[\{b + (m-n)/n\} + 0]/2 = \{b + (m-n)/n\}/2 \dots (5)$$

这里,所述的计算在同一象素位置执行。

管理表 220 管理着满足上述各等式的内插系数  $\alpha_x, \alpha_{x+1}, \alpha_{x+2}$ , 并且将由计数器 221 和 222 的计数值所指示的内插系数输出到乘法器 16-i, 管理表 220 还输出由计数器 221 和 222 的计数值所指示的选择控制信号给选择器 15-i, 管理表 220 管理着将要被提供给比较器 231 的识别时钟数, 并将如计数器 221 和 222 所指示的识别时钟数输出给比较器 231 以使其满足上面的等式。



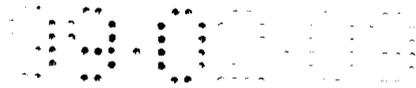
图 8(a)和 8(b)是管理表 220 的管理数据实施例。当 VRAM2 中将要被转换的图象数据采用 640 象素 $\times$ 400 行的格式时,采用图 8(a)中的管理数据。当 VRAM2 中将要被转换的图象数据采用 640 象素 $\times$ 480 行的格式时,使用图 8(b)中的管理数据。

在图 8(a)和 8(b)中, $a$ 、 $b$ 、 $c$  表示用于选择控制信号的管理数据, $LWT$  表示用于识别时钟数的管理数据, $\alpha$ 、 $\beta$ 、和  $\gamma$  表示用于内插系数的管理数据,所述内插系数用二进制的五比特“ $x.xxxxx$ ”数表示。所以,例如,“08”由“0.1000”表示,这个值对应于小数制的“0.5”。另外, $LWT$  的“—”符号代表着这样的数据,它在比较器 231 中是将被比较的对象,这样的数据不被输出。

当 VRAM2 中将被转换的 图象数据具有 320 象素 $\times$ 200 行的开发格式时,如下面将说明的,示于图 4 中的选择器 18 直接地选择在 RGB 矩阵电路中被转换的图象数据,通过这种操作,管理表 220 不管理与这种开发格式相应的管理数据。

图 9 和图 10 是流程图,用于具有典型构成的图象转换处理设备的操作。下面将说明示于图 4 中的图象数据转换处理装置的工作。图 9(a)和 10(a)说明的是电视信号的水平同步。图 9(b)和 10(b)说明的是电视信号的显示部分。图 9(c)和 10(c)说明电视信号的垂直显示部分。图 9(d)说明计数器 221 的计数值,图 10(d)说明计数器 222 的计数值。

(640 象素 $\times$ 400 行的图象数据)



首先将说明的是当 VRAM2 中将被转换的图象数据具有 640 象素 $\times$ 400 行的开发格式时, 图象数据转换处理装置的工作。这时, 选择器 223 选择计数器 221 的计数值, 计数器 221 循环地输出“0”和“1”, 选择器 223 将所选择的计数值输出到管理表 220。

对于图 8(a)所示的电视信号的奇数场(ODD)来说, 管理表格 220 输出 [LWT=816,  $\alpha=1$ ,  $b=1$ ,  $c=1$ ,  $\alpha=08$ ,  $\beta=08$ ,  $\gamma=00$ ] 以对应于计数值“0”, 输出 [LWT=—,  $\alpha=1$ ,  $b=0$ ,  $c=0$ ,  $\alpha=00$ ,  $\beta=08$ ,  $\gamma=08$ ] 以对应于计数值“1”。

当计数器 221 的计数值指示为“0”时, 管理表输出“LWT=816”, 响应于“LWT=816”, 比较器 231 给用于 VRAM2 的控制机构(未示出)发布图象数据发送指示, 它与在前的发送相连续。

响应于图象数据的发送指令, VRAM2 的控制机构发送所述图象数据, 该图象数据具有细微的时间丢失, 如图 9 的时间曲线的实线所示的那样。这时, 在电视信号的奇数场中, 按照大约每 4 行  $89\mu$  秒的周期, 发送在发送起始点的第 0 行的图象数据, 在电视信号的偶数场, 按大约每 4 行  $89\mu$ s 的周期, 发送在发送起始点处的第 1 行的图象数据。

响应于上述的图象数据的发送过程, 如图 9 的时间曲线所示, 对于电视信号的奇数场, 行缓冲器 14—i 存储第一电视信号显示部分的第 0 行, 所述的显示部分是计数器 221 的计数值指示为“0”的部分。另外, 行缓冲器存储第 1 行图象数据, 行缓冲器 14—3 存储第



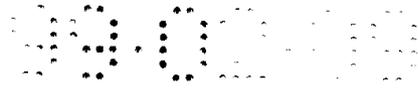
2 行图象数据。接着,行缓冲器 14—1 存储第二电视信号显示部分中的第 4 行图象数据,所示显示部分是计数器 221 的计数值指示为“1”的部分。行缓冲器存储第 2 行图象数据,行缓冲器 14—4 存储第 3 行图象数据。如上所述,行缓冲器写入控制电路 21 将每一电视信号显示部分中的有效的三行图象数据输入到行缓冲器中。

对于电视信号的偶数场来说,行缓冲器存储第 1 电视信号显示部分,即计数器 221 的计数值为“0”的部分中的第 1 行图象数据。行缓冲器 14—2 存储第 2 行图象数据,行缓冲器 14—1 存储第 2 电视信号显示部分即计数器 221 的计数值为“1”的部分中的第五行图象数据,行缓冲器 14—3 存储第 3 行图象数据,行缓冲器 14—4 存储第 4 行图象数据。综上所述,行缓冲器写入控制电路 21 将在每一电视信号的显示部分中的有效的三行数据写入到行缓冲器中。

逻辑操作电路 16 接收来自行缓冲器 14—1 的图象数据,以及来自管理表的选择控制信号和内插系数。逻辑操作电路 16 以大约  $45\mu\text{s}$  的周期读出存储在行缓冲器 14— $i$  中的图象数据。

对于电视信号的奇数场来说,逻辑操作电路 16 在第 1 电视信号显示部分得到第 0 行的图象数据与内插系数“08”(0.5 十进制)的相乘值,接着,逻辑控制电路 16 将所得的相乘值与另一个相乘值相加,所述另一个相乘值是第 1 行图象数据与内插系数“08”相乘所得的值。

另外,该逻辑操作电路 16 将第 2 电视信号显示部分中的第 2



行图象数据与内插系数“08”相乘所得的值与第3行图象数据与内插系数“08”相乘所得的值相加。按照这种方式,逻辑操作电路16执行电视信号的产生处理过程。

接着,对于电视信号的偶数场来说,逻辑操作电路16计算出第1行图象数据与内插系数“08”的相乘值,并将这个值加到第2行图象数据与内插系数“08”相乘所得的值之上。在第一电视信号显示部分,逻辑操作电路16将第3行图象数据与内插系数“08”的相乘值加到第4行图象数据与内插系数“08”的相乘值之上,按照这种方式,如上所述,逻辑操作电路16执行电视信号的产生处理过程。

综上所述,当VRAM2中的将被转换的图象数据具有640象素 $\times$ 400行的开发格式时,通过计算两个相邻行的图象数据之间信号电平的平均值,图象数据转换处理装置能产生将要被隔行扫描的640象素 $\times$ 400行的电视信号。通过图象数据的信号电平求平均,能产生无闪烁的电视信号。

(640象素 $\times$ 480行的图象数据)

下面将说明的是在VRAM2中将被转换的图象数据具有640象素 $\times$ 480行时,图象数据转换处理装置的工作。这时,选择器223选择循环地输出“0”、“4”的计数器22的计数值,并将所选择的值输送到管理表220。按照所选择的计数值,管理表循环地输出图8(b)所示的管理数据。

这里,按照与电视信号的五个水平同步信号相应的周期,管理



表 220 循环地输出所述管理数据。这是因为 480 行的图象数据按 6 : 5 的比率减少成 400 行的电视信号。

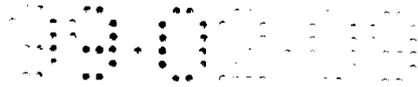
比较器 231 接收来自管理表 220 的  $LWT$ 。首先,当计数器 222 的计数值为“0”时,比较器得到的是“ $LWT=196$ ”。响应于“ $LWT=196$ ”的接收,当计数器 230 的计数值达到“196”时,比较器给  $VRAM2$  的控制机构发出与在前的发送相连续的图象数据发送指令。

接着,当计数器 222 的计数值为“1”时,比较器 231 接收的  $LWT$  为“ $LWT=816$ ”,响应于“ $LWT=816$ ”的接收,当计数器 230 的计数值达到“816”时,比较器 231 发出与在前的发送相连续的图象信号的发送指令给  $VRAM2$  的控制机构。

再接下来,当计数器 222 的计数值为“1”时,比较器 231 接收的  $LWT$  为“ $LWT=516$ ”,响应于“ $LWT=516$ ”的接收,当计数器 230 的计数值达到 516 时,比较器 231 发出与在前的发送相连续的图象信号的发送指令给  $VRAM2$  的控制机构。

所述  $VRAM2$  的控制机构接收所发布的指令,并发送具有细微时间丢失的图象数据,如图 10 的时间曲线中实线所示。对于电视信号的奇数场,以大约每 4 行  $89\mu s$  的周期发送位于发送起始点的第 0 行图象数据。接着对于电视信号的偶数场,以大约每 4 行  $89\mu s$  的周期发送位于发送起始点的第 1 行图象数据。

行缓冲器写入控制电路 21 将每一电视信号的显示部分中的有



效的三行图象数据写入到行缓冲器 14-i 中,如图 10 所示。

通过比较图 9 和 10 的时间曲线,下列问题变得很清楚。当 VRAM2 中将被转换的图象数据具有 640 象素×480 行的开发格式时,比较器 231 以一个较小的周期发布图象数据的发送指令,所述周期小于具有 640 象素×400 行的开发格式的图象数据的周期。通过比较(例如)在奇数场的第 4 电视信号显示部分中的图象数据的发送,对于 640 象素×400 行的开发格式来说,如图 9 的时间曲线所示,第 6、7、8 行的图象数据被存储在行缓冲器 14-i 中,而对于 640 象素×480 行的开发格式来说,如图 10 的时间曲线所示,第 7、8、9 行的图象数据被存储在行缓冲器 14-i 中。综上所述,在 640 象素×480 行的开发格式下,图象数据以较高速度存储到行缓冲器 14-i 中。

根据来自管理表 220 的选择控制信号和内插系数,逻辑操作电路 16 以大约 45 $\mu$ s 的周期读出存储在行缓冲器 14-i 中的图象数据。然后执行由等式(a)所表示的逻辑操作,由此产生电视信号。

通过这一操作,当 VRAM2 中的将被转换的图象数据具有 640 象素×480 行的开发格式时,第一实施例的图象数据转换处理装置执行如图 12 所示的线性内插处理以使 6 行图象数据缩减成 5 行图象数据。接着,所述的图象数据转换处理装置计算出已缩减的两行相邻图象数据的信号电平平均值,以产生 640 象素×400 行的电视信号,该电视信号将要被隔行扫描。经过图象数据缩减和求平均处



理,能产生具有 640 象素 $\times$ 480 行的图象数据的全部信息的无闪烁电视信号。

(320 象素 $\times$ 200 行的图象数据)

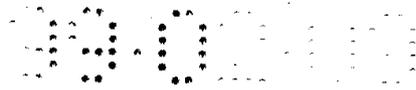
下面说明的是在 VRAM2 中 将被转换的图象数据具有 320 象素 $\times$ 200 行的开发格式的情况。这时,如图 13 所示,VRAM2 的控制机构正常地发送奇场中的全部 200 行图象数据,也发送偶数场中的全部 200 行图象数据。

在这种情况下,本发明的图象数据转换处理装置 1 不须工作。当模式数据代表 320 象素 $\times$ 200 行的开发格式时,示于图 4 中的选择器 18 直接地选择在 RGB 矩阵电路中将被转换的图象数据,并将这些来自 VRAM2 的图象数据直接输出到 NTSC 编码器 19 上。

当 VRAM2 中将被转换的图象数据具有 320 象素 $\times$ 200 行时,可利用这个实施例的图象数据转换处理装置代替 VRAM2 的控制机构执行发送控制处理。

根据上述的第一实施例,假定图象数据的行数和电视信号的行数之缩减率大于“ $2/3$ ”。还假定需用来产生电视信号的图象数据的行数为 3 行。但本发明并不局限于此,本发明还可用于缩减率小于“ $2/3$ ”的情况。这时,如图 3 所示,需用来产生电视信号的图象数据的行数为 4 行,这样,应根据上述行数提供硬件结构和管理表 220 的管理数据。

(第二实施例)



下面将讨论本发明图象数据转换处理装置的一个第二实施例。

图 15 示出了一个表示按照本发明第二实施例的图象数据转换处理装置的方框图。图 16 是如图 15 所示的图象数据转换处理装置的操作的流程图。

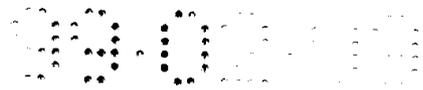
本实施例的图象数据转换处理装置包括一个偶存储单元 24—1、一个奇存储单元 24—2、一个格式转换处理单元 50 和一个信号发生单元 60。上述装置把图象数据(可以按多种开发格式产生该图象数据)转换成具有预定行数的电视信号。

偶存储单元 24—1 存储将被转换的图象数据中偶数行的图象数据。这里, 图象数据是信息处理设备 30 中的图象数据。该图象数据包括多个行, 每行包括多个象素(dofs)。奇存储单元 24—2 存储将被进行转换的图象数据中奇数行的图象数据。

信号发生单元 60 产生多种比率数据, 这些数据是根据按照所开发的多种格式的该图象数据的行数和电视信号的预定行数确定的。所述单元 60 还产生该电视信号的水平同步信号。信号发生单元 60 输出该比率数据和水平同步信号给转换处理控制单元 52。多种比率中的每一个可以具有一个比“1”大或比“1”小的值。

偶存储单元 24—1、奇存储单元 24—2 和信号发生单元 60 被连接到格式转换处理单元 50。

格式转换单元 50 利用水平同步信号和与将被转换的图象数据的开发格式相对应的比率数据, 把由偶存储单元 24—1 和奇存储单



元 24—2 提供的偶数和奇数行的图象数据转换成电视信号格式。格式转换单元 50 包括转换处理控制单元 52 和一个计算处理单元 54。该格式转换单元 50 还包括一个行缓冲器 56 和一个求平均处理单元 58。

转换处理控制单元 52 从信号发生单元 60 接收水平同步信号和与被进行转换的图象数据的开发格式相应的比率数据。根据比率数据和水平同步信号,转换处理控制单元 52 产生一个读出地址,用于读出存储在偶存储单元 24—1 和奇存储单元 24—2 中的相邻奇数和偶数行的图象数据,以及产生一个将被用于把该图象数据转换成电视信号的内插系数。该计算处理单元 54 被连接到转换处理控制单元 52、偶存储单元 24—1 和奇存储单元 24—2。

计算处理单元 54 根据由转换处理控制单元 52 提供的读出地址读出存储在两存储单元中的两个相邻奇数和偶数行的图象数据。计算处理单元 54 使读出图象数据与内插系数相乘,以便把该图象数据转换成电视信号。

行缓冲器 56 连接到计算处理单元 54,并存储计算处理单元 54 中计算出的一行上的电视信号。

求平均处理单元 58 被连接到计算处理单元 54 和行缓冲器 56。求平均处理单元 58 计算刚好在被存储在行缓冲器 56 中的一行之前的电视信号的平均值和在被存储在行缓冲器 56 中的一行之前的电视信号的平均值,由此产生一行的一个平均电视信号。



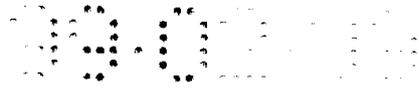
下面，将要描述具有如上所述基本结构的图象数据转换处理装置的第二实施例的操作。图 16 是第二实施例的操作的流程图。

首先，从一数据总线(未示出)传送的图象数据中的偶数行的图象数据被存储在偶存储单元 24-1 中，而从该数据总线传送的图象数据中的奇数行的图象数据被存储在奇存储单元 24-2 中(步骤 210)。

接着，信号发生单元 60 产生电视信号的水平同步信号，并把它输出给转换处理控制单元 52(步骤 202)。转换处理控制单元 52 从信号发出单元 60 接收水平同步信号以及与被转换图象数据的开发格式相应的比率数据(步骤 203)。随后，根据来自信号发生单元 60 的比率数据和水平同步信号，转换处理控制单元 52 产生一个读出地址，用于读出存储在偶存储单元 24-1 和奇存储单元 24-2 中的相邻奇数和偶数行的图象数据，以及产生一个用于把图象数据转换成电视信号的内插系数(步骤 204)。

随后，计算处理单元 54 根据由转换处理控制单元 52 提供的读出地址读出存储在两存储单元中的相邻奇数和偶数的图象数据(步骤 205)。计算处理单元 54 使该读出图象数据乘以内插系数，以便把该图象数据转换成电视信号(步骤 206)。

行缓冲器 56 存储计算处理单元 54 中获得的一行的电视信号(步骤 207)。求平均处理单元 58 计算刚好在被存储在行缓冲器 56 中的一行之前的一电视信号的平均值和在被存储在行缓冲器 56 中的一行之前的电视信号的平均值和在被存储在行缓冲器 56 中的一行之前的电视信号的平均值和在计算处理单元 54 中得出的



电视信号的平均值,由此产生一行的平均电视信号(步骤 208)。

### B. 具有典型结构的图象数据转换处理装置

下面将描述按照本发明具有典型结构的图象处理装置。图 17 和 18 示出了按照本发明第二实施例的图象数据转换处理装置的典型结构的方框图。图 17 示出了一个半导体存储器单元的方框图,图 18 示出了包括一格式转换处理单元的外部电路。

图象数据转换处理装置起着把采用多种开发格式的图象数据转换成具有预定行数的电视信号的作用。本实施例的图象转换处理装置为偶数和奇数场提供有半导体存储器单元,以简化格式转换处理单元的结构。

图象数据转换处理装置包括半导体存储器单元 24-1 和 24-2, 以及一个格式转换处理单元 50。该图象数据转换处理装置进一步包括一个 NTSC 同步信号发生单元 60 和一个 NTSC 编码器单元 70。如图 17 所示的半导体存储器单元 24-1 存储将被进行转换的图象数据,该图象数据具有 640 象素 $\times$ 480 行或与第一实施例中所描述的相类似。半导体存储器单元 24-1 包括偶数场显示 RAM25-1 和 26-1, 一个层复合电路 27-1 和一个调色板 28-1。

偶数场显示 RAM25-1 在偶数地址存储一个两帧模式的第 0 层的偶数场(第二行、第四行,等等)的图象数据。该两帧模式由 0 层和 1 层构成。

偶数场显示 RAM25-1 在偶数地址存储该两帧模式的第 1 层



的偶数场的图象数据。层复合电路 27—1 复合偶数场(EVEN field) 的第 0 层和第 1 层的图象数据。调色板 28—1 对从层复合电路 27—1 输出的图象数据实施一种 RGB(红绿兰)灰度处理。例如调色板 28—1 分别从 16000 个彩色和 4096 个彩色的图象数据中选择 256 个彩色和 16 个彩色的 RGB 数据。

半导体存储器单元 24—1 包括奇数场显示 RAM25—2 和 26—2, 一个层复合电路 27—2 和一个调色板 28—2。奇数场显示 RAM25—2 在奇数地址存储两帧模式的第 0 层的奇数场(第一行, 第三行, 等等)的图象数据。奇数场显示 RAM26—2 在奇数地址存储两帧模式的第 1 层的奇数场的图象数据。层复合电路 27—2 复合奇数场的第 0 层和第 1 层的图象数据。调色板 28—2 对从层复合电路 27—2 输出的图象数据实施 RGB 灰度处理。例如, 调色板 28—2 分别从 16000 全彩色和 4096 个彩色的显示数据中选择 256 个彩色和 16 个彩色的 RGB 数据。

NTSC 同步信号发生单元 60 产生一个包括电视信号的水平同步信号和垂直同步信号的 NTSC 同步信号。该 NTSC 同步信号发生单元 60 包括一个 H(水平)计数器 62, 一个 V(垂直)计数器 64 和一个缩减率表 66。H 计数器 62 对电视信号的水平同步信号(H—STNC)的时钟个数进行计数, 而 V 计数器 64 对水平同步信号的个数进行计数。缩减率表 66 存储多个缩减比率数据, 这些缩减比率数据是依据多种开发格式、根据图象根据的行数和电视信号的预定行

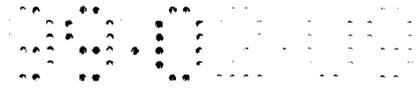
数之比来确定的。缩减率表 66 存储 RGB 数据的缩减率数据,利用缩减率数据,信息处理设备的一个 CRT 的 RGB 数据被转换成电视设备 40 的 RGB 数据(640 象素 $\times$ 400 行)。

格式转换处理单元 50 把由半导体存储器单元 24-1 和 24-2 提供的偶数和奇数行的图象数据转换成使用水平同步信号和与被进行转换的图象数据的开发格式相应的缩减率数据的电视信号的格式。该格式转换处理单元 50 包括一个转换处理控制单元 52 和一个计算处理单元 54。该格式转换处理单元 50 还包括一个行缓冲器 56,一个闪烁降低处理单元 58 和一个行缓冲器 59。

转换处理控制单元 52 根据 V 计数值和来自 NSTC 同步信号发生单元 60 的缩减比率数据产生一个内插系数和一个半导体存储器读出地址,用于 RGB 数据的缩减操作。转换处理控制单元 52 把该内插系数和半导体存储器读出地址输出给计算处理单元 54。

图 19 是一个表示转换处理控制单元 52 的实施例的框图。该转换处理单元 52 包括一个乘法器 521、一个计算器 522 和一个加法器 523,转换处理控制单元 52 具有一个 LSB524 和一个选择器 525。乘法器 521 使来自 V 计数器 64 的 V 计数值与来自缩减率表 66 的缩减率数据相乘,以输出半导体存储器单元 24-1 和 24-2 的读出地址和用于半导体存储器侧的内插系数。

这里,乘出的小数部分与内插系数相对应。该内插系数是来自乘法器 521 的一个 Y 一端的输出。一个(1-Y)计算器 522 从“1”中减



去 Y 一端的小数部分。选择器 525 根据来自 LSB524 的一个控制信号执行其在“Y”和“1-Y”之间的转换操作 (switching operation), 以输出半导体存储器 24-1 和 24-2 的内插系数。

计算处理单元 54 根据来自转换处理控制单元 52 的半导体存储器读出地址从调色板 28-1 和 28-2 中读出相邻偶数和奇数场的两行的 RGB 数据。计算处理单元 54 使偶数和奇数场的两行的 RGB 数据与内插系数相乘, 从而缩减该 RGB 数据。

图 20 是表示计算处理单元 54 的结构框图。计算处理单元 54 由乘法器 541、乘法器 542 以及一个加法器 543 组成。乘法器 541 使用根据半导体存储单元 24-1 的读出地址读出的 RGB 数据乘以半导体存储单元 24-1 的内插系数。乘法器 542 使根据半导体存储单元 24-2 读出地址读出的 RGB 数据乘以半导体存储单元 24-2 的内插系数。加法器 253 使乘法器 251 和 252 的所得结果相加。

行缓冲器 56 存储计算处理单元中一行接一行地计算出的 RGB 数据。闪烁降低处理单元 58 对来自行缓冲器 56 的一行的 RGB 数据和来自计算处理单元 54 的一行的 RGB 数据求平均, 从而产生一行的 RGB 数据。行缓冲器 59 存储从闪烁降低处理单元 58 获得的一行的 RGB 数据。NTSC 编码器 70 具有与如上所述第一实施例的 NTSC 编码器 19 和 D/A 转换器 20 相同的结构。

图 21 是奇数场的电视信号的一个第一显示部分的时序图。图 22 是电视信号的第二显示部分的时序图。图 23 是用于奇数场的电



视信号的产生的简图。

下面,将对如此构造的图象数据转换处理装置的工作进行描述。这里,例如假设计算机 CRT 的 RGB 数据包括 640 象素 $\times$ 480 行,而电视设备 40 的 RGB 数据包括 640 象素 $\times$ 400 行。在这种情况下,将被显示的图象数据的缩减比率被设定为“5/6”。

首先,层复合电路 27-1 对存储在偶数场显示 RAM25-1 中的第 0 层的偶数场的图象数据和存储在偶数场显示 RAM26-1 中的第 1 层的偶数场的图象数据进行复合。调色板 28-1 对复合图象数据执行 RGB 灰度处理,以产生 RGB 数据。

层复合电路 27-2 对存储在奇数场显示 RAM25-2 中的第 0 层的奇数场的图象数据和存储在奇数场显示 RAM26-2 中的第 1 层的奇数场的图象数据进行复合。调色板 28-2 对复合图象数据执行 RGB 灰度处理,以产生 RGB 数据。

接着,由 V 计数器 64 计数的水平同步信号,即 V 计数值被输出到转换处理控制单元 52。一个所需的缩减率从缩减率表 66 中输出给转换处理控制单元 52。

进一步,在转换处理控制单元 52 中,乘法器使来自 V 计数器 64 的 V 计数值和来自缩减率表 66 的缩减比率数据相乘,以获得半导体存储器读出地址和该半导体存储器侧的内插系数。图 24 是计算半导体存储器读出地址和内插系数的示意图。

首先,在第一次计时时刻,V 计数器 64 的值等于“1”。在这种情



况下,乘法器 521 执行下列计算:

$$\text{一行} \times 1/(5/6) = 1.2$$

在图 24 中,表示 VRAM 读出地址的数值表示要从调色板读出的行。V 计数器 64 的数值表示如上所述的计数值。括号内的数值表示一个显示位置。例如,当该 V 计数值是“1”时,显示位置是“1.2”。对于为“5”的 V 计数值,其显示位置是“6”。

根据恒定值 1.2,读出地址变成“1”和“2”。因此,如图 21 所示,与读出地址“2”相应的(2)行被从偶数场的调色板 28—1 中读出,而与读出地址“1”相应的(1)行被从奇数场的调色板 28—2 中读出。

进一步,根据恒定值 1.2,内插系数“0.2”被从乘法器的 Y—端读出。(1—Y)计算器 522 的结果等于 0.8。通过选择器 525 的转换操作,半导体存储器单元 24—1 的内插系数等于 0.2,半导体存储器单元 24—2 的内插系数等于 0.8。

乘法器 541 使偶数场的调色板 28—1 的(2)行的 RGB 数据乘以半导体存储器单元 24—1 的内插系数“0.2”。乘法器 542 使奇数场的调色板 28—2 的(1)行的 RGB 数据乘以半导体存储器单元 24—2 的内插系数“0.8”。加法器 543 把乘法器 541 的相乘输出与乘法器 542 的相乘输出相加。

相加输出如下式表示:



$$1 \times 0.8 + 2 \times 0.2 = 1.2$$

也就是说，计算处理单元 54 获得了与显示位置“1.2”相对应的(1)行的已缩减的 RGB 数据。如图 21 所示，该 RGB 数据被写入行缓冲器 56。

随后，在第二次计时时刻，V 计数器 64 的值等于“2”。在这种情况下，乘法器 521 执行下列计算：

$$2 \text{ 行} \times 1/(5/6) = 2.4$$

根据常值 2.4 读出地址等于“2”和“3”。因此，如图 21 所示偶数场的(2)行的 RGB 数据被使用。进一步，与读出地址“3”相应的一个(3)行被从奇数场的调色板 28-2 中读出。

根据常值“2.4”的小数部分，内插系数“0.4”被从乘法器的 Y 一端输出。(1-Y)计算器 522 的结果等于“0.6”，通过选择器 525 的转换操作、半导体存储器单元 24-1 的内插系数等于 0.6。半导体存储器单元 24-2 的内插系数等于 0.4。

乘法器 541 使偶数场的调色板 28-1 的(2)行的 RGB 数据乘以半导体存储器单元 24-1 的内插系数“0.6”。乘法器 542 使奇数场的调色板 28-2 的(3)行的 RGB 数据乘以半导体存储器单元 24-2 的内插系数“0.4”。加法器 543 使乘法器 541 的相乘输出与乘法器 542 的相乘输出相加。相加输出如下式表示：

$$2 \times 0.6 + 3 \times 0.4 = 2.4$$

也就是说，计算处理单元 54 获得了与显示位置 2.4 相对应的



(2)行的已缩减的 RGB 数据。

接着, 闪烁降低处理单元 58 对来自行缓冲器 56 的(1)行的已缩减 RGB 数据和来自计算处理单元 54 的(1)'行的已缩减 RGB 数据进行平均, 由此产生一行的平均 RGB 数据。这里, 闪烁降低处理单元 58 利用加权系数“0.5”对每一行的已缩减 RGB 数据执行一种加权操作。一个(1)"行的被平均 RGB 数据如下式表示:

$$(1)'行的 RGB 数据 \times 0.5 + (2)'行的 RGB 数据 \times 0.5$$

通过这种平均操作, 隔行扫描固有的闪烁得到消除。而且, 行缓冲器 59 存储闪烁降低处理单元 58 中获得的(1)"行的平均 RGB 数据。在如图 22 所示的第二显示部分, NTSC 编码器 19 把从行缓冲器 59 中读出的(1)"行的平均 RGB 数据转换成 YCV 数据。D/A 转换器 20 把来自 NTSC 编码器 19 的 YCV 数据转换成模拟信号, 然后输出该模拟信号到电视设备 40。

下面, 将对第二显示部分进行描述。首先, 在第一次计时时刻, V 计数器具有一个计数值“3”。乘法器 521 执行下列计算:

$$3 \text{ 行} \times 1(5/6) = 3.6$$

根据常值 3.6, 读出地址等于“3”和“4”。因此, 如图 22 所示奇数场的(3)行的 RGB 数据被使用。进一步, 与读出地址“4”相对应的一个(4)行被从偶数场的调色板 28-2 中读出。乘法器 541 使该偶数场的(4)行的 RGB 数据乘以内插系数“0.6”。乘位器 542 使奇数端的(3)行的 RGB 数据乘以内插系数“0.4”。相加的输出如下式表示:



$$3 \times 0.4 + 4 \times 0.6 = 3.6$$

这就是说，计算处理单元 54 获得了与显示位置“3.6”相对应的(3)'行的已缩减 RGB 数据。如图 22 所示，该 RGB 数据被写入行缓冲器 56。

随后，在第二次计时时刻，计数值等于“4”。乘法器 521 执行下列的计算：

$$4 \text{ 行} \times 1 / (5/6) = 4.8$$

乘法器 521 根据常值“4.8”使用偶数场的(4)行和奇数场的(5)行。乘法器 541 使该偶数场的(4)行的 RGB 数据乘以内插系数“0.2”。乘法器 542 使奇数场的(5)行的 RGB 数据乘以内插系数“0.8”。相加的输出按下式表示：

$$4 \times 0.2 + 5 \times 0.8 = 4.8$$

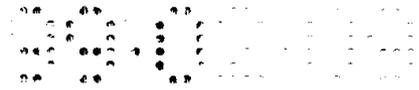
这就是说，计算处理单元 54 获得了与显示位置“4.8”相对应的(4)'行的已缩减 RGB 数据。

随后，在闪烁降低处理单元 58 中被平均的(3)"行的 RGB 数据如下式表示：

$$(3)' \text{ 行的 RGB 数据} \times 0.5 + (4)' \text{ 行的 RGB 数据} \times 0.5$$

进一步，行缓冲器 59 为下一个显示部分周期读出该(3)"行的被平均的 RGB 数据。该被平均的 RGB 数据经 NTSC 编码器 19 和 D/A 转换器 20 在电视设备 40 上显示。

通过上述操作，如图 23 所示，奇数场的行(1)"、(3)"、(5)"，…的



被平均的 RGB 数据被连续地显示在电视设备 40 上。

图 25 是用于偶数场的电视信号的第一显示部分的一个计时图。图 26 是用于偶数场的电视信号的第二显示部分的一个计时图，而图 27 是用于产生该偶数场的电视信号的简图。

下面，将参考图 25—27 对偶数场的工作进行描述。

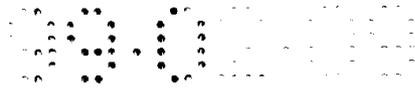
首先，V 计数器 64 的 V 计数值最初设定等于“2”。在第一显示部分的一个第一次计时时刻，计算处理单元 54 读出偶数场的(2)行和奇数场的(3)行。

随后，计算处理单元 54 获得与显示位置“2.4”相应的“2”行的已缩减 RGB 数据。该已缩减 RGB 数据被写入行缓冲器 56。

接着，在一个第二次计时时刻，V 计数器 64 的 V 计数值被设定为“3”。如图 26 所示，偶数场的(4)行被读出，奇数场的(3)行被使用。计算处理单元 54 获得与显示位置“3.6”相应的(3)'行的已缩减 RGB 数据。进一步，闪烁降低处理单元使(2)'行的已缩减 RGB 数据和(3)'行的已缩减 RGB 数据乘以一个加权系数“0.5”，以获得(2)"行的被平均的 RGB 数据。同样，如图 26 所示，在第二显示部分，(4)"行的数据也被获得。

通过上述的操作，如图 27 所示，偶数端的行(2)"、(4)"、(6)"，…的平均 RGB 数据被连续地显示在电视设备 40 上，并且用如图 23 所示的奇数场和如图 37 所示的偶数显示一帧。

根据如上所述的第二实施例，通过缩减一信息处理设备例如个



人计算机的图象,使将在 *CRT* 上显示的整个图象显示在电视设备上。因而,不需提供昂贵的 *CRT*。此外,闪烁在电视设备上不再明显,因为它已被消除。

在第一实施例 1 中,四个行缓冲器 14、选择器 15 和逻辑操作中路 16 被提供给每一场,且如此的结构是复杂的。在第二实施例中,半导体存储器单元 24 被提供给偶数场和奇数场,以便计算处理单元 54 的结构和格式转换处理单元 50 的行缓冲器 56 被简化。此外,不象第一实施例,由于格式转换处理单元 50 的结构被简化,因而不必在一定时周期期间以高速执行计算处理。

(第二实施例的第一改型的结构)

图 28 是第二实施例的第一改型的框图。第一改型在格式转换处理单元的结构上不同于第二实施例,这种改型的格式转换处理单元 50a 包括一个转换处理控制单元 52 和一个计算处理单元 54。该格式转换处理单元 50a 进一步包括行缓冲器 56-1 和 56-2 和行缓冲器 59,以及一个闪烁降低处理单元 58a。该行缓冲器 56-1 存储来自计算处理单元 54 的第  $n$  行的 *RGB* 数据。行缓冲器 56-2 存储来自计算处理单元 54 的第  $n+1$  行的 *RGB* 数据。这里,  $n$  表示一个正整数。

闪烁降低处理单元 58a 对行缓冲器 56-1 和 56-2 以及调色板 28-2 的三行的 *RGB* 数据进行平均。其它结构与第二实施例的相同,相同元件用相同的参考数字表示。

图 29 是用于图 28 的第一改型中奇数场的电视信号的第一显示



部分的一个计时图，图 30 是用于第一改型中奇数场的电视信号的第二显示部分的一个计时图。图 31 是用于产生奇数场的电视信号的原理图。显示图象数据的缩减率设定为  $5/6$ 。

首先，在第一次计时时刻，V 计数器 64 设定其计数值为“1”。偶数场的(2)行的 RGB 数据和奇数场的(1)行的 RGB 数据被读出。

随后，计算处理单元 54 根据这两行的 RGB 数据获得与显示位置 1.2 相对应的(1)'行的已缩减 RGB 数据。该数据被写入行缓冲器 56-1。

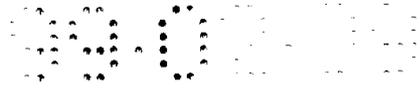
接着，在第二次计时时刻，V 计数器设定其计数值到“2”。偶数场的(2)行被使用，而奇数场的(3)行被读出。此后，计算处理单元 54 根据这两行的 RGB 数据获得与显示位置 2.4 相对应的(2)'行的已缩减 RGB 数据。该数据被写入行缓冲器 56-2。

其次，在如图 30 所示的第二显示部分，在第一次计时时刻，V 计数器 64 的值被设定到“3”。偶数场的(4)行和奇数场的(3)行被使用。计算处理单元 54 根据这两个行的 RGB 数据获得与显示位置 3.6 相应的(3)'行的已缩减 RGB 数据。

进一步，闪烁降低处理单元 58a 为获得(1)"行的 RGB 数据执行下列计算：

(1)'行的 RGB 数据  $\times 0.25 +$  (2)'行的 RGB 数据  $\times 0.5 +$  (3)'行的 RGB 数据  $\times 0.25$

通过上述求平均操作，与第二实施例比较隔行扫描固有的乐烁



被更有效地消除。通过这种操作,如图 31 所示,奇数场的行(1)",(3)",(5)"...的被平均的 RGB 数据被连续地显示在电视设备 40 上。

图 32 是用于第一改型中偶数场的电视信号的第一显示部分的计时图。图 33 是用于第一改型中偶数场中的电视信号的第二显示部分的计时图。图 34 是用于产生偶数场的电视信号的示意图。

以相同的方式,该偶数场的行(2)",(4)",(6)",...的平均 RGB 数据被连续地显示在电视设备 40 上。

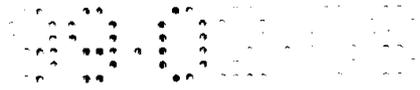
#### (第二实施例的第二改型)

图 35 是第二实施例的第二改型的构成的框图,该第二改型的特征在于在半导体存储器单元 24-1 和 24-2 与格式转换处理单元 50 之间提供有一个 RGB 矩阵电路 10-1。该 RGB 矩阵电路 10-1 把来自半导体存储器单元 24-1 和 24-1 的 RGB 数据转换成 YUV 数据。这就是说,RGB 矩阵电路 10-1 产生一个亮度信号 Y 和一个色差信号,这样,行缓冲器 56 的存储容量可以被减小。

#### (转换处理控制单元的改型)

图 36 是一个框图,它示出了转换处理控制单元 52b 的结构。该转换处理控制单元 52b 包括一个只读存储器 526(ROM)。ROM 526 存储半导体存储器单元 14-1 和 24-2 的读出地址和与计数值及缩减比率相对应的半导体存储器单元 24-1 和 24-2 的内插系数。

在这种情况下,当 V 计数器 64 的计数值和来自缩减率表 66 的缩减率提供给 ROM 526 时,半导体存储器单元 24-1 和 24-1 的读



出地址以及该半导体存储器单元 24—1 和 24—2 的内插系数就被从该 ROM526 中读出。

通过这种操作，转换处理控制单元 52b 能够提高处理速度，而无需执行 RGB 数据的缩减操作，可以使用这样的转换处理控制单元 52b 取代第二实施例的转换处理控制单元，第二实施例的第一改型和该第二实施例的第二改进中的转换处理控制单元。

#### [计算处理单元的改进]

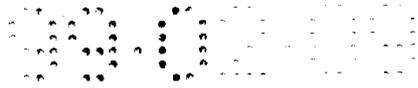
图 37 是一个表示计算处理单元 54b 的结构的框图。该计算处理单元 54b 包括一个 ROM544。ROM544 存储与半导体存储器单元 24—1 和 24—2 的读出数据以及半导体存储单元 24—1 的内插系数相对应的操作结果。在这种情况下，计算处理单元 54b 从 ROM544 中读出与半导体存储器读出地址和由如图 36 所示 ROM526 中输出的内插系数相对应的操作结果。通过这种操作，该计算处理单元 54 能够以高速执行处理。

#### [第三实施例]

现在将对根据本发明的信息处理设备的第三实施例进行描述，图 38 是一个表示第三实施例的图象处理装置的基本结构的方框图。

##### A. 具有基本结构的图象数据转换处理装置

信息处理设备包括一个场缓冲电路 84，一个线性内插电路 80，和一个同步信号发生电路 94。该信息处理设备进一步包括一个场缓冲器控制电路 90，一个平均处理电路 100，和一个编码器电路 88。信



息处理设备用于把图象数据转换成具有预定行数的电视信号，该图象数据由多行构成，而该电视信号的每帧由多场构成。

场缓冲器电路 84 包括与多场相对应的多个场缓冲器(未示出)。该场缓冲器电路 84 的每个场缓冲器用于存储从一个 VRAM(未示出)逐场传送的图象数据的各自的行。线性内插电路 80 连接到场缓冲器电路 84。

线性内插电路 80 利用一个预先设定的内插系数对由场缓冲器电路 84 提供的图象数据中的相邻两行的图象数据进行线性内插，以产生一个电视信号。

同步信号发生电路 94 用于产生电视信号的同步信号和垂直同步信号。场缓冲器控制电路 90 连接到同步信号发生电路 94 和场缓冲器电路 84。场缓冲器控制电路 90 用于根据来自同步信号发生电路 94 的同步信号控制图象数据逐场写入多个场缓冲器的写入操作和逐场从该多个场缓冲器读出的读出操作。

平均处理电路 100 连接到线性内插电路 80。该平均处理电路 100 用于对电视信号的多个行的信号电平求平均，该电视信号的多个行是从线性内插电路 80 中输出的。

编码器电路 88 被连接到平均处理电路 100。编码器电路 88 把电视信号转换成 NTSC 信号，然后将其输出给电视设备(未示出)。

下面，将描述如此构成的第三实施例的工作。图 39 是如图 38 所示信息处理设备的操作的流程图。



首先,由同步信号发生电路 94 产生电视信号的水平同步信号和垂直同步信号(步骤 301)。随后,场缓冲器控制电路 90 根据来自同步信号发生电路 94 的同步信号控制写入多个场缓冲器的图象数据的写操作(步骤 302)。

通过上述控制,从 VRAM(未示出)传送的图象数据逐场地被存入多个场缓冲器(步骤 303)。随后,场缓冲器控制电路 90 控制读出操作,以便从场缓冲器电路 84 的每个场缓冲器中逐场地读出图象数据(步骤 304)。

随后,线性内插电路 80 对被从多个场缓冲器逐场连续地输出的相邻两行的图象数据进行线性内插,由此缩减该图象数据(步骤 305)。通过这种操作,可以产生电视信号。

求平均处理电路 100 使由线性内插电路 80 输出的两行相加,以获得一个平均值(步骤 306)。编码器电路 88 把电视信号转换成 NTSC 信号,然后,把该 NTSC 信号输出给电视设备(未示出)(步骤 307)。

如上所述的信息处理设备能够把存储在 VRAM 中的图象数据转换成在图象数据的纵向方向被缩减的电视信号,并还够获得已消除闪烁的电视信号。此外,信息处理设备能够逐场地读出该电视信号。

#### B. 典型构造的图象数据转换处理装置

图 40 是一个框图,它示出了近按照本发明的第三实施例的图



象格式处理装置的典型结构。图 41 是如图 40 所示的信息处理设备的操作的流程图。

下面，将对根据本发明的信息处理设备的第三实施例进行描述。本实施例的信息处理设备包括一个线性内插电路 80，一个场缓冲器电路 84 和加法器 87。该信息处理设备进一步包括一个编码器电路 88，一个场缓冲控制电路 90，和一个 NTSC 同步信号发生电路 94。

线性内插电路 80 利用一预定的内插系数在图象数据的纵向方法对相邻两行的 RGB 数据进行线性内插，从而缩减该 RGB 数据。线性内插电路 80 包括一个缓冲器 81、一个 5/6 缩减操作电路 82、和一个选择器 83。行缓冲器 81 逐行地存储来自 VRAM(未示出)的 640 象素×480 行的 RGB 数据。

为了把 640 象素×480 行的 RGB 数据转换成 640 象素×400 行的电视信号，5/6 缩减操作电路 82 根据恰好在一行之前的 RGB 数据和来自 VRAM 的 RGB 数据获得在该图象的纵向方向以 5/6 的缩减率缩减的 RGB 数据。

选择器 83 根据模式选择信号从 VRAM 和以 5/6 缩减比率缩减的 RGB 数据中选择任何一种 RGB 数据。线性内插电路的连接到场缓冲器电路 84。

场缓冲器电路 84 存储由线性内插电路 80 逐场连续输出的 RGB 数据。该场缓冲器电路 84 包括触发器电路(FF 电路)85-1 和



85—2, 一个偶数场缓冲器 86—1 和一个奇数场缓冲器 86—2。

FF 电路 85—1 和 85—2 以  $25/2\text{MHz}$  读出由选择器 83 输出的 RGB 数据。偶数场缓冲器 86—1 在一主控制单元 91 的控制下连续地存储偶数场的 RGB 数据, 并存储一场的 RGB 数据。奇数场缓冲器 86—2 在该主控制单元 91 的控制下连续地存储奇数场的 RGB 数据, 并存储一场的 RGB 数据。

NTSC 同步信号发生电路 94 产生一个同步信号, 一个显示时钟信号, 一个偶数模式信号和一个奇数模式信号。该同步信号包括一个水平同步信号和一个垂直同步信号。场缓冲器电路 84 和 NTSC 同步信号发生电路 94 被连接到场缓冲器控制电路 90。

该场缓冲器控制电路 90 控制缓冲器电路 84 的 RGB 数据的写入操作和读出操作。场缓冲器控制电路 90 包括主控制单元 91 和一个 CRT 控制单元 92。

CRT 控制单元 92 用于控制信息处理设备的 CRT, 并为 FF 电路 84—1 和 84—2 提供一个控制信号, 以便以  $25/2\text{MHz}$  执行读出操作。主控制单元 91 根据来自 NTSC 同步信号发生电路 94 的同步信号, 偶数模式信号和奇数模式信号控制偶数场缓冲器 86—1 的偶数场的 RGB 数据的写入和读出操作。主控制器单元 91 还控制奇数场缓冲器 86—2 的奇数场的 RGB 数据的写入和读出操作。

加法器 87 使来自偶数场缓冲器 86—1 的偶数场的 RGB 数据与来自奇数场缓冲器 86—2 的奇数场的 RGB 数据相加, 以输出一



帧的 RGB 数据。加法器 87 连接到编码器电路 88。

编码器电路 88 包括一个 FF 电路 89a 和一个 D/A 转换器 89b。FF 电路 89a 根据来自 NTSC 同步信号发生电路的 NTSC 显示时钟信号以 14.3MHz 读出加法器 87 的 RGB 数据，并把它输出给 D/A 转换器 89b。该 D/A 转换器把 RGB 数据转换成适于电视设备(未示出)的模拟数据。

下面，将描述第三实施例的操作。将典型地对这样一种情况进行描述，即，将对 640 象素×480 行的 RGB 数据转换成 640 象素×400 行的电视信号进行描述。

首先，来自 VRAM(未示出)的 640 象素×480 行的 RGB 数据逐行地存入行缓冲器 81(步骤 401)。根据来自行缓冲器 81 的恰好在一行之前的 RGB 数据和来自 VRAM 的 RGB 数据，能够获得由 5/6 缩减操作电路 82 以 5/6 的缩减率在该图象的纵向方向缩减的 RGB 数据(步骤 402)。

由具有模式选择信号的选择器 83 对来自 VRAM 的任何一个 RGB 数据和 5/6 缩减的 RGB 数据进行选择(步骤 403)。在这种情况下，对缩减的 RGB 数据进行选择。

接着，由选择器 83 输出的缩减的 RGB 数据由具有来自 CRT 控制单元 92 的控制信号的 FF 电路 85-1 和 FF 电路 85-2 以一个 25/2MHz 的定时读出(步骤 404)。在这一时刻，在 NTSC 同步信号发生电路 94 中产生的同步信号、偶数模式信号和奇数模式信号被



输出给主控制单元 91。

主控制单元 91 根据同步信号, 偶数模式信号和奇数模式信号产生一个写入定时信号和一个读出定时信号。主控制单元 91 把该写入定时信号和读出定时信号输出给偶数场缓冲器 86-1 和奇数场缓冲器 86-2。

偶数场的每一行的被缩减 RGB 数据根据写入定时信号被存入偶数场缓冲器 86-1。奇数场的每一行的被缩减 RGB 数据被存入奇数场缓冲器 86-2(步骤 405)。

一场的被缩减 RGB 数据按读出时序信号, 在其被存入偶数场缓冲器 86-1 和奇数场缓冲器 86-2 的时刻被读出到加法器 87(步骤 406)。

随后, 加法器 87 把来自偶数场缓冲器 86-1 的偶数场的 RGB 数据与来自奇数场缓冲器 86-2 的奇数场的被缩减 RGB 相加(步骤 407)。通过这种操作, 一帧的被缩减 RGB 数据被输出, 即产生了电视信号。

来自加法器 87 的被缩减 RGB 数据由具有来自 NTSC 同步信号发生电路 94 的显示时钟信号的 FF 电路 89 以 14.3MHz 读出, 然后通过 D/A 转换器 89b 转换成模拟数据(步骤 408)。

如上所述, 信息处理设备通过用硬件在纵向方向缩减图象数据, 把存储在 VRAM 中的数据转换成电视信号。该电视信号被逐场地读出。因此, 图象能够显示在一个低价格的电视设备上, 而不必修



改现有的软件。在第一和第二实施例中,对水平同步信号的时钟数进行计数,以便逐行读出图象数据给电视设备 40。另一方面,在该第三实施例中,图象数据在一场的行数据被存入场缓冲器电路 84 的时刻被读出。

可以显示在一个电视屏幕上的一场的行数是大约 220 行。因此,在隔行扫描操作中,一帧的行数超过了 440,以及图象从屏幕上推出。例如,能够显示  $640 \text{ 象素} \times 480 \text{ 行}$ ,不必利用第三实施例的缩减功能从屏幕上推出。

场缓冲器电路 84 可以装在加法器 87 和编码器 88 之间。此外,在该第三实施例中,同步信号是 NTSC 同步信号,然而,它也可以一个 PAL 同步信号。

#### [第三实施例的第一改型]

第三实施例的第一改型的特征在于在场缓冲器 84-1 和 84-2 的输入或输出侧装有一个横向滤波器 100a。图 42 示出了该横向滤波器的结构。横向滤波器 100a 包括多个滤波器 102-i ( $i$  表示 1 至  $n$ ) 和一个加法器 104。

按照上述的结构,滤波器 102-1 用于消除包含在第  $N$  行的 RGB 数据中的噪声成份,滤波器 102-2 用于消除包含在第  $(N+1)$  行的 RGB 数据中的噪声成份。如上所述,各自滤波器 102-i 消除包含在各自行的 RGB 数据中的噪声成份,加法器 104 把各滤波器 102-i 的输出相加,以计算该 RGB 数据的一个平均值。



即使在一种隔行扫描操作中,对于存储在 VRAM 中具有高垂直清晰度例如 640 象素 $\times$ 480 行的图象数据来说,闪烁也能被消除。因而,在屏幕上的图象是清楚可见的。

### 〔第三实施例的第二改型〕

第三实施例的第二改进其特征在于在场缓冲器电路 84 的输出侧装有一个线性内插电路 110。线性内插电路 110 也可以装在场缓冲器电路 84 的输入侧。图 43 是表示线性内插电路 110 的一个方框图。该线性内插电路 110 包括一个计数器 111,一个内插系数表 112、和乘法器 113 和 114。线性内插电路 110 进一步包括一个行缓冲器 115 和加法器 116 和 117。

计数器 111 计数水平同步信号的个数。内插系数表 112 存储内插系数值。图 44 是一个表示内插系数值的例子的表。在图 44 中,内插系数表 112 存储与计数器 111 的计数值相对应的内插系数表值。例如,存储一个内插系数表值“8”(在二进制系统中为 1000)与一个计数值“0”相对应。

乘法器 113 使 RGB 数据乘以来自内插系数表 112 的内插系数表值。行缓冲器 114 存储恰好在一行之前的 RGB 数据。加法器 116 把来自内插系数表 112 的内插系数表值与一预定值相加。乘法器 115 使来自加法器 116 的输出乘以来自行缓冲器 114 的恰好在一行之前的 RGB 数据。加法器 117 把乘法器 113 的输出与乘法器 115 的输出相加,并输出该相加的结果。



根据上述的结构,图象能够被缩减。

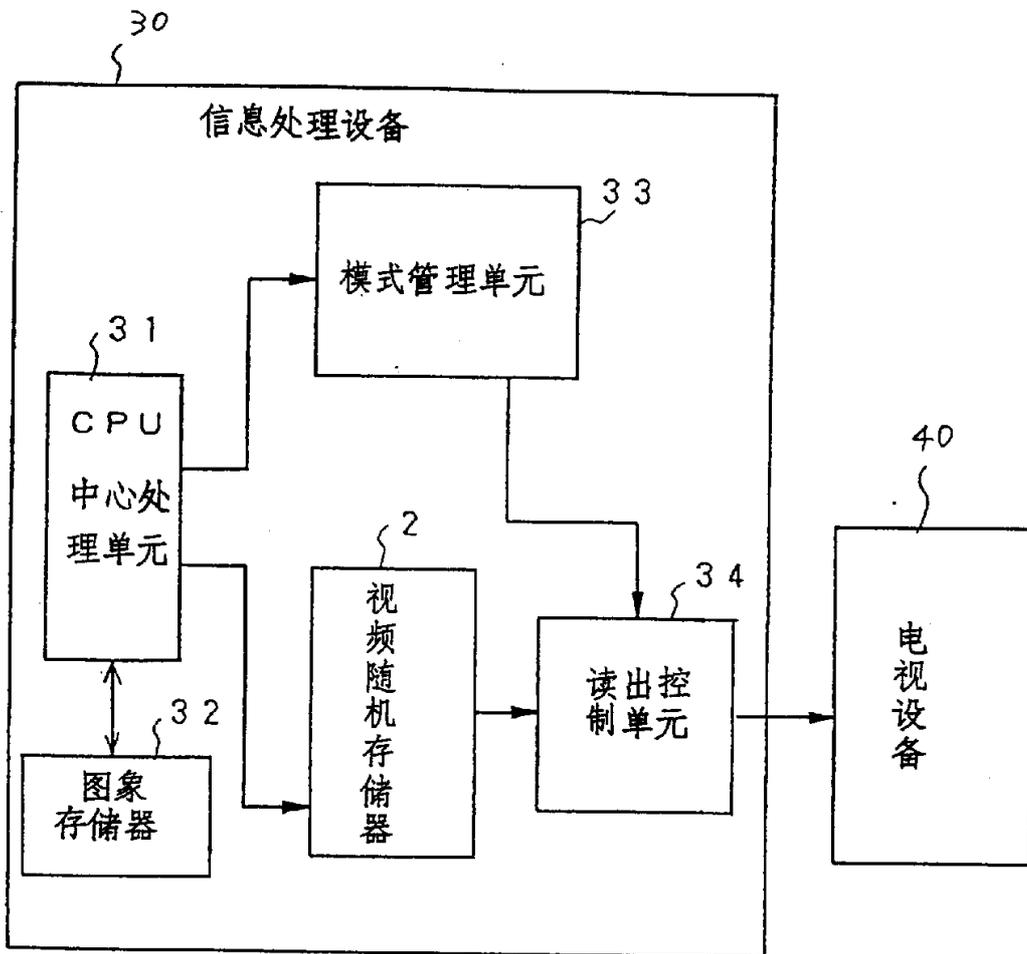
〔第三实施例的第三改型〕

第三实施例的第三改进其特征在于在场缓冲器电路 84 的输出侧提供有一个线性内插电路 120。因此是表示该线性内插电路 120 的结构 的方框图。该线性内插电路 120 包括一个计数器 121、一个行缓冲器 122 和一个 ROM123。计数器计数水平同步信号的个数。行缓冲器 122 存储恰好在一行之前的 RGB 数据。ROM123 包括一个查阅表,并且当相应于来自计数器 121 的计数值、来自行缓冲器 122 的 RGB 数据和恰好在一行之前的 RGB 数据对 RGB 数据进行缩减时,存储一个操作结果。

根据上述的结构,仅通过参考 ROM123 的内容,就能容易地对图象进行缩减。



# 说明书附图



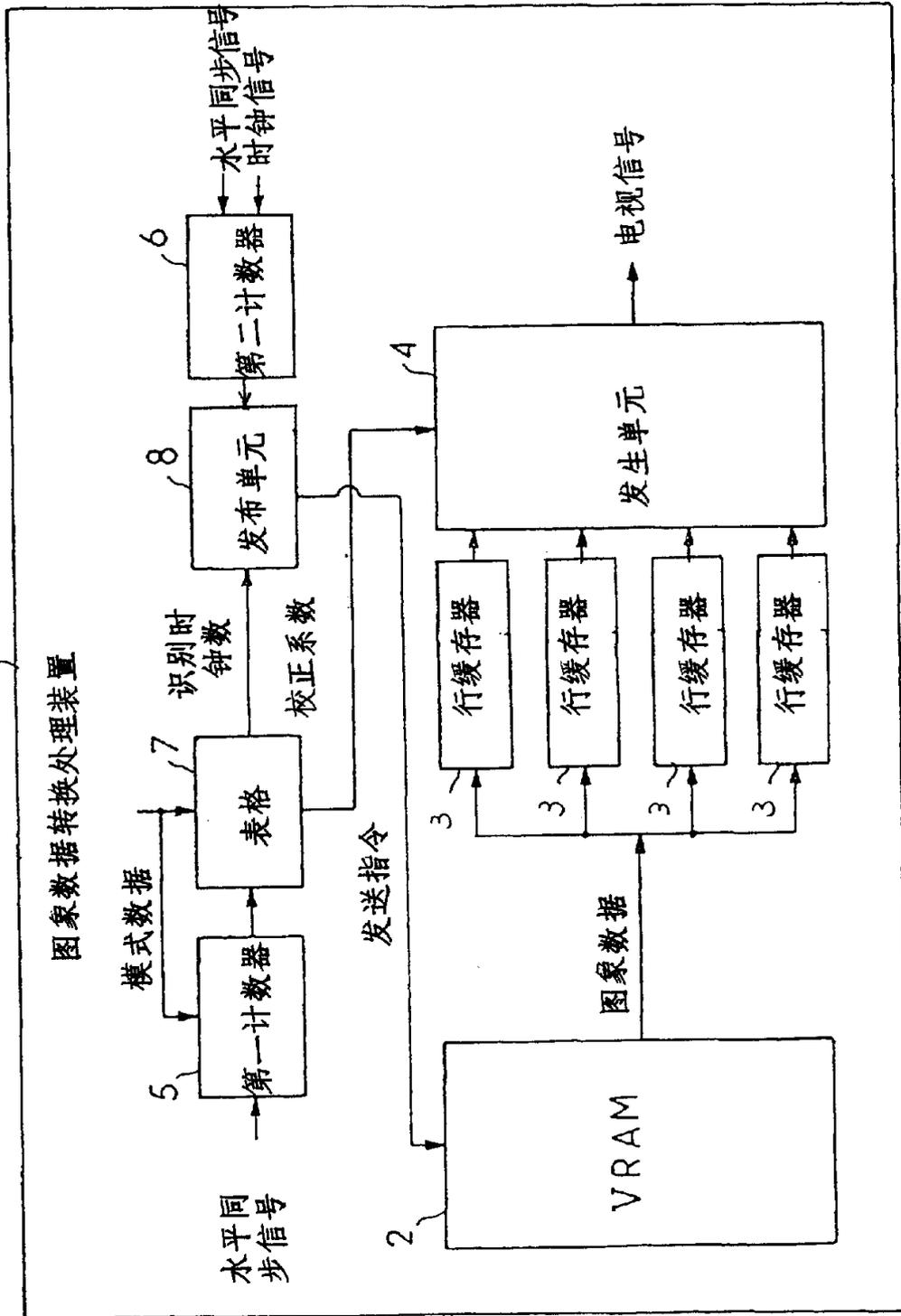


图 2

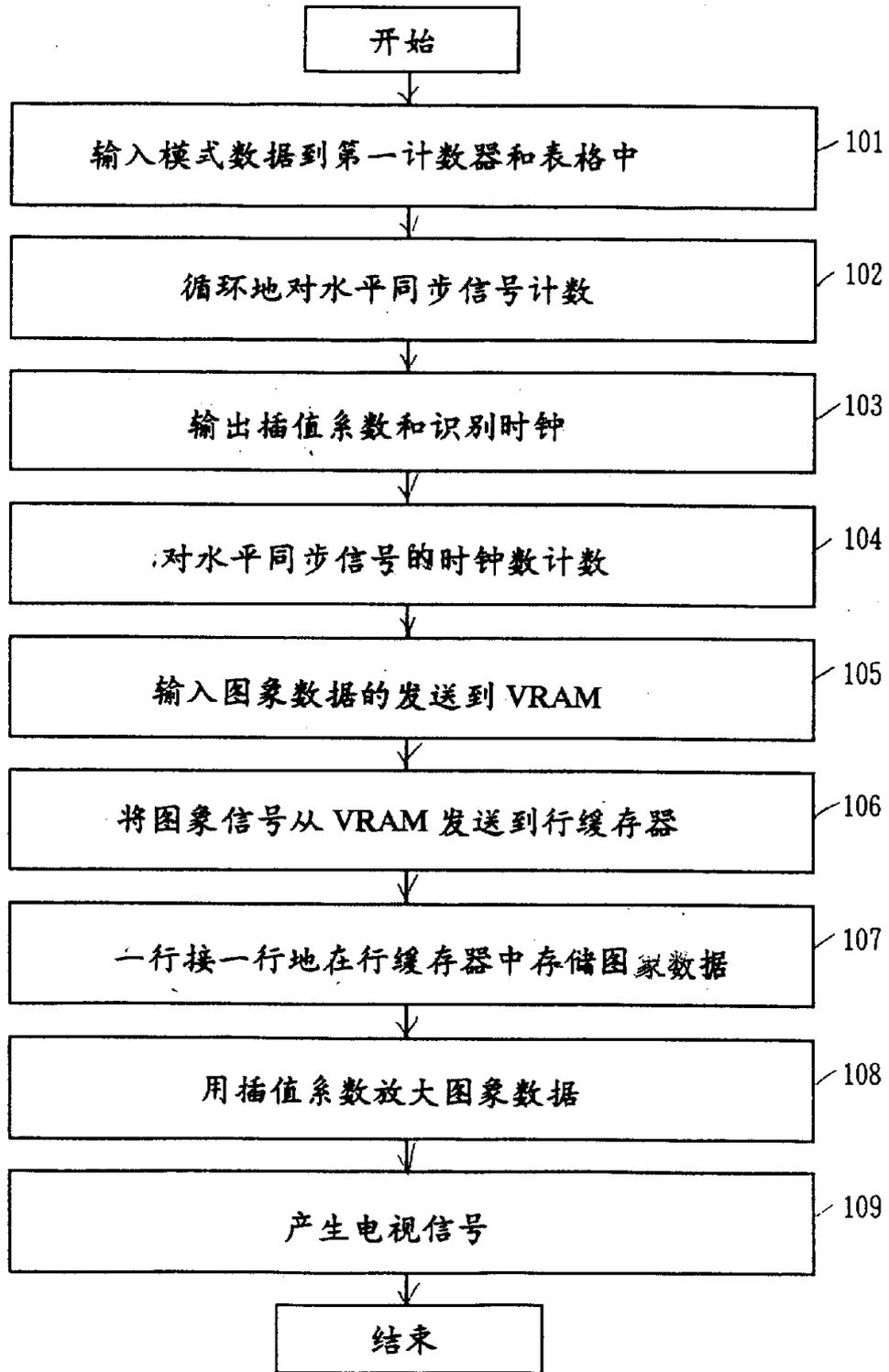


图 3

图 4

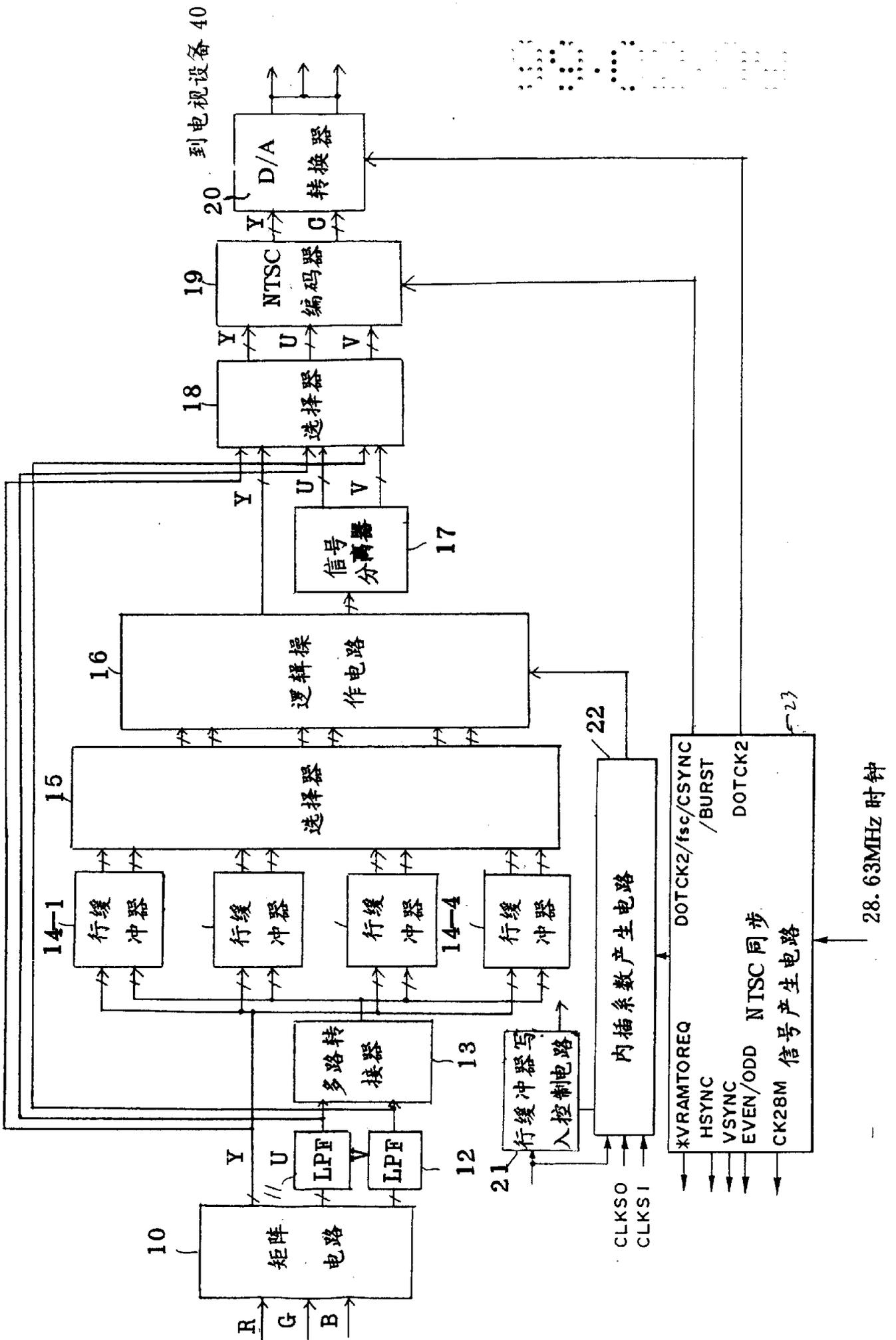
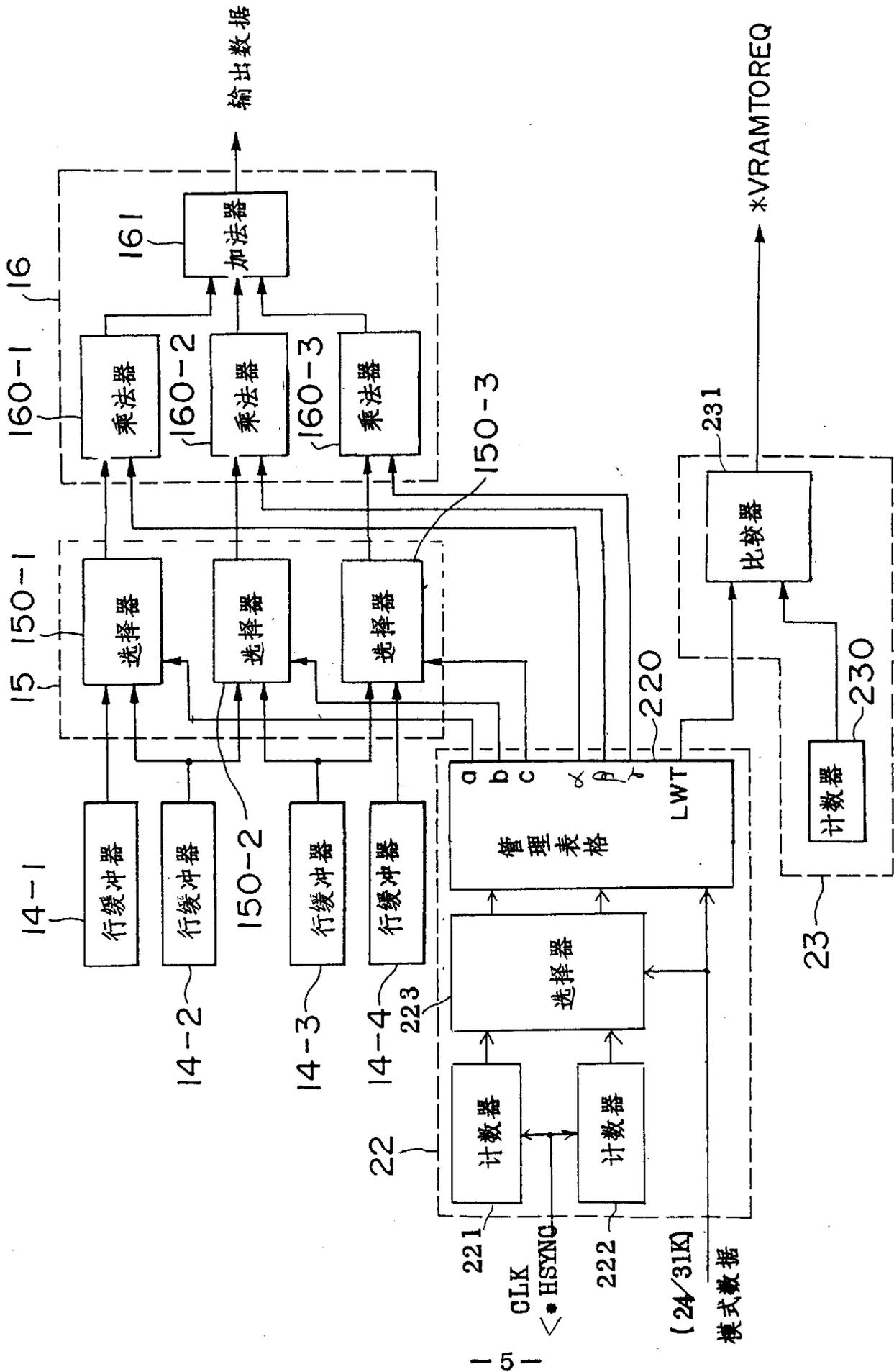


图 5



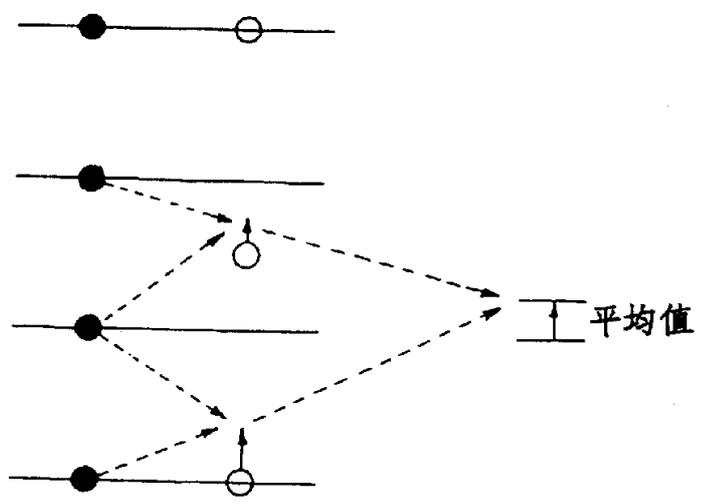


图 6

图7

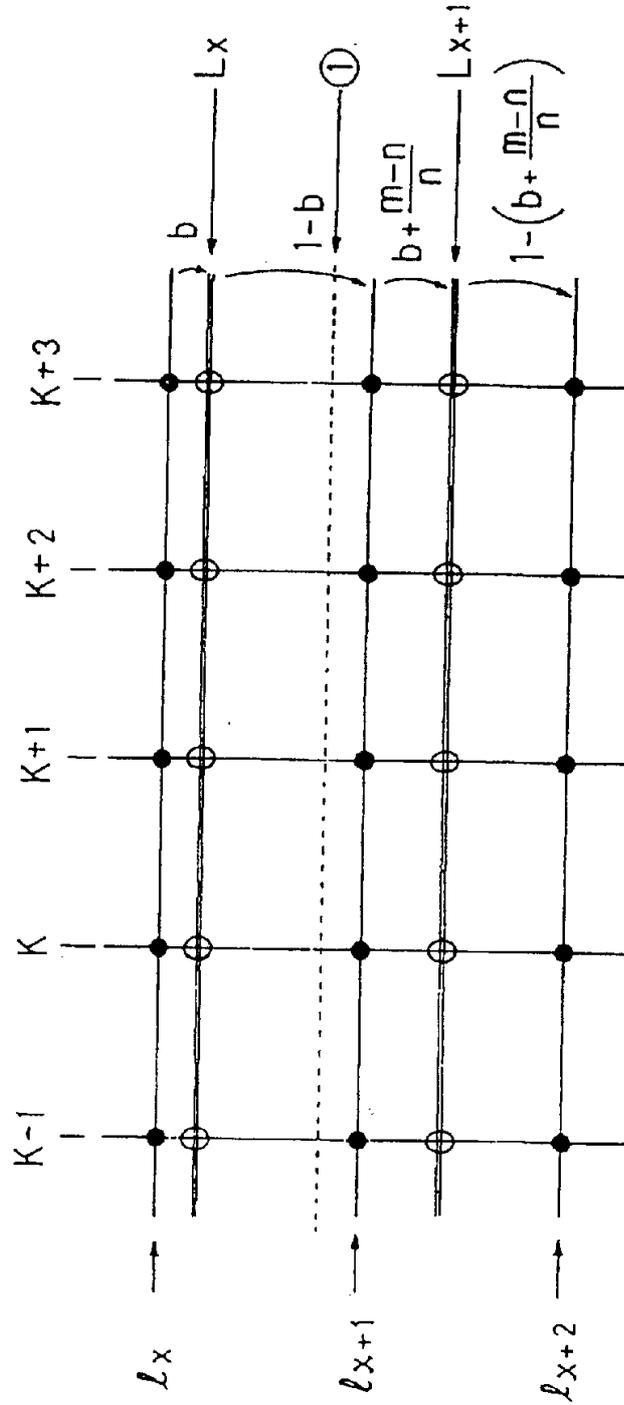




图 8

计数器 221 的计数值		0	1
奇数场	LWT	816	—
	a	1	1
	b	1	0
	c	1	0
	$\alpha$	08	00
	$\beta$	08	08
	$\gamma$	00	08
偶数场	LWT	816	—
	a	1	1
	b	1	0
	c	1	0
	$\alpha$	08	00
	$\beta$	08	08
	$\gamma$	00	08

(a)

计数器 222 的计数值		0	1	2	3	4
奇数场	LWT	196	816	—	516	—
	a	0	1	1	1	1
	b	0	1	0	1	1
	c	0	1	0	1	0
	$\alpha$	03	08	05	02	07
	$\beta$	07	06	05	06	03
	$\gamma$	06	02	06	08	06
偶数场	LWT	196	816	—	516	—
	a	0	1	1	0	1
	b	0	1	0	0	1
	c	0	1	0	0	0
	$\alpha$	06	06	08	06	02
	$\beta$	07	03	06	05	06
	$\gamma$	03	07	02	05	08

(b)

图 9

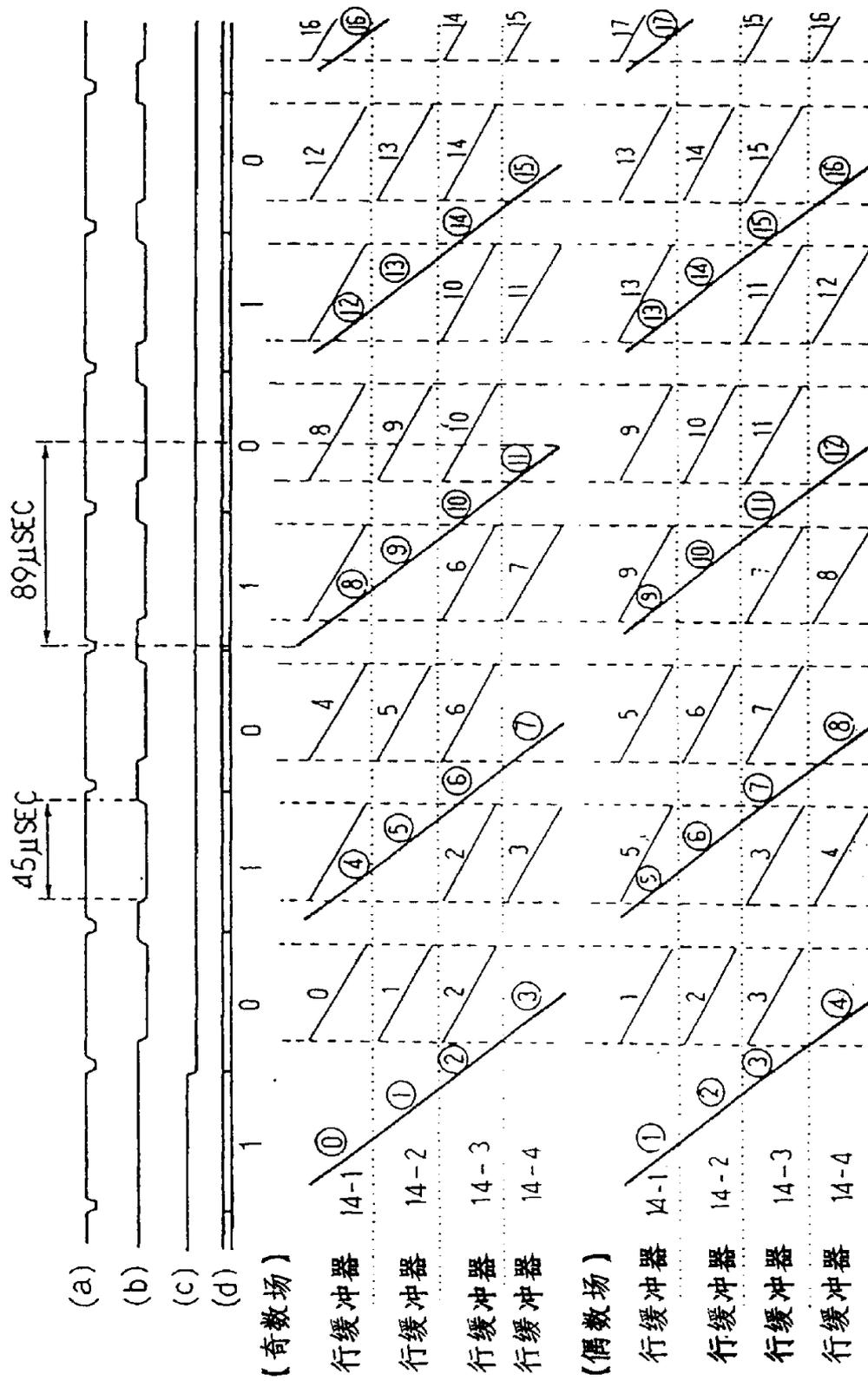




图 11

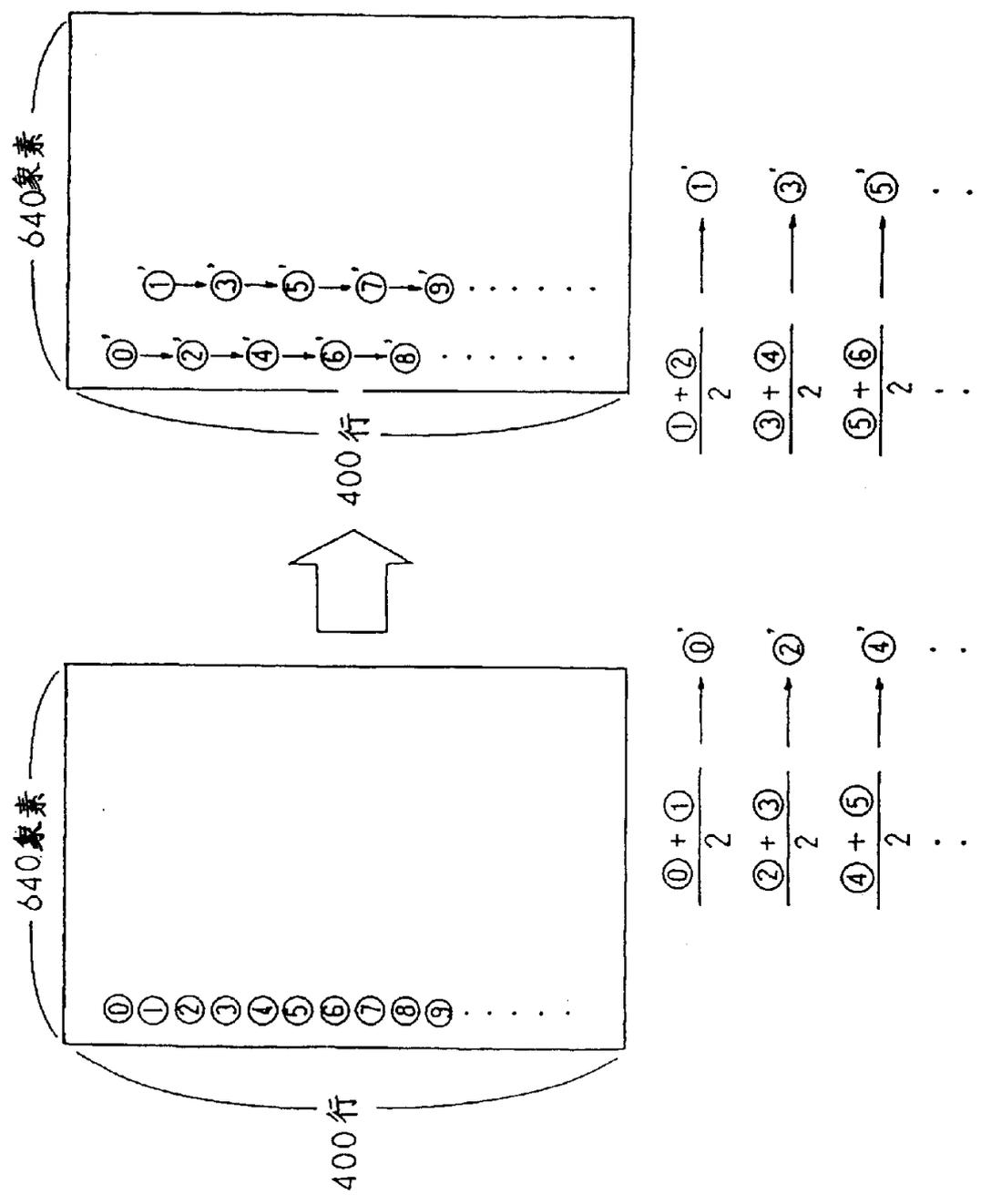
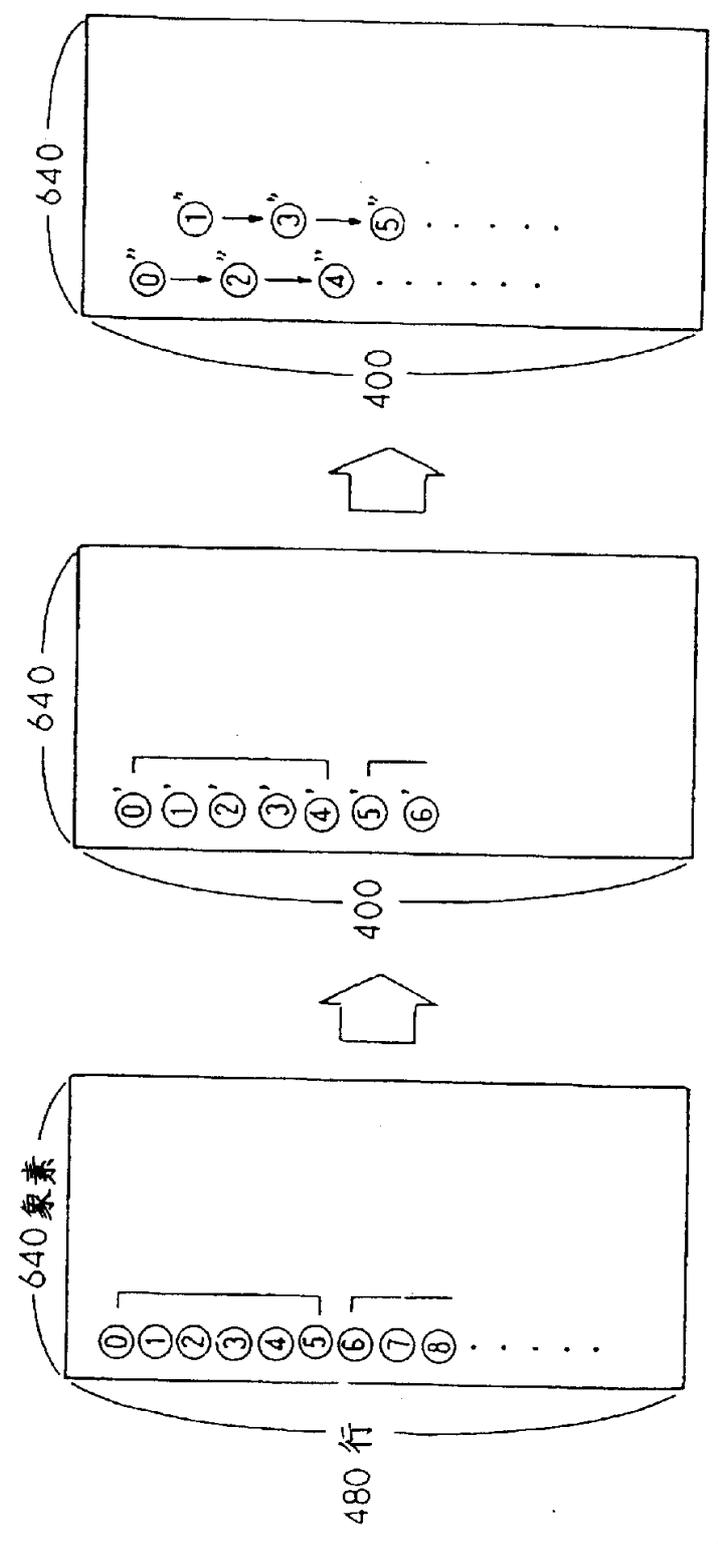


图 12



320 象素

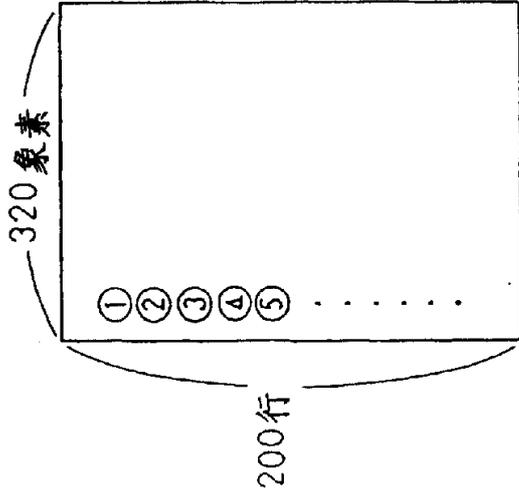
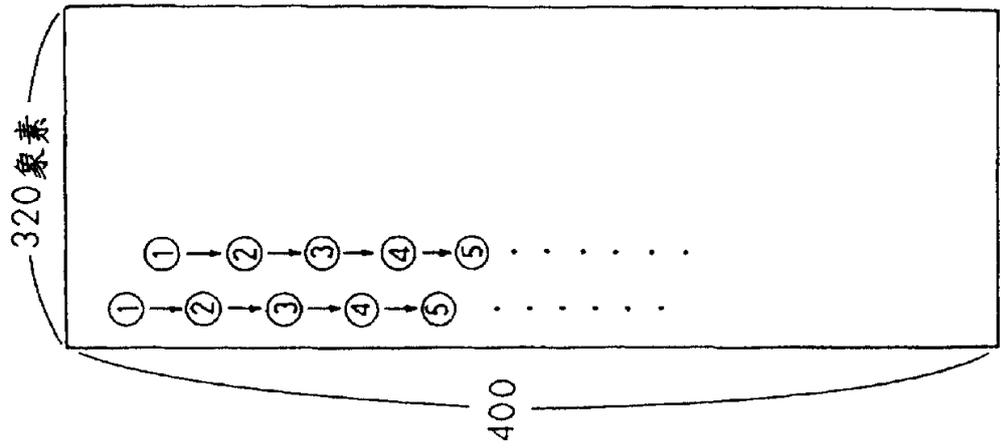


图 13

图 14

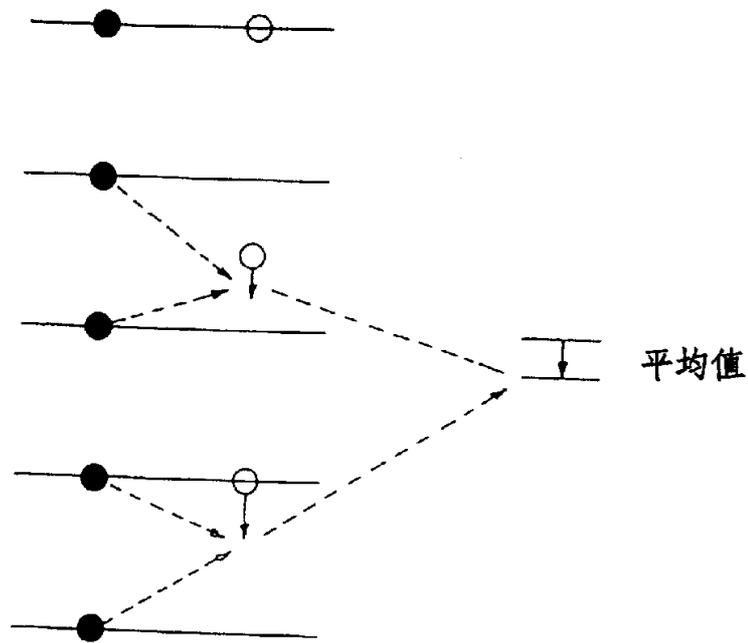


图 15

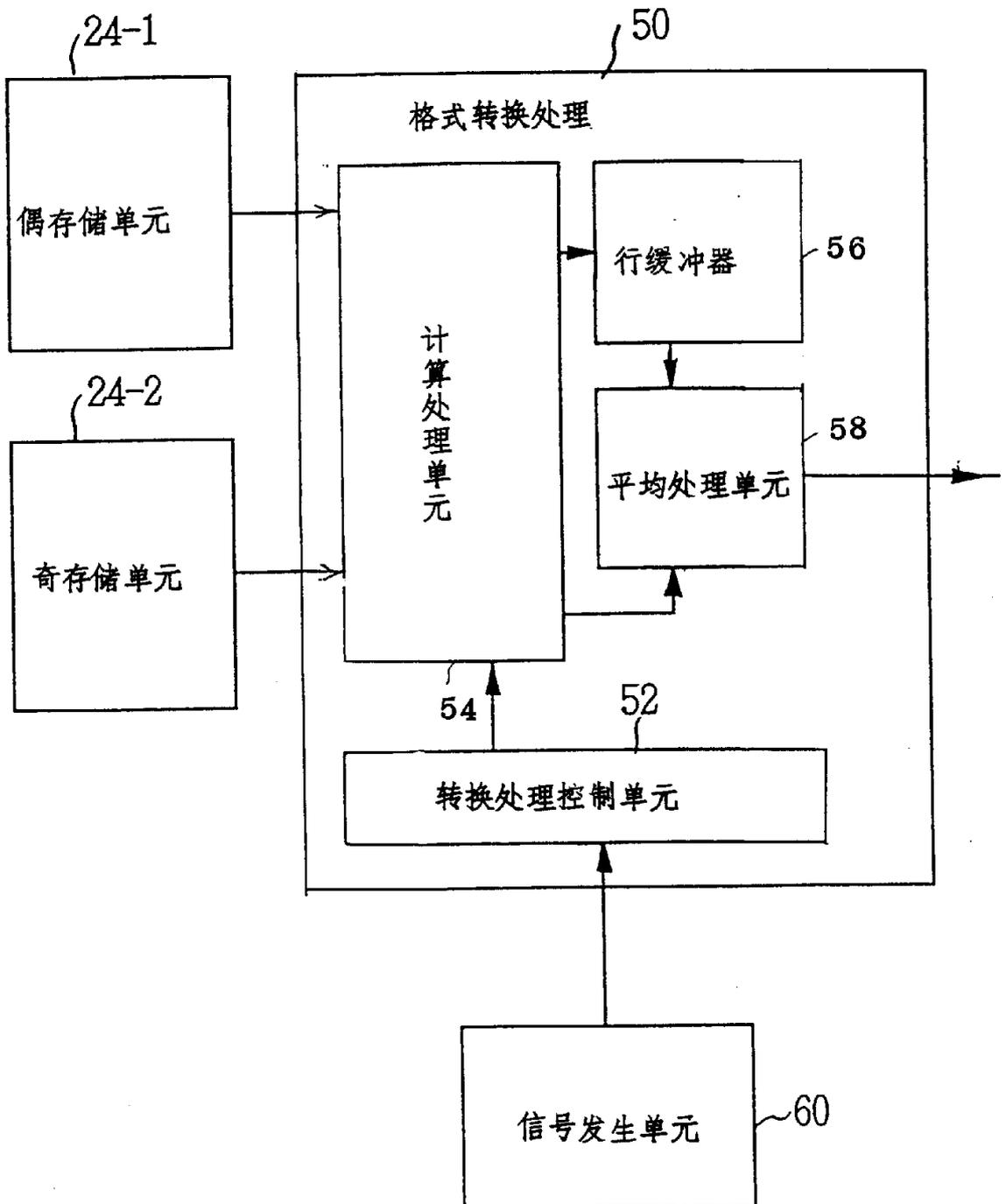


图 16

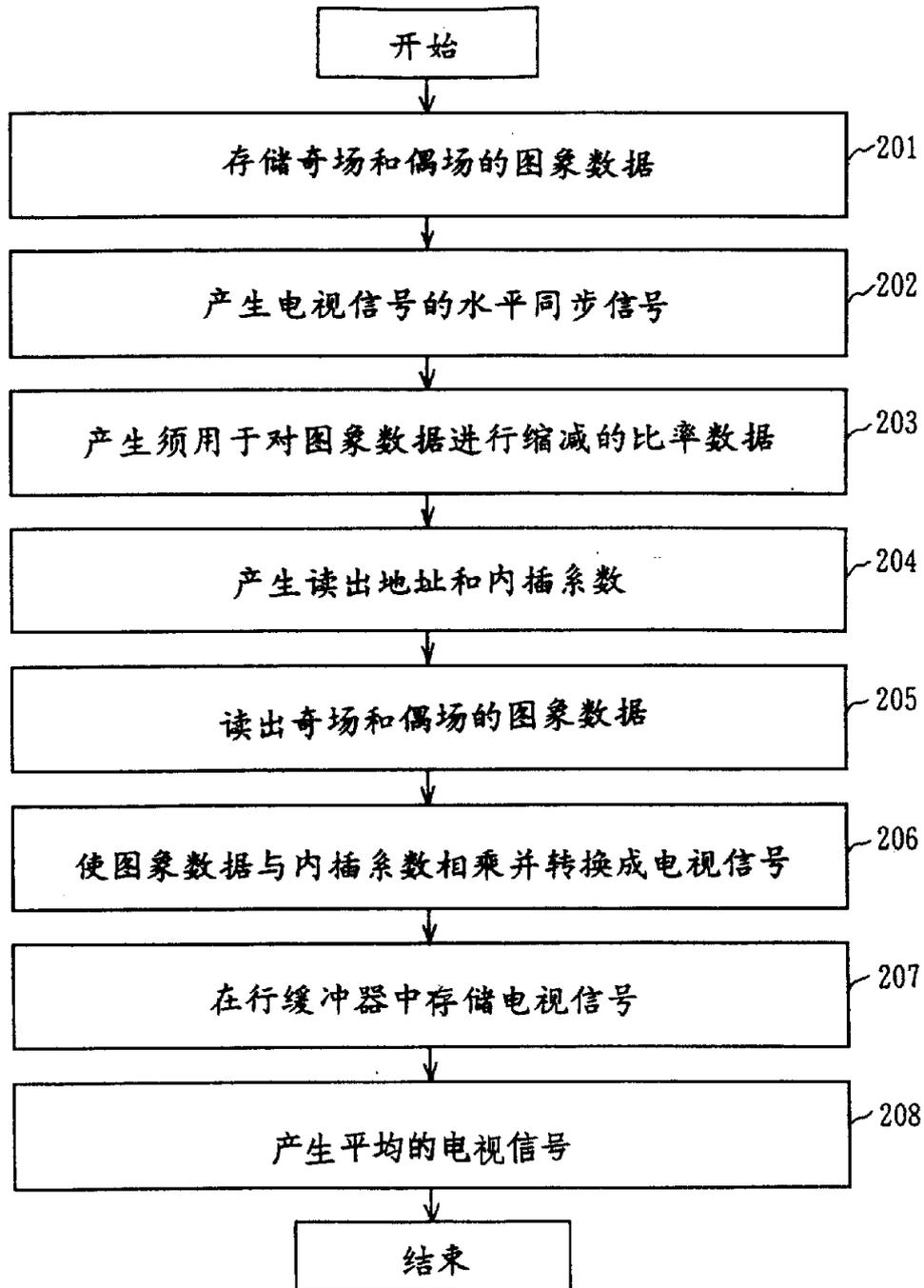
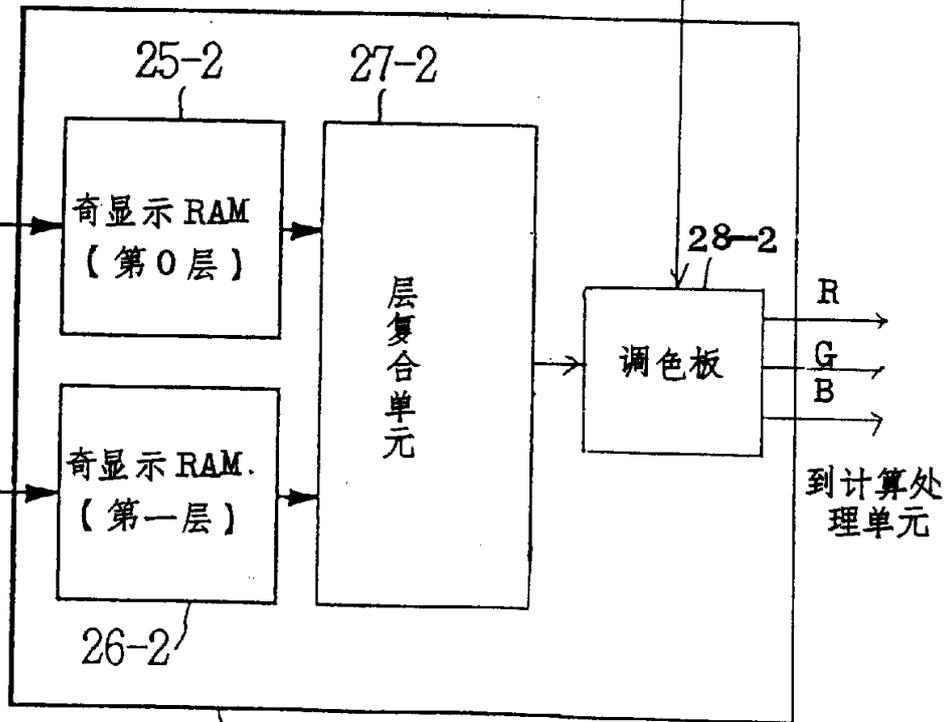
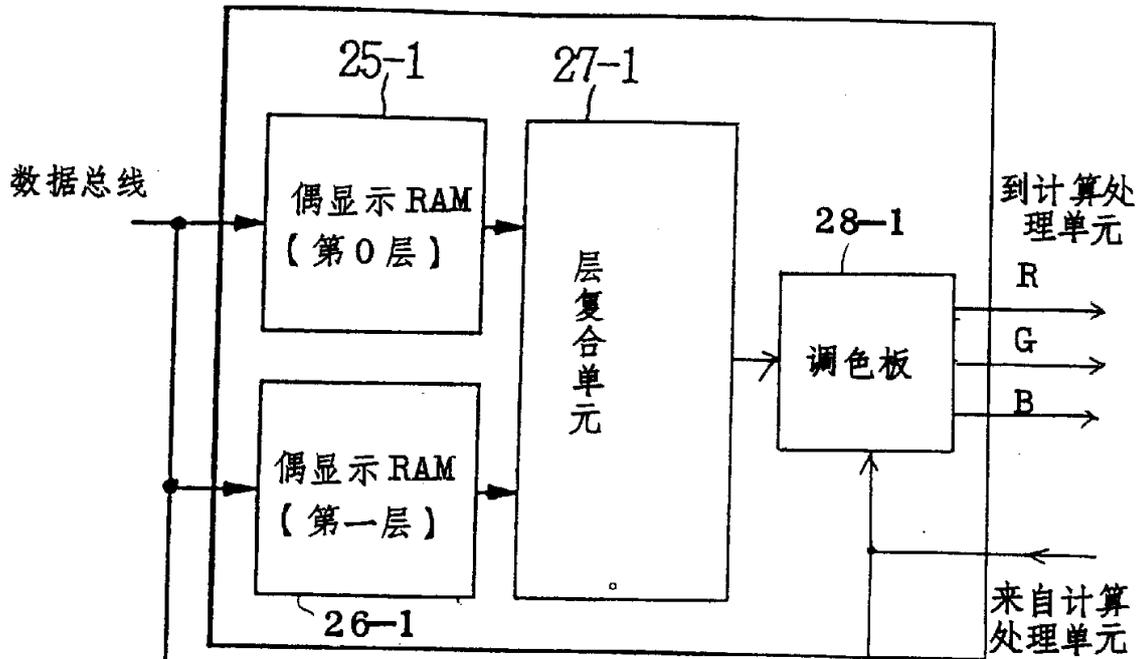


图 17

24-1 半导体存储单元



24-2 半导体存储单元

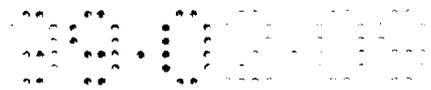


图 18

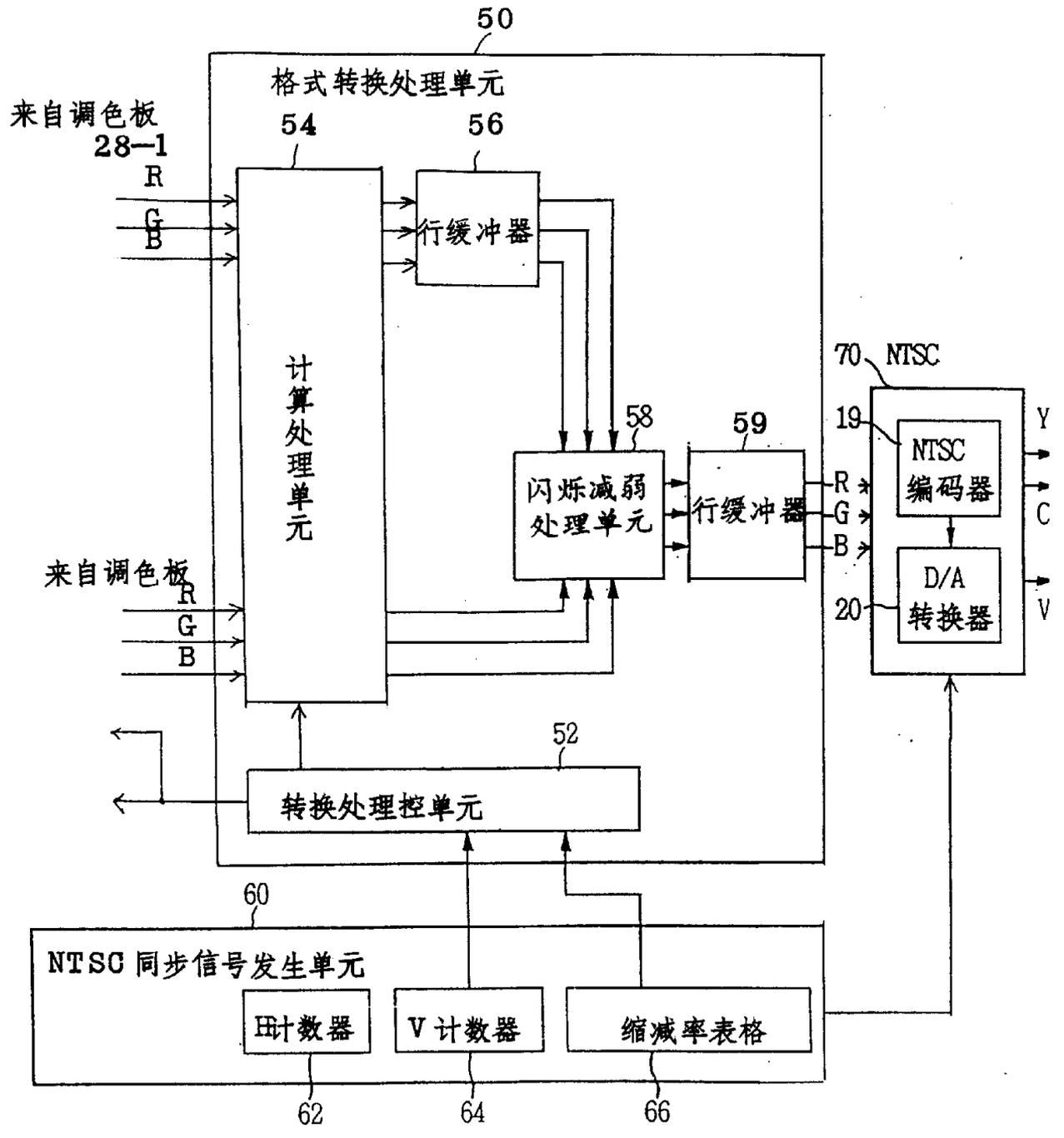


图19

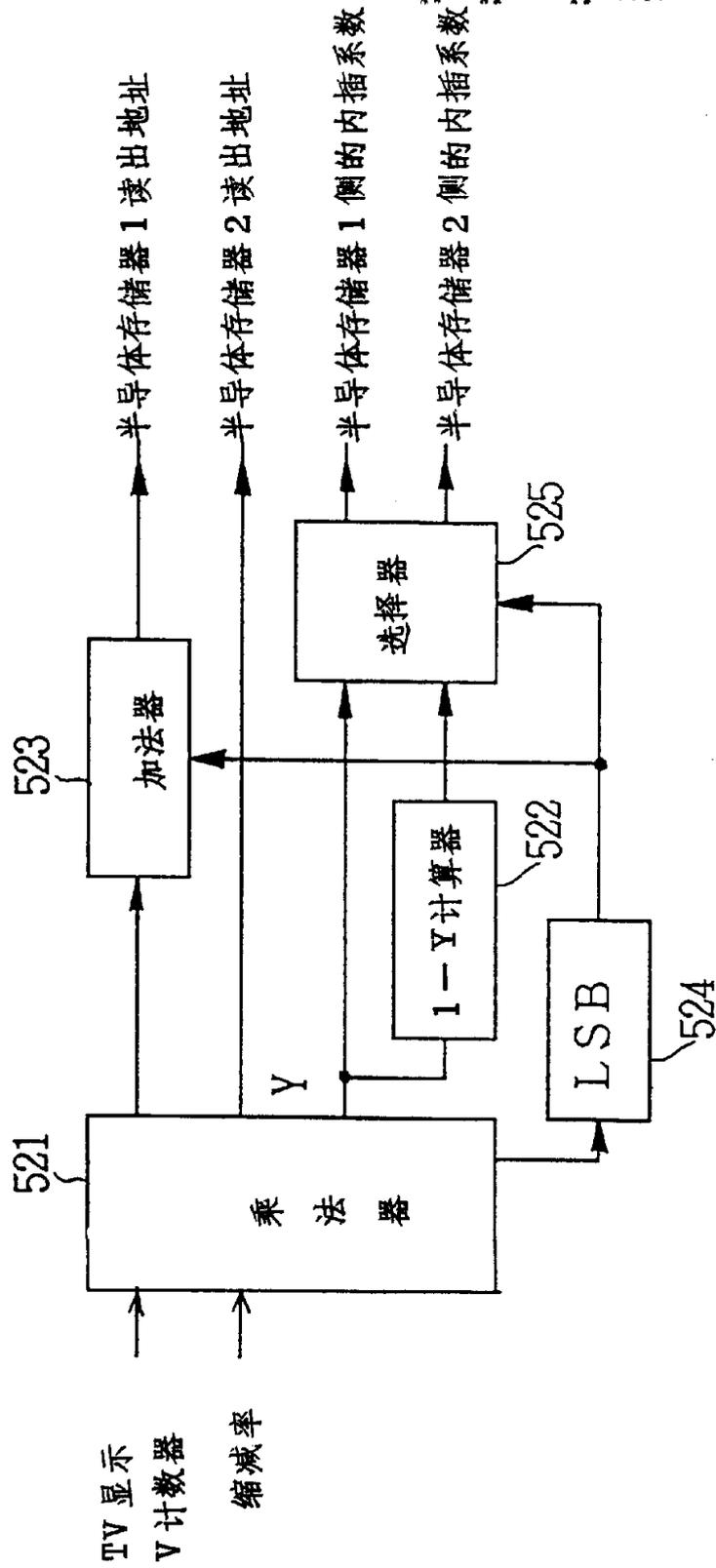


图 20

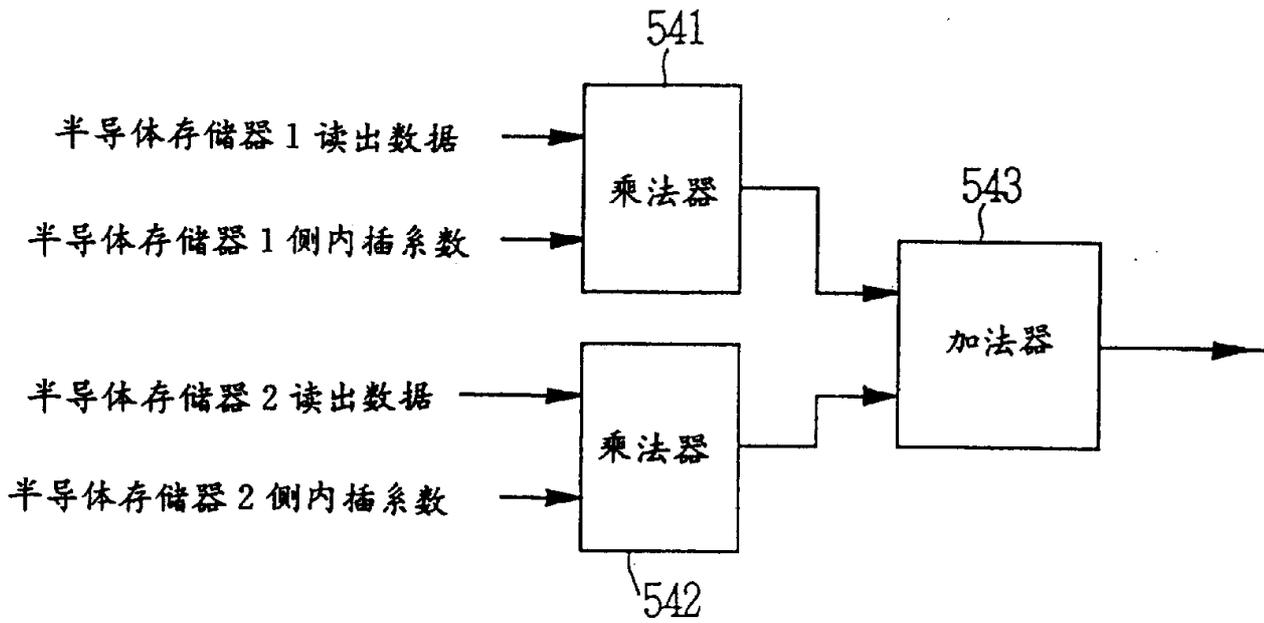


图 21

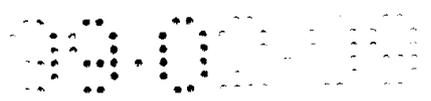
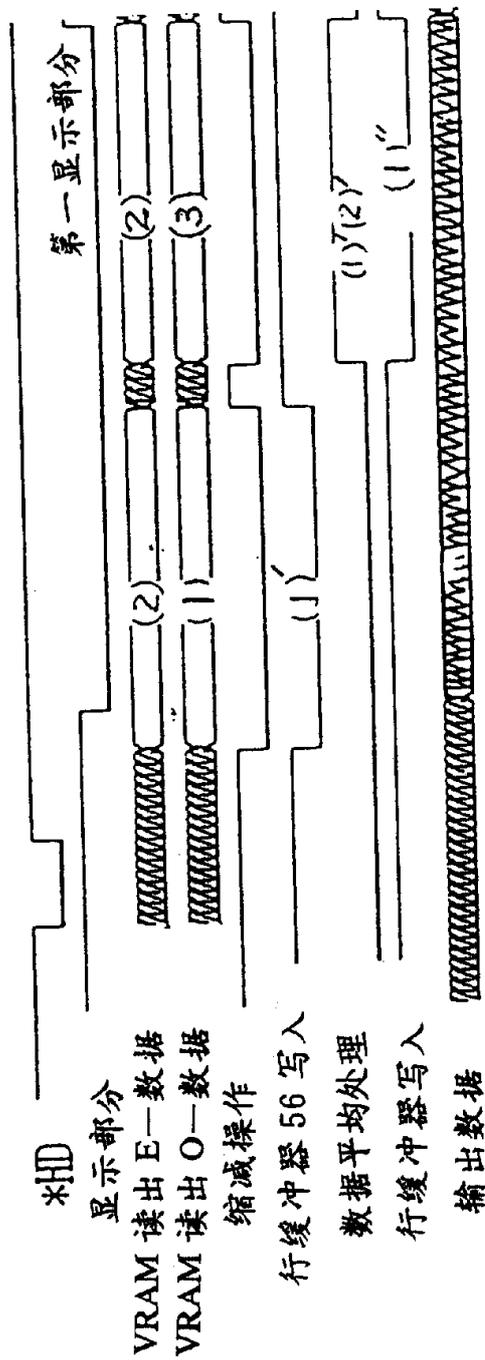


图 22

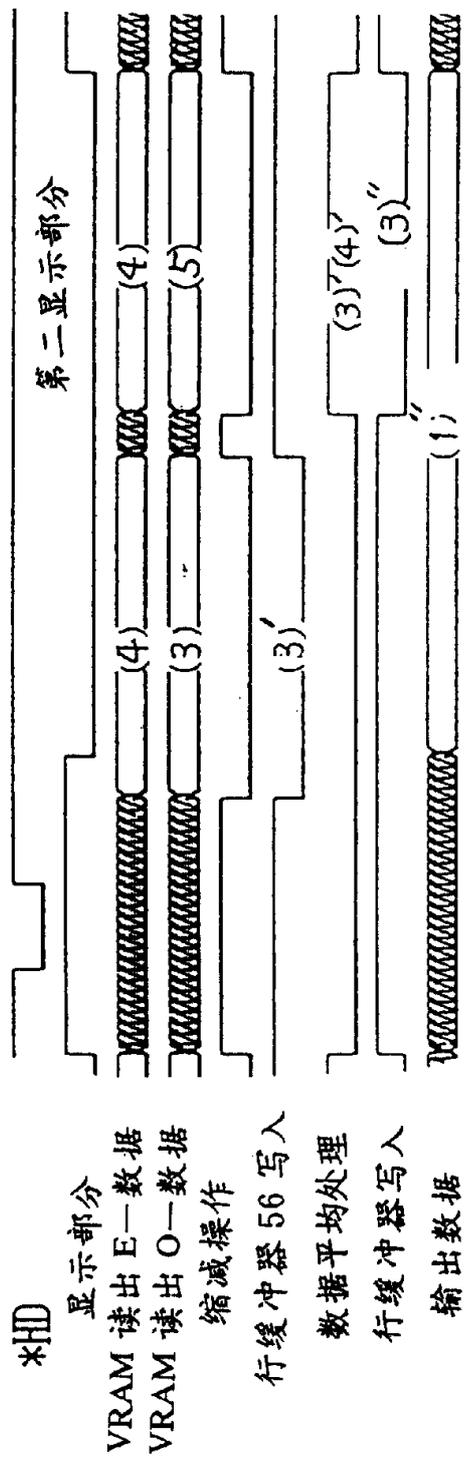


图 23

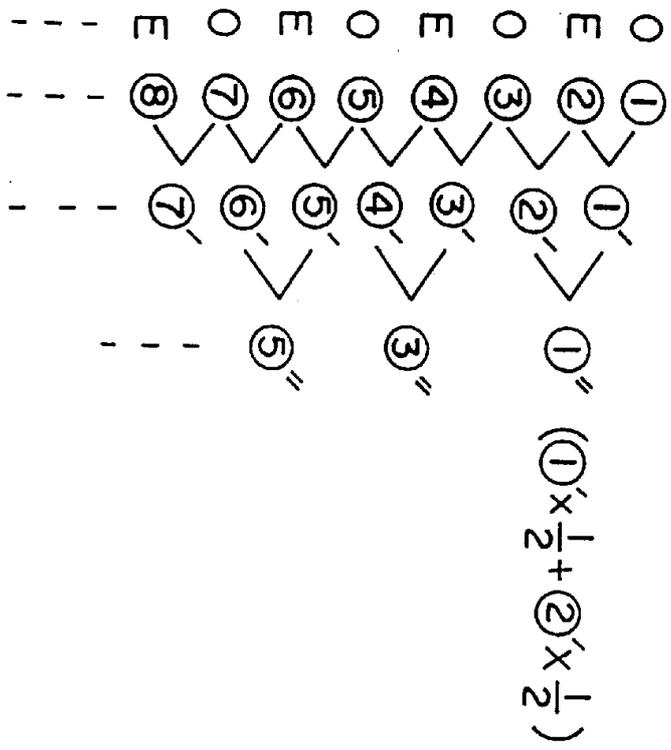


图 24

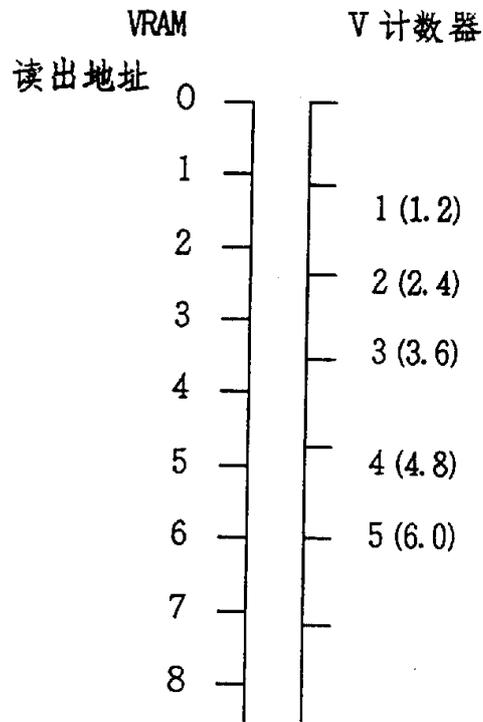
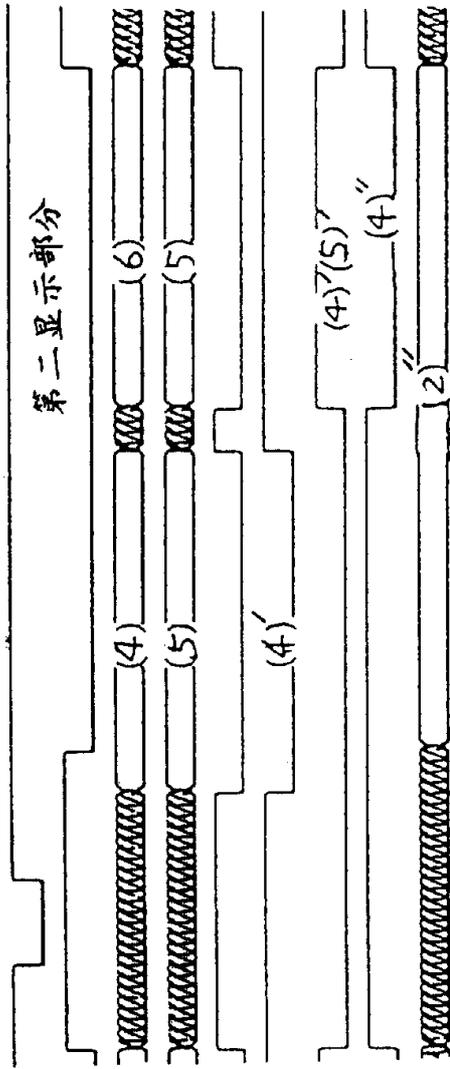




图 26



\*HD

显示部分

VRAM 读出 E—数据

VRAM 读出 O—数据

缩减操作

行缓冲器 56 写入

数据平均处理

行缓冲器写入

输出数据

1000

图. 27

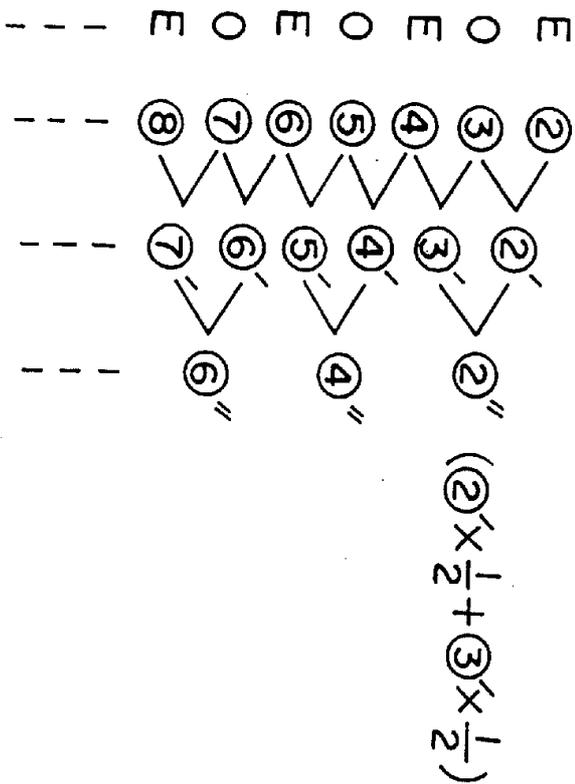


图 28

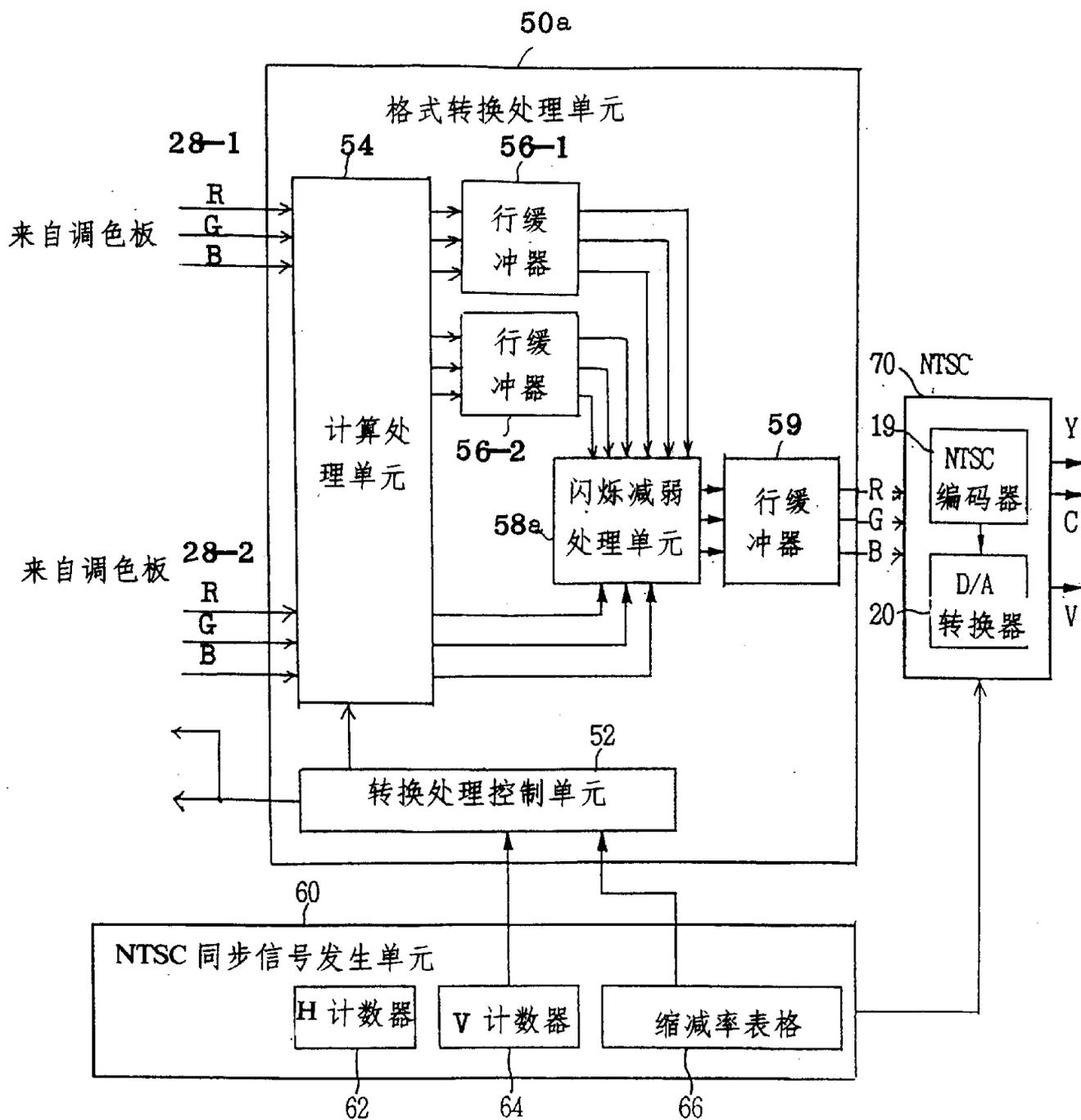




图 30

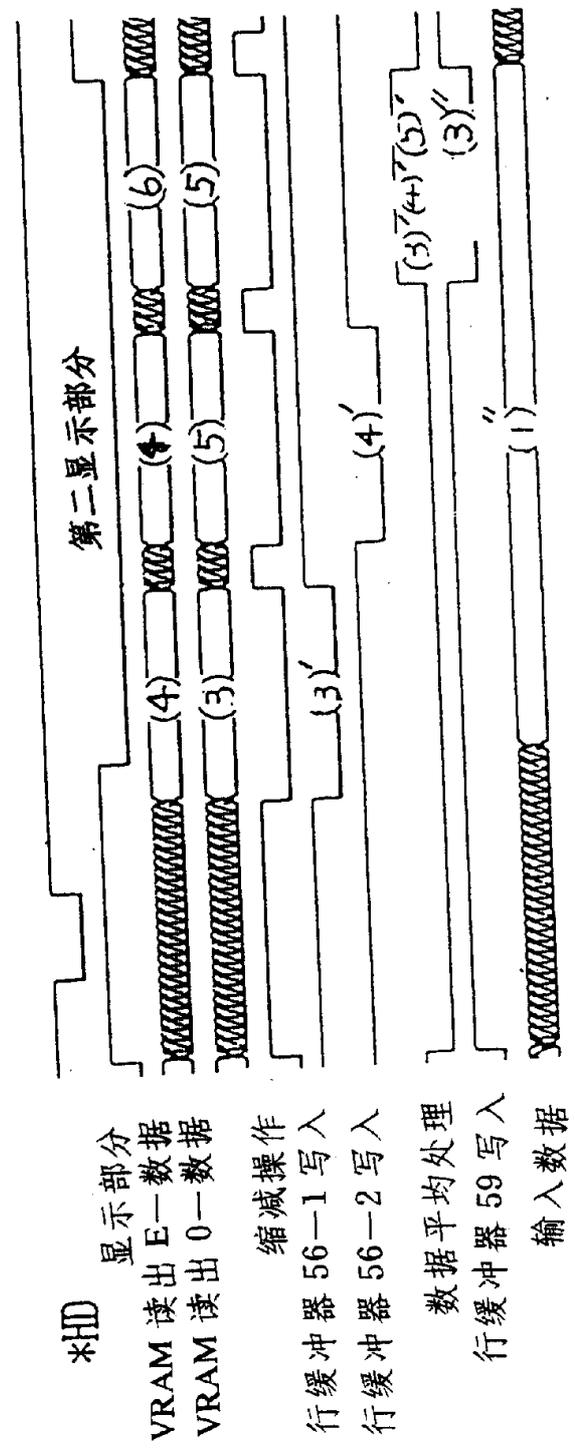


图 31

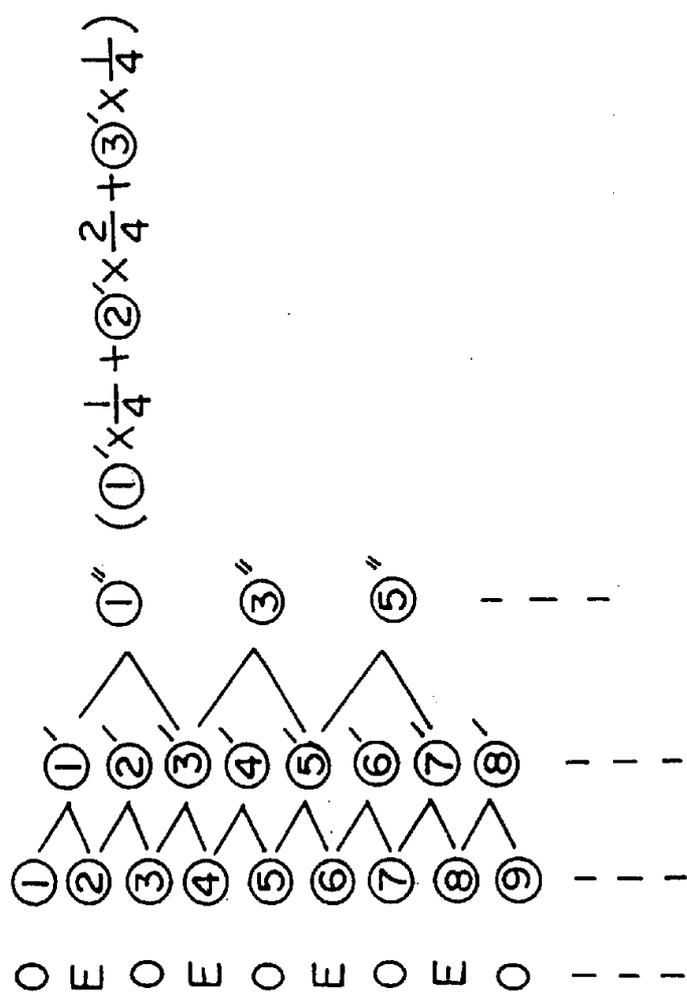


图 32

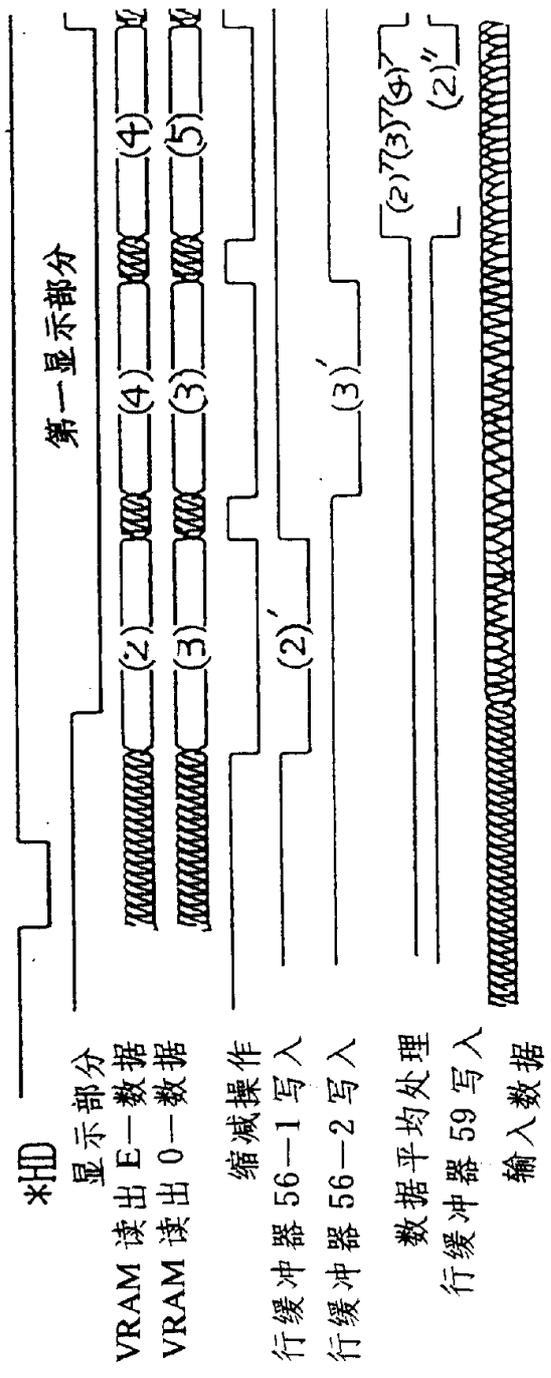


图 33

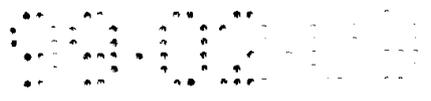
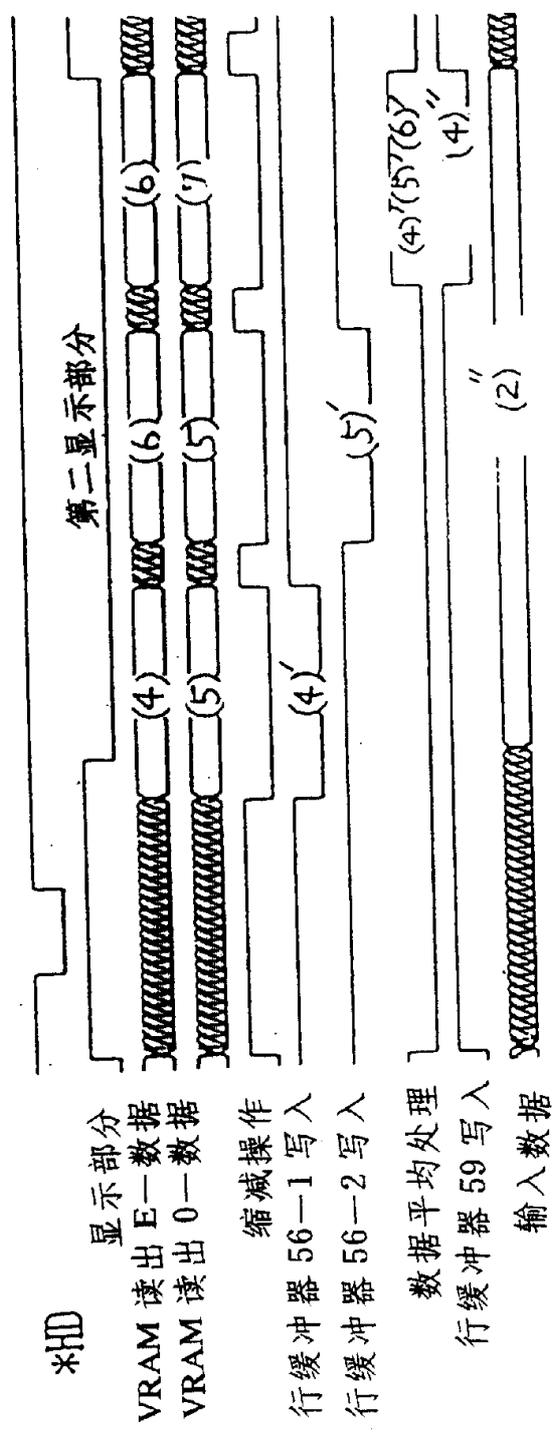
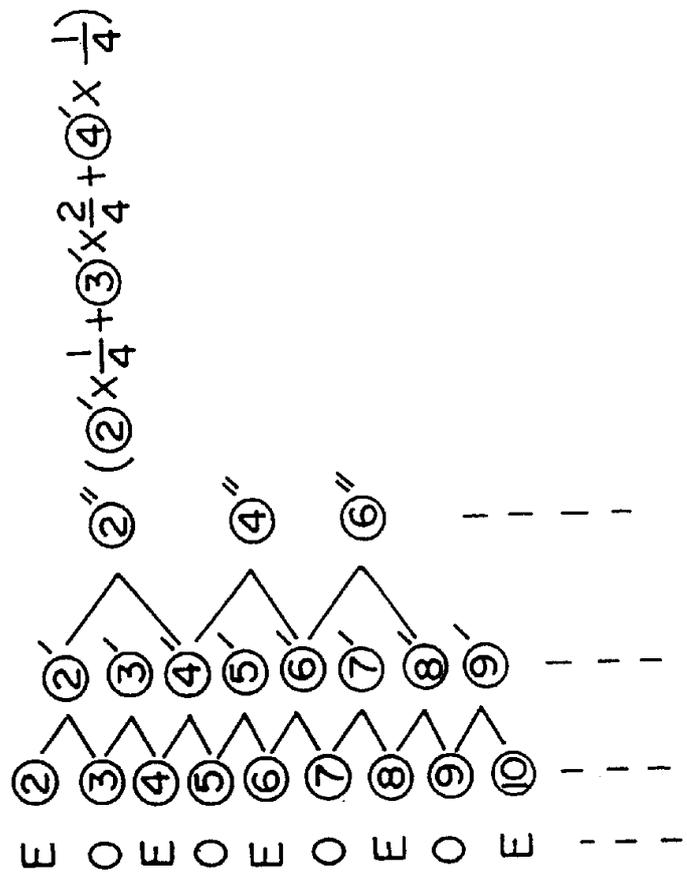


图 34



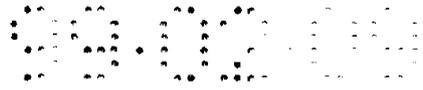


图 35

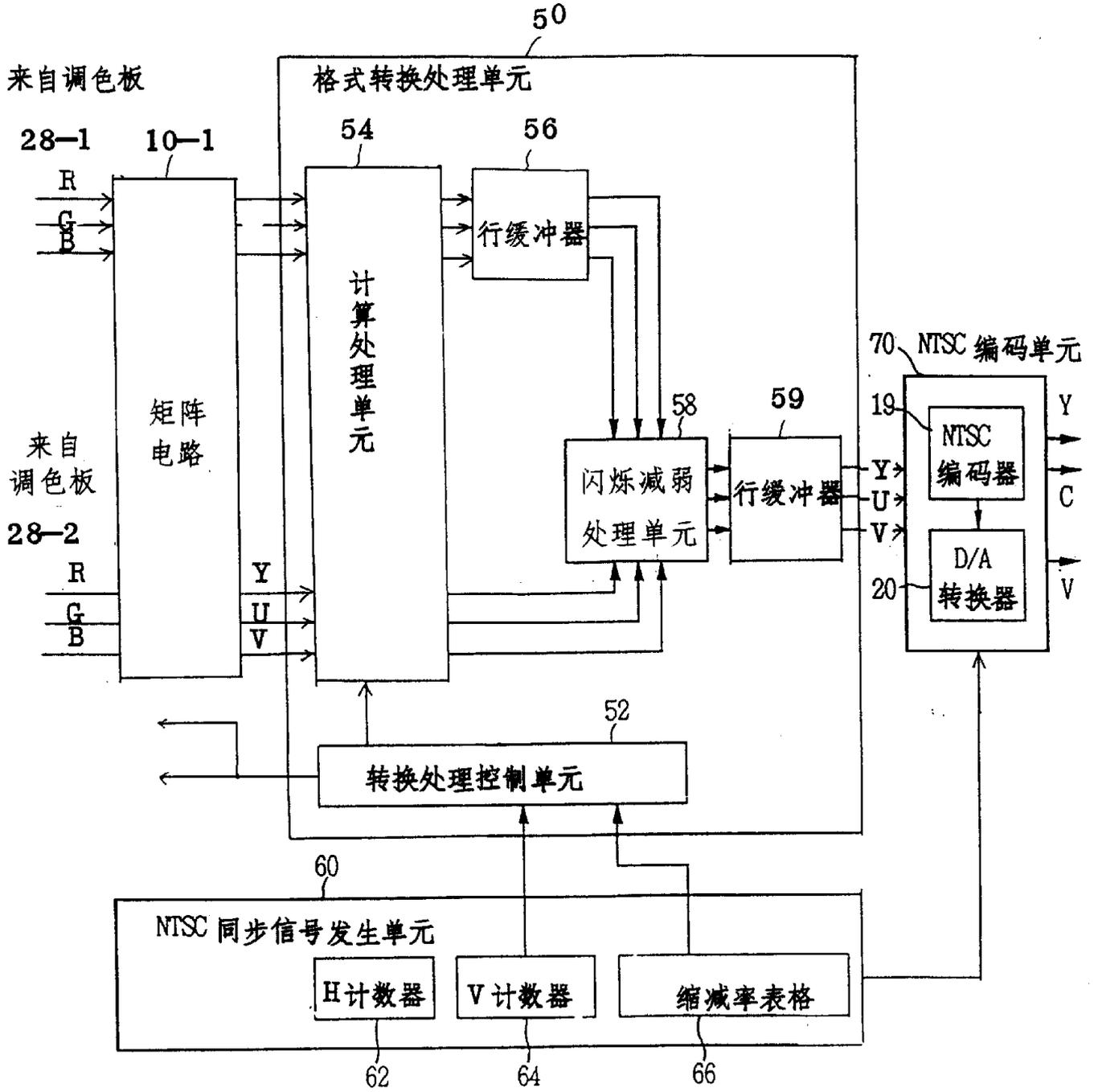
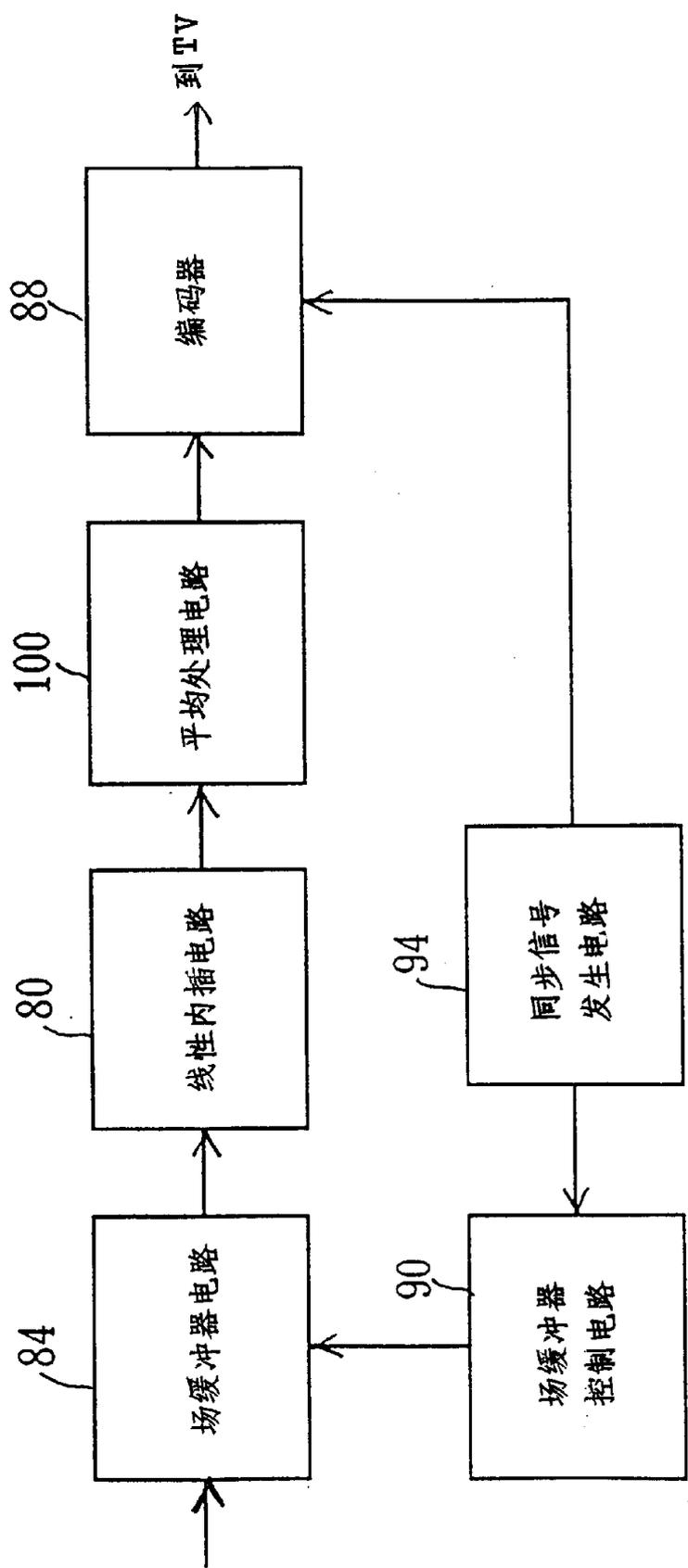




图 38



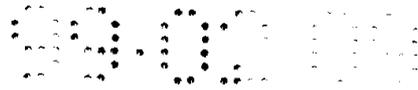
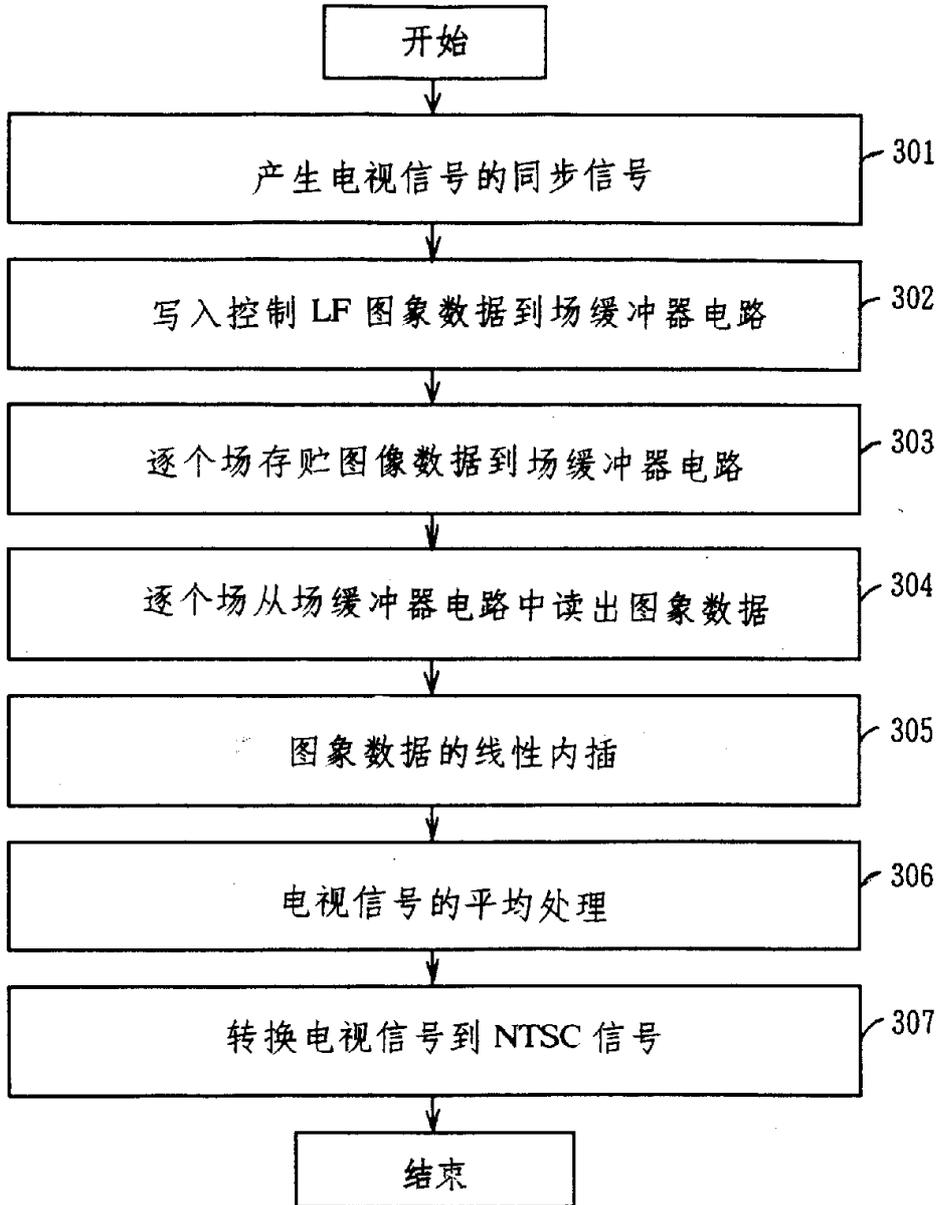


图 39



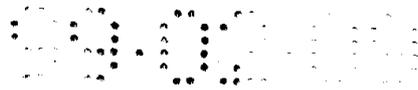
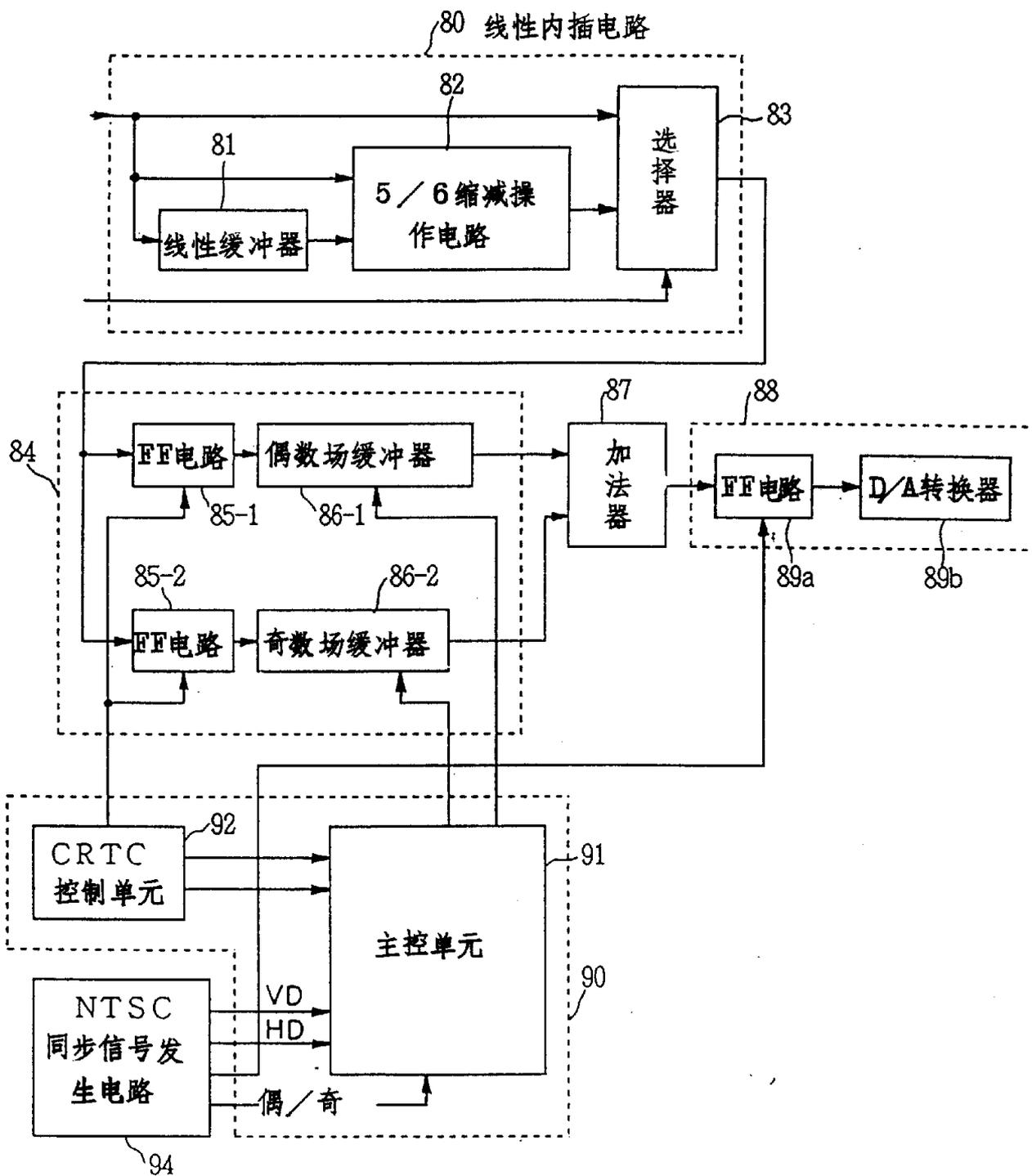


图 40



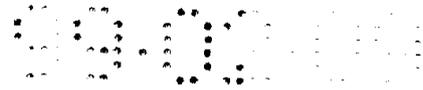


图 41

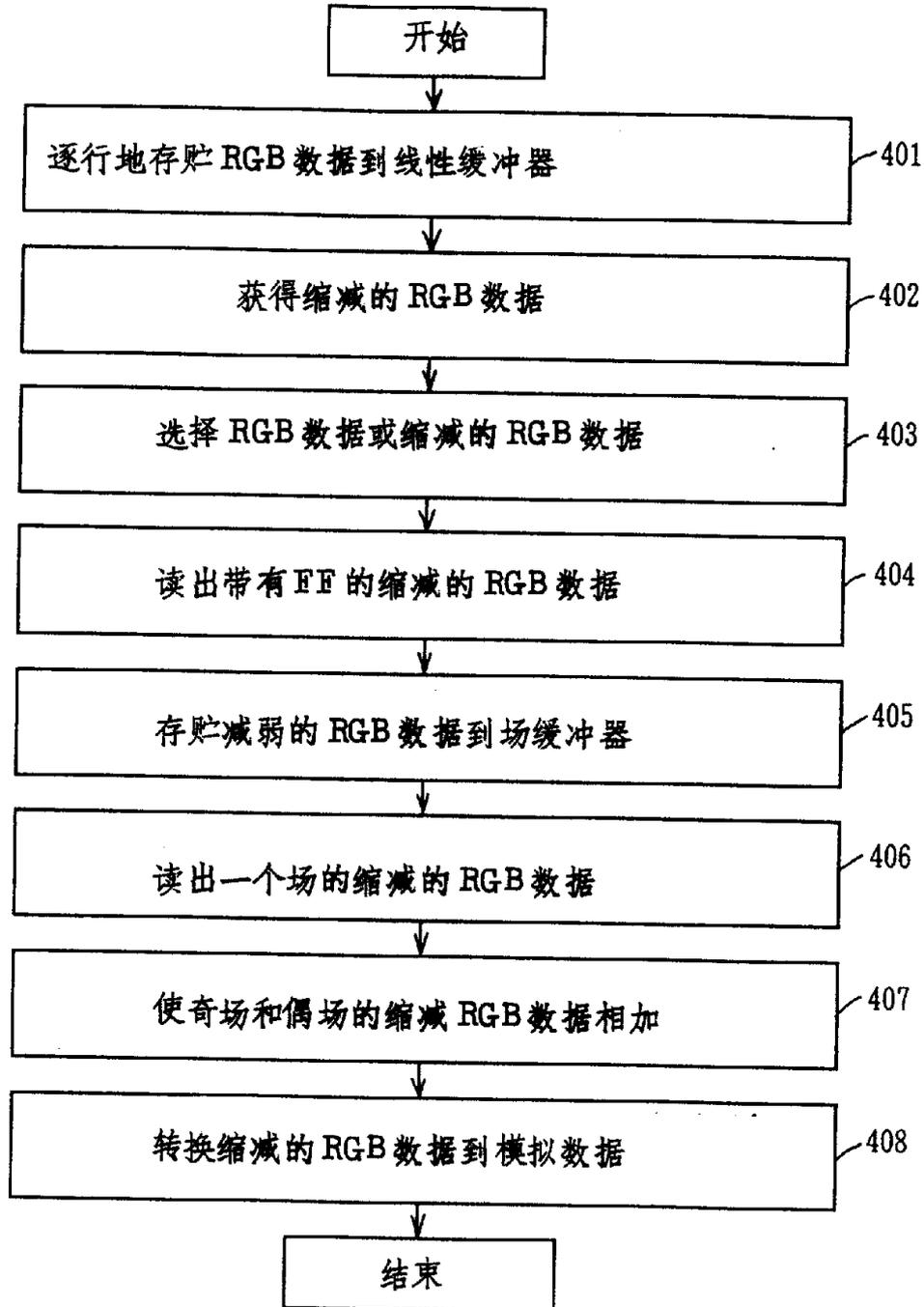


图 42

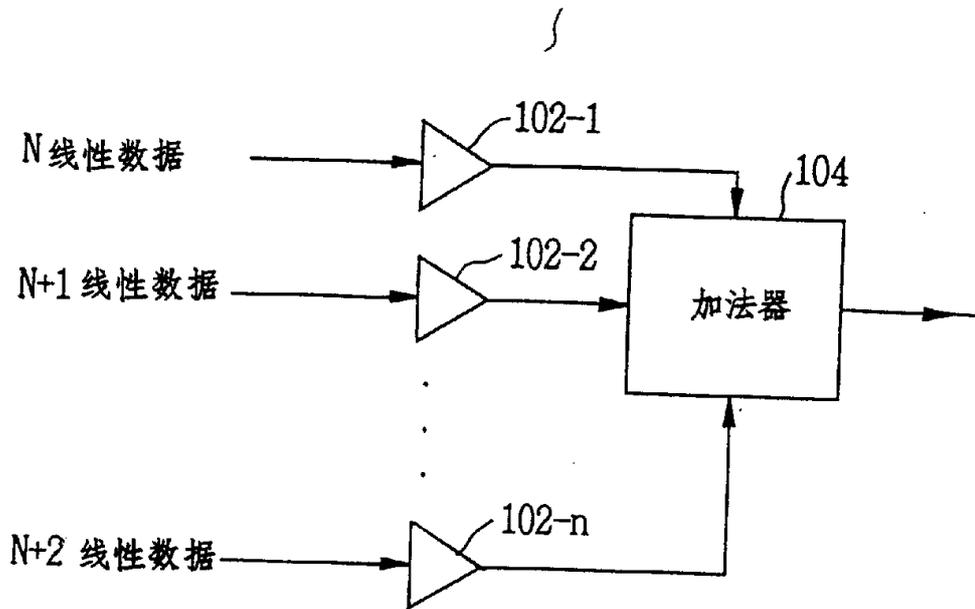


图 43

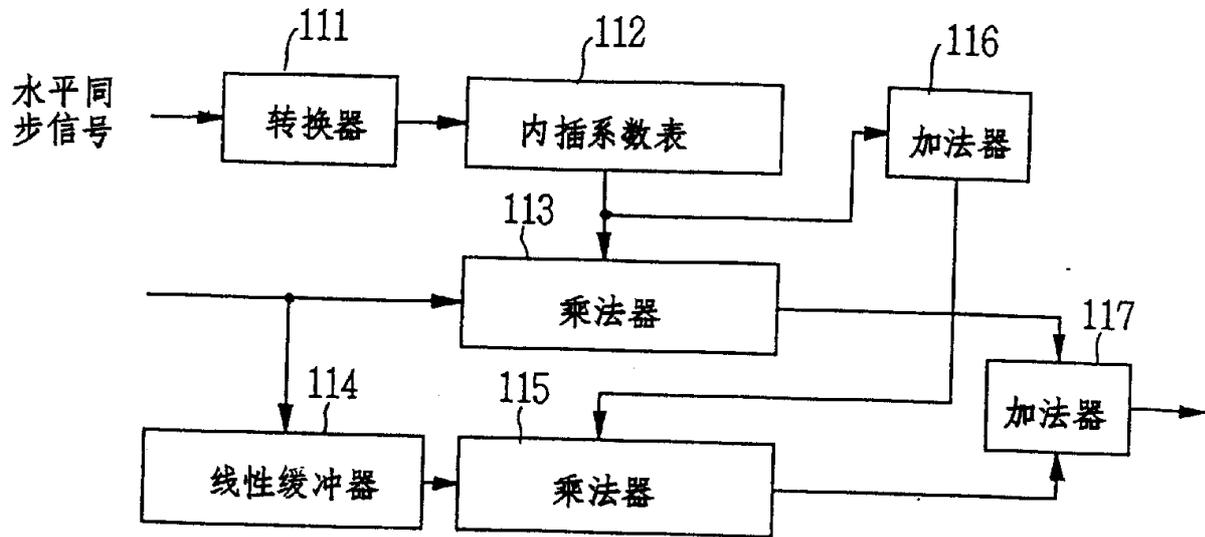




图 44

计数值	内插系数表值
0	8 (1000)
1	6 (0110)
2	5 (0101)
3	3 (0011)
4	2 (0010)
5	F (1111)

图 45

