



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250863 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101132340

(22)申請日：中華民國 99 (2010) 年 12 月 23 日

(51)Int. Cl. : **H01L21/336 (2006.01)**  
**H01L21/324 (2006.01)**

**H01L29/78 (2006.01)**

(30)優先權：2009/12/28 日本

2009-296825

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；廣橋拓也 HIROHASHI, TAKUYA (JP)；  
高橋正弘 TAKAHASHI, MASAHIRO (JP)；島津貴志 SHIMAZU, TAKASHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：13 項 圖式數：24 共 124 頁

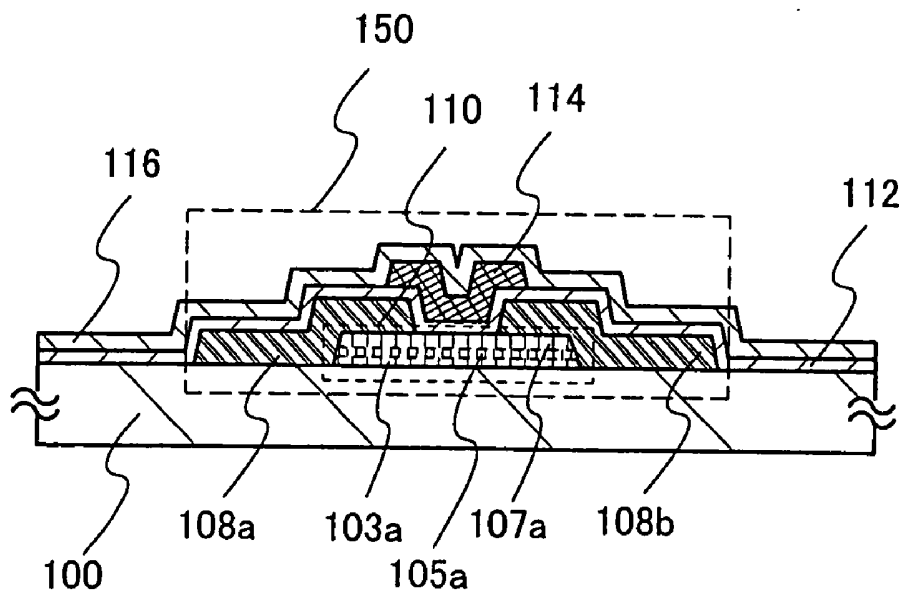
(54)名稱

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

實現基板的大面積化並且形成高結晶性氧化物半導體層，以製造所希望的高場效應遷移率的電晶體並實現大型顯示裝置或高性能半導體裝置等的實用化。在基板上形成第一多組份氧化物半導體層；在第一多組份氧化物半導體層上形成單組份氧化物半導體層；在高於或等於 500°C 且低於或等於 1000°C，較佳為 550°C 至 750°C 的溫度下進行熱處理從表面向內部進行結晶生長，以形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導體層；以及在包含單晶區域的單組份氧化物半導體層上層疊包含單晶區域的第二多組份氧化物半導體層。



100：基板

103a：多組份氧化物  
半導體層

105a：單組份氧化物  
半導體層

107a：多組份氧化物  
半導體層

108a：佈線

108b：佈線

110：氧化物半導體堆  
疊

112：閘極絕緣層

114：閘極電極

116：絕緣層





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250863 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101132340

(22)申請日：中華民國 99 (2010) 年 12 月 23 日

(51)Int. Cl. : **H01L21/336 (2006.01)**  
**H01L21/324 (2006.01)**

**H01L29/78 (2006.01)**

(30)優先權：2009/12/28 日本

2009-296825

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；廣橋拓也 HIROHASHI, TAKUYA (JP)；  
高橋正弘 TAKAHASHI, MASAHIRO (JP)；島津貴志 SHIMAZU, TAKASHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：13 項 圖式數：24 共 124 頁

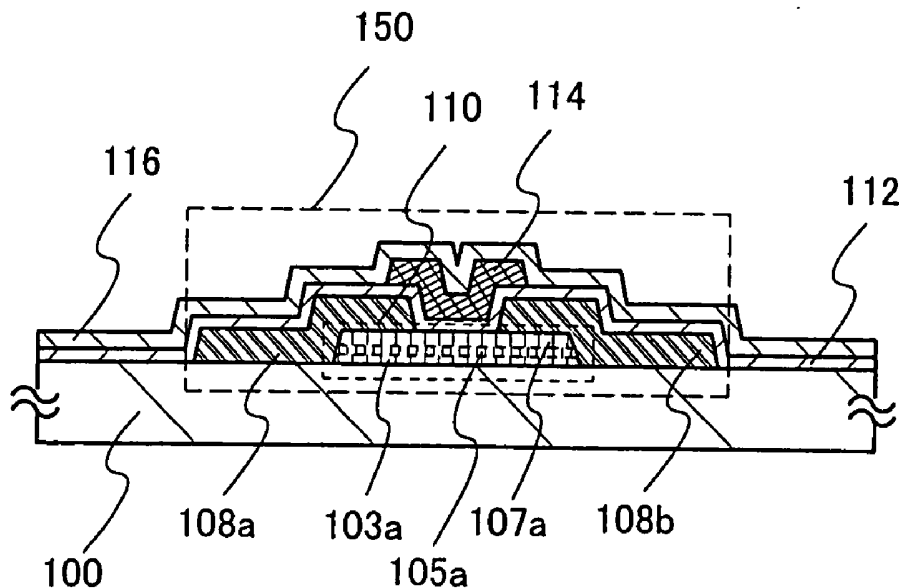
(54)名稱

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

實現基板的大面積化並且形成高結晶性氧化物半導體層，以製造所希望的高場效應遷移率的電晶體並實現大型顯示裝置或高性能半導體裝置等的實用化。在基板上形成第一多組份氧化物半導體層；在第一多組份氧化物半導體層上形成單組份氧化物半導體層；在高於或等於 500°C 且低於或等於 1000°C，較佳為 550°C 至 750°C 的溫度下進行熱處理從表面向內部進行結晶生長，以形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導體層；以及在包含單晶區域的單組份氧化物半導體層上層疊包含單晶區域的第二多組份氧化物半導體層。



- 100：基板
- 103a：多組份氧化物半導體層
- 105a：單組份氧化物半導體層
- 107a：多組份氧化物半導體層
- 108a：佈線
- 108b：佈線
- 110：氧化物半導體堆疊
- 112：閘極絕緣層
- 114：閘極電極
- 116：絕緣層

六、發明說明：

【發明所屬之技術領域】

本發明關於具有作為至少一個元件包含電晶體等半導體元件的電路的半導體裝置及其製造方法。例如，本發明關於作為部件安裝有包括安裝在電源電路中的功率裝置、記憶體、閘流體、轉換器、影像感測器等半導體積體電路、以液晶顯示面板為代表的電光學裝置和具有發光元件的發光顯示裝置中的任何一種的電子裝置。

在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

如通常在液晶顯示裝置中所見到的那樣，形成在玻璃基板等上的電晶體使用非晶矽、多晶矽等。使用非晶矽的電晶體雖然其場效應遷移率低，但是可以對應於玻璃基板的大面積化。另外，使用多晶矽的電晶體雖然其場效應遷移率高，但是具有不合適於玻璃基板的大面積化的缺點。

與使用矽的電晶體不同，使用氧化物半導體製造電晶體，並將其應用於電子裝置和光裝置的技術受到注目。例如，專利文獻 1 和專利文獻 2 揭示了使用氧化鋅或 In-Ga-Zn-O 基氧化物作為氧化物半導體製造電晶體並將其用於顯示裝置的像素的切換元件等的技術。

專利文獻 1 日本專利申請揭示第 2007-123861 號公

報

專利文獻 2 日本專利申請揭示第 2007-96055 號公報

另外，大型顯示裝置已在廣泛使用。在家庭用電視中，顯示螢幕的對角為 40 英寸至 50 英寸的電視也已開始廣泛使用。

現有的使用氧化物半導體的電晶體的場效應遷移率為 10 至  $20\text{cm}^2/\text{Vs}$ 。因為使用氧化物半導體的電晶體得到非晶矽的電晶體的 10 倍以上的場效應遷移率，所以在大型顯示裝置中也作為像素的切換元件得到充分的性能。

但是，將使用氧化物半導體的電晶體用作半導體裝置的驅動器件，例如大型顯示裝置等的驅動電路中的一個切換元件，有一定的限制。

#### 【發明內容】

本發明的一個實施例的目的之一在於：在實現基板的大面積化的同時，可以形成結晶性優良的氧化物半導體層來製造具有所希望的高場效應遷移率的電晶體，並且實現大型顯示裝置或高性能的半導體裝置等的實用化。

本發明的一個實施例的特徵在於：在基板上形成第一多組份氧化物半導體層；在第一多組份氧化物半導體層上形成單組份氧化物半導體層；藉由在  $500^\circ\text{C}$  到  $1000^\circ\text{C}$  的溫度下，較佳在  $550^\circ\text{C}$  到  $750^\circ\text{C}$  的溫度下進行熱處理，從表面向內部進行結晶生長，以形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導

體層；以及在包含單晶區域的單組份氧化物半導體層上層疊包含單晶區域的第二多組份氧化物半導體層。另外，包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的單晶區域為在其表面晶體取向一致的平板狀單晶區域。平板狀單晶區域在平行於其表面的方向上具有 a-b 平面，並且在垂直於包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的表面的方向上具有 c 軸取向。另外，包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的 c 軸方向與深度方向一致。

在第一多組份氧化物半導體層上形成單組份氧化物半導體層，藉由在 500°C 到 1000°C 的溫度下，較佳在 550°C 到 750°C 的溫度下進行熱處理，從表面向內部進行結晶生長，以形成包含單晶區域的單組份氧化物半導體層。因為形成在包含單晶區域的單組份氧化物半導體層的表面的晶體取向一致的單晶區域從表面沿深度方向進行結晶生長，所以可以以不受到單組份氧化物半導體層的基底部件的影響的方式形成單晶區域。另外，因為以該包含單晶區域的單組份氧化物半導體層為晶種從第一多組份氧化物半導體層的表面進行磊晶生長或軸向生長，以進行第一多組份氧化物半導體層的結晶生長，所以可以以不受到第一

多組份氧化物半導體層的基底部件的影響的方式形成單晶區域。

包含單晶區域的第二多組份氧化物半導體層可以藉由如下步驟而形成：在包含單晶區域的單組份氧化物半導體層上形成第二多組份氧化物半導體層之後，藉由在  $100^{\circ}\text{C}$  到  $500^{\circ}\text{C}$  以下的溫度下，較佳在  $150^{\circ}\text{C}$  以上且到  $400^{\circ}\text{C}$  以下的溫度下進行加熱處理熱處理，從包含單晶區域的單組份氧化物半導體層的表面向上方的第二多元多組份氧化物半導體層的表面進行結晶生長，以形成包含單晶區域的第二多元多組份氧化物半導體層。就是說，包含單晶區域的單組份氧化物半導體層對於第二多元多組份氧化物半導體層來說相當於晶種。

另外，包含單晶區域的第二多組份氧化物半導體層可以藉由如下步驟而形成：在包含單晶區域的單組份氧化物半導體層上，藉由在  $200^{\circ}\text{C}$  以上且到  $600^{\circ}\text{C}$  以下的溫度下，較佳在  $200^{\circ}\text{C}$  以上且到  $550^{\circ}\text{C}$  以下的溫度下加熱的同時進行沉積，典型為使用濺射法進行沉積，從包含單晶區域的單組份氧化物半導體層的表面進行磊晶生長或軸向生長，以形成包含單晶區域的第二多元多組份氧化物半導體層。就是說，包含單晶區域的單組份氧化物半導體層對於包含單晶區域的第二多元多組份氧化物半導體層來說相當於晶種。

因為包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的第二多組份氧化物半導體層以包含單晶區域

的單組份氧化物半導體層為晶種而進行結晶生長，所以在實際上具有與包含單晶區域的單組份氧化物半導體層相同的晶體取向。

然後，經過如下步驟，可以製造頂閘極型電晶體：將包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層蝕刻為島狀；在包含單晶區域的第二多組份氧化物半導體層上形成源極電極及汲極電極；然後，形成閘極絕緣層和閘極電極。

另外，經過如下步驟，可以製造底閘極型電晶體：在基板上形成閘極電極及閘極絕緣層；然後，在閘極絕緣層上形成包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層；將該包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層蝕刻為島狀；以及形成源極電極及汲極電極。

另外，本發明的一個實施例是一種具備薄膜電晶體的半導體裝置，該薄膜電晶體具有：具有包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的氧化物半導體堆疊；閘極電極；設置在氧化物半導體堆疊與閘極電極之間的閘極絕緣層；以及電連接於氧化物半導體堆疊的佈線。



較佳在幾乎不包含氫及水分的氛圍（氮氛圍、氧氛圍、乾燥空氣氛圍等）進行用來形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導體層的熱處理及用來形成包含單晶區域的第二多組份氧化物半導體層的熱處理。藉由進行該熱處理，進行用來使氫、水、羥基或氫化物等從單組份氧化物半導體層及多組份氧化物半導體層中脫離的脫水化或脫氫化，而可以實現包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的高純度化。另外，作為該熱處理，也可以進行在惰性氛圍中進行升溫，途中轉換氛圍而採用包含氧的氛圍的熱處理，在氧氛圍中進行熱處理的情況下，因為使氧化物半導體層氧化，所以可以修復氧缺陷。即使利用 TDS（Thermal Desorption Spectroscopy：熱脫附譜檢測法）對被進行了該熱處理的具有單晶區域的氧化物半導體層進行測量直到溫度到達 450(C，也未檢測出源於水的兩個峰值中的出現在 300(C 附近的至少一個峰值。

在包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的第二多組份氧化物半導體層包含 In 的情況下，在平板狀的單晶區域中，In 的電子雲彼此相互重疊並連接，使得導電率  $\sigma$  上升。因此，可以提高電晶體的場效應遷移率。

被高純度化的包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單



晶區域的第二多組份氧化物半導體層所包含的氫濃度為  $1 \times 10^{18} \text{cm}^{-3}$  以下， $1 \times 10^{16} \text{cm}^{-3}$  以下，再者，在實際上為 0，載子密度可以低於  $1 \times 10^{14} \text{cm}^{-3}$ ，較佳低於  $1 \times 10^{12} \text{cm}^{-3}$ ，更佳低於測定限界以下的  $1.45 \times 10^{10} \text{cm}^{-3}$ ，能帶隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。

另外，本發明的一個實施例的電晶體包含絕緣閘極場效電晶體（Insulated-Gate Field-Effect Transistor（IGFET））、薄膜電晶體（TFT）。

即使用作基底的基板材料為氧化物、氮化物和金屬等中的任一材料，也可以製造具有高場效應遷移率的電晶體，而實現大型顯示裝置或高性能半導體裝置等。

#### 【實施方式】

以下，參照圖式詳細說明本發明的實施例。但是，本發明不侷限於以下說明，所屬[發明所屬之技術領域]的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下實施例所記載的內容中。另外，在以下說明的本發明的結構中，在不同圖式之間共用使用表示同一部分或具有同樣功能的部分的圖式標記而省略其重複說明。

注意，在本發明說明所說明的每一個圖式中，每一個元件的大小或每一個層的厚度或區域在某些情況下為了清晰可見而可能被誇大。因此，不一定限定於其尺度。

另外，在本發明說明中使用的“第一”、“第二”、“第三”等序數詞是爲了避免構成要素的混同的，而不是爲了在數目方面上限定的。因此，例如，可以適當地使用“第二”或“第三”等代替“第一”進行說明。

另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷具有的靜電能(電位能量)。但是，一般來說，將某一點的電位與標準的電位(例如接地電位)之間的電位差簡單地稱爲電位或電壓，通常，電位和電壓是同義詞。因此，在本發明說明中，除了特別指定的情況以外，既可將“電位”理解爲“電壓”，又可將“電壓”理解爲“電位”。

(實施例 1)

圖 1 是示出半導體裝置的結構的一個方式的電晶體 150 的截面圖。另外，作爲電晶體 150，雖然對載子爲電子的 n 通道型 IGFET ( Insulated Gate Field Effect Transistor : 絕緣閘極場效應電晶體 ) 進行說明，但是也可以製造 p 通道型 IGFET。在本實施例中，作爲電晶體 150，使用頂閘極結構的電晶體進行說明。

在圖 1 所示的電晶體 150 中，在基板 100 上，層疊形成有包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a ( 氧化物半導體堆疊 )，且在其上形成有用作源極電極及汲極電極的佈

線 108a、108b。另外，在包含單晶區域的第二多組份氧化物半導體層 107a 及佈線 108a、108b 上形成有閘極絕緣層 112，在閘極絕緣層 112 上的隔著閘極絕緣層 112 相對於包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 的區域中形成有閘極電極 114。此外，也可以在閘極絕緣層 112 及閘極電極 114 上有絕緣層 116。

接著，參照圖 2A 至 2E 至圖 7A 至 7C 說明具有單晶區域的氧化物半導體堆疊的製造方法及使用該氧化物半導體堆疊而形成的薄膜電晶體。

在基板 100 上形成第一多組份氧化物半導體層 102，並且在第一多組份氧化物半導體層 102 上形成單組份氧化物半導體層 104（參照圖 2A）。

基板 100 至少需要具有能夠承受後面的熱處理程度的耐熱性。當使用玻璃基板作為基板 100 時，較佳使用應變點為高於或等於 730°C 的玻璃基板。至於玻璃基板，例如可以使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃等的玻璃材料。此外，較佳使用與  $B_2O_3$  相比包含更多 BaO 的玻璃基板。

另外，可以使用如陶瓷基板、石英基板或藍寶石基板等的使用絕緣體而形成的基板代替上述玻璃基板。此外，也可以使用晶化玻璃等。並且，還可以使用在如矽片等的半導體基板的表面或由金屬材料構成的導電基板的表面上

形成有絕緣層的基板。

如下所述，根據本實施例，因為設置在基板 100 上的第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 的結晶化不受到用作基底的基板的材質的影響，所以如上所述那樣可以使用各種材料作為基板 100。

使用濺射法等形成第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104。第一多組份氧化物半導體層 102 藉由加熱而成為六方晶的非纖鋅礦型結晶結構。六方晶的非纖鋅礦型結晶結構有時也被稱為同源結構 (homologous structure)。注意，非纖鋅礦型結晶結構是指不是纖鋅礦型的結晶結構。

作為第一多組份氧化物半導體層 102，可以使用如下氧化物半導體層：四元金屬氧化物的 In-Sn-Ga-Zn-O 基；三元金屬氧化物的 In-Ga-Zn-O 基、In-Sn-Zn-O 基、In-Al-Zn-O 基、Sn-Ga-Zn-O 基、Al-Ga-Zn-O 基、Sn-Al-Zn-O 基；二元金屬氧化物的 In-Zn-O 基、Sn-Zn-O 基、Al-Zn-O 基、Zn-Mg-O 基、Sn-Mg-O 基、In-Mg-O 基等。這裏，多組份氧化物半導體是指包含多種金屬氧化物的氧化物半導體，n 元金屬氧化物包含 n 種金屬氧化物。另外，在多組份氧化物半導體中，作為雜質，可以含有 1%，較佳為 0.1% 的主要成分的金屬氧化物之外的元素。

另外，第一多組份氧化物半導體層 102 是三元金屬氧化物，可以使用由  $\text{InM}_x\text{Zn}_y\text{O}_z$  ( $Y=0.5$  至  $5$ ) 表示的氧化物半導體材料。這裏，M 表示選自鎵 (Ga)、鋁 (Al)



或硼 (B) 等第 13 族元素中的一種或多種元素。另外，In、M、Zn 及 O 的含有量可以是任意的值，其中包括 M 的含有量為 0 (即， $x=0$ ) 的情況。但是，In 及 Zn 的含有量不為 0。也就是說，上述表示包括 In-Ga-Zn-O 基氧化物半導體或 In-Zn-O 基氧化物半導體等。

作為濺射法，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法以及以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣層的形成，而 DC 濺射法主要用於金屬層的形成。

作為用於利用濺射法形成第一多組份氧化物半導體層 102 的靶材，可以使用含有鋅的金屬氧化物的靶材。例如，將含有 In、Ga 及 Zn 的金屬氧化物靶材的組成比設定為 In:Ga:Zn=1:x:y (x 為大於或等於 0、y 為大於或等於 0.5 且小於或等於 5)。例如，可以使用組成比為 In:Ga:Zn=1:1:0.5 [atom 比] 的靶材、組成比為 In:Ga:Zn=1:1:1 [atom 比] 的靶材、組成比為 In:Ga:Zn=1:1:2 [atom 比] 的靶材或組成比為 In:Ga:Zn=1:0.5:2 [atom 比] 的靶材。在本實施例中，較佳使用易於晶化的金屬氧化物靶材，以便藉由後面的熱處理意圖性地進行晶化。

單組份氧化物半導體層 104 較佳使用藉由加熱而有可能成為六方晶的纖鋅礦型結晶結構的單組份氧化物半導體形成，典型的有氧化鋅。這裏，單組份氧化物半導體是指由一種金屬氧化物構成的氧化物半導體。另外，在單組份

氧化物半導體中，作為雜質，可以含有 1%，較佳為 0.1% 的金屬氧化物之外的元素。單組份氧化物半導體比多組份氧化物半導體更易晶化且可以提高結晶性。由於單組份氧化物半導體層 104 用作第一多組份氧化物半導體層 102 及後面形成的第二多組份氧化物半導體層 106 進行結晶生長的晶種，所以將單組份氧化物半導體層 104 的厚度設定為結晶生長的厚度即可，典型的是大於或等於單原子層且小於或等於 10nm，較佳的是 2nm 至 5nm。藉由將單組份氧化物半導體層 104 的厚度形成得較薄，可以提高成膜處理及熱處理的處理量。

單組份氧化物半導體層 104 可以在稀有氣體（典型的為氬）氛圍、氧氛圍或稀有氣體（典型的為氬）及氧氛圍下利用濺射法來形成。

另外，與第一多組份氧化物半導體層 102 同樣，金屬氧化物靶材中的氧化物半導體的相對密度為大於或等於 80%，較佳為大於或等於 95%，更佳為大於或等於 99.9%。

另外，與第一多組份氧化物半導體層 102 同樣，藉由一邊加熱基板，一邊形成單組份氧化物半導體層 104，可以在之後進行第一熱處理時促進結晶生長。

接著，進行第一熱處理。將第一熱處理的溫度設定為 500°C 至 1000°C，較佳設定為 600°C 至 850°C。另外，將加熱時間設定為 1 分至 24 小時。

在第一熱處理中，較佳採用稀有氣體（典型的為氬）



氛圍；氧氛圍；氮氛圍；乾燥空氣氛圍；稀有氣體（典型的為氬）和氧的混合氛圍；稀有氣體和氮的混合氛圍。

在本實施例中，作為第一熱處理，在乾燥空氣氛圍中以 700°C 進行 1 個小時的熱處理。

另外，也可以在一邊逐漸提高單組份氧化物半導體層 104 的溫度一邊加熱之後，在一定的溫度下加熱第一多組份氧化物半導體層 102。藉由將高於或等於 500°C 的溫度上升速度設定為 0.5°C/h 至 3°C/h，單組份氧化物半導體層 104 逐漸進行結晶生長，而可以進一步提高結晶性。

至於用於第一熱處理的熱處理裝置，沒有特別的限定，也可以裝備有利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，作為熱處理裝置，可以使用電爐或如 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從如鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發出的光（電磁波）的輻射對被處理物進行加熱的裝置。GRTA 裝置是使用高溫的氣體進行熱處理的裝置。

藉由進行第一熱處理，如圖 2A 中的箭頭所示從單組份氧化物半導體層 104 的表面向第一多組份氧化物半導體層 102 開始進行結晶生長。由於單組份氧化物半導體層 104 易於晶化，整個單組份氧化物半導體層 104 藉由晶化



而成爲包含單晶區域的單組份氧化物半導體層 105。另外，包含單晶區域的單組份氧化物半導體層 105 爲六方晶的纖鋅礦型結晶結構（參照圖 2B）。

藉由該熱處理，從單組份氧化物半導體層 104 的表面進行結晶生長形成單晶區域。單晶區域是從表面向內部進行結晶生長的平均厚度爲大於或等於單原子層且小於或等於 10nm，較佳的是 2nm 至 5nm 的板狀的結晶區域。另外，單晶區域在平行於其表面的方向上具有 a-b 平面，並在垂直於其表面的方向上具有 c 軸取向。在本實施例中，藉由第一熱處理，幾乎整個單組份氧化物半導體層 104 都成爲結晶（也稱爲 CG（Co-growing）結晶）。由於單組份氧化物半導體層 104 的表面上的晶體取向比較整齊的單晶區域從表面向深度方向進行結晶生長，所以可以不受基底部件的影響地形成。

藉由繼續進行第一熱處理，以包含單晶區域的單組份氧化物半導體層 105 爲晶種，第一多組份氧化物半導體層 102 的結晶生長如箭頭所示那樣向基板 100 進展。由於包含單晶區域的單組份氧化物半導體層 105 在垂直於其表面的方向上具有 c 軸取向，藉由以包含單晶區域的單組份氧化物半導體層 105 爲晶種，可以以與包含單晶區域的單組份氧化物半導體層 105 的結晶軸大致相同的方式使第一多組份氧化物半導體層 102 進行結晶生長（也稱爲磊晶生長或軸向生長）。也就是說，可以使第一多組份氧化物半導體層 102 邊具有 c 軸取向邊進行結晶生長。結果，可以形

成具有 c 軸取向的包含單晶區域的第一多組份氧化物半導體層 103。包含單晶區域的第一多組份氧化物半導體層 103 為不是纖鋅礦型結晶結構的六方晶（參照圖 2C）。

例如，當使用 In-Ga-Zn-O 基氧化物半導體材料作為包含單晶區域的第一多組份氧化物半導體層時，可以包括由  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$ : 整數) 表示的結晶 ( $\text{InGaZnO}_4$ 、 $\text{InGaZn}_5\text{O}_8$  等) 或由  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  表示的結晶等。該結晶具有六方晶結構，並且藉由第一熱處理其 c 軸以大致垂直於單組份氧化物半導體層的表面方向進行取向。

接著，如圖 2D 所示，在包含單晶區域的單組份氧化物半導體層 105 上形成第二多組份氧化物半導體層 106。第二多組份氧化物半導體層 106 藉由加熱而成為六方晶的非纖鋅礦型結晶結構。第二多組份氧化物半導體層 106 可以使用與單組份氧化物半導體層 104 相同的製造方法形成。實施者可以根據所製造的裝置而決定最合適的第二多組份氧化物半導體層 106 的厚度。例如，將第一多組份氧化物半導體層 102、單組份氧化物半導體層 104 以及第二多組份氧化物半導體層 106 的總厚度設定為 10nm 至 200nm。

第二多組份氧化物半導體層 106 可以適當地使用與第一多組份氧化物半導體層 102 同樣的材料及形成方法。

接著，進行第二熱處理。將第二熱處理的溫度設定為  $100^\circ\text{C}$  至  $500^\circ\text{C}$ ，較佳為  $150^\circ\text{C}$  至  $400^\circ\text{C}$ 。另外，將加熱時間設定為 1 分至 100 小時，較佳為 5 小時至 20 小時，

典型的為 10 小時。

第二熱處理中的氛圍可以使用與第一熱處理同樣的氛圍。另外，第二熱處理中的加熱裝置可以適當地使用與第一熱處理同樣的加熱裝置。

藉由進行第二熱處理，如圖 2D 中的箭頭所示從包含單晶區域的單組份氧化物半導體層 105 向第二多組份氧化物半導體層 106 的表面開始進行結晶生長。由於包含單晶區域的單組份氧化物半導體層 105 在垂直於其表面的方向上具有 c 軸取向，藉由以包含單晶區域的單組份氧化物半導體層 105 為晶種，與第一多組份氧化物半導體層 102 同樣，可以以與包含單晶區域的單組份氧化物半導體層 105 的結晶軸大致相同的方式使第二多組份氧化物半導體層 106 進行結晶生長（也稱為磊晶生長或軸向生長）。也就是說，可以使第二多組份氧化物半導體層 106 邊具有 c 軸取向邊進行結晶生長。藉由上述步驟，可以形成包含單晶區域的第二多組份氧化物半導體層 107。包含單晶區域的第二多組份氧化物半導體層 107 為不是織鋅礦型結晶結構的六方晶（參照圖 2E）。

例如，當使用 In-Ga-Zn-O 基氧化物半導體材料作為包含單晶區域的第二多組份氧化物半導體層時，可以包括由  $\text{InGaO}_3(\text{ZnO})_m$ （m：整數）表示的結晶（ $\text{InGaZnO}_4$ 、 $\text{InGaZn}_5\text{O}_8$  等）或由  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  表示的結晶等。該結晶具有六方晶結構，並且藉由第二熱處理其 c 軸以大致垂直於第二多組份氧化物半導體層的表面的方向進行取向。

這裏，c 軸以大致垂直於第一多組份氧化物半導體層 102 及第二多組份氧化物半導體層 106 的表面的方向進行取向的結晶可以看作含有 In、Ga、Zn 中的任一種的平行於 a 軸 (a-axis) 及 b 軸 (b-axis) 的層的疊層結構。明確而言， $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 、 $\text{InGaZnO}_4$ 、 $\text{InGaZn}_5\text{O}_8$  的結晶具有以下結構：含有 In 的層與不含有 In 的層（含有 Ga 或 Zn 的層）在 c 軸方向上層疊。

在 In-Ga-Zn-O 基氧化物半導體中，含有 In 的層在 ab 面內方向上的導電性良好。這是因為如下緣故：In-Ga-Zn-O 基氧化物半導體的導電主要受 In 控制，並且 In 的 5s 軌道與相鄰的 In 的 5s 軌道重疊，從而形成載子路徑 (carrier path)。再者，由於本實施例所示的電晶體具有被高度晶化的包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層，所以與非晶、微晶或多晶狀態的氧化物半導體層相比其雜質少並且缺陷少。由此，包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的載子遷移率提高，從而可以提高電晶體的導通電流及場效應遷移率。

另外，這裏，以虛線示出包含單晶區域的第一多組份氧化物半導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及包含單晶區域的第二多組份氧化物半導體層 107 的介面。但是，當包含單晶區域的單組份氧化物半導

體層 105 為 ZnO，包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的第二多組份氧化物半導體層 107 採用 In-Ga-Zn-O 基氧化物半導體時，根據熱處理的壓力及溫度，包含於 ZnO 或 In-Ga-Zn-O 基氧化物半導體中的鋅發生擴散。由以下現象可以確認到鋅的擴散：在 TDS 測定時進行測定直到溫度到達 450°C 時，沒有檢測到 In 或 Ga，但是，鋅在真空加熱條件下，尤其是約 300°C 檢測到峰值。此外，TDS 的測定在真空中進行且在 200°C 附近檢測到鋅。由於上述原因，如圖 3 所示包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的界線無法分辨，有時將其看作同一個層 109。

藉由上述步驟，可以形成包含單晶區域的第一多組份氧化物半導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及包含單晶區域的第二多組份氧化物半導體層 107。

這裏，使用圖 4 至圖 6A 和 6B 對藉由第一熱處理在單組份氧化物半導體層 104 中形成板狀的結晶區域的機理進行說明。

利用經典分子動力學法驗證了第一熱處理中的原子的運動。在經典分子動力學法中，藉由對成爲原子間相互作用的特徵的經驗勢進行定義來對作用於原子的力量進行評價。這裏，藉由對各原子應用經典力學法則（classical dynamic law），並且以數值的方式解答牛頓運動方程驗

證各原子的運動（時間發展 (time-dependent change)）。  
在本計算中使用 Born-Mayer-Huggins 勢作為經驗勢。

如圖 4 所示，製造了在非晶氧化鋅（以下表示為 a-ZnO）中以等間距配置作為晶核 160 的寬度為 1nm 的單晶氧化鋅（以下表示為 c-ZnO）的模型。另外，將 a-ZnO 及 c-ZnO 的密度設定為  $5.5\text{g/cm}^3$ 。另外，將垂直方向設定為 c 軸方向。

接著，在圖 4 的模型中，固定 c-ZnO 並在三維週期邊界條件下，以  $700^\circ\text{C}$  進行 100psec 間（時間步長為  $0.2\text{fsec}\times 50$  萬步（step））的經典分子動力學模擬實驗，並使用圖 5A 至 5C 及圖 6A 和 6B 示出其結果。

圖 5A、圖 5B、圖 5C 分別示出經過 20psec、40psec、60psec 時的原子配置的變化情況。圖 6A、圖 6B 分別示出經過 80psec、100psec 時的原子配置的變化情況。另外，在各圖中，利用箭頭的長度及方向示出結晶生長的距離及方向。

另外，表 1 示出垂直方向（c 軸 [0001]）及與其垂直的水平方向上的結晶生長速度。

[表 1]

方向	結晶生長速度 (nm/psec)
垂直	$6.1\times 10^{-3}$
水平	$3.0\times 10^{-2}$

在圖 5A 至 5C 中，與垂直方向（ $c$  軸方向）的箭頭 162、166、170 相比，水平方向（垂直於  $c$  軸方向的方向）的箭頭 164a、164b、168a、168b、172a、172b 的長度更長，由此可知，在水平方向上的結晶生長被優先進行，並且由圖 5C 可知：在相鄰的晶核之間，結晶生長結束。

由圖 6A 和 6B 可知：以形成在表面上的結晶區域為晶種如箭頭 174、176 那樣在垂直方向（ $c$  軸方向）上進行結晶生長。

另外，由表 1 可知：與垂直方向垂直的水平方向的結晶生長速度比垂直方向（ $c$  軸 [0001]）快大約 4.9 倍。由此可知，在 ZnO 中，首先在與表面（ $a$ - $b$  平面）平行的方向上進行結晶生長。此時，在  $a$ - $b$  平面上，在水平方向上進行結晶生長而形成板狀的單晶區域。接著，以形成在表面（ $a$ - $b$  平面）上的板狀單晶區域為晶種，在垂直於表面（ $a$ - $b$  平面）的方向上即  $c$  軸方向上進行結晶生長。由此，可以認為 ZnO 容易具有  $c$  軸取向。如此，藉由優先地在與表面（ $a$ - $b$  平面）平行的方向上進行結晶生長之後，再在垂直於表面的  $c$  軸方向上進行結晶生長（也稱為磊晶生長或軸向生長），形成板狀的單晶區域。

接著，使用圖 7A 至 7C 對以使包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的第二多組份氧化物半導體層 107 的結晶軸與包含單晶區域的單組份氧化物半導體層 105 的結晶軸成為大致相同的方式進行結晶生長的機構進行說明。

圖 7A 示出單組份氧化物半導體層的典型例的六方晶結構的氧化鋅 ( $\text{ZnO}$ ) 的從  $c$  軸方向觀察到的  $a$ - $b$  平面的單位晶格結構，圖 7B 示出以  $c$  軸方向為垂直方向的結晶結構。

圖 7C 示出第一多組份氧化物半導體層及第二多組份氧化物半導體層的典型例的  $\text{InGaZnO}_4$  的從  $c$  軸方向觀察到的  $a$ - $b$  平面的結構。

由圖 7A 及 7C 可知： $\text{ZnO}$  及  $\text{InGaZnO}_4$  的晶格常數基本相等，而可以說  $a$ - $b$  平面中的  $\text{ZnO}$  及  $\text{InGaZnO}_4$  的一致性高。另外，由於  $\text{InGaZnO}_4$  及  $\text{ZnO}$  為六方晶且  $\text{ZnO}$  具有與  $c$  軸方向平行的鍵，所以第一多組份氧化物半導體層及第二多組份氧化物半導體層的典型例的  $\text{InGaZnO}_4$  可以在  $c$  軸方向上一致性高地進行結晶生長。由此可知，以包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的第二多組份氧化物半導體層 107 的結晶軸分別與包含單晶區域的單組份氧化物半導體層 105 的結晶軸成為大致相同的方式進行結晶生長。

藉由上述步驟，可以不受作為基底的基板的材質的影響地形成包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的堆疊。

接著，在圖 2E 所示的包含單晶區域的第二多組份氧化物半導體層 107 上藉由光刻步驟形成抗蝕劑掩罩，然後使用該抗蝕劑掩罩對包含單晶區域的第一多組份氧化物半



導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及包含單晶區域的第二多組份氧化物半導體層 107 進行蝕刻，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a。也將包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 稱為氧化物半導體堆疊 110（參照圖 1）。

接著，在氧化物半導體堆疊 110 上形成導電層，然後，藉由將導電層蝕刻為預定的形狀而形成佈線 108a 及 108b。

佈線 108a 及 108b 可以使用選自鋁、鉻、銅、鈇、鈦、鉬、鎢的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等而形成。另外，也可以使用選自錳、鎂、鋅、鈹的任何一種或多種的金屬元素。此外，佈線 108a 及 108b 可以具有單層結構或者兩層以上的疊層結構。例如，有包含矽的鋁層的單層結構、在鋁層上層疊有鈦層的兩層結構、在氮化鈦層上層疊有鈦層的兩層結構、在氮化鈦層上層疊有鎢層的兩層結構、在氮化鈇層上層疊有鎢層的兩層結構以及鈦層、在該鈦層上層疊有鋁層並且在該鋁層上形成有鈦層的三層結構等。另外，也可以使用組合鋁與選自鈦、鈇、鎢、鉬、鈹和鈳的一種或多種元素的合金層或氮化物層。

另外，佈線 108a 及 108b 也可以使用氧化銮錫、包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮鋅、添加有氧化矽的氧化銮錫等透光導電材料。另外，也可以使用上述透光導電材料和上述金屬元素的疊層結構。

接著，在氧化物半導體堆疊 110 和佈線 108a 及 108b 上形成閘極絕緣層 112。

閘極絕緣層 112 可以使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層而形成。閘極絕緣層 112 較佳在接觸氧化物半導體堆疊 110 的部分包含氧，特別較佳使用氧化矽層而形成。藉由使用氧化矽層，可以將氧供給給氧化物半導體堆疊 110，而可以得到優良的特性。

另外，藉由作為閘極絕緣層 112 使用矽酸鈣 ( $\text{HfSiO}_x$ )、添加有氮的矽酸鈣 ( $\text{HfSi}_x\text{O}_y\text{N}_z$ )、添加有氮的鋁酸鈣 ( $\text{HfAl}_x\text{O}_y\text{N}_z$ )、氧化鈣、氧化釷等高介電常數 (high-k) 材料，可以降低閘極洩漏。再者，可以使用高介電常數 (high-k) 材料與氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層和氧化鋁層中的任何一個以上的疊層結構。較佳將閘極絕緣層 112 的厚度設定為 50nm 至 500nm。藉由增大閘極絕緣層 112 的厚度，可以降低閘極洩漏電流。

接著，在閘極絕緣層 112 上且重疊於氧化物半導體堆疊 110 的區域中形成閘極電極 114。

閘極電極 114 可以使用選自鋁、鉻、銅、鈇、鈦、鈷

、鎢的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等而形成。另外，也可以使用選自錳、鎂、鋯、鈹的任何一種或多種的金屬元素。此外，閘極電極 114 可以具有單層結構或者兩層以上的疊層結構。例如，有包含矽的鋁層的單層結構、在鋁層上層疊有鈦層的兩層結構、在氮化鈦層上層疊有鈦層的兩層結構、在氮化鈦層上層疊有鎢層的兩層結構、在氮化鉭層上層疊有鎢層的兩層結構以及鈦層、在該鈦層上層疊有鋁層並且在該鋁層上形成有鈦層的三層結構等。另外，也可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釷和鈳的一種或多種元素的合金層或氮化物層。

另外，閘極電極 114 也可以使用氧化銮錫、包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮鋅、添加有氧化矽的氧化銮錫等透光導電材料。另外，也可以使用上述透光導電材料和上述金屬元素的疊層結構。

然後，也可以形成絕緣層 116 作為保護層。藉由上述步驟，可以製造在通道形成區域中有具有單晶區域的氧化物半導體堆疊的電晶體 150。已知的金屬氧化物為非晶狀態或多晶狀態的金屬氧化物，或者，藉由在 1400°C 左右的高溫下進行處理而得到單晶的金屬氧化物，但是，如上所述，藉由利用在形成具有平板狀的單晶區域的單組份氧化物半導體層之後以該單晶區域為晶種進行結晶生長的方法，可以在比較低溫下使用大面積基板製造在通道形成區

域有具有單晶區域的氧化物半導體的電晶體。

(實施例 2)

在本實施例中，作為根據所揭示的發明的一個方式的半導體裝置的製造方法，參照圖 8A 至圖 10B 說明具有被高純度化的氧化物半導體堆疊的電晶體的製造方法。

在基板 100 上形成絕緣層 101。接著，在絕緣層 101 上，與實施例 1 同樣地形成第一多組份氧化物半導體層 102，並且在第一多組份氧化物半導體層 102 上形成單組份氧化物半導體層 104 (參照圖 8A)。

基板 100 可以適當地使用實施例 1 所示的基板 100。

設置絕緣層 101 以減少雜質混入到形成在基板 100 上的層中並提高形成在基板 100 上的層的黏合性。絕緣層 101 由如下層形成：如氧化矽層、氧氮化矽層等的氧化物絕緣層；如氮化矽層、氮氧化矽層、氮化鋁層或氮氧化鋁層等的氮化物絕緣層。另外，絕緣層 101 也可以採用疊層結構，例如，可以採用從基板 100 一側層疊上述氮化物絕緣層中任一個以上及上述氧化物絕緣層中任一個以上的結構。對絕緣層 101 的厚度沒有特別的限制，例如可以設定為 10nm 至 500nm。注意，由於絕緣層 101 不是必需的構成要素，所以也可以採用不設置絕緣層 101 的結構。

絕緣層 101 可以利用濺射法、CVD 法、塗敷法或印刷法等形成。

另外，當利用濺射法形成絕緣層 101 時，較佳邊去除

殘留在處理室中的氫、水、羥基或氫化物等邊形成絕緣層 101。由此，可以使絕緣層 101 不含有氫、水、羥基或氫化物等。較佳使用吸附型真空泵去除殘留在處理室內的氫、水、羥基或氫化物等。作為吸附型真空泵，例如，較佳使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。由於利用低溫泵進行排氣的處理室中的氫、水、羥基或氫化物等被排出，所以在該處理室中形成絕緣層 101 時，可以降低絕緣層 101 中含有的雜質濃度。

另外，較佳使用氫、水、羥基或氫化物等的雜質被去除到其濃度成為幾 ppm 左右或幾 ppb 左右的高純度氣體作為形成絕緣層 101 時使用的濺射氣體。

在本實施例中，將基板 100 搬送到處理室，並引入去除了氫、水、羥基或氫化物等的含有高純度氧的濺射氣體，並使用矽靶材在基板 100 上作為絕緣層 101 形成氧化矽層。注意，當形成絕緣層 101 時，也可以對基板 100 進行加熱。

另外，當利用濺射法形成第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 時，藉由加熱基板，可以減少第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 中含有的氫、水、羥基或氫化物等的雜質並促進後面進行的第一熱處理中的結晶生長。

另外，較佳將金屬氧化物靶材中的金屬氧化物的相對密度設定為大於或等於 80%，較佳為大於或等於 95%，更



佳為大於或等於 99.9%。藉由使用相對密度高的靶材，可以降低形成的第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 中的雜質濃度，從而得到電特性或可靠性高的電晶體。

另外，較佳在分別形成第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 之前進行預熱處理，以去除殘留在濺射裝置內壁、靶材表面或靶材材料中的氫、水、羥基或氫化物等。作為預熱處理可以舉出：在減壓下將處理室內加熱到 200°C 至 600°C 的方法或反復進行氮或惰性氣體的引入和排氣的方法等。在預熱處理結束之後，使基板或濺射裝置冷卻，然後以不接觸於大氣的方式形成第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104。作為此時的靶材冷卻液，較佳使用油脂等而不使用水。雖然在不進行加熱的狀態下反復地進行氮或惰性氣體的引入及排氣也能夠得到一定的效果，但是更佳邊加熱邊進行上述步驟。

此外，較佳與絕緣層 101 同樣地在分別形成第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 之前、形成中或形成後去除殘留在濺射裝置中的氫、水、羥基或氫化物等。較佳使用吸附型真空泵去除濺射裝置內的殘留水分。由此，由於氫、水、羥基或氫化物等被排出，從而可以降低第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 中含有的雜質濃度。

接著，與實施例 1 同樣，進行第一熱處理。將第一熱

處理的溫度設定為 500°C 至 1000°C，較佳設定為 600°C 至 850°C。另外，將加熱時間設定為 1 分至 24 小時。藉由進行第一熱處理，可以形成包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105（參照圖 8B）。

另外，在第一熱處理中，藉由使第一多組份氧化物半導體層 102 及單組份氧化物半導體層 104 進行結晶生長並去除氧化物半導體的主要成分以外的雜質，典型的有氫、水、羥基或氫化物，可以使其高純度化。

在第一熱處理中，較佳採用稀有氣體（典型的為氬）氛圍；氧氛圍；氮氛圍；乾燥空氣氛圍；稀有氣體（典型的為氬）和氧的混合氛圍；稀有氣體和氮的混合氛圍。明確而言，較佳採用氫、水、羥基或氫化物等的雜質濃度被降低到幾 ppm 左右或幾 ppb 左右的高純度氣體氛圍。

在本實施例中，作為第一熱處理，在乾燥空氣氛圍中以 700°C 進行 1 個小時的熱處理。

接著，與實施例 1 同樣，在包含單晶區域的單組份氧化物半導體層 105 上形成第二多組份氧化物半導體層 106。

接著，與實施例 1 同樣，進行第二熱處理。藉由進行第二熱處理，可以形成包含單晶區域的第二多組份氧化物半導體層 107（參照圖 8C）。

另外，在第二熱處理中，藉由使第二多組份氧化物半導體層 106 進行結晶生長並去除氧化物半導體的主要成分



以外的雜質，典型的有氫、水、羥基或氫化物，可以使其高純度化。

另外，在第一熱處理及第二熱處理中，可以在升溫時將爐內的氛圍設定為氮氛圍，而在冷卻時將爐內的氛圍換為氧氛圍。在氮氛圍下進行脫水化或脫氫化之後，藉由將氛圍換為氧氛圍可以對第一多組份氧化物半導體層 102、單組份氧化物半導體層 104 以及第二多組份氧化物半導體層 106 內部補給氧以使其成為 i 型氧化物半導體層。

藉由上述步驟，可以形成包含單晶區域的第一多組份氧化物半導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及包含單晶區域的第二多組份氧化物半導體層 107（參照圖 8C）。

接著，在包含單晶區域的第二多組份氧化物半導體層 107 上藉由光刻步驟形成抗蝕劑掩罩，然後使用該抗蝕劑掩罩對包含單晶區域的第一多組份氧化物半導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及包含單晶區域的第二多組份氧化物半導體層 107 進行蝕刻，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a（參照圖 8D）。另外，還可以藉由噴墨法形成抗蝕劑掩罩。當使用噴墨法形成抗蝕劑掩罩時不需要光掩罩，由此可以降低製造成本。以下，也將包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a



以及包含單晶區域的第二多組份氧化物半導體層 107a 稱為氧化物半導體堆疊 110。

當進行上述蝕刻時，可以採用濕法蝕刻法或乾法蝕刻法。作為用於濕法蝕刻的蝕刻液，可以使用將磷酸、醋酸及硝酸混合而成的溶液、過氧化氫氨水（ammonia hydrogen peroxide）（31wt%的過氧化氫水：28wt%的氨水：水=5：2：2）等。另外，可以使用 ITO-07N（由日本關東化學株式會社製造）。

濕法蝕刻後的蝕刻液與被蝕刻掉的材料一起藉由清洗而被去除。也可以精製含有該被去掉的材料的蝕刻液的廢液而再利用廢液中含有的材料。藉由回收該蝕刻後的廢液所包含的銻等材料而再利用該材料，可以有效利用資源並實現低成本化。

作為用於乾法蝕刻的蝕刻氣體，較佳地使用含氯的氣體（諸如氯氣（ $\text{Cl}_2$ ）、三氯化硼（ $\text{BCl}_3$ ）、四氯化矽（ $\text{SiCl}_4$ ）或四氯化碳（ $\text{CCl}_4$ ）之類的氯類氣體）。

另外，還可以使用含有氟的氣體（氟基氣體，例如四氟化碳（ $\text{CF}_4$ ）、六氟化硫（ $\text{SF}_6$ ）、三氟化氮（ $\text{NF}_3$ ）、三氟甲烷（ $\text{CHF}_3$ ）等）、溴化氫（ $\text{HBr}$ ）、氧（ $\text{O}_2$ ）、或對上述氣體添加了氦（ $\text{He}$ ）或氬（ $\text{Ar}$ ）等的稀有氣體的氣體等。

作為乾法蝕刻法，可以使用平行平板型 RIE（反應性離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一



側的電極的電力量、基板一側的電極溫度等)，以便蝕刻為所希望加工的形狀。

接著，在絕緣層 101 和島狀氧化物半導體層上形成導電層 108（參照圖 8E）。導電層 108 之後成為佈線 108a 及 108b。

導電層 108 可以藉由適當地使用實施例 1 所示的佈線 108a 及 108b 所示的材料而形成。藉由使用濺射法、CVD 法或真空蒸鍍法，形成導電層 108。在本實施例中，作為導電層 108，使用包含藉由使用濺射法而形成的 50nm 厚的鈦層、100nm 厚的鋁層以及 50nm 厚的鈦層的三層的金屬層。

接著，在導電層 108 上藉由利用光刻步驟而形成抗蝕劑掩罩，並且使用該抗蝕劑掩罩蝕刻導電層 108，以形成用作源極電極及汲極電極的佈線 108a 及 108b（參照圖 9A）。或者，藉由使用印刷法或噴墨法而未利用光刻步驟形成佈線 108a 及 108b，可以減少步驟數。

較佳使用紫外線或 KrF 雷射或 ArF 雷射進行用來形成用於蝕刻的抗蝕劑掩罩的抗蝕劑的曝光。尤其是，當進行通道長度（L）小於 25nm 的曝光時，較佳使用波長為幾 nm 至幾十 nm 的波長極短的極紫外線（Extreme Ultraviolet）進行抗蝕劑的曝光。利用極紫外線的曝光的解析度高且聚焦深度大。由此，可以將之後形成的電晶體的通道長度（L）設定為 10nm 至 1000nm（1 $\mu$ m）。藉由採用這種方法減小通道長度，可以提高電晶體的工作速度

。另外，由於使用上述氧化物半導體的電晶體的截止電流極小，所以可以抑制因微細化導致的耗電量的增大。

當蝕刻導電層 108 時，以氧化物半導體堆疊 110 不被去除的方式適當地調節氧化物半導體堆疊 110 和導電層 108 的材料及蝕刻條件。另外，有時根據材料及蝕刻條件，在該步驟中氧化物半導體堆疊 110 的一部分被蝕刻而形成具有槽部（凹部）的氧化物半導體堆疊 110。

另外，有時在氧化物半導體堆疊 110 的側面接觸佈線 108a 及 108b 的結晶區域成爲非晶狀態。

另外，這裏，導電層 108 的蝕刻可以爲乾法蝕刻或濕法蝕刻，也可以爲乾法蝕刻和濕法蝕刻的兩者。根據材料而適當地調節蝕刻條件（蝕刻液、蝕刻時間、溫度等），以形成所希望的形狀的佈線 108a 及 108b。

在本實施例中，作爲蝕刻劑使用過氧化氫氨水（氨、水以及過氧化氫水的混合液）蝕刻導電層 108，以形成佈線 108a 及 108b。

接著，如圖 9B 所示，在絕緣層 101、氧化物半導體堆疊 110 以及佈線 108a 及 108b 上與實施例 1 同樣地形成閘極絕緣層 112。

由於藉由去除雜質實現 i 型化或實際上的 i 型化的氧化物半導體層（氫濃度得到降低而被高純度化的氧化物半導體層）對於介面能階或介面電荷極敏感，因此與閘極絕緣層 112 之間的介面是很重要的。由此，要求與被高純度化的氧化物半導體堆疊 110 接觸的閘極絕緣層 112 的高品

質化。

例如，因為藉由利用使用  $\mu$  波（例如，頻率為 2.45 GHz）的高密度電漿 CVD，可以形成緻密且絕緣耐壓高的高品質的絕緣層，所以這是較佳的。這是因為如下緣故：藉由使氫濃度得到降低而被高純度化的氧化物半導體層和高品質的閘極絕緣層密接，可以降低介面能階而得到良好的介面特性。另外，因為利用高密度電漿 CVD 而得到的絕緣層可以以一定的厚度而形成，所以其臺階覆蓋性優良。另外，可以準確地控制利用高密度電漿 CVD 而得到的絕緣層的厚度。

當然，只要能夠作為閘極絕緣層形成優質的絕緣層，就可以應用其他的形成方法諸如濺射法或電漿 CVD 法等。當利用濺射法形成氧化矽層時，將矽靶材或石英靶材用作靶材，並且將氧或氧與氫的混合氣體用作濺射氣體。另外，也可以採用一種絕緣層，即藉由在形成閘極絕緣層之後進行熱處理，對閘極絕緣層的性質、與氧化物半導體堆疊 110 的介面特性進行改質的絕緣層。總之，絕緣層具有作為閘極絕緣層的良好性質，而且減少與氧化物半導體堆疊 110 之間的介面態密度並形成優質的介面，即可。

例如，在  $85^{\circ}\text{C}$ 、 $2 \times 10^6 \text{V/cm}$ 、12 小時的閘極偏壓-熱應力測試（BT 測試）中，當在氧化物半導體堆疊 110 中添加有雜質時，雜質和氧化物半導體堆疊 110 的主要成分之間的鍵因強電場（B：偏壓）和高溫（T：溫度）被截斷，且所產生的懸空鍵引發臨界值電壓（ $V_{th}$ ）的漂移。

對此，本發明藉由儘量去除氧化物半導體堆疊 110 的雜質，特別是氫、水、羥基、氫化物等而如上所述使與閘極絕緣層之間的介面特性為良好，可以得到對於 BT 測試也穩定的電晶體。

另外，也可以藉由使以接觸氧化物半導體堆疊 110 的方式設置的絕緣層包含鹵素（例如，氟或氯）或者在氧化物半導體堆疊 110 露出的狀態下在包含鹵素的氣體氛圍中進行電漿處理，使氧化物半導體堆疊 110 包含鹵素，以去除存在於氧化物半導體堆疊 110 中或與以接觸該氧化物半導體堆疊 110 的方式設置的絕緣層的介面的氫、水、羥基、氫化物等雜質。在使絕緣層包含鹵素的情況下，只要將該絕緣層中的鹵素濃度設定為約  $5 \times 10^{17} \text{cm}^{-3}$  至  $1 \times 10^{20} \text{cm}^{-3}$ ，即可。

另外，在如上所述在氧化物半導體堆疊 110 中或在氧化物半導體堆疊 110 與接觸其的絕緣層的介面含有鹵素且以接觸氧化物半導體堆疊 110 的方式設置的絕緣層為氧化物絕緣層的情況下，較佳使用氮化物絕緣層覆蓋氧化物絕緣層的不接觸氧化物半導體堆疊 110 的一側。就是說，只要在接觸氧化物半導體堆疊 110 的氧化物絕緣層上以接觸該氧化物絕緣層的方式設置氮化矽層等，即可。藉由採用這種結構，可以減少氫、水、羥基、氫化物等雜質向氧化物半導體堆疊 110 的侵入。

另外，在形成閘極絕緣層 112 之前，較佳進行預熱處理，以去除殘留在濺射裝置內壁、靶材表面或靶材材料中

的水分或氫。在預熱處理完了之後，在冷卻基板或濺射裝置之後，以不接觸大氣的方式形成閘極絕緣層 112。

接著，在閘極絕緣層 112 上且重疊於氧化物半導體堆疊 110 的區域中形成閘極電極 114（參照圖 9C）。藉由在閘極絕緣層 112 上使用濺射法、CVD 法或真空蒸鍍法形成導電層，在該導電層上藉由光刻步驟形成抗蝕劑掩罩，並且使用該抗蝕劑掩罩蝕刻導電層，可以形成閘極電極 114。

接著，在惰性氣體氛圍下或者氧氣體氛圍下進行第三熱處理（較佳為 200°C 到 450°C，例如為 250°C 到 350°C）。藉由進行該熱處理，將氧供給給因第一熱處理及第二熱處理產生的氧缺陷，而可以進一步降低成為施主的氧缺陷，可以得到滿足化學計量比的結構，可以進一步使氧化物半導體堆疊 110i 型化或者在實際上 i 型化。另外，也可以在形成閘極電極 114 之前進行該第三熱處理。或者，也可以在之後形成絕緣層 116 之後進行該第三熱處理。

然後，在閘極絕緣層 112 及閘極電極 114 上形成絕緣層 116（參照圖 9D）。也可以使絕緣層 116 包含氫。可以使用濺射法或 CVD 法等形成絕緣層 116。在本實施例中，使用利用 CVD 法而得到的氮化物絕緣層之一的氮化矽層。

較佳地是，在氮氛圍中，在 150°C 到 450°C，較佳為 250°C 到 440°C 的溫度下進行第三熱處理。另外，可以在氧氛圍、稀有氣體氛圍或乾燥空氣氛圍中進行第三熱處理

，而不侷限於氮氛圍。

藉由進行上述步驟，可以形成具有氫濃度得到降低而被高純度化且具有單晶區域的氧化物半導體堆疊的電晶體 150。

另外，根據蝕刻條件，在圖 8C 之後，在將包含單晶區域的第二多組份氧化物半導體層 107 蝕刻為島狀之後，有時如圖 10A 所示那樣在絕緣層 101 的整個表面殘留包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105，而不將包含單晶區域的單組份氧化物半導體層 105 蝕刻為島狀。這是因為如下緣故：在第一熱處理溫度比第二熱處理高的情況下，與包含單晶區域的第二多組份氧化物半導體層 107 相比，包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105 的結晶性變高，由此蝕刻速度變慢。

然後，藉由進行圖 8E 和圖 9A 至 9D 所示的步驟，如圖 10B 所示那樣形成電晶體 152，該電晶體 152 具有如下結構：在絕緣層 101 上層疊形成有包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105；在包含單晶區域的單組份氧化物半導體層 105 上形成有島狀的包含單晶區域的第二多組份氧化物半導體層 107a、佈線 108a 及 108b 和閘極絕緣層 112；以及在閘極絕緣層 112 上形成有閘極電極 114。

一般來說，現有的氧化物半導體為 n 型，使用氧化物

半導體的電晶體容易成爲即使閘極電壓爲 0V 也在源極電極與汲極電極之間流過電流的所謂的常開啓 (normally-on)。如果場效應遷移率高但是電晶體爲常開啓 (normally-on)，就難以控制電路。另外，氧化物半導體中的氫被認爲是因有可能成爲施主而成爲進行 n 型化的主要原因之一。另外，氧缺陷也被認爲是進行 n 型化的主要原因之一。

鑒於上述問題，在第一熱處理及第二熱處理中，在進行氧化物半導體的結晶生長的同時從氧化物半導體去除 n 型雜質的氫、水、羥基或氫化物等而以儘量不包含氧化物半導體的主要成分以外的雜質的方式進行高純度化，並且在第三熱處理中，去除氧缺陷，以得到本質 (i 型) 氧化物半導體。就是說，其特徵在於：藉由儘量去除氫、水、羥基或氫化物等雜質或氧缺陷而不以添加雜質的方式進行 i 型化，實現被高純度化的 i 型 (本質半導體) 或者接近該被高純度化的 i 型 (本質半導體)。尤其是，因爲對本實施例所示的氧化物半導體進行了高度的結晶化，所以具有與非晶、微晶或多晶狀態相比其雜質或缺陷少的特徵。像這樣，藉由對氧化物半導體進行高純度化，可以使電晶體的臨界值電壓值爲正，來實現所謂常關閉型 (normally off) 的切換元件。

此時的氧化物半導體的氫濃度爲低於或等於  $1 \times 10^{18} \text{cm}^{-3}$ ，較佳爲低於或等於  $1 \times 10^{16} \text{cm}^{-3}$ ，更佳在實質上爲 0。另外，氧化物半導體的載子密度低於  $1 \times 10^{14} \text{cm}^{-3}$ ，較佳爲低於  $1 \times 10^{12} \text{cm}^{-3}$ ，更佳爲低於  $1.45 \times 10^{10} \text{cm}^{-3}$ 。



就是說，氧化物半導體的載子密度儘量接近 0。另外，帶隙為大於或等於 2eV，較佳為大於或等於 2.5eV，更佳為大於或等於 3eV。另外，利用二次離子質譜測定技術 (SIMS) 測量氧化物半導體中的氫濃度。另外，利用霍爾效應測量 (Hall Effect Measurement) 測量載子密度。另外，可以根據 CV 測量 (電容-電壓測量) 的測量結果而求得更低濃度的載子密度。

另外，氧化物半導體的載子密度比通常的矽片中的載子密度的最小值 (約  $1 \times 10^{14} / \text{cm}^3$ ) 小得多 (例如，低於  $1 \times 10^{12} / \text{cm}^3$ ，更佳為低於  $1.45 \times 10^{10} / \text{cm}^3$ )。另外，在通道長度為  $3 \mu\text{m}$  且通道寬度為  $1 \times 10^4 \mu\text{m}$  的電晶體中，在汲極電壓在 1V 至 10V 範圍內的情況下，截止電流 (在將閘極與源極間的電壓設定為低於或等於 0V 時流過源極與汲極之間的電流) 在室溫下為低於或等於測量下限，亞臨界值擺幅值 (S 值) 為 0.1V/dec. (閘極絕緣層的厚度為 100nm)。像這樣，藉由對氧化物半導體進行高純度化，也可以將截止電流降低到  $1 \times 10^{-20} \text{A}$  (10zA (仄普托安培)) 約  $1 \times 10^{-19} \text{A}$  (100zA)。截止電流因由直接複合或間接複合引起的電洞和電子的產生-複合而流過，但是，因為氧化物半導體的帶隙寬而需要較大熱能量以激發電子，所以不容易發生直接複合或間接複合。由此，因為在將負的電位施加到閘極電極的狀態 (截止狀態) 下，少數載子的電洞在實際上為 0，所以不容易發生直接複合及間接複合，使得電流極低。

另外，如果可以知道截止電流和汲極電壓的數值，就可以根據歐姆定律而算出電晶體處於截止狀態時的電阻值（截止電阻  $R$ ），如果可以知道通道形成區域的截面積  $A$  和通道長度  $L$ ，就可以根據  $\rho=RA/L$  的公式（ $R$  為截止電阻）而算出截止電阻率  $\rho$ 。截止電阻率較佳為高於或等於  $1 \times 10^9 \Omega \cdot m$ （或者  $1 \times 10^{10} \Omega \cdot m$ ）。這裏，在以通道形成區域的厚度為  $d$  且以通道寬度為  $W$  時，可以根據  $A=dW$  而算出截面積  $A$ 。

使用氧化物半導體的電晶體的截止電流比使用非晶矽的電晶體的截止電流，即  $10^{-12} A$  左右低得多。像這樣，藉由使用被  $i$  型化或在實際上被  $i$  型化的氧化物半導體，可以得到具有極好截止電流特性的電晶體 150。

再者，藉由降低氧化物半導體的載子，較佳消除該載子，而將電晶體中的氧化物半導體用作載子流過的通道（路徑）。結果，氧化物半導體為被高純度化的  $i$  型（本質）半導體，沒有載子或者載子極少，從而可以在電晶體的截止狀態下使截止電流極低，這就是本實施例的技術思想。

另外，在將氧化物半導體用作通道（路徑），並且以氧化物半導體本身不具有載子或者載子極少的方式進行高純度化而得到  $i$  型（本質）氧化物半導體的情況下，由源極電極或汲極電極供給載子。藉由適當地選擇氧化物半導體的電子親和力  $\chi$  和費米能階，理想的是與本質費米能階一致的費米能階、源極及汲極的電極的功函數，可以從源

極電極及汲極電極注入載子，而可以適當地製造 n 型電晶體及 p 型電晶體。

像這樣，藉由以儘量不包含氧化物半導體的主要成分以外的雜質，典型為氫、水、羥基或氫化物等的方式進行高純度化且使氧化物半導體具有單晶區域，可以使電晶體的工作優良。尤其是，可以提高開關比。另外，可以抑制 BT 測試前後的電晶體的臨界值電壓的變化量，而可以實現高可靠性。另外，可以抑制電特性的溫度依賴性。另外，已知的金屬氧化物為非晶狀態或多晶狀態的金屬氧化物，或者，藉由在 1400°C 左右的高溫下進行處理而得到單晶的金屬氧化物，但是，如上所述，藉由利用在形成具有平板狀的單晶區域的單組份氧化物半導體層之後以該單晶區域為晶種進行結晶生長的方法，可以在比較低溫下使用大面積基板製造具有單晶區域的氧化物半導體層。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

### ( 實施例 3 )

在本實施例中，參照圖 11A 至 11D 說明與實施例 1 及實施例 2 不同的氧化物半導體堆疊 110 的製造方法。

與實施例 2 同樣，如圖 11A 所示，在基板 100 上形成絕緣層 101。接著，在絕緣層 101 上形成第一多組份氧化物半導體層 102，並且在第一多組份氧化物半導體層 102 上形成單組份氧化物半導體層 104。

接著，與實施例 1 同樣，藉由進行第一熱處理，如圖 11B 所示，形成包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105。接著，在包含單晶區域的單組份氧化物半導體層 105 上形成第二多組份氧化物半導體層 106。

接著，在第二多組份氧化物半導體層 106 上利用光刻步驟形成抗蝕劑掩罩之後，使用該抗蝕劑掩罩蝕刻包含單晶區域的第一多組份氧化物半導體層 103、包含單晶區域的單組份氧化物半導體層 105 以及第二多組份氧化物半導體層 106，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及第二多組份氧化物半導體層 106a。然後，去除抗蝕劑掩罩（參照圖 11C）。

接著，藉由進行第二熱處理，以包含單晶區域的單組份氧化物半導體層 105a 為晶種來進行第二多組份氧化物半導體層 106a 的結晶生長，以形成包含單晶區域的第二多組份氧化物半導體層 107a。藉由上述步驟，可以形成使用包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 而形成的氧化物半導體堆疊 110。然後，藉由圖 8E 及圖 9A 至 9D 所示的步驟，可以形成圖 1 所示的電晶體 150。

包含單晶區域的第二多組份氧化物半導體層的結晶性高，其蝕刻速度根據蝕刻條件而比被結晶化前的第二多組

份氧化物半導體層慢。因此，藉由在進行第二熱處理之前將第二多組份氧化物半導體層蝕刻為島狀，可以縮短蝕刻時間。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

## (實施例 4)

在本實施例中，參照圖 12A 至 12D 說明與實施例 1 至實施例 3 不同的氧化物半導體堆疊 110 的製造方法。

與實施例 2 同樣，在基板 100 上形成絕緣層 101。接著，在絕緣層 101 上形成第一多組份氧化物半導體層，並且在第一多組份氧化物半導體層上形成單組份氧化物半導體層。接著，與實施例 1 同樣，藉由進行第一熱處理，形成包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105 (參照圖 12A)。

接著，在包含單晶區域的單組份氧化物半導體層 105 上利用光刻步驟形成抗蝕劑掩罩之後，使用該抗蝕劑掩罩蝕刻包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105，以如圖 12B 所示那樣形成島狀的包含單晶區域的第一多組份氧化物半導體層 103b 及包含單晶區域的單組份氧化物半導體層 105b。然後，去除抗蝕劑掩罩。

接著，在包含單晶區域的單組份氧化物半導體層 105b 和絕緣層 101 上形成第二多組份氧化物半導體層 106

。 接著，在第二多組份氧化物半導體層 106 上利用光刻步驟形成抗蝕劑掩罩之後，使用該抗蝕劑掩罩蝕刻包含單晶區域的第一多組份氧化物半導體層 103b、包含單晶區域的單組份氧化物半導體層 105b 以及第二多組份氧化物半導體層 106，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 103a、島狀的包含單晶區域的單組份氧化物半導體層 105a 以及島狀的第二多組份氧化物半導體層 106a。然後，去除抗蝕劑掩罩（參照圖 12C）。

接著，藉由進行第二熱處理，以包含單晶區域的單組份氧化物半導體層 105a 為晶種來進行第二多組份氧化物半導體層 106a 的結晶生長，以形成包含單晶區域的第二多組份氧化物半導體層 107a。藉由上述步驟，可以形成使用包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 而形成的氧化物半導體堆疊 110（參照圖 12D）。然後，藉由圖 8E 及圖 9A 至 9D 所示的步驟，可以形成圖 1 所示的電晶體 150。

。 包含單晶區域的第二多組份氧化物半導體層的結晶性高，其蝕刻速度根據蝕刻條件而比被結晶化前的第二多組份氧化物半導體層慢。因此，藉由在進行第二熱處理之前將第二多組份氧化物半導體層蝕刻為島狀，可以縮短蝕刻時間。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

(實施例 5)

在本實施例中，參照圖 8A 至 8E 及圖 13A 和 13B 說明包含單晶區域的第二多組份氧化物半導體層的製造方法與實施例 1 不同的方式。

與實施例 2 同樣，如圖 8A 所示，在基板 100 上形成絕緣層 101。接著，在絕緣層 101 上形成第一多組份氧化物半導體層 102，並且在第一多組份氧化物半導體層 102 上形成單組份氧化物半導體層 104。

接著，與實施例 1 同樣，藉由進行第一熱處理，如圖 13A 所示那樣形成包含單晶區域的第一多組份氧化物半導體層 103 及包含單晶區域的單組份氧化物半導體層 105。

接著，如圖 13B 所示，一邊在 200°C 至 600°C，較佳為 200°C 至 550°C 的溫度下加熱，一邊在包含單晶區域的單組份氧化物半導體層 105 上使用濺射法形成包含單晶區域的第二多組份氧化物半導體層 107。包含單晶區域的第二多組份氧化物半導體層 107 成為六方晶的非纖鋅礦型結晶結構。這裏，因為一邊加熱一邊沉積第二多組份氧化物半導體層，所以以包含單晶區域的單組份氧化物半導體層 105 的表面的單晶區域為結晶生長的晶種來以其結晶軸與包含單晶區域的單組份氧化物半導體層 105 相同，尤其是其 c 軸方向相同的方式進行結晶生長（也稱為磊晶生長或

軸向生長)，由此可以形成包含單晶區域的第二多組份氧化物半導體層 107。結果，即使不進行第二熱處理，也可以形成其 c 軸方向與包含單晶區域的單組份氧化物半導體層 105 相同的被結晶化的包含單晶區域的第二多組份氧化物半導體層 107。

然後，經過實施例 1 的步驟，可以製造電晶體 150。

在本實施例中，因為可以減小熱處理次數，所以可以提高產率。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

#### (實施例 6)

在實施例 1 至實施例 5 中，示出頂閘極結構的電晶體的製程，但是在本實施例中，參照圖 14A 至 14E 說明底閘極結構的電晶體的製程。

在本實施例中，作為基板 100，使用玻璃基板，預先在 650°C 的溫度下對基板 100 進行 6 分鐘的熱處理兩次。藉由在形成電晶體之前對基板進行加熱，抑制由基板收縮產生的膜剝離或掩罩的位置偏差。接著，在具有絕緣表面的基板 100 上形成導電層之後，使用光掩罩進行光刻步驟而設置閘極電極 400。

另外，也可以在基板 100 與閘極電極 400 之間設置實施例 2 所示的絕緣層 101。絕緣層 101 可以提高基板 100 與閘極電極 400 之間的黏合性。



作為閘極電極 400，可以適當地使用作為實施例 1 所示的閘極電極 114 示出的材料及製造方法。另外，當閘極電極 400 的端部具有傾斜度時，可以提高之後形成的絕緣層、半導體層以及導電層的覆蓋度，因此是較佳的。

接著，在閘極電極 400 上形成閘極絕緣層 401。閘極絕緣層 401 可以適當地使用作為實施例 1 所示的閘極絕緣層 112 示出的材料及製造方法。

接著，在閘極絕緣層 401 上，與實施例 1 同樣形成第一多組份氧化物半導體層，並且在第一多組份氧化物半導體層上形成單組份氧化物半導體層，然後，進行第一熱處理，以形成包含單晶區域的第一多組份氧化物半導體層 403 及包含單晶區域的單組份氧化物半導體層 405（參照圖 14A）。

接著，在包含單晶區域的單組份氧化物半導體層 405 上，與實施例 1 同樣形成第二多組份氧化物半導體層，然後，進行第二熱處理，以形成包含單晶區域的第二多組份氧化物半導體層 407（參照圖 14B）。

接著，在包含單晶區域的第二多組份氧化物半導體層 407 上，使用光刻步驟形成抗蝕劑掩罩，然後，進行蝕刻，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 403a、島狀的包含單晶區域的單組份氧化物半導體層 405a 以及島狀的包含單晶區域的第二多組份氧化物半導體層 407a。

接著，在閘極絕緣層 401、島狀的包含單晶區域的第

一多組份氧化物半導體層 403a、島狀的包含單晶區域的單組份氧化物半導體層 405a 以及島狀的包含單晶區域的第二多組份氧化物半導體層 407a 上形成用作源極電極及汲極電極的佈線 408a 及 408b。佈線 408a 及 408b 可以與實施例 1 所示的佈線 108a 及 108b 同樣形成。

接著，在形成接觸氧化物半導體層的一部分的成爲保護絕緣層的氧化物絕緣層 412 之後，也可以進行第三熱處理（參照圖 14C）。

在本實施例中，作爲氧化物絕緣層 412，藉由濺射法形成厚度爲 300nm 的氧化矽層。將形成時的基板溫度設定爲室溫以上且 300°C 以下即可，在本實施例中將它設定爲 100°C。可以在稀有氣體（典型爲氬）氛圍下、在氧氛圍下或者在稀有氣體（典型爲氬）和氧的混合氛圍下藉由濺射法形成氧化矽層。此外，作爲靶材可以使用氧化矽靶材或矽靶材。例如可以使用矽靶材在氧及氮氛圍下使用濺射法形成氧化矽層。接觸結晶化的島狀的包含單晶區域的第一多組份氧化物半導體層 403a、結晶化的島狀的包含單晶區域的單組份氧化物半導體層 405a 以及結晶化的島狀的包含單晶區域的第二多組份氧化物半導體層 407a 而形成的氧化物絕緣層 412 的厚度爲 10nm 到 500nm，典型地使用氧化矽層、氮氧化矽層、氧化鋁層或氧氮鋁層等。

另外，第三熱處理的溫度爲 200°C 以上且 450°C 以下，較佳爲 250°C 以上且 350°C 以下。藉由進行該熱處理，將氧供給給因第一熱處理及第二熱處理產生的氧缺陷，而

可以進一步降低成爲施主的氧缺陷，可以得到滿足化學計量比的結構，可以進一步使包含單晶區域的第一多組份氧化物半導體層 403a、包含單晶區域的單組份氧化物半導體層 405a 以及包含單晶區域的第二多組份氧化物半導體層 407a i 型化或者在實際上 i 型化。

接著，在氧化物絕緣層 412 上形成絕緣層 416。然後，也可以進行第四熱處理（參照圖 14D）。絕緣層 416 可以與實施例 2 所示的絕緣層 116 同樣地形成。

在氮氛圍中，並且在 150°C 到 450°C，較佳爲 250°C 到 440°C 的溫度下進行第四熱處理。另外，可以在氧氛圍、稀有氣體氛圍或乾燥空氣氛圍中進行第四熱處理，而不侷限於氮氛圍。

藉由上述步驟，完成電晶體 450，其中使用從包含單晶區域的單組份氧化物半導體層 405a 的結晶區域進行了結晶生長的包含單晶區域的第一多組份氧化物半導體層 403a 及包含單晶區域的第二多組份氧化物半導體層 407a。

接著，也可以在絕緣層 416 上形成層間絕緣層 418（參照圖 14E）。層間絕緣層 418 也可以使用利用濺射法或 CVD 法等而形成的氧化矽層、氮氧化矽層、氮化矽層、氧化鉛層、氧化鋁層、氧化鉬層等的包含無機絕緣材料的材料而形成。另外，作爲層間絕緣層 418 的材料，也可以使用丙烯酸樹脂、聚醯亞胺、環氧樹脂等有機樹脂。另外，在本實施例中，採用氧化物絕緣層 412、絕緣層 416 以

及層間絕緣層 418 的疊層結構，但是所揭示的發明的一個方式不侷限於此。可以採用單層結構、兩層結構或四層以上的疊層結構。

另外，本實施例所示的電晶體的特徵之一在於：如圖 14E 所示，閘極電極 400 具有與佈線 408a 及 408b 重疊的區域。具有如下區域：佈線 408a 的端部與閘極絕緣層 401 的臺階，即在截面圖中佈線 408a 與閘極絕緣層的從平坦面變成傾斜面的變化點之間的區域（這裏，圖 14E 所示的  $L_{ov}$  區域）。設置  $L_{ov}$  區域，以不使載子流過在由閘極電極的端部而起的臺階部產生的氧化物半導體的晶界是重要的。

另外，也可以在氧化物絕緣層 412 上形成背閘極電極。圖 15A 和 15B 示出該情況的製程。在得到圖 14C 的狀態之後，形成到達閘極電極 400 的接觸孔，並且在氧化物絕緣層 412 上形成背閘極電極 414（參照圖 15A）。接著，也可以在背閘極電極 414 和氧化物絕緣層 412 上形成絕緣層 416，以進行第四熱處理。藉由上述步驟，可以得到圖 15B 所示的電晶體 451。藉由將背閘極電極 414 設置在重疊於使用包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層而形成的通道形成區域的位置，由於背閘極起到鈍化層的作用而防止氫從外部侵入到通道形成區域中，可以降低 BT 測試（偏壓-熱應力測試）前後的電晶體 451 的臨界值電壓的變化量。

另外，背閘極電極 414 的電位也可以與電晶體 451 的閘極電極 400 的電位不同。另外，背閘極電極 414 的電位可以是 GND、0V 或浮動狀態。在此情況下，藉由不在形成背閘極電極 414 之前形成到達閘極電極 400 的接觸孔，可以使閘極電極 400 的電位與背閘極電極 414 的電位不同。

接著，藉由在絕緣層 416 上形成用來進行平坦化的層間絕緣層 418，可以得到圖 15B 所示的截面結構。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

#### ( 實施例 7 )

在本實施例中，使用圖 16 示出通道停止結構的電晶體的結構。

因為本實施例只是其一部分與實施例 6 不同，所以這裏省略詳細的說明。

以下，依次說明步驟。與實施例 6 同樣，在基板 100 上形成閘極電極 400 和閘極絕緣層 402。接著，與實施例 6 同樣，在閘極絕緣層 402 上形成第一多組份氧化物半導體層，在第一多組份氧化物半導體層上形成單組份氧化物半導體層，藉由進行第一熱處理，使第一多組份氧化物半導體層及單組份氧化物半導體層結晶化，以形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導體層。接著，與實施例 6 同樣，形成第二多

組份氧化物半導體層，藉由進行第二熱處理，使第二多組份氧化物半導體層結晶化，以形成包含單晶區域的第二多組份氧化物半導體層。

接著，形成氧化物絕緣層，進行第三熱處理。氧化物絕緣層使用與實施例 6 所示的氧化物絕緣層 412 相同的材料。另外，第三熱處理的條件與實施例 6 所示的第三熱處理相同，將氧供給給包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層，來減少包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層中的氧缺陷。

接著，使用光刻步驟在氧化物絕緣層上形成抗蝕劑掩罩，選擇性地進行蝕刻，以形成島狀的包含單晶區域的第一多組份氧化物半導體層 403a、島狀的包含單晶區域的單組份氧化物半導體層 405a 以及島狀的包含單晶區域的第二多組份氧化物半導體層 407a。與此同時，氧化物絕緣層也成為島狀。

接著，去除抗蝕劑掩罩，使用光刻步驟形成抗蝕劑掩罩，並且選擇性地進行蝕刻，以形成島狀的氧化物絕緣層 420。

接著，在島狀氧化物絕緣層 420、島狀的包含單晶區域的第一多組份氧化物半導體層 403a、島狀的包含單晶區域的單組份氧化物半導體層 405a 以及島狀的包含單晶

區域的第二多組份氧化物半導體層 407a 上，與實施例 1 同樣形成佈線 408a 及 408b。

接著，在佈線 408a 及 408b 和島狀氧化物絕緣層 420 上形成絕緣層 416。然後，也可以進行第四熱處理。另外，只要第四熱處理的條件也與實施例 6 所示的第四熱處理相同，即可。

藉由上述步驟，完成包括包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層的通道停止型電晶體 452。

接著，在絕緣層 416 上形成用來平坦化的層間絕緣層 418，而可以得到圖 16 所示的截面結構。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

#### ( 實施例 8 )

在本實施例中，參照圖 17 說明可以應用於實施例 6 及實施例 7 的結構。

本實施例的特徵在於：包含單晶區域的第一多組份氧化物半導體層 403b、包含單晶區域的單組份氧化物半導體層 405b 以及包含單晶區域的第二多組份氧化物半導體層 407b 的面積小於閘極電極 400，並且其全部重疊於閘極電極 400。因此，藉由使用具有遮光性的金屬元素或合金形成閘極電極 400，可以減少來自基板 100 一側的外光



向包含單晶區域的第一多組份氧化物半導體層 403b、包含單晶區域的單組份氧化物半導體層 405b 以及包含單晶區域的第二多組份氧化物半導體層 407b 的照射。另外，因為包含單晶區域的第一多組份氧化物半導體層 403b、包含單晶區域的單組份氧化物半導體層 405b 以及包含單晶區域的第二多組份氧化物半導體層 407b 只重疊於其端部以外的閘極電極 400 的平坦的部分，所以其成為平坦的形狀。結果，因為垂直於表面的 c 軸方向都平行，所以不容易形成晶界，而在實際上成為結晶性優良的單晶結構。

經過上述步驟，成為包括在實際上具有單晶結構的第一多組份氧化物半導體層、單組份氧化物半導體層以及第二多組份氧化物半導體層的電晶體。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

#### (實施例 9)

在本實施例中，作為將在上述實施例中說明的半導體裝置用於半導體積體電路時的一個方式，參照圖 18 說明利用其與使用另一半導體材料的半導體裝置的疊層結構而形成的半導體裝置。

圖 18 是示出根據本實施例的半導體裝置的結構的一個方式的截面圖。圖 18 所示的半導體裝置在下部具有使用氧化物半導體以外的材料（例如，矽）的電晶體 250 並且在上部具有使用氧化物半導體的電晶體 150。使用氧化



物半導體的電晶體 150 是圖 1 所示的電晶體 150。另外，雖然在電晶體 250 及電晶體 150 都是 n 型電晶體的情況下進行說明，但是也可以使用 p 型電晶體。尤其是，電晶體 250 容易為 p 型。

電晶體 250 包括：設置在包含半導體材料的基板 200 中的通道形成區 216；以夾有通道形成區 216 的方式設置的雜質區域 214 及高濃度雜質區域 220（它們也總稱為雜質區域）；設置在通道形成區 216 上的閘極絕緣層 208a；設置在閘極絕緣層 208a 上的閘極電極 210a；電連接於雜質區域 214 的用作源極電極及汲極電極的佈線 230a 及 230b（參照圖 18）。

這裏，在閘極電極 210a 的側面設置有側壁絕緣層 218。另外，在從垂直於基板 200 的主平面的方向來看不重疊於側壁絕緣層 218 的區域中具有高濃度雜質區域 220 和接觸高濃度雜質區域 220 的金屬化合物區域 224。另外，在基板 200 上，以圍繞電晶體 250 的方式設置有元件分離絕緣層 206，並且，覆蓋電晶體 250 地設置有層間絕緣層 226 及層間絕緣層 228。佈線 230a 及 230b 藉由形成在層間絕緣層 226、層間絕緣層 228 以及絕緣層 234 中的開口電連接於金屬化合物區域 224。就是說，佈線 230a 及 230b 隔著金屬化合物區域 224 電連接於高濃度雜質區域 220 及雜質區域 214。

電晶體 150 包括：設置在絕緣層 101 上的包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的

單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a；用作源極電極及汲極電極的佈線 108a 及 108b，該佈線 108a 及 108b 設置在包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 上，並電連接於包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a；閘極絕緣層 112，該閘極絕緣層 112 設置為覆蓋包含單晶區域的第一多組份氧化物半導體層 103a、包含單晶區域的單組份氧化物半導體層 105a 以及包含單晶區域的第二多組份氧化物半導體層 107a 和佈線 108a 及 108b；以及閘極電極 114，該閘極電極 114 設置在閘極絕緣層 112 上的重疊於包含單晶區域的第二多組份氧化物半導體層 107a 的區域中。

另外，在電晶體 150 上設置有絕緣層 116 及層間絕緣層 118。這裏，在閘極絕緣層 112、絕緣層 116 以及層間絕緣層 118 中設置有到達佈線 108a 及 108b 的開口，並且佈線 254d 及 254e 分別形成為藉由該開口接觸佈線 108a 及 108b。另外，與佈線 254d 及 254e 同樣，佈線 254a、254b 以及 254c 分別形成為藉由設置在閘極絕緣層 112、絕緣層 116 以及層間絕緣層 118 中的開口接觸佈線 236a、236b 以及 236c。

另外，在層間絕緣層 118 上設置有絕緣層 256，並且

佈線 258a、258b、258c 以及 258d 設置為埋入該絕緣層 256 中。這裏，佈線 258a 接觸佈線 254a，佈線 258b 接觸佈線 254b，佈線 258c 接觸佈線 254c 及 254d，並且佈線 258d 接觸佈線 254e。

就是說，電晶體 150 的佈線 108a 隔著佈線 230c、236c、254c、258c 以及 254d 電連接於另一元件（使用氧化物半導體以外的材料的電晶體等）。再者，電晶體 150 的佈線 108b 隔著佈線 254e 及 258d 電連接於另一元件。另外，連接的佈線（佈線 230c、236c、254c、258c 以及 254d 等）的結構不侷限於上述，而可以適當地追加或省略等。

另外，較佳將包含銅的材料用於各種佈線（例如，佈線 258a、258b、258c 以及 258d 等）的一部分。藉由將包含銅的材料用於各種佈線的一部分，可以提高導電性。包含銅的電極或佈線可以藉由所謂的鑲嵌步驟等而形成。

如上所述，在本實施例中，雖然說明了採用疊層結構的半導體裝置的典型的一個方式，但是所揭示的發明的一個方式不侷限於此。例如，可以適當地改變電晶體的結構、絕緣層的個數或配置、電極或佈線的個數或連接關係等。例如，作為電極的連接關係的一個例子，可以採用電晶體 250 的閘極電極 210a 與電晶體 150 的佈線 108a 或 108b 電連接的結構。

像這樣，藉由採用一體地具備使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體的結構，可

以實現被要求與使用氧化物半導體的電晶體不同的電特性的半導體裝置。

如上所述，本實施例所示的結構、方法等可以與其他的實施例所示的結構、方法等適當地組合而使用。

(實施例 10)

在本實施例中，作為根據所揭示的發明的一個方式的半導體裝置的具體方式，說明用作記憶體裝置的半導體裝置的結構。這裏，說明包括如下兩種電晶體的半導體裝置：一是使用包含單晶區域的第一多組份氧化物半導體層、包含單晶區域的單組份氧化物半導體層以及包含單晶區域的第二多組份氧化物半導體層（以下稱為氧化物半導體堆疊）的電晶體；二是使用氧化物半導體堆疊以外的材料（例如，矽）的電晶體。

在圖 19 所示的半導體裝置中，電晶體 300 的閘極電極與電晶體 302 的源極電極和汲極電極中的一方電連接。另外，第一佈線（1st Line：也稱為源極線）和電晶體 300 的源極電極電連接，第二佈線（2nd Line：也稱為位線）和電晶體 300 的汲極電極電連接。並且，第三佈線（3rd Line：也稱為第一信號線）與電晶體 302 的源極電極和汲極電極中的另一方電連接，第四佈線（4th Line：也稱為第二信號線）和電晶體 302 的閘極電極電連接。這裏，電晶體 300 使用氧化物半導體堆疊以外的材料（例如，矽），而電晶體 302 使用氧化物半導體堆疊。在圖 19 中

，OS tr 表示電晶體 302。

使用氧化物半導體以外的材料的電晶體 300 可以進行充分的高速工作，因此藉由使用該使用氧化物半導體以外的材料的電晶體 300 而可以進行高速的儲存內容的讀出等。另外，使用氧化物半導體堆疊的電晶體 302 具有截止電流極小的特徵。因此，藉由使電晶體 302 成爲截止狀態，可以在極長時間內保持電晶體 300 的閘極電極的電位。

藉由將電晶體 302 的源極電極或汲極電極電連接於電晶體 300 的閘極電極，使其起到與用作非易失性記憶元件的浮動閘極型電晶體的浮動閘極相等的作用。因此，在本實施例中，將電晶體 302 的源極電極或汲極電極與電晶體 300 的閘極電極電連接的部分稱爲浮動閘極部 FG。該浮動閘極部 FG 可以被看作埋入絕緣物中的（所謂的浮動狀態），而在浮動閘極部 FG 中保持電荷。因爲電晶體 302 的截止電流爲使用矽半導體而形成的電晶體 300 的十萬分之一以下，所以可以忽略儲存在浮動閘極部 FG 中的電荷因電晶體 302 的洩漏而消失的問題。

藉由採用這種結構，可以避免在現有的浮動閘極型電晶體中存在的由將電子注入到浮動閘極時的穿隧電流而使閘極絕緣層（穿隧絕緣層）退化的問題。因此，在圖 19 所示的半導體裝置中，在原理上可以忽略寫入次數的限制。

另外，也可以將電容器提供到浮動閘極部 FG。藉由將電容器提供到浮動閘極部 FG，電荷的保持變容易，而

且，對起因於各佈線的電位變動的浮動閘極部 FG 的電位變動的抑制變容易。

在圖 19 所示的半導體裝置中，藉由發揮可以保持電晶體 300 的閘極電極的電位的特徵，如下所述那樣可以進行資訊寫入、保持和讀出。

首先，說明資訊的寫入及保持。首先，藉由將第四佈線的電位設定為使電晶體 302 成為導通狀態的電位，使電晶體 302 成為導通狀態。由此，將第三佈線的電位施加到電晶體 300 的閘極電極（寫入）。然後，藉由將第四佈線的電位設定為使電晶體 302 成為截止狀態的電位，使電晶體 302 成為截止狀態，而保持電晶體 300 的閘極電極的電位（保持）。

因為電晶體 302 的截止電流極小，所以在長時間內保持電晶體 300 的閘極電極的電位。例如，在電晶體 300 的閘極電極的電位為使電晶體 300 成為導通狀態的電位的情況下，在長時間內保持電晶體 300 的導通狀態。另外，在電晶體 300 的閘極電極的電位為使電晶體 300 成為截止狀態的電位的情況下，在長時間內保持電晶體 300 的截止狀態。

下面，說明資訊的讀出。如上所述，當在保持電晶體 300 的導通狀態或截止狀態的狀態下將預定的電位（恒定電位）施加到第一佈線時，第二佈線的電位根據電晶體 300 的導通狀態或截止狀態而不同。

如上所述，藉由在保持資訊的狀態下對第一佈線的電

位和第二佈線的電位進行比較，可以讀出資訊。

下面，說明資訊的重寫。與上述資訊的寫入及保持同樣，進行資訊的重寫。就是說，藉由將第四佈線的電位設定為使電晶體 302 成為導通狀態的電位，使電晶體 302 成為導通狀態。由此，將第三佈線的電位（根據新的資訊的電位）施加到電晶體 300 的閘極電極。然後，藉由將第四佈線的電位設定為使電晶體 302 成為截止狀態的電位，使電晶體 302 成為截止狀態，而處於保持新的資訊的狀態。

如上所述，根據所揭示的發明的半導體裝置可以藉由再次進行資訊的寫入而直接重寫資訊。由此，不需要快閃記憶體等所需要的抹除工作，而可以抑制起因於抹除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。

另外，根據本實施例的半導體裝置因電晶體 302 的低截止電流特性而可以在極長時間內保持資訊。就是說，不需要進行 DRAM 等所需要的刷新工作，而可以抑制耗電量。另外，可以將其實際上用作非易失性半導體裝置。

另外，因為根據電晶體 302 的開關工作而進行資訊寫入等，所以不需要高電壓，也沒有元件退化的問題。再者，根據電晶體的導通或截止而進行資訊寫入或抹除，而也可以容易實現高速工作。

另外，使用氧化物半導體以外的材料的電晶體可以進行充分的高速工作，因此，藉由利用該電晶體，可以進行高速的儲存內容的讀出。



另外，上述說明關於使用以電子為載子的 n 型電晶體（n 通道型電晶體）的情況，但是，當然可以使用以電洞為載子的 p 型電晶體代替 n 型電晶體。

根據本實施例的半導體裝置例如可以使用上述實施例所示的電晶體的疊層結構而形成。當然，電晶體的疊層結構不需要侷限於上述實施例所示的電晶體的結構。例如，也可以在同一面上形成電晶體 300 和電晶體 302。另外，因為根據本實施例的半導體裝置利用電晶體 302 的低截止電流，所以不需要特別限定電晶體 300。例如，在本實施例中，使用氧化物半導體以外的材料形成電晶體 300，但是也可以使用氧化物半導體。

另外，在本實施例中，說明了最小單位的半導體裝置，但是半導體裝置的結構不侷限於此。藉由適當地連接多個半導體裝置，可以構成更高度的半導體裝置。例如，藉由使用上述多個半導體裝置，可以構成用作 NAND 型或 NOR 型記憶體裝置的半導體裝置。佈線的結構也不侷限於圖 19，而可以適當地改變。

本實施例所示的結構、方法等可以與其他的實施例所示的結構、方法等適當地組合而使用。

#### （實施例 11）

在本實施例中，對製造包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體並且將該電晶體用於像素部以及驅動電路來製造具有顯示功能的半導體裝



置（也稱為顯示裝置）的情況進行說明。另外，也可以將驅動電路的一部分或全部一體地形成在與像素部同一基板上來形成系統整合型面板（system on panel）。

在本實施例中，作為本發明的一個方式的半導體裝置，示出液晶顯示裝置。首先，參照圖 20A 和 20B 說明相當於半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖 20A 和 20B 分別相當於一種面板的俯視圖，其中利用密封材料 4005 將形成在第一基板 4001 上的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體 4010、4011 及液晶元件 4013 密封在與第二基板 4006 之間；沿著圖 20A 的 M-N 的截面圖。

提供密封材料 4005 以便使其包圍設置於第一基板 4001 上的像素部 4002、信號線驅動電路 4003 及掃描線驅動電路 4004。將第二基板 4006 設置於像素部 4002、信號線驅動電路 4003 及掃描線驅動電路 4004 之上。因而，像素部 4002、信號線驅動電路 4003 及掃描線驅動電路 4004 與液晶層 4008 由第一基板 4001、密封材料 4005 及第二基板 4006 密封在一起。

另外，設置在第一基板 4001 上的像素部 4002、信號線驅動電路 4003 和掃描線驅動電路 4004 包括多個電晶體。在圖 20B 中例示像素部 4002 所包括的電晶體 4010 和掃描線驅動電路 4004 所包括的電晶體 4011。在電晶體 4010、4011 上設置有絕緣層 4014、4020 和 4021。

可以將實施例 6 所示的包含在垂直於表面的方向上具

有 c 軸取向的氧化物半導體堆疊的電晶體用於電晶體 4010、4011。在本實施例中，電晶體 4010、4011 是 n 通道型電晶體。

在絕緣層 4021 上的重疊於驅動電路用電晶體 4011 的在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的通道形成區的位置設置有導電層 4040。藉由在與在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的通道形成區重疊的部分中設置導電層 4040，作為其效果之一，導電層 4040 起到鈍化層的作用而防止氫從外部侵入到通道形成區域中，可以減小 BT 測試前後電晶體 4011 的臨界值電壓的偏移量。此外，導電層 4040 的電位既可以與電晶體 4011 的閘極電極的電位相同，又可以與電晶體 4011 的閘極電極的電位不同。並且，可以將導電層 4040 用作第二閘極電極。此外，導電層 4040 的電位也可以為 GND、0V 或浮動狀態。

另外，液晶元件 4013 所具有的像素電極 4030 與電晶體 4010 電連接。並且，液晶元件 4013 的對置電極 4031 形成在第二基板 4006 上。液晶元件 4013 對應於其中像素電極 4030、對置電極 4031、以及液晶層 4008 相互重疊的區域。要注意，像素電極 4030 和對置電極 4031 分別設置有起取向膜作用的絕緣層 4032 和絕緣層 4033。液晶層 4008 被夾在像素電極 4030 與對置電極 4031 之間，其中還有絕緣層 4032 和 4033。

作為液晶層 4008，使用熱致液晶、低分子液晶、高

分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等的液晶材料。這些液晶材料根據條件呈現出膽固醇相、近晶相、立方相、手性向列相、均質相等。

另外，作為第二基板 4006，可以使用玻璃、塑膠。

此外，藉由對絕緣層選擇性地進行蝕刻而得到的柱狀間隔物 4035 是為控制像素電極 4030 和對置電極 4031 之間的距離（單元間隙）而設置的。注意，還可以使用球狀間隔物。另外，對置電極 4031 與設置在與電晶體 4010 同一絕緣基板上的共用電位線電連接。另外，使用共用連接部，可以藉由配置在一對基板間的導電粒子，使對置電極 4031 與共用電位線電連接。注意，導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用取向膜的顯示藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而較佳將混合有 5wt.% 以上的手性試劑的液晶組成物用於液晶層 4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，即為 1msec 以下，並且其具有光學各向同性，所以不需要取向處理，從而視角依賴性低。

另外，當使用顯示藍相的液晶時，由於不需要對取向膜進行摩擦處理，因此可以防止由於摩擦處理而引起的靜電放電（electrostatic discharge damage），並可以降低製程中的液晶顯示裝置的不良及損傷。從而，可以提高液



晶顯示裝置的生產率。使用氧化物半導體堆疊的電晶體特別具有電晶體的電特性可由於靜電的影響而明顯波動並且偏離設計範圍的可能性。由此，將藍相的液晶材料用於具有使用氧化物半導體堆疊的電晶體的液晶顯示裝置中更為有效。

另外，雖然本實施例示出的液晶顯示裝置為透射型液晶顯示裝置的例子，但是也可以為反射型液晶顯示裝置或半透射型液晶顯示裝置。

此外，雖然在本實施例所示的液晶顯示裝置中示出在基板的外側（可見一側）設置偏光片，在基板的內側按順序設置著色層、用於顯示元件的電極的結構，但是也可以將偏光片設置在基板的內側。另外，偏光片和著色層的疊層結構不侷限於本實施例的結構，而根據偏光片及著色層的材料及製程條件適當地設定，即可。此外，根據需要可設置起黑矩陣作用的擋光層。

另外，在本實施例中，使用用作保護層或平坦化絕緣層的絕緣層（絕緣層 4020、絕緣層 4014、絕緣層 4021）覆蓋電晶體，以減少電晶體的表面凹凸並且提高電晶體的可靠性。注意，保護層是為了防止懸浮在大氣中的有機物或金屬物、水蒸氣等污染雜質的侵入，因而較佳是緻密的。利用濺射法並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層或氮氧化鋁層的單層或疊層而形成保護層即可。

這裏，作為保護層，形成絕緣層的疊層。這裏，作為

第一層的絕緣層 4020，使用濺射法形成氧化矽層。藉由使用氧化矽層作為保護層，可以將氧添加到接觸保護層的氧化物半導體層中而減少氧缺陷。

另外，作為保護層的第二層，形成絕緣層 4014。這裏，作為第二層的絕緣層 4014，使用電漿 CVD 法形成氮化物絕緣層之一的氮化矽層，然後，進行熱處理。另外，藉由作為保護層形成氮化矽層，可以抑制鈉等的離子侵入到半導體區中改變電晶體的電特性。

另外，形成絕緣層 4021 作為平坦化絕緣層。作為絕緣層 4021，可以使用丙烯酸樹脂等的有機材料。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣層，來形成絕緣層 4021。

像素電極 4030 和對置電極 4031 可以使用透光導電材料諸如含氧化鎢的氧化銮、含氧化鎢的氧化銮鋅、含氧化鈦的氧化銮、含氧化鈦的氧化銮錫、氧化銮錫、氧化銮鋅、或添加了氧化矽的氧化銮錫等。

此外，提供給形成在同一基板上的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，由 FPC4018 提供。

在本實施例中，連接端子電極 4015 由與液晶元件 4013 所具有的像素電極 4030 相同的導電層形成，並且端子電極 4016 由與電晶體 4010、4011 的源極電極及汲極電



極相同的導電層形成。

連接端子電極 4015 藉由各向異性導電層 4019 與 FPC4018 所具有的端子電連接。

另外，根據需要，對應於各像素而設置有濾色片。另外，在第一基板 4001 和第二基板 4006 的外側設置偏光片或擴散板。另外，背光燈的光源包括冷陰極管或 LED，而成爲液晶顯示模組。

液晶顯示模組可以採用 TN(Twisted Nematic：扭曲向列)模式、IPS(In-Plane-Switching：平面內轉換)模式、FFS(Fringe Field Switching：邊緣電場轉換)模式、MVA(Multi-domain Vertical Alignment：多疇垂直取向)模式、PVA(Patterned Vertical Alignment：垂直取向構型)模式、ASM(Axially Symmetric aligned Micro-cell：軸對稱排列微胞)模式、OCB(Optical Compensated Birefringence：光學補償雙折射)模式、FLC(Ferroelectric Liquid Crystal：鐵電液晶)模式、AFLC(AntiFerroelectric Liquid Crystal：反鐵電液晶)模式等。

藉由上述步驟，可以製造液晶顯示裝置。另外，雖然圖 20A 和 20B 示出的液晶顯示裝置爲透射型液晶顯示裝置，但是本發明也可以應用於半透射型液晶顯示裝置或反射型液晶顯示裝置。

因爲使用實施例 6 所示的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體具有高場效應遷移率，所以如本實施例那樣藉由使用該電晶體製造液晶

顯示裝置而可以實現顯示特性優良的液晶顯示裝置。再者，在本實施例中，藉由在進行靜態影像顯示時以停止供給給信號線或掃描線的信號的輸出的方式使驅動電路部工作，不僅可以抑制像素部的耗電量而且還可以抑制驅動電路部的耗電量。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

( 實施例 12 )

接著，參照圖 21A 和 21B 說明相當於半導體裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 21A 和 21B 分別相當於一種面板的平面圖，其中利用密封材料在第一基板與第二基板之間密封形成在第一基板上的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體及發光元件如電致發光元件（也稱為 EL 元件）等；沿著圖 21A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。如此用氣密性好和

排氣少的保護膜或覆蓋材料包裝（密封）顯示器件，以便使顯示器件不暴露在外部空氣中是較佳的。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個電晶體。在圖 21B 中，例示包括在像素部 4502 中的電晶體 4510 和包括在信號線驅動電路 4503a 中的電晶體 4509。

可以將實施例 6 所示的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的遷移率高的電晶體用於電晶體 4509、4510。在本實施例中，電晶體 4509、4510 是 n 通道型電晶體。

在絕緣層 4544 上，在與用於驅動電路的電晶體 4509 的氧化物半導體堆疊的通道形成區重疊的位置上設置有導電層 4540。另外，導電層 4540 的電位可以與電晶體 4509 的閘極電極相同或不同，並且也可以將導電層 4540 用作第二閘極電極。另外，導電層 4540 的電位可以是 GND、0V 或浮動狀態。

在電晶體 4509 中，作為保護絕緣層，形成有接觸包含通道形成區的氧化物半導體堆疊的絕緣層 4541。絕緣層 4541 可以使用與實施例 6 所示的氧化物絕緣層 412 同樣的材料及方法形成。此外，在絕緣層 4541 上形成有保護絕緣層 4514。保護絕緣層 4514 可以使用與實施例 6 所示的絕緣層 416 同樣的材料及方法形成。這裏，藉由 PCVD 法形成氮化矽層作為保護絕緣層 4514。



另外，在保護絕緣層 4514 上形成用作降低電晶體的表面凹凸的平坦化絕緣層的絕緣層 4544。只要使用與實施例 11 所示的絕緣層 4021 同樣的材料及方法形成絕緣層 4544，即可。在此，作為絕緣層 4544，使用丙烯酸樹脂。

另外，發光元件 4511 具有的作為像素電極的第一電極 4517 電連接於電晶體 4510 的源極電極或汲極電極。注意，雖然發光元件 4511 的結構是第一電極 4517、EL 層 4512、第二電極 4513 的疊層結構，但是不侷限於所示出的結構。可以根據從發光元件 4511 發光的方向等適當地改變發光元件 4511 的結構。

分隔壁 4520 使用有機樹脂層或無機絕緣層而形成。特別較佳的是，以如下條件形成分隔壁 4520：使用感光性的材料，並在第一電極 4517 上形成開口部，並且使該開口部的側壁成為具有連續曲率的傾斜面。

EL 層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極 4513 及分隔壁 4520 上形成保護層，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護層，可以形成氮化矽層、氮氧化矽層、DLC 層等。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。



由與發光元件 4511 中所包括的第一電極 4517 相同的導電層形成連接端子電極 4515，而由與電晶體 4509 和 4510 中包括的源極電極和汲極電極相同的導電層形成端子電極 4516。

連接端子電極 4515 藉由各向異性導電層 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的光的取出方向的第二基板 4506 需要具有透光性。在這種情況下，使用透光材料，如玻璃板、塑膠板、聚酯膜或丙烯酸樹脂膜。

此外，作為填料 4507，除了氮或氬等惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂，可以使用丙烯酸樹脂、環氧樹脂等。例如，使用氮作為填料。

另外，如果需要，可以在發光元件的出射表面上適當地設置諸如偏光片、圓偏光片（包括橢圓偏光片）、相位差板（ $\lambda/4$  板， $\lambda/2$  板）、以及濾色片等的光學膜。

藉由上述步驟，可以製造發光顯示裝置（顯示面板）。

因為使用實施例 6 所示的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體具有高場效應遷移率，所以如本實施例那樣藉由使用該電晶體製造發光顯示裝置而可以實現顯示特性優良的發光顯示裝置。再者，在本實施例中，藉由在進行靜態影像顯示時以停止供給給信號線或掃描線的信號的輸出的方式使驅動電路部工作，不僅可以抑制像素部的耗電量而且還可以抑制驅動電路

部的耗電量。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

(實施例 13)

在本實施例中，作為半導體裝置的一個方式，示出電子紙。

根據實施例 6 所示的方法而得到的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體可以應用於利用電連接於切換元件的元件驅動電子墨水的電子紙。電子紙也被稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性、耗電量比其他的顯示裝置小、可形成為薄且輕的形狀。

作為電泳顯示器，有各種方式，例如，可以是如下結構：在溶劑或溶質中分散有包含具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊，並且藉由對微膠囊施加電場使微膠囊中的粒子向相互相反的方向移動，以僅顯示集中在一方的粒子的顏色。注意，第一粒子或第二粒子包含染料，並且在沒有電場的情況下不移動。第一粒子的顏色和第二粒子的顏色不同（包括無色）。

這樣，電泳顯示器是利用介電電泳效應的顯示器。在該介電電泳效應中，介電常數高的物質移動到高電場區域。

在溶劑中分散有上述微膠囊的材料被稱作電子墨水，



該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，藉由使用濾色片或具有色素的粒子可以進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微膠囊以使微膠囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，並且當對微膠囊施加電場時可以進行顯示。例如，可以使用利用實施例 6 所示的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶體而得到的主動矩陣基板。

此外，作為微膠囊中的第一粒子及第二粒子，可以使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種或這些材料的組合材料而形成。

在圖 22 中，作為半導體裝置的一個方式示出主動矩陣型電子紙。用於半導體裝置的電晶體 581 可以與實施例 6 所示的電晶體同樣地製造，並且該電晶體 581 是包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的遷移率高的電晶體。另外，絕緣層 584 是氮化物絕緣層。

圖 22 的電子紙是採用扭轉球顯示系統的顯示裝置的一個方式。扭轉球顯示系統指的是一種方法，其中各個著色為黑色和白色的球狀粒子被安排在作為用於顯示元件的電極的第一電極與第二電極之間，而且在第一電極與第二電極之間產生電位差以控制球狀粒子取向從而實現顯示。

形成在第一基板 580 上的電晶體 581 是底閘極結構的

電晶體，並被接觸半導體層的絕緣層 583 覆蓋。電晶體 581 的源極電極或汲極電極在形成於絕緣層 583、584 和 585 中的開口中電連接於第一電極 587。在第一電極 587 和第二電極 588 之間存在有空腔 594。在空腔 594 內充滿著具有黑色區 590a 及白色區 590b 的球形粒子和液體。此外，空腔 594 的周圍被樹脂等的填充材料 595 填充（參照圖 22）。

另外，第一電極 587 相當於像素電極，形成於第二基板 596 的第二電極 588 相當於共用電極。第二電極 588 與設置在與電晶體 581 同一絕緣基板上的共用電位線電連接。可以使用共用連接部並藉由配置在一對基板之間的導電性粒子來電連接第二電極 588 和共用電位線。

此外，還可以使用電泳元件，而不是扭轉球。使用直徑為  $10\mu\text{m}$  至  $200\mu\text{m}$  左右的用透明液體、帶正電白色微粒和帶負電黑色微粒填充並且密封的微膠囊。在由第一電極和第二電極將電場施加到設置於第一電極和第二電極之間的微膠囊時，白色微粒和黑色微粒朝著彼此相反的方向移動，使得能夠顯示白色或黑色。利用這種原理的顯示元件就是一種電泳顯示元件，通常被稱為電子紙。另外，可以使用顯示 RGB（R 表示紅色，G 表示綠色，B 表示藍色）中的任一顏色的微粒代替黑色微粒，以實現彩色顯示。

藉由上述步驟，可以製造電子紙。

在本實施例中，藉由使用實施例 6 所示的包含在垂直於表面的方向上具有 c 軸取向的氧化物半導體堆疊的電晶



體，製造所謂的電子紙。因為該電晶體具有高場效應遷移率，所以藉由使用該電晶體製造電子紙而可以實現顯示特性優良的電子紙。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

## 實施例 14

本發明說明所揭示的半導體裝置可以應用於各種電子裝置（包括遊戲機）。作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數碼攝像機、數碼相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

在本實施例中，參照圖 23A 至 23E 和圖 24 說明安裝有根據實施例 11 至 13 中的任一實施例而得到的顯示裝置的電子裝置的方式。

圖 23A 是作為一個部件至少安裝有顯示裝置而製造的筆記本型個人電腦，其由主體 3001、外殼 3002、顯示部 3003 以及鍵盤 3004 等構成。注意，筆記本型個人計算機具有實施例 11 所示的液晶顯示裝置。

圖 23B 是作為一個部件至少安裝有顯示裝置而製造的可攜式資訊終端（PDA），在主體 3021 上設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等。另外，作為操作作用附屬部件，有觸控筆 3022。注意，可攜式資訊終

端具有實施例 12 所示的發光顯示裝置。

圖 23C 是作為一個部件安裝有實施例 13 所示的電子紙而製造的電子書閱讀器。圖 23C 示出電子書閱讀器的一個方式。例如，電子書閱讀器 2700 由兩個外殼，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉動作。藉由這種結構，可以進行如紙的書籍那樣的動作。

外殼 2701 組裝有顯示部 2705，而外殼 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示單一畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 23C 中的顯示部 2705）中可以顯示文章，而在左邊的顯示部（圖 23C 中的顯示部 2707）中可以顯示影像。

此外，在圖 23C 中示出外殼 2701 具備操作部等的一個方式。例如，在外殼 2701 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與外殼的顯示部分相同的平面上可以設置鍵盤、指示裝置等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

圖 23D 是作為一個部件至少安裝有顯示裝置而製造的可攜式電話機，由外殼 2800 和外殼 2801 的兩個外殼構成。外殼 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、指示裝置 2806、照相用透鏡 2807、外部連接端子 2808 等。另外，外殼 2800 具備進行可攜式電話機的充電的太陽電池元件 2810、外部記憶體插槽 2811 等。另外，在外殼 2801 內組裝有天線。

另外，顯示面板 2802 具備觸控螢幕，圖 23D 使用虛線示出被顯示出來的多個操作鍵 2805。另外，安裝有用來使由太陽電池元件 2810 輸出的電壓上升直到成為各電路所需要的電壓的升壓電路。

顯示面板 2802 的顯示方向根據使用方式而適當地變化。另外，由於在與顯示面板 2802 同一面上具備照相用透鏡 2807，所以可以進行視訊電話。揚聲器 2803 及麥克風 2804 不侷限於音頻通話，還可以進行視訊通話、記錄、播放等。再者，外殼 2800 和外殼 2801 滑動而可以處於如圖 23D 那樣的展開狀態和重疊狀態，可以進行適於攜帶的小型化。

外部連接端子 2808 可以與 AC 適配器及各種纜線如 USB 纜線等連接，並可以進行充電及與個人電腦等的資料通訊。另外，藉由將記錄媒體插入到外部記憶體插槽 2811 中，可以對應更大量資料的保存及移動。

另外，除了上述功能以外，還可以具備紅外線通訊功能、電視接收功能等。



圖 23E 是作為一個部件至少安裝有顯示裝置而製造的數位相機，包括主體 3051、顯示部 A 3057、目鏡部 3053、操作開關 3054、顯示部 B 3055、電池 3056 等。

圖 24 示出電視機的一個方式。在電視機 9600 中，外殼 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示節目影像。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。

可以藉由利用外殼 9601 所具備的操作開關、另外提供的遙控器 9610 進行電視機 9600 的操作。藉由利用遙控器 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的映射進行操作。此外，也可以採用在遙控器 9610 中設置顯示從該遙控器 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視機 9600 採用具備接收器及數據機等的結構。可以利用接收器來接收通常的電視廣播。另外，當藉由數據機將電視機 9600 有線或無線地連接到通信網路時，可以進行單向的（從發送者到接收者）或者雙向的（發送者和接收者之間或接收者之間）資料通信。

在顯示部 9603 中，作為像素的切換元件配置實施例 6 所示的多個電晶體，作為形成在與該顯示部 9603 同一絕緣基板上的驅動電路，配置實施例 6 所示的遷移率高的電晶體。

本實施例可以與實施例 1 至 13 中的任一實施例自由地組合。



【圖式簡單說明】

在圖式中：

圖 1 是說明本發明的一個實施例的半導體裝置的截面圖；

圖 2A 至 2E 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 3 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 4 是說明氧化物半導體層的結晶生長的過程的圖；

圖 5A 至 5C 是說明氧化物半導體層的結晶生長的過程的圖；

圖 6A 和 6B 是說明氧化物半導體層的結晶生長的過程的圖；

圖 7A 至 7C 是說明氧化物半導體層的結晶結構的圖；

圖 8A 至 8E 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 9A 至 9D 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 10A 和 10B 是說明本發明的一個實施例的半導體裝置的截面圖；

圖 11A 至 11D 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 12A 至 12D 是說明示出本發明的一個實施例的半

導體裝置的製程的截面圖；

圖 13A 和 13B 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 14A 至 14E 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 15A 和 15B 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 16 是說明示出本發明的一個實施例的半導體裝置的製程的截面圖；

圖 17 是說明示出本發明的一個實施例的半導體裝置的截面圖；

圖 18 是說明示出本發明的一個實施例的半導體裝置的截面圖；

圖 19 是說明示出本發明的一個實施例的半導體裝置的等效電路圖；

圖 20A 和 20B 是說明示出本發明的一個實施例的半導體裝置的俯視圖及截面圖；

圖 21A 和 21B 是說明示出本發明的一個實施例的半導體裝置的俯視圖及截面圖；

圖 22 是說明示出本發明的一個實施例的半導體裝置的截面圖；

圖 23A 至 23E 是說明電子裝置的一個實施例的圖；

圖 24 是說明電子裝置的一個實施例的圖。



【主要元件符號說明】

- 100：基板
- 101：絕緣層
- 102：多組份氧化物半導體層
- 103：多組份氧化物半導體層
- 104：單組份氧化物半導體層
- 105：單組份氧化物半導體層
- 106：多組份氧化物半導體層
- 107：多組份氧化物半導體層
- 108：導電層
- 109：層
- 110：氧化物半導體堆疊
- 112：閘極絕緣層
- 114：閘極電極
- 116：絕緣層
- 118：層間絕緣層
- 150：電晶體
- 152：電晶體
- 160：晶核
- 162：箭頭
- 174：箭頭
- 176：箭頭
- 200：基板
- 206：元件分離絕緣層

- 214 : 雜質區域
- 216 : 通道形成區域
- 218 : 側壁絕緣層
- 220 : 高濃度雜質區域
- 224 : 金屬化合物區域
- 226 : 層間絕緣層
- 228 : 層間絕緣層
- 234 : 絕緣層
- 250 : 電晶體
- 256 : 絕緣層
- 300 : 電晶體
- 302 : 電晶體
- 400 : 閘極電極
- 401 : 閘極絕緣層
- 402 : 閘極絕緣層
- 403 : 多組份氧化物半導體層
- 405 : 單組份氧化物半導體層
- 407 : 多組份氧化物半導體層
- 412 : 氧化物絕緣層
- 414 : 背閘極電極
- 416 : 絕緣層
- 418 : 層間絕緣層
- 420 : 氧化物絕緣層
- 450 : 電晶體



- 451 : 電 晶 體
- 452 : 電 晶 體
- 581 : 電 晶 體
- 583 : 絕 緣 層
- 584 : 絕 緣 層
- 587 : 電 極
- 588 : 電 極
- 594 : 空 腔
- 595 : 填 充 材 料
- 103a : 多 組 份 氧 化 物 半 導 體 層
- 103b : 多 組 份 氧 化 物 半 導 體 層
- 105a : 單 組 份 氧 化 物 半 導 體 層
- 105b : 單 組 份 氧 化 物 半 導 體 層
- 106a : 多 組 份 氧 化 物 半 導 體 層
- 107a : 多 組 份 氧 化 物 半 導 體 層
- 108a : 佈 線
- 108b : 佈 線
- 164a : 箭 頭
- 208a : 閘 極 絕 緣 層
- 210a : 閘 極 電 極
- 230a : 佈 線
- 230b : 佈 線
- 230c : 佈 線
- 236a : 佈 線

236b : 佈線

236c : 佈線

254a : 佈線

254b : 佈線

254c : 佈線

254d : 佈線

254e : 佈線

258a : 佈線

258b : 佈線

258c : 佈線

258d : 佈線

2700 : 電子書閱讀器

2701 : 外殼

2703 : 外殼

2705 : 顯示部

2707 : 顯示部

2711 : 軸部

2721 : 電源

2723 : 操作鍵

2725 : 揚聲器

2800 : 外殼

2801 : 外殼

2802 : 顯示面板

2803 : 揚聲器



- 2804 : 麥克風
- 2805 : 操作鍵
- 2806 : 指示裝置
- 2807 : 照相用透鏡
- 2808 : 外部連接端子
- 2810 : 太陽電池元件
- 2811 : 外部記憶體插槽
- 3001 : 主體
- 3002 : 外殼
- 3003 : 顯示部
- 3004 : 鍵盤
- 3021 : 主體
- 3023 : 顯示部
- 3024 : 操作按鈕
- 3025 : 外部介面
- 3051 : 主體
- 3053 : 目鏡部
- 3054 : 操作開關
- 3055 : 顯示部 B
- 3056 : 電池
- 3057 : 顯示部 A
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路



- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層
- 4010 : 電晶體
- 4011 : 電晶體
- 4013 : 液晶元件
- 4014 : 絕緣層
- 4015 : 連接端子電極
- 4016 : 端子電極
- 4018 : FPC
- 4019 : 各向異性導電層
- 4020 : 絕緣層
- 4021 : 絕緣層
- 4030 : 像素電極
- 4031 : 對置電極
- 4032 : 絕緣層
- 4033 : 絕緣層
- 4035 : 間隔物
- 403a : 多組份氧化物半導體層
- 403b : 多組份氧化物半導體層
- 4040 : 導電層
- 405a : 單組份氧化物半導體層
- 405b : 單組份氧化物半導體層



407a : 多組份氧化物半導體層

407b : 多組份氧化物半導體層

408a : 佈線

408b : 佈線

4501 : 基板

4502 : 像素部

4505 : 密封材料

4506 : 基板

4507 : 填料

4509 : 電晶體

4510 : 電晶體

4511 : 發光元件

4512 : EL層

4513 : 電極

4514 : 保護絕緣層

4515 : 連接端子電極

4516 : 端子電極

4517 : 電極

4519 : 各向異性導電層

4520 : 分隔壁

4540 : 導電層

4541 : 絕緣層

4544 : 絕緣層

590a : 黑色區域

590b : 白色區域

9600 : 電視機

9601 : 外殼

9603 : 顯示部

9605 : 支架

9607 : 顯示部

9609 : 操作鍵

9610 : 遙控器

4503a : 信號線驅動電路

4503b : 信號線驅動電路

4504a : 掃描線驅動電路

4504b : 掃描線驅動電路

4518a : FPC

4518b : FPC



# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 101132340

※申請日期：099年12月23日 ※IPC分類：

H01L 21/36 2006.01

H01L 21/18 2006.01

原申請案號：099145535

H01L 21/24 2006.01

一、發明名稱：(中文/英文)

半導體裝置之製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

實現基板的大面積化並且形成高結晶性氧化物半導體層，以製造所希望的高場效應遷移率的電晶體並實現大型顯示裝置或高性能半導體裝置等的實用化。在基板上形成第一多組份氧化物半導體層；在第一多組份氧化物半導體層上形成單組份氧化物半導體層；在高於或等於 500°C 且低於或等於 1000°C，較佳為 550°C 至 750°C 的溫度下進行熱處理從表面向內部進行結晶生長，以形成包含單晶區域的第一多組份氧化物半導體層及包含單晶區域的單組份氧化物半導體層；以及在包含單晶區域的單組份氧化物半導體層上層疊包含單晶區域的第二多組份氧化物半導體層。

## 三、英文發明摘要：

A larger substrate can be used, and a transistor having a desirably high field-effect mobility can be manufactured through formation of an oxide semiconductor layer having a high degree of crystallinity, whereby a large-sized display device, a high-performance semiconductor device, or the like can be put into practical use. A first multi-component oxide semiconductor layer is formed over a substrate and a single-component oxide semiconductor layer is formed thereover; then, crystal growth is carried out from a surface to an inside by performing heat treatment at 500 °C to 1000 °C inclusive, preferably 550 °C to 750 °C inclusive so that a first multi-component oxide semiconductor layer including single crystal regions and a single-component oxide semiconductor layer including single crystal regions are formed; and a second multi-component oxide semiconductor layer including single crystal regions is stacked over the single-component oxide semiconductor layer including single crystal regions.

七、申請專利範圍：

1. 一種半導體裝置，包含：

基板；以及

電晶體，在該基板之上，該電晶體包含：

閘極電極；

氧化物半導體層，包括通道；以及

閘極絕緣膜，插入在該閘極電極與該氧化物半導體層之間，

其中，該氧化物半導體層包括：

第一氧化物半導體層，包括第一結晶區域；

第二氧化物半導體層，包括第二結晶區域，該第二氧化物半導體層在該第一氧化物半導體層之上；以及

第三氧化物半導體層，包括第三結晶區域，該第三氧化物半導體層在該第二氧化物半導體層之上，

其中，該第二結晶區域包括第一結晶，

其中，該第三結晶區域包括第二結晶，且

其中，該第一結晶的  $c$  軸與該第二結晶的  $c$  軸的每一者實質垂直於該基板的表面對準。

2. 一種半導體裝置，包含：

基板；以及

電晶體，在該基板之上，該電晶體包含：

閘極電極；

氧化物半導體層，包括通道；以及

閘極絕緣膜，插入在該閘極電極與該氧化物半導體層之間，

其中，該氧化物半導體層包括：

第一氧化物半導體層，包括第一結晶區域；

第二氧化物半導體層，包括第二結晶區域，該第二氧化物半導體層在該第一氧化物半導體層之上；以及

第三氧化物半導體層，包括第三結晶區域，該第三氧化物半導體層在該第二氧化物半導體層之上，

其中，該第二結晶區域包括第一結晶，

其中，該第三結晶區域包括第二結晶，

其中，該第一結晶的 c 軸與該第二結晶的 c 軸的每一者實質垂直於該基板的表面對準，且

其中，該第一氧化物半導體層的成分與該第二氧化物半導體層的成分不同。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該閘極電極位於該氧化物半導體層之上或之下。

4. 根據申請專利範圍第 3 項之半導體裝置，還包括在該電晶體之下的第一電晶體，

其中，該第一電晶體的第一通道包括矽。

5. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該電晶體還包含在該氧化物半導體層之上且與該氧化物半導體層相接觸的氧化物絕緣層。

6. 一種半導體裝置，包含：

基板；以及

電晶體，在該基板之上，該電晶體包含：

第一閘極電極；

閘極絕緣膜，在該第一閘極電極之上；

氧化物半導體層，包括通道，且在該閘極絕緣膜之上；以及

第二閘極電極，在該氧化物半導體層之上，

其中，該氧化物半導體層包括：

第一氧化物半導體層，包括第一結晶區域；

第二氧化物半導體層，包括第二結晶區域，該第二氧化物半導體層在該第一氧化物半導體層之上；以及

第三氧化物半導體層，包括第三結晶區域，該第三氧化物半導體層在該第二氧化物半導體層之上，

其中，該第二結晶區域包括第一結晶，

其中，該第三結晶區域包括第二結晶，且

其中，該第一結晶的 c 軸與該第二結晶的 c 軸的每一者實質垂直於該基板的表面對準。

7. 一種半導體裝置，包含：

基板；以及

電晶體，在該基板之上，該電晶體包含：

第一閘極電極；

閘極絕緣膜，在該第一閘極電極之上；

氧化物半導體層，包括通道，且在該閘極絕緣膜



之上；以及

第二閘極電極，在該氧化物半導體層之上，

其中，該氧化物半導體層包括：

第一氧化物半導體層，包括第一結晶區域；

第二氧化物半導體層，包括第二結晶區域，該第二氧化物半導體層在該第一氧化物半導體層之上；以及

第三氧化物半導體層，包括第三結晶區域，該第三氧化物半導體層在該第二氧化物半導體層之上，

其中，該第二結晶區域包括第一結晶，

其中，該第三結晶區域包括第二結晶，且

其中，該第一結晶的 c 軸與該第二結晶的 c 軸的每一者實質垂直於該基板的表面對準，且

其中，該第一氧化物半導體層的成分與該第二氧化物半導體層的成分不同。

8. 根據申請專利範圍第 1、2、6 或 7 項之半導體裝置

其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層的每一者包括鋅，且

其中，在該第一氧化物半導體層中鋅的組成比與在該第二氧化物半導體層中鋅的組成比不同。

9. 根據申請專利範圍第 1、2、6 或 7 項之半導體裝置

其中，該第二氧化物半導體層由氧化鋅形成。



10. 根據申請專利範圍第 1、2、6 或 7 項之半導體裝置，

其中，該第一氧化物半導體層及該第三氧化物半導體層的每一者包括銻、鎵、錫、鋁、鎂及鋅中的至少一種。

11. 根據申請專利範圍第 1、2、6 或 7 項之半導體裝置，

其中，該第二氧化物半導體層的厚度比該第三氧化物半導體層的厚度薄。

12. 根據申請專利範圍第 1、2、6 或 7 項之半導體裝置，

其中，該第一結晶區域包括第三結晶，該第三結晶的 c 軸實質垂直於該基板的表面對準。

13. 根據申請專利範圍第 12 項之半導體裝置，

其中，該第一結晶區域、該第二結晶區域、及該第三結晶區域的至少一者包括單晶區域。

圖 1

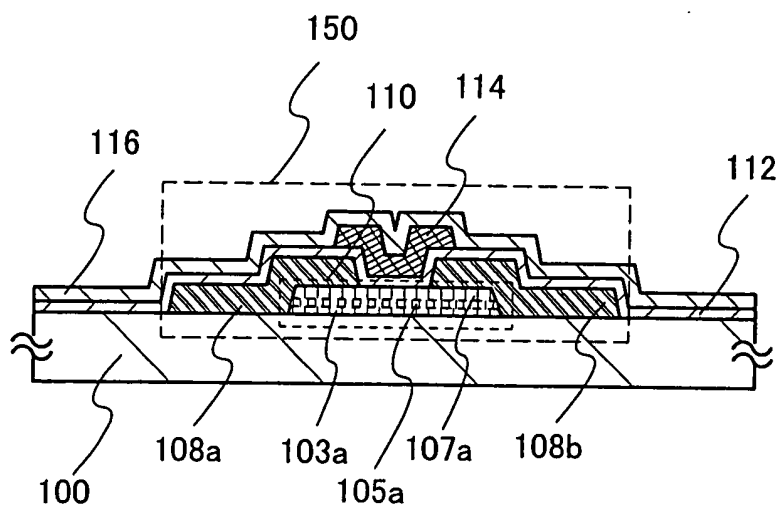


圖 2A

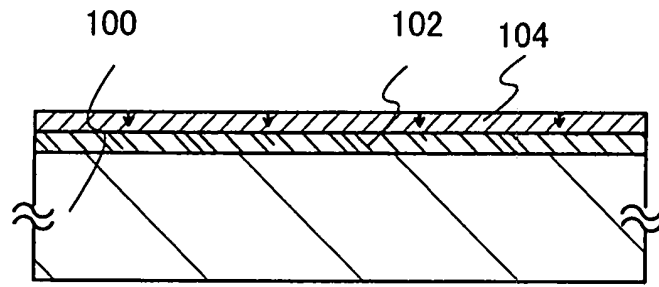


圖 2B

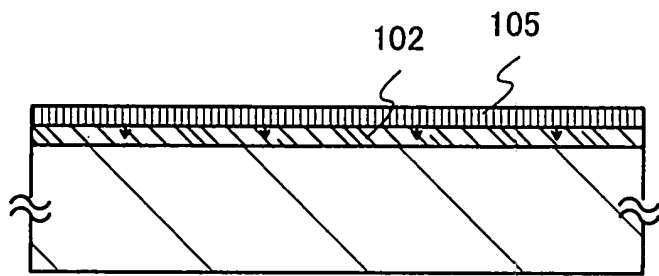


圖 2C

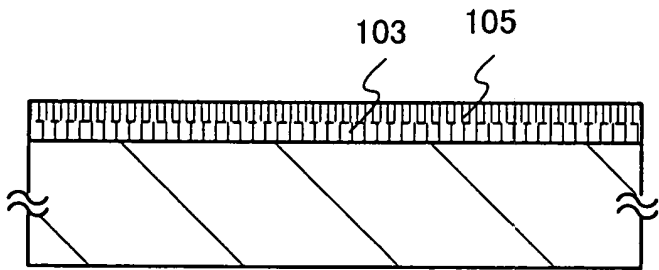


圖 2D

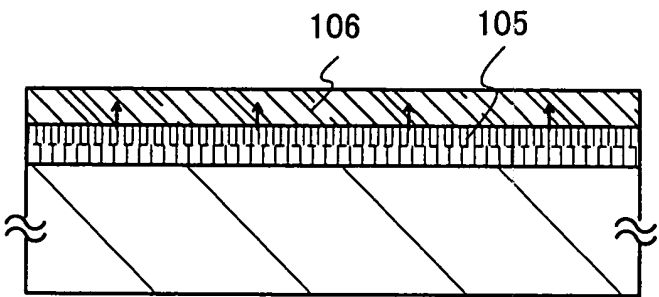


圖 2E

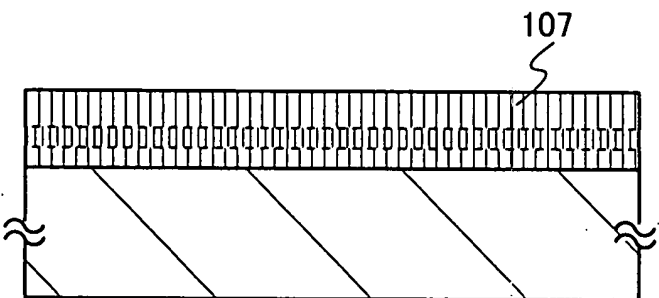


圖3

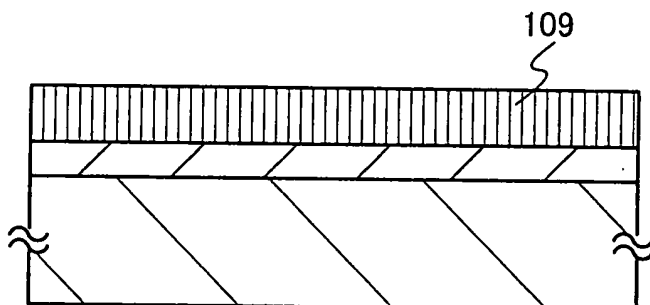


圖 4

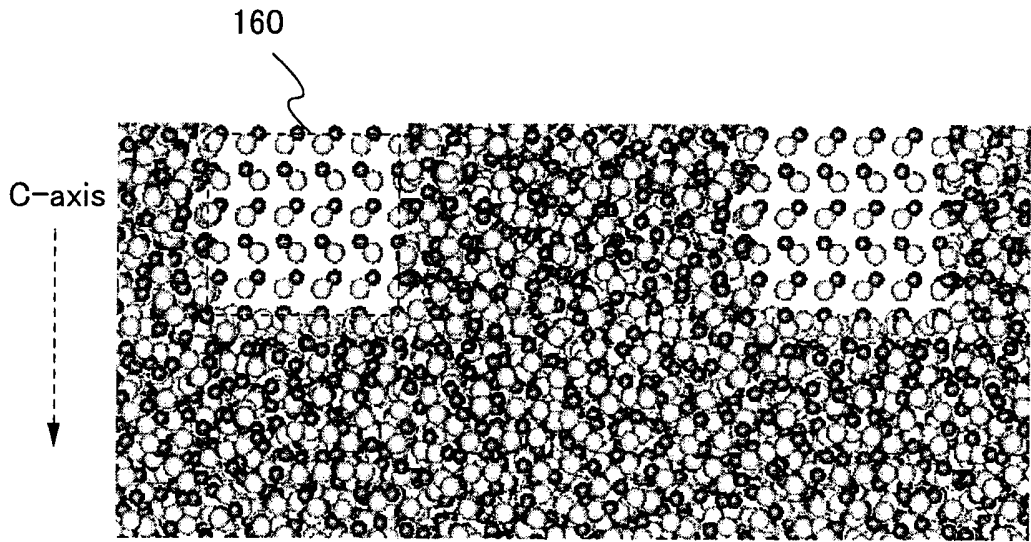


圖 5A

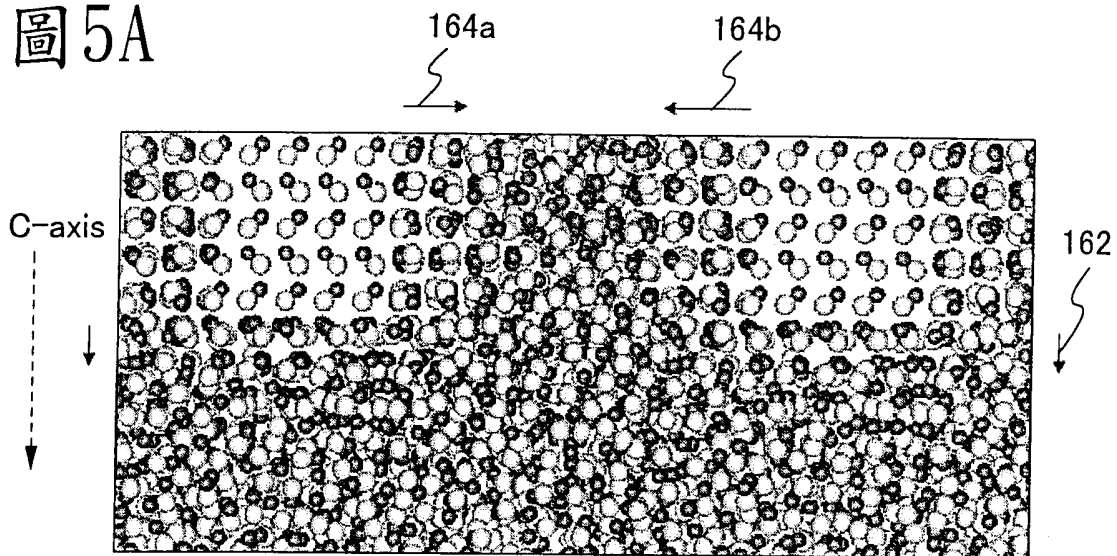


圖 5B

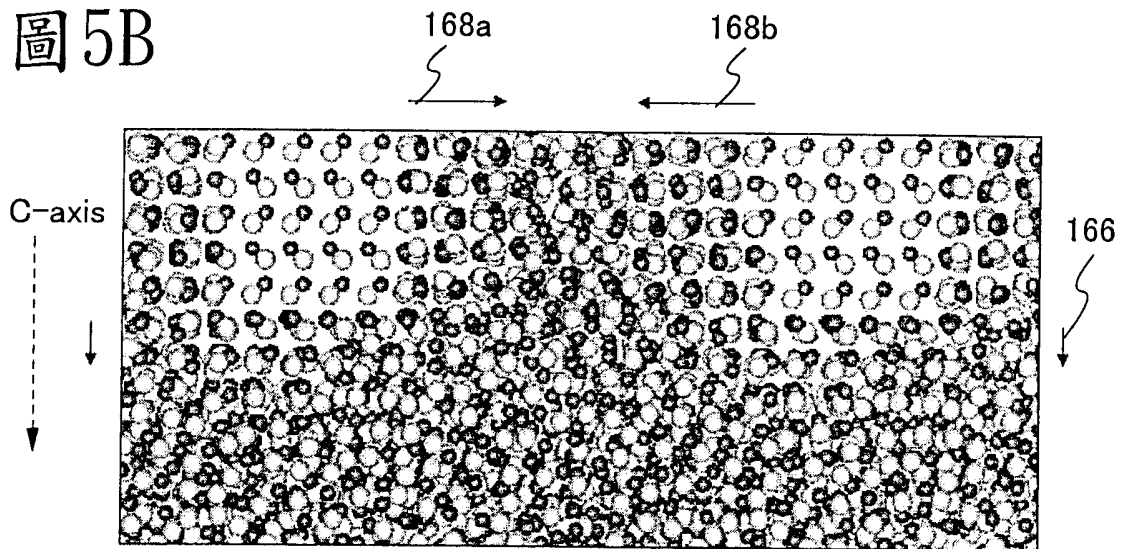
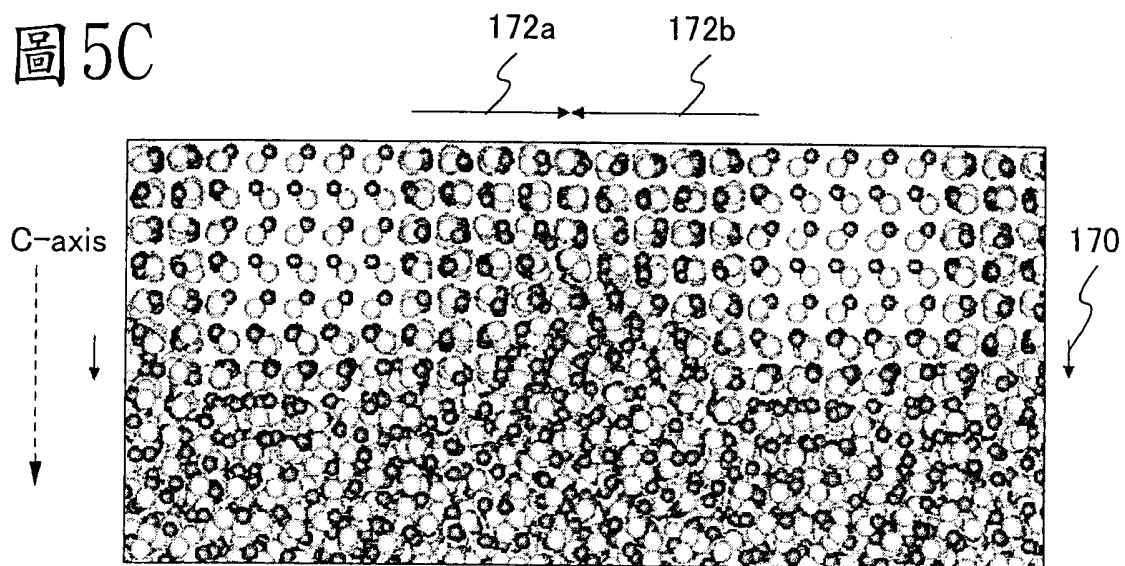


圖 5C



Zn : ○ ○ : ●

圖 6A

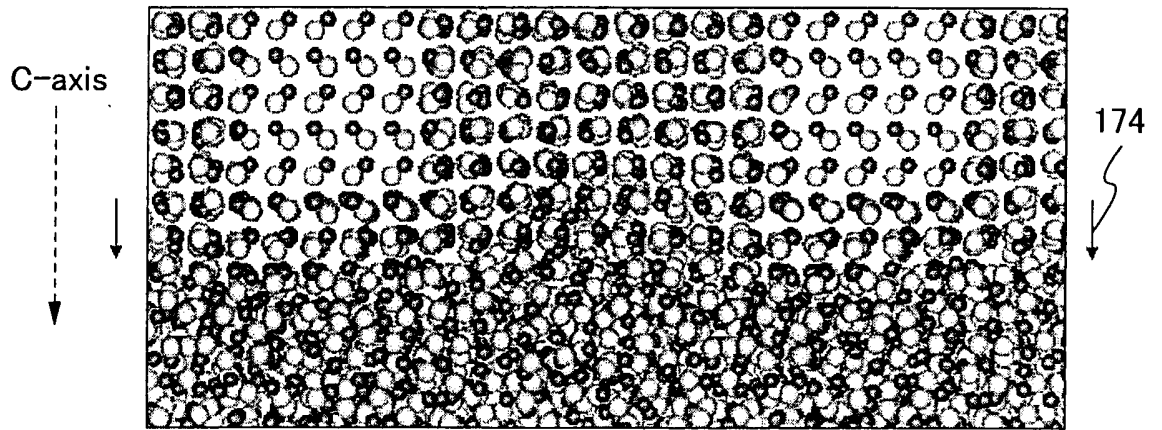
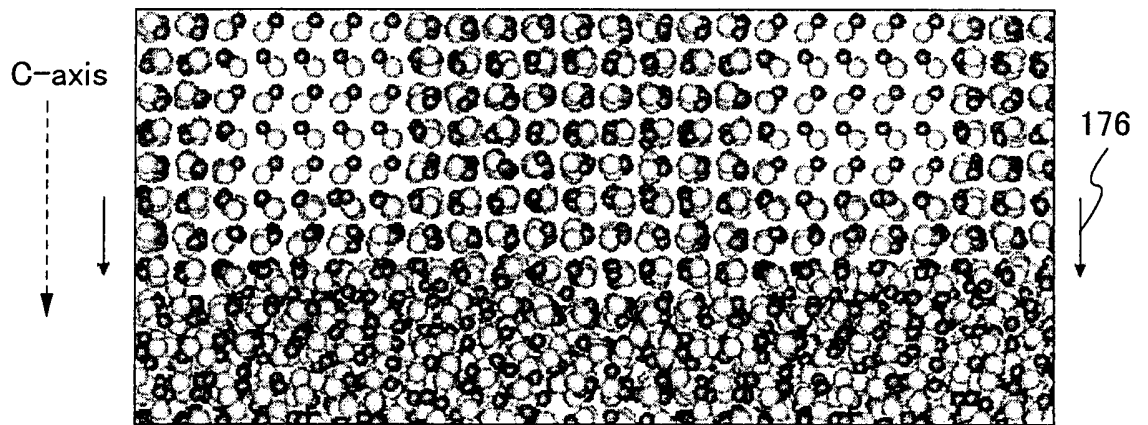


圖 6B



Zn : ○    ○ : ●



圖 7A

ZnO

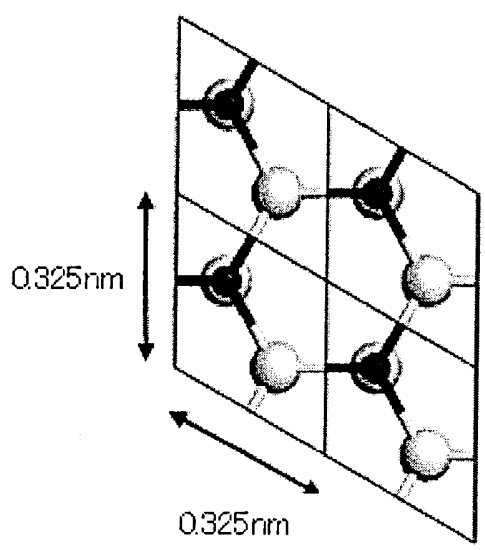


圖 7B

ZnO

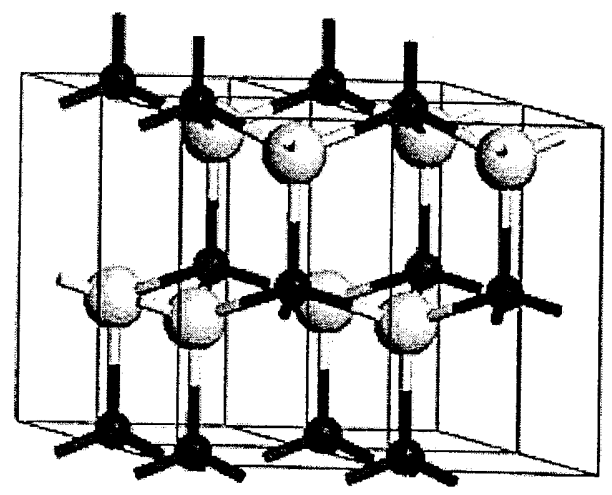


圖 7C

InGaZnO4

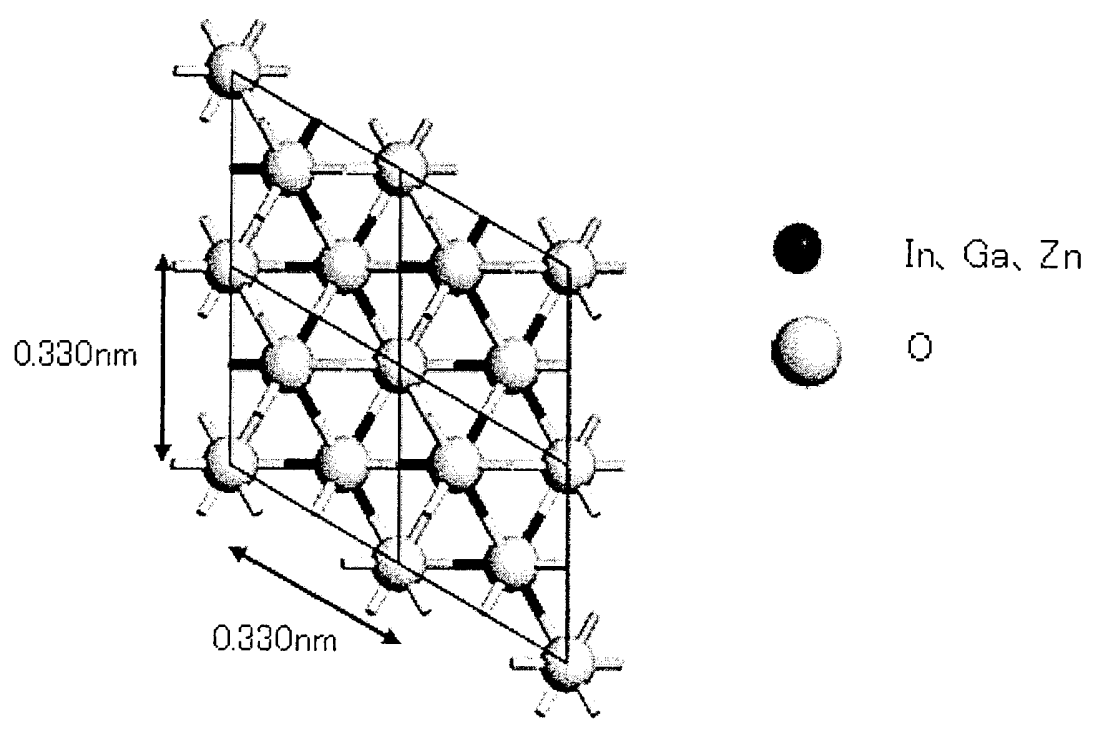


圖 8A

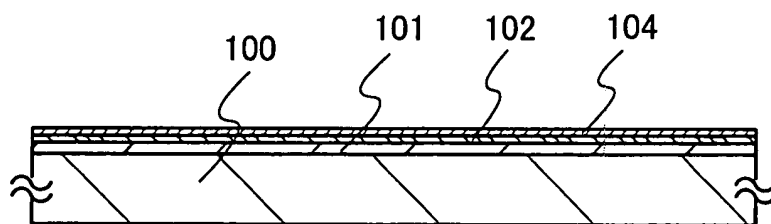


圖 8B

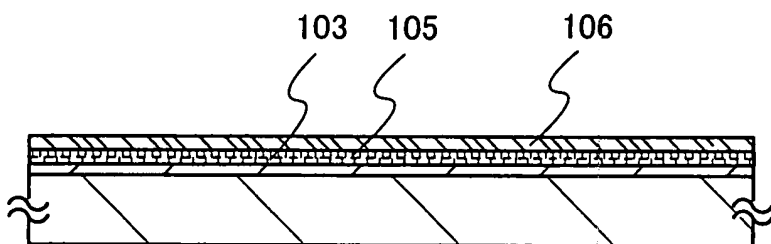


圖 8C

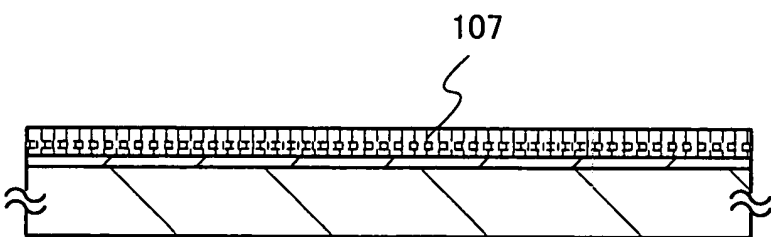


圖 8D

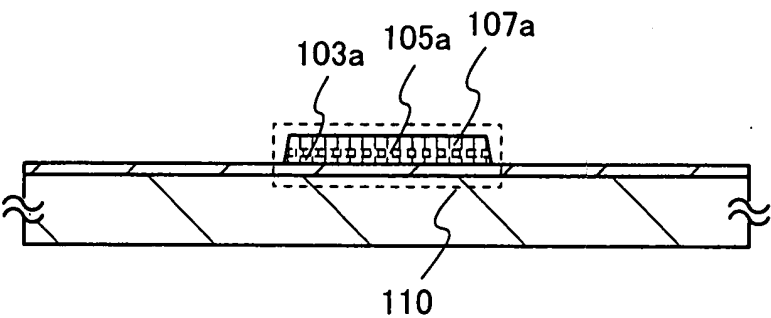


圖 8E

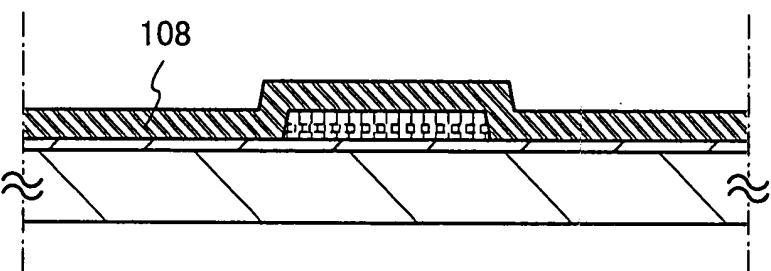


圖 9A

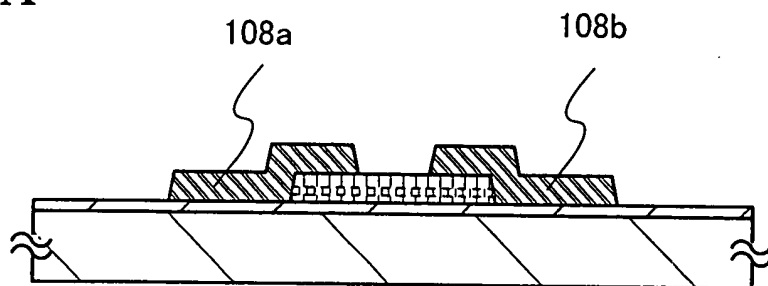


圖 9B

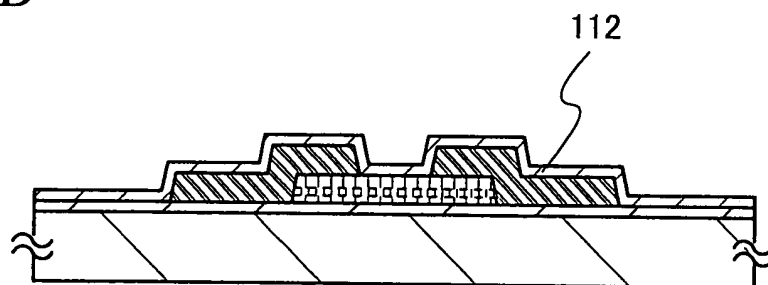


圖 9C

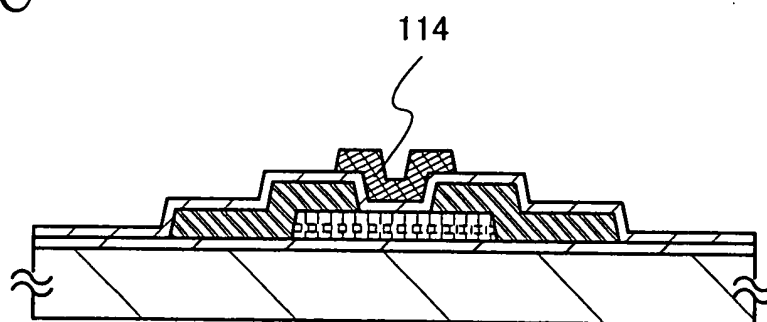


圖 9D

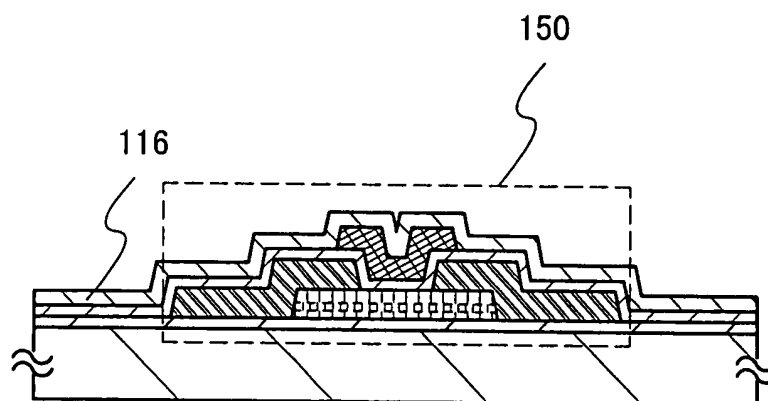


圖 10A

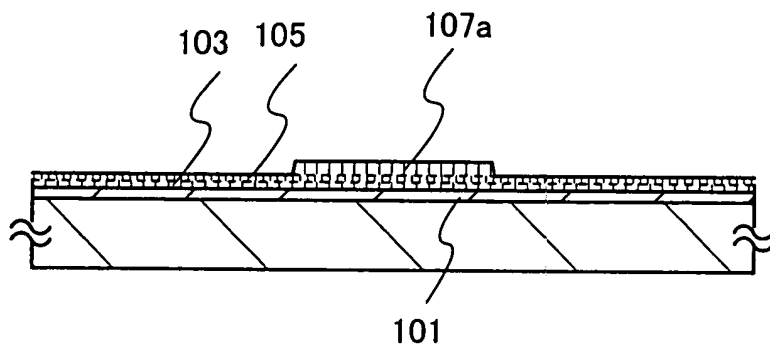


圖 10B

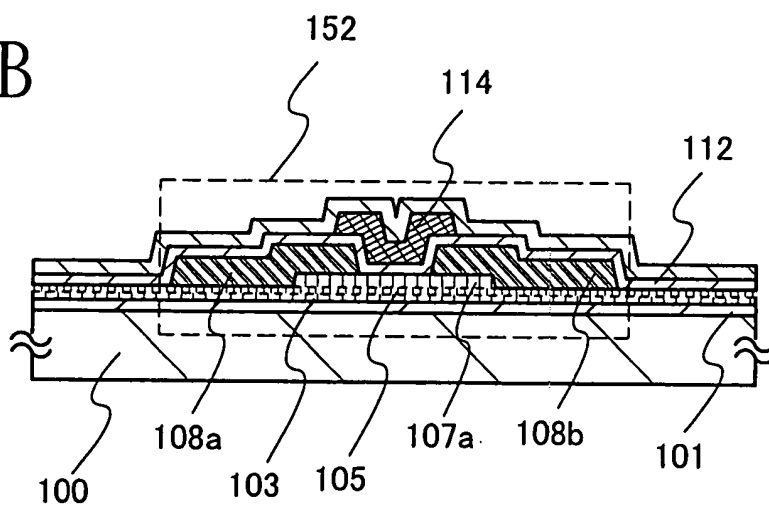


圖 11A

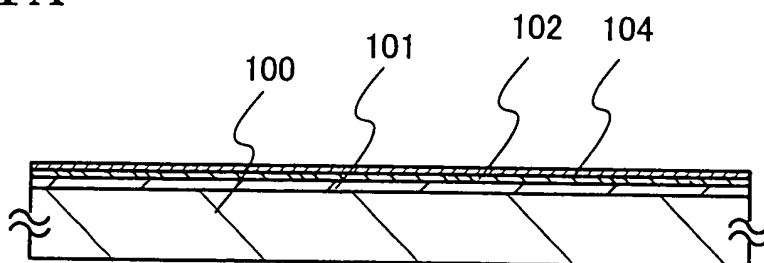


圖 11B

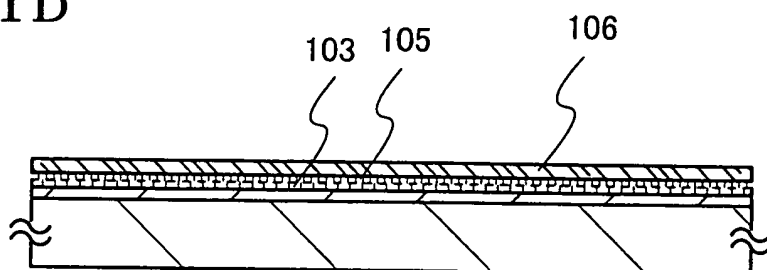


圖 11C

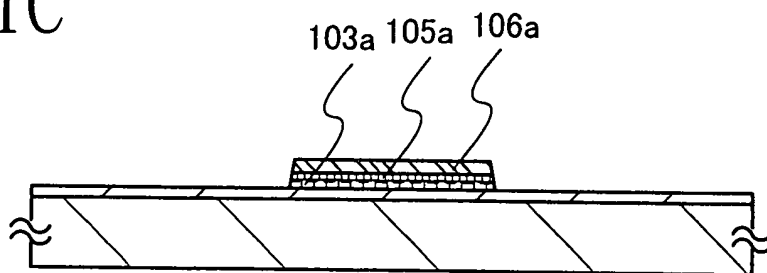


圖 11D

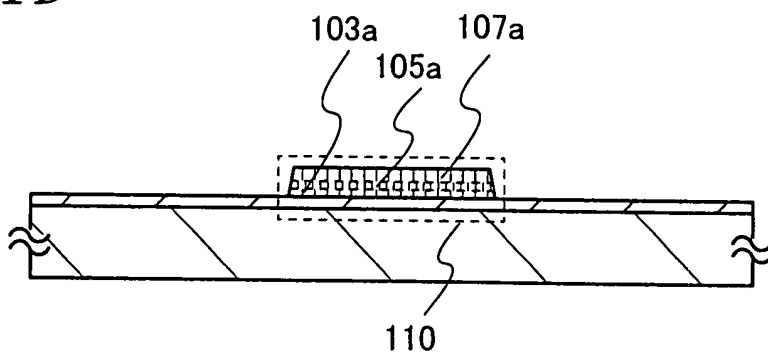


圖 12A

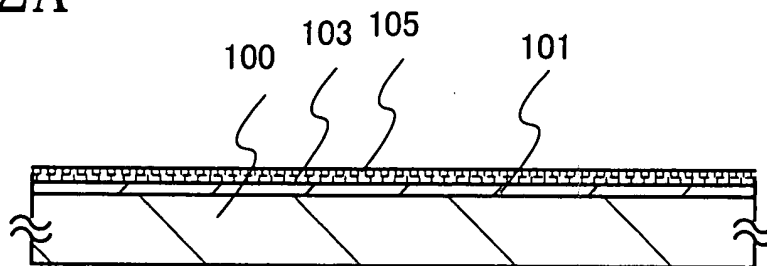


圖 12B

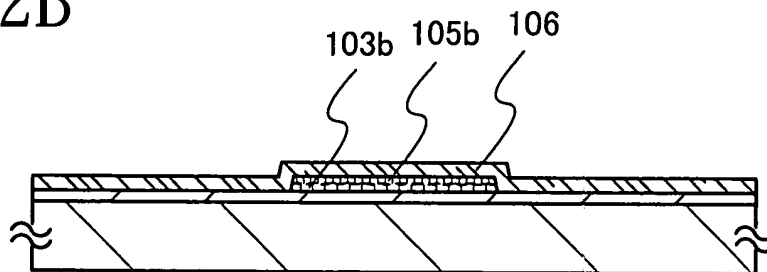


圖 12C

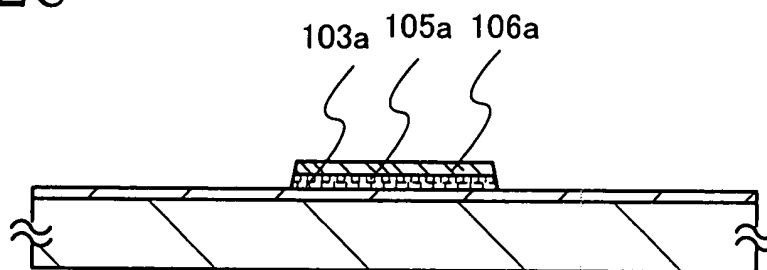


圖 12D

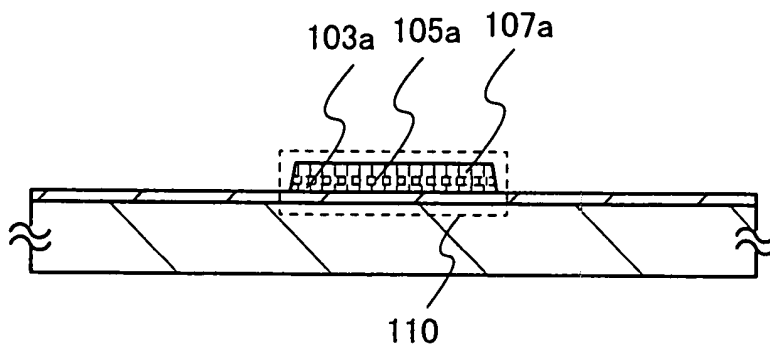


圖 13A

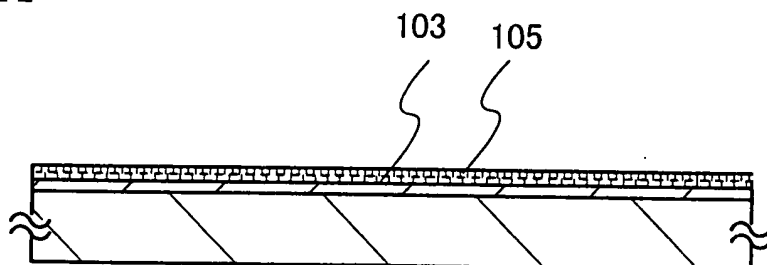


圖 13B

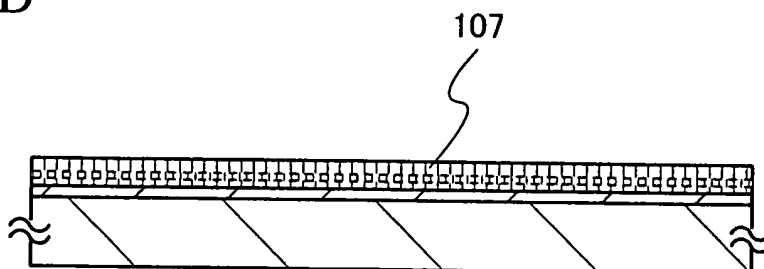


圖 14A

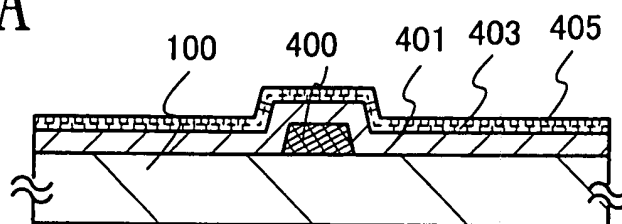


圖 14B

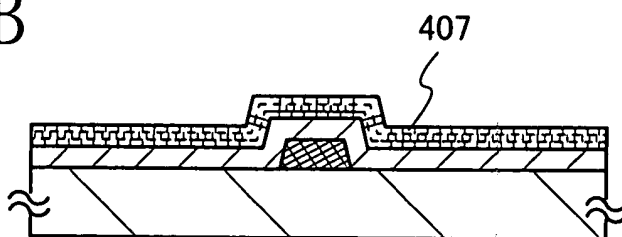


圖 14C

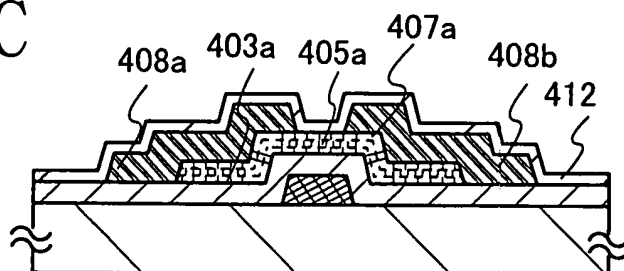


圖 14D

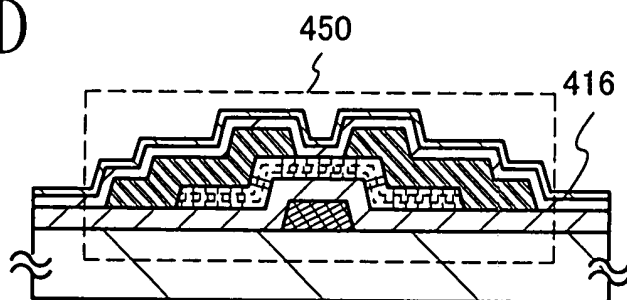


圖 14E

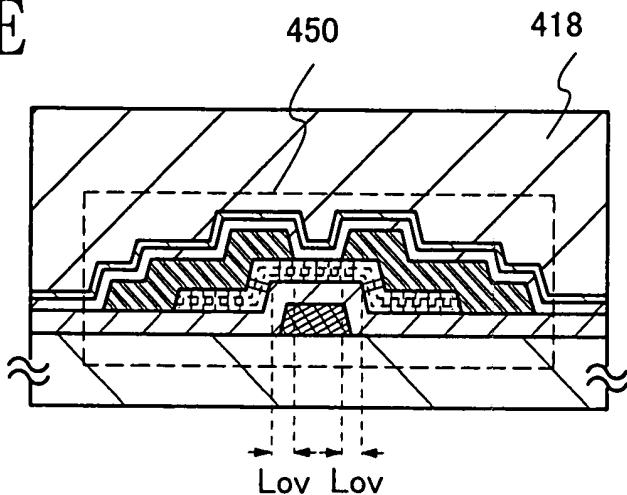




圖 15A

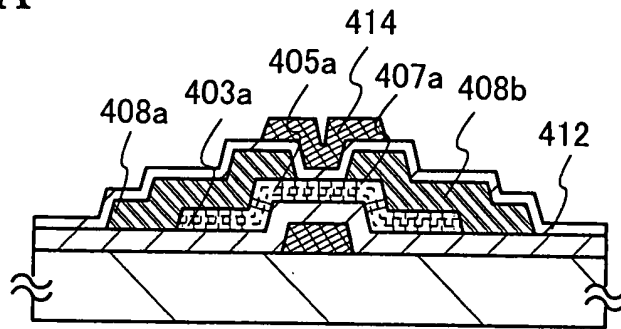


圖 15B

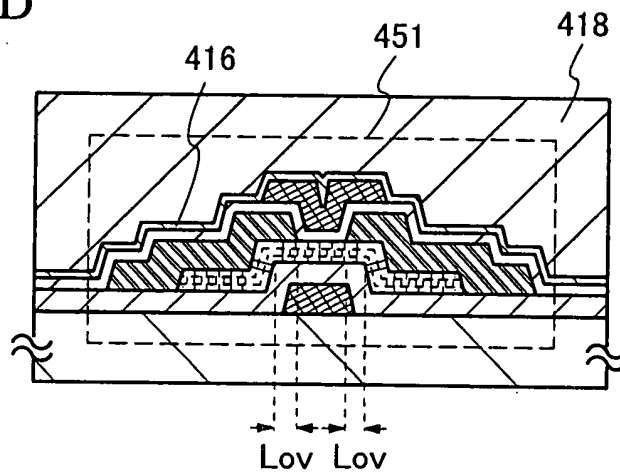


圖 16

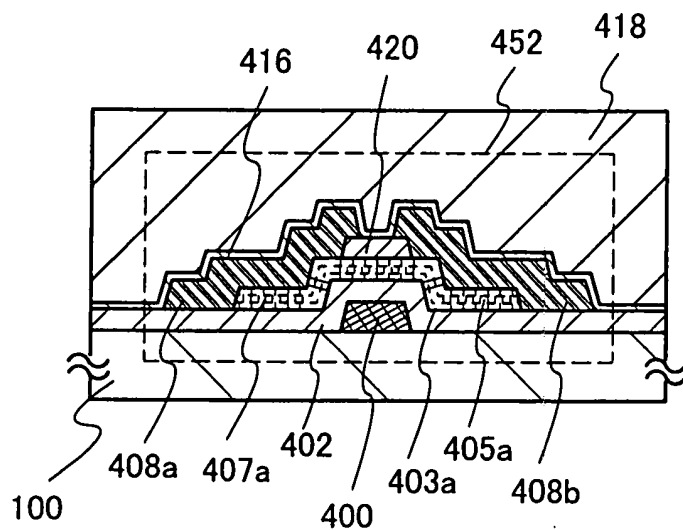


圖17

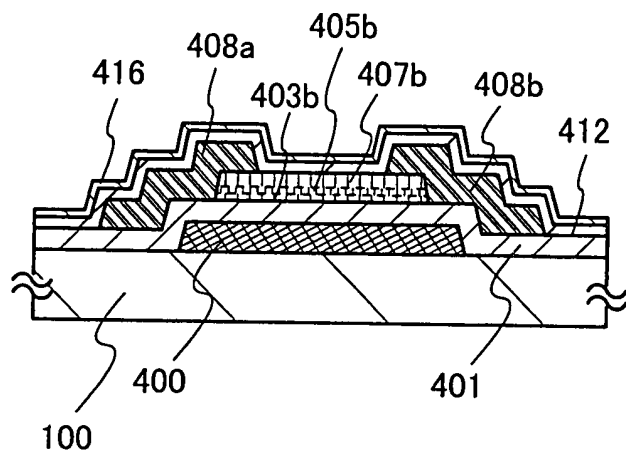




圖 19

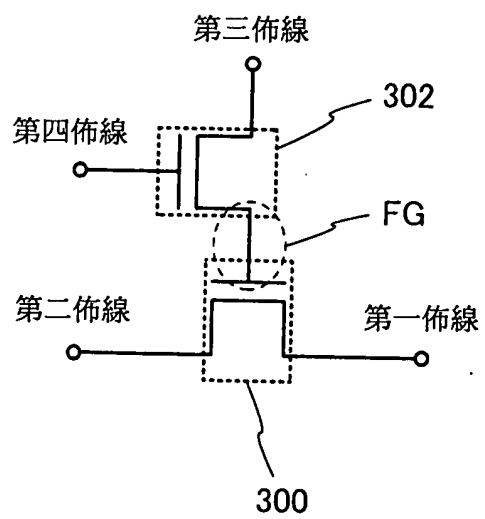


圖 20A

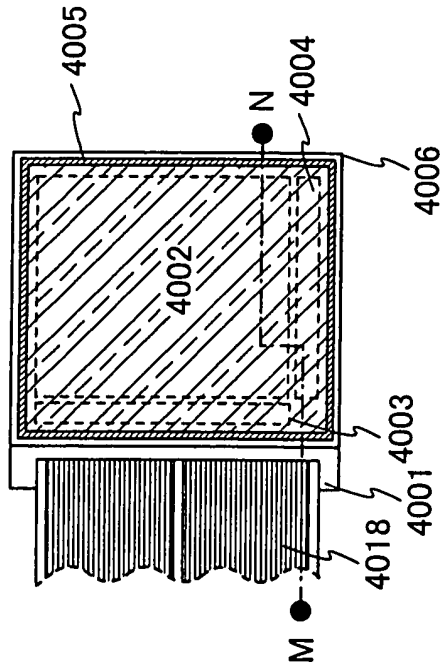


圖 20B

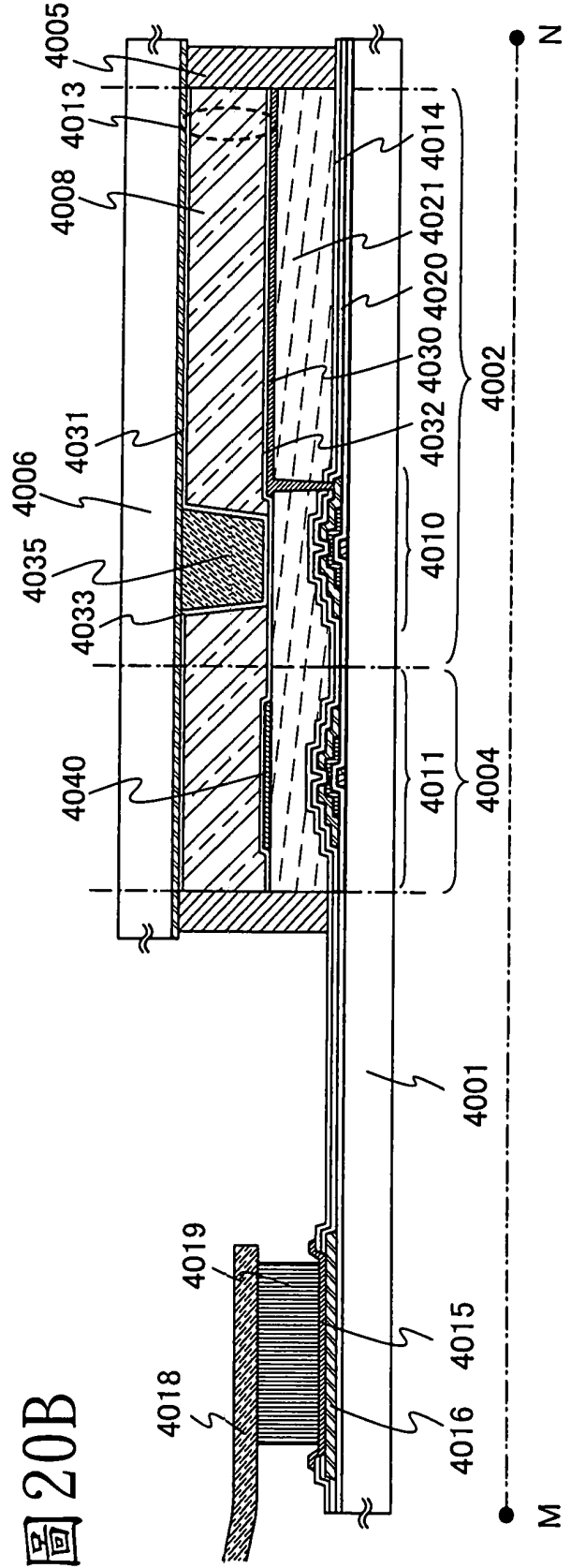


圖21A

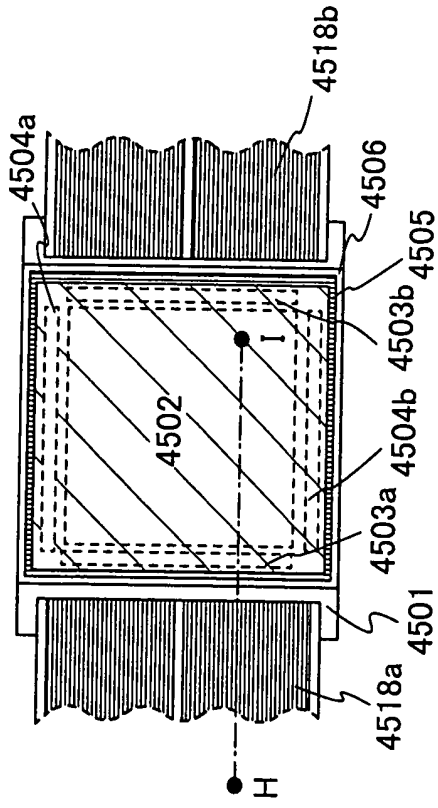


圖21B

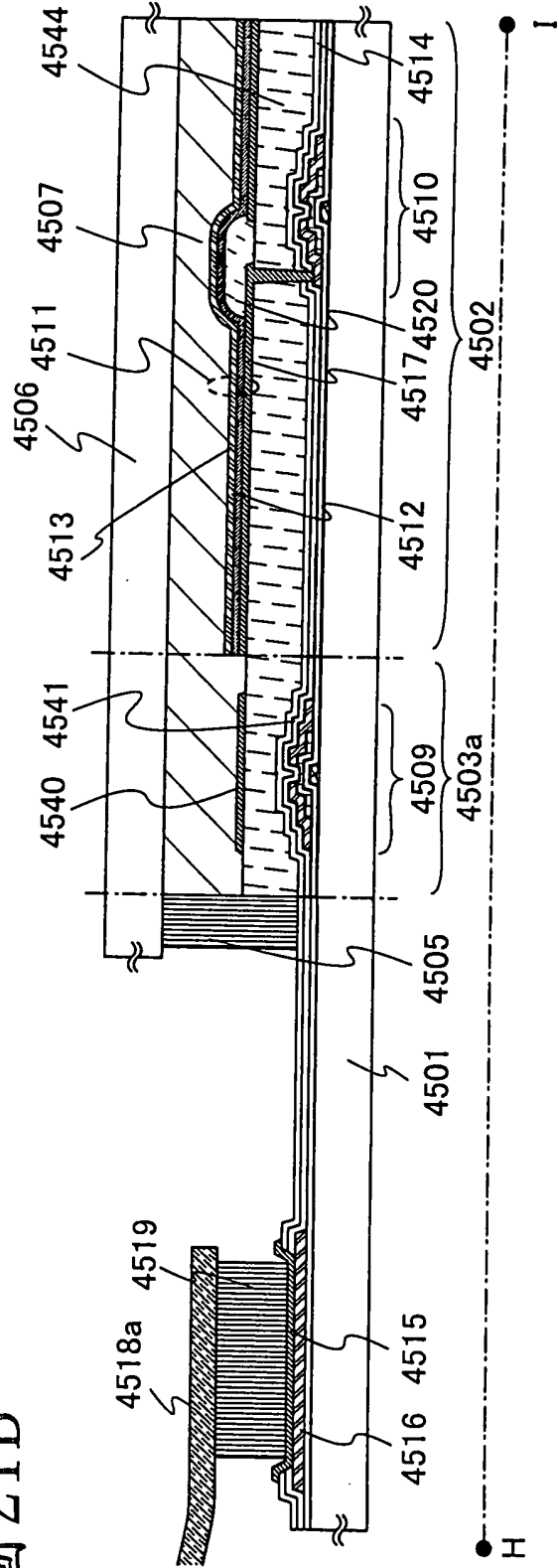


圖 22

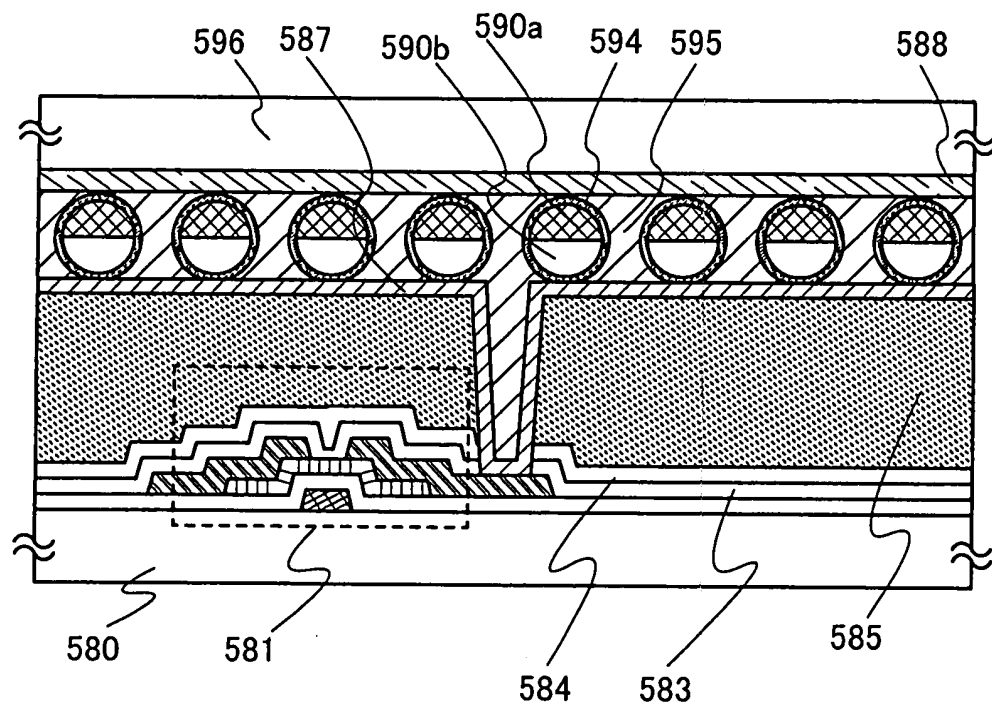




圖 23A

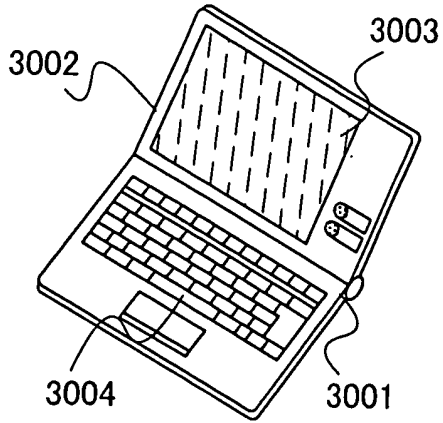


圖 23D

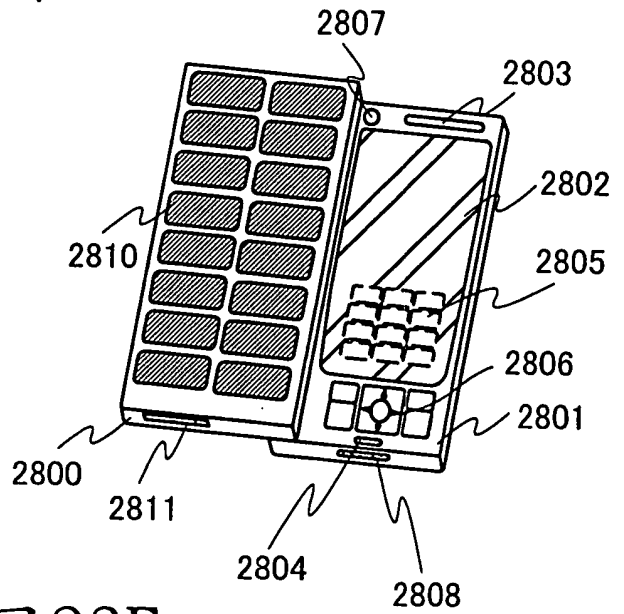


圖 23B

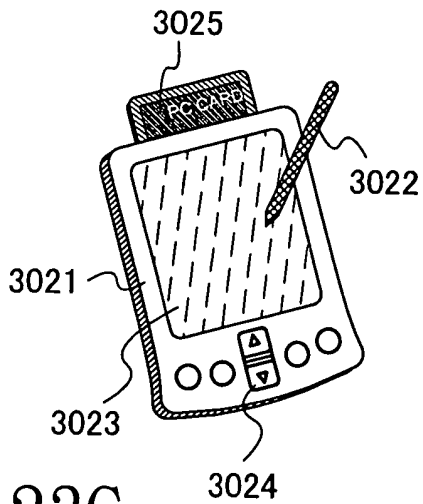


圖 23E

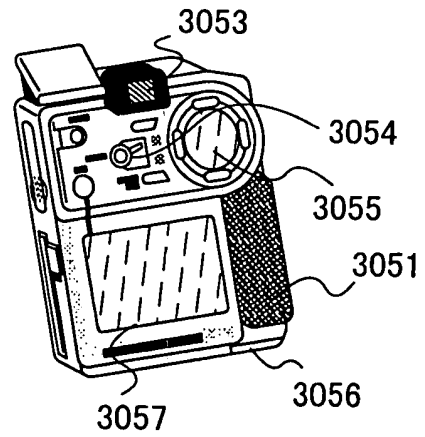


圖 23C

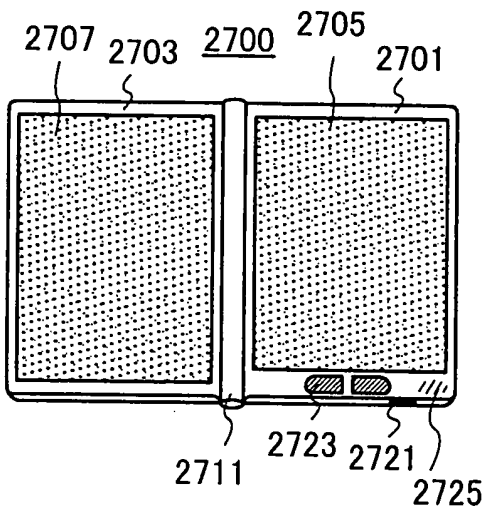
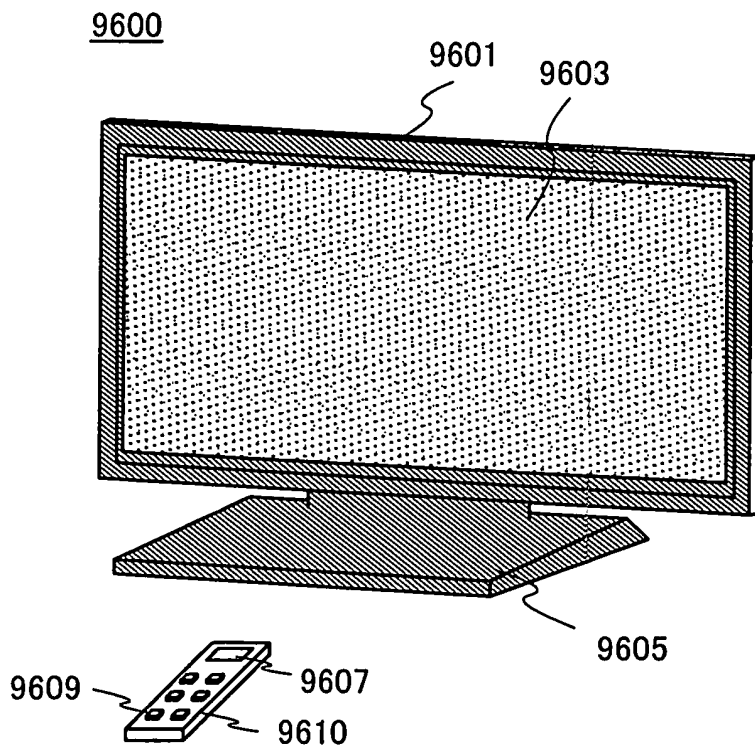


圖 24



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

103a：多組份氧化物半導體層

105a：單組份氧化物半導體層

107a：多組份氧化物半導體層

108a：佈線

108b：佈線

110：氧化物半導體堆疊

112：閘極絕緣層

114：閘極電極

116：絕緣層

150：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無