

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4164248号  
(P4164248)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月1日(2008.8.1)

(51) Int.Cl.		F I
HO 1 S	5/16 (2006.01)	HO 1 S 5/16
HO 1 S	5/227 (2006.01)	HO 1 S 5/227
HO 1 S	5/34 (2006.01)	HO 1 S 5/34

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2001-299983 (P2001-299983)	(73) 特許権者	301005371
(22) 出願日	平成13年9月28日 (2001.9.28)		日本オブネクスト株式会社
(65) 公開番号	特開2003-110195 (P2003-110195A)		神奈川県横浜市戸塚区戸塚町2 1 6 番地
(43) 公開日	平成15年4月11日 (2003.4.11)	(74) 代理人	110000350
審査請求日	平成16年8月27日 (2004.8.27)		ポレール特許業務法人
		(74) 代理人	100068504
			弁理士 小川 勝男
		(74) 代理人	100086656
			弁理士 田中 恭助
		(72) 発明者	元田 勝也
			神奈川県横浜市戸塚区戸塚町2 1 6 番地
			日本オブネクスト株式会社内
		(72) 発明者	岡本 薫
			神奈川県横浜市戸塚区戸塚町2 1 6 番地
			日本オブネクスト株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子及びその製造方法、及び半導体光装置

(57) 【特許請求の範囲】

【請求項 1】

化合物半導体の n 型 I n P 基板上部に、 I n G a A s P 活性層領域を有する多重量子井戸構造である化合物半導体多層積層体と、前記活性層領域を有する化合物半導体多層積層体に光学的に接続され当該半導体素子の光の射出口側を構成する、前記活性層領域より禁制帯幅の大きい P - I n P による第 1 の化合物半導体層と、前記活性層領域を有する化合物半導体多層積層体の上部に配置される、前記活性層領域より屈折率が小さい P - I n P による第 2 の化合物半導体層と、を有し、且つ前記第 1 の化合物半導体層と前記第 2 の化合物半導体層とが同じ化合物半導体材料の一体の層として形成され、且つ、前記第 1 の化合物半導体層は前記化合物半導体多層積層体が部分的に除去された領域上に形成されていることを特徴とする半導体光素子。

【請求項 2】

前記第 1 の化合物半導体層の厚さが前記第 2 の化合物半導体層の厚さより大きいことを特徴とする請求項 1 に記載の半導体光素子。

【請求項 3】

前記第 2 の化合物半導体層が、単層、多層膜、量子井戸構造の多層膜の群のいずれか一者であることを特徴とする請求項 1 に記載の半導体光素子。

【請求項 4】

請求項 1 より請求項 3 に記載の半導体光素子の複数個が一つの化合物半導体基板に搭載されたことを特徴とする半導体光装置。

## 【請求項5】

化合物半導体のn型InP基板上部に、InGaAsP活性層領域を有する多重量子井戸構造である化合物半導体多層積層体を形成し、次に、前記活性層領域を有する化合物半導体多層積層体を、ストライプ状で且つその一方の端面が当該半導体素子の光の射出口側の端面より後退した位置にあるように加工し、次に、ストライプ状の前記活性層領域を有する化合物半導体多層積層体を埋め込む化合物半導体層を形成する工程、とを有し、当該半導体素子の光の射出口側の端面側に形成される第1の化合物半導体層と、前記ストライプ状の前記活性層領域を有する化合物半導体多層積層体の上部に形成される第2の化合物半導体層とが、同一材料のP-InPで且つ、前記化合物半導体多層積層体を埋め込む化合物半導体層を形成する工程と同一の工程にて形成され、且つ前記化合物半導体多層積層体を埋め込むP-InP化合物半導体層は前記活性層領域より禁制帯幅が大きく、屈折率が小さいことを特徴とする半導体光素子の製造方法。

10

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本願発明は半導体光素子及びその製造方法に関するものである。本願発明は、わけても光通信分野等に用いて有用である。

## 【0002】

## 【従来の技術】

半導体光素子において、端面反射による戻り光を抑える方法として、ARコートと、いわゆる窓構造がある。このうち、窓構造は活性領域から端面までの距離を設けることで、端面より反射して戻ってきた光が導波路で再結合する確率を小さくすることが可能である。そして、その製造は比較的容易である。従来、メサストライプ構造を有する半導体レーザにおける窓構造は次の方法によって製造されていた。即ち、結晶成長によりレーザ発振のための多層構造を上部のクラッド層も含めて形成した後、エッチング加工により光導波路となるメサストライプを形成する。更に、メサストライプ状の半導体領域の側面及び前方先端領域を1層以上の半導体層で埋め込み成長を行うことで、窓構造を形成していた。

20

## 【0003】

## 【発明が解決しようとする課題】

本願発明は、良好な光射出特性を有する埋め込みヘテロ型半導体レーザ装置を提供すること、並びにこうした埋め込みヘテロ型半導体レーザ装置を歩留まり良く製造する方法を提供するものである。

30

## 【0004】

前述のヘテロ型半導体レーザ装置におけるメサストライプ状の半導体積層体を形成する際、Br系のエッチャント等でエッチング加工する。しかし、この際、エッチング用のマスク直下に、サイドエッチングが発生する。その状態のまま、メサストライプ状半導体積層体に対して埋め込み成長を行うと、完全に埋め込まれない空洞領域が生じるなどの難点が発生した。特に、メサストライプの先端部に空洞領域が存在すると、レーザ光が空洞領域で乱反射し、光出力不足や光強度分布に異常が生ずる。こうした事態に基づいて、半導体光素子の特性に悪影響を及ぼすとともに、その製造歩留を下げの要因にもなっていた。尚、この事実の詳細は後述する。

40

## 【0005】

従来、エッチング加工後、加工されたストライプ状半導体積層体の両側を埋め込み成長する際、合わせて、窓領域をも形成していたのに対して、本願発明は、光導波路部分と窓領域を、第2クラッド層を含む化合物半導体で多層成長により形成するものである。この方法によって、前記ストライプ状領域の先端部の空洞領域を無くすことが出来る。

## 【0006】

このように、本願発明は、光出力や光強度分布などの素子特性を向上させるとともに、半導体光素子を高歩留で作製すること、又、その製造方法を提供することにある。

## 【0007】

50

【課題を解決するための手段】

本願発明は、活性層領域を含む所定の多層構造をウェハに成長した後、窓領域に相当する箇所をフォトエッチング工程で完全に除去し、その上から光導波路部分と窓領域に第2クラッド層を含む化合物半導体で多層成長する。この方法によって、空洞領域の無い窓構造を形成することができた。又、窓構造に近接した半導体光素子において、窓領域の導伝性と同じ極性のバイアスを印加する場合は、窓領域への電流リークが懸念されるが、窓領域にイオン注入によるプロトン打込みを行ったり、窓領域に活性層と同じ厚さのFeをドーパントとした半絶縁膜を成長することで、電流リークを防止することができ、合わせて、本発明は適用可能である。又、この方法により、EA変調器集積レーザなど複数の半導体光素子が集積化した構造においても本発明は適用可能であり、汎用性がある。

10

【0008】

本願発明の代表的な形態を例示すれば、次の通りである。

【0009】

その第1の形態は、化合物半導体基板上部に、活性層領域を有する化合物半導体多層積層体と、前記活性層領域を有する化合物半導体多層積層体に光学的に接続され当該半導体素子の光の射出口側を構成する、前記活性層領域より禁制帯幅の大きい第1の化合物半導体層と、前記活性層領域を有する化合物半導体多層積層体の、少なくとも上部に配置される、活性層領域より屈折率が小さい第2の化合物半導体層と、を少なくとも有し、且つ前記第1の化合物半導体層と前記第2の化合物半導体層とが同じ化合物半導体材料の一体の層として形成され

20

た半導体光素子であることが出来る。この場合、前記第1の半導体層と前記第2の半導体層とが別体の層として形成され、前記第1の半導体層と前記第2の半導体層の高さが略同一となしても良い。

【0010】

【発明の実施の形態】

<実施例1>

先ず、これまでの窓構造を伴う埋込みヘテロ(BH: Buried Heterostructure)型半導体レーザを説明すると共に、その難点を明らかにし、次いで、本願発明の例を例示する。

【0011】

30

例えば、これまで、窓構造を伴う埋込みヘテロ型半導体レーザでは、次の方法を用いている。発振の閾値電流の低減やレーザの横方向モードの安定化のために、エッチング加工でストライプ構造を形成した後、ストライプ構造の両側面を半導体材料で埋め込むことにより光導波路を形成する。この時、同時にストライプ構造の光射出面側に窓構造も同時に形成していた。

【0012】

InP系の窓構造を有するBH型レーザの一例を次に示す。埋込み成長後の素子構造の一例の断面図を図1、その上面図を図2に示す。又、その製造工程をその工程フローを含めて図3に示す。図3の左側は製造工程順に示した装置の断面図、右側はその製造工程をその工程フロー図である。尚、図3の断面図は光の進行方向に平行な面での断面図である。

40

【0013】

半導体基板4、例えばInP基板上に、活性層領域を含む半導体積層領域3が搭載される。この上部に第2のクラッド層2、例えばp型InP層が形成される。こうして、光導波路を形成するために第2クラッド層を含む多層構造体が形成される(図3のA)。この上部に約300nmのCVD(Chemical Vapour Deposition)にてシリコン酸化膜(以下、SiO<sub>2</sub>膜と記載する)1を形成し、所望形状にて加工しマスクとする(図3のB)。図2にこのマスク1の平面形状が示される。このマスクを用いて、臭化(Br)メタノールをエッチャントとしたウェットエッチングにより、前記半導体積層体をメサストライプ構造に加工する。この際[011]方向のエッチングレートが大きいことから、ストライプ先端に最大で10μm程度のサイドエッチング20が生じる

50

(図3のC)。従って、このまま、この後、半絶縁膜である鉄(Fe)含有のInPにて、埋込み成長を行うと、マスク1のひさし21が、埋込み成長原料がマスク1の下部に入り込むのを妨害する。この為、マスク1の直下には、窓構造部の半導体層6とストライプ状半導体積層体2との間に空洞5が生じることになる(図3のD)。このような構造は、光出力や光強度分布などの素子特性に悪影響を与える。

【0014】

これに対して、本願発明の代表的な方法は次の方法である。即ち、(1)少なくとも第2のクラッド層を除いて、活性層領域を含む半導体多層膜構造を形成した後、フォトリソング工程により窓領域の活性層を完全に除去する。(2)活性層領域先端の窓領域の半導体層領域を、前記半導体多層膜構造の上部への第2クラッド層の形成工程と同一工程で形成する。

10

【0015】

本願発明のBH型レーザへの適用例を次に示す。本願発明の素子の一例の断面図を図4に示す。図4は光の進行方向に平行な面での素子の断面図である。図5はBH型レーザ用のストライプ構造を加工する際のエッチング用マスクの平面図である。又、その製造工程を工程フローを含めて図6に示す。図6の左側は製造工程順に示した装置の断面図、右側はその製造工程をその工程フロー図である。図7は光の進行方向に交差する面での素子の断面図である。尚、図7の断面図は光の進行方向に平行な面での断面図である。

【0016】

n型InP基板4上に、 $\sim 0.3\mu\text{m}$ の厚さの活性層領域となるInGaAsPのMQW(Multi-Quantum-Well)構造3を結晶成長により形成する(図6のA)。窓領域となる箇所以外の部分にフォトリソマスク7を形成し、 $\text{H}_3\text{PO}_4$ 、 $\text{H}_2\text{O}_2$ 及び $\text{H}_2\text{O}$ の混液をエッチャントとして、5分間のエッチングを行う(図6のB)。前記混液の混合比は、 $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:10$ である。このエッチャントはInPに対してほぼ100%の選択性があるため、窓領域の選択エッチングが可能となる。又、活性層の材料がInGaAsP以外にもGaAs、InGaP、GaAlAs、InGaAlP、InGaAlAsなどのIII-V族化合物半導体材料で構成され、ウェットエッチングによる選択エッチングが不可能な場合でも、 $\text{CH}_4$ 系あるいは $\text{Cl}_2$ 系のドライエッチングで完全に除去することが可能である。

20

【0017】

このようにして、窓領域の活性層領域を含む半導体多層構造体を除去する。そして、この工程で用いたレジストを剥離した後、窓領域と光導波路部分の上部を含んで、厚さ約 $2.0\mu\text{m}$ の第2クラッド層としてp型InP層2を形成する。更に、この上部に、InGaAsPのキャップ層80を約 $0.2\mu\text{m}$ の厚さに成長する(図6のC)。

30

【0018】

次いで、BH型レーザの為にストライプ状半導体積層体部を通例のエッチングによって形成する。メサストライプ構造を形成する際には、従来と異なり、窓領域部にもストライプ状マスク1を形成することで、サイドエッチングによる影響を回避する(図6のD)。図5にこのマスク1の上面図が示される。図5の領域Aは半導体レーザ部、領域Cは窓領域である。図7は本例のBHレーザ素子の光の進行方向に交差する面での断面図である。前記BH型レーザの為にストライプ状半導体積層体部の幅は、dで示される。

40

【0019】

メサエッチング後、半絶縁膜である鉄(Fe)含有のInPにて、埋込み成長を行う。この時、埋込まれるのはメサストライプ構造70の側面部71、72である。図5、図7を参照し、この状態は理解されるであろう。半導体積層体の上部と半導体基板の裏面に、各々電極31、30を形成する。図4及び図7が本例の半導体光素子の二つの断面図である。尚、完成された半導体光素子では、光射出端面等に保護膜が形成されるが、図では通例のものに付き省略されている。

【0020】

こうして作製された窓領域は光導波路部分と同一材料で形成され、空洞領域も存在しない

50

。本実施例により作製した構造により、光出力、光強度分布の素子特性を飛躍的に向上することができた。

<実施例 2 >

実施例 2 は光導波路部分及び窓領域上に第 2 クラッド層を成長する前に、窓領域にのみ鉄 (Fe) ドープの InP 層 8 を活性層領域 3 と同じ厚さに部分成長する場合である。この例の光の進行方向と平行な面での断面図を図 8 に示す。即ち、窓領域 8 と第 2 のクラッド層 2 の材料を別体に構成する例である。その他は図 4 の実施例 1 と同様である。

【0021】

Fe ドープ層 8 の部分成長は、実施例 1 におけるフォトレジストを約  $0.3 \mu\text{m}$  の  $\text{SiO}_2$  や  $\text{SiN}$  などの絶縁物に変更することで選択成長が可能となる。その後、絶縁物マスクは BHF に 1 分以上浸漬することで容易に除去可能である。絶縁物マスク除去後、実施例 1 と同様に第 2 クラッド成長し、その後、通例のプロセスにて半導体光装置を製造する。尚、光射出端面等に保護膜が形成されるが、図では省略されている。

10

【0022】

窓領域に活性層と同じ厚さの Fe ドープ層を形成することで、光導波路先端部に pn 接合により生じる容量を低減できる。この為、EA 変調器を集積化した半導体レーザ装置などにおいては、動特性、伝送特性などの特性向上にもつながる。

<実施例 3 >

実施例 3 は実施例 2 において、部分成長する半導体層 8 に Fe ドープした活性層材料よりバンドギャップの大きい InGaAsP 系の多層構造を活性層領域 3 と同じ厚さ形成する場合である。この例の光の進行方向と平行な面での断面図は図 8 と同様である。従って、この例も窓領域 8 と第 2 のクラッド層 2 の材料を別体に構成されている。又、図示されていないが、発光端面に保護膜ないしは反射膜などが被覆されることは通例の技術で十分である。その他は図 8 の実施例 2 と同様である。

20

【0023】

活性層と比べてバンドギャップの大きい組成で構成されていれば、窓領域にも導波路構造を形成することになる。これにより光導波路より出射されたビームがしぼられるため、縦方向の光強度分布が向上する。又、活性層の材料も InGaAsP に限定するものではなく、GaAs、InGaP、GaAlAs、InGaAlP、InGaAlAs などの III-V 族化合物半導体材料で構成されていても、窓部のバンドギャップが大きければ、本願発明の適用が可能である。

30

<実施例 4 >

実施例 4 は、窓領域に隣接する半導体光素子において、その窓領域の導伝性と同じ極性のバイアスを印加するような場合の例である。

【0024】

こうした個所に本願を適用する場合、窓領域部への電流リークを防ぐため、電流ストッパー層を設ける必要がある。電流リーク防止は、実施例 2 のように Fe をドープした活性層と同じ厚さの半導体層を部分成長することでも可能であるが、次の方法も有用である。即ち、この方法は、フォトリソエッチング工程により窓部の活性層を除去した後、イオン注入によるプロトン打込みで高抵抗を形成し、電流のストッパー層とするものである。

40

【0025】

この例の光の進行方向と平行な面での断面図を図 9 に示す。半導体基板 4 の n 型 InP 基板に光素子の活性層領域を含む半導体多層構造体 3 が積層される。図 6 の例と同様に、当該半導体多層構造体 3 の窓構造の領域を食刻する。そして、窓構造領域を除去した底面にプロトンを打ち込み高抵抗層 10 を形成する。こうして準備した半導体基体に、前記の例と同様に p 型 InP 層 2 を結晶成長する。領域 2-1 が窓領域、領域 2-2 が第 2 のクラッド層である。尚、符号 80 はコンタクト層、符号 30、31 は各々 n 側電極、p 側電極である。又、図示されていないが、発光端面に保護膜ないしは反射膜などが被覆されることは通例の技術で十分である。

<実施例 5 >

50

実施例 5 は、端面反射による戻り光をさらに抑える目的で窓領域を厚膜化した構造が必要な例である。

【 0 0 2 6 】

図 1 0 は窓領域の厚膜化の為のマスクの例を示す平面図である。図 1 1 は厚膜の窓領域を有する半導体発光素子の断面図である。図 1 1 は光の進行方向に平行な面での断面図である。尚、光射出端面等に保護膜が形成されるが、図では省略されている。

【 0 0 2 7 】

n 型 I n P 層の中、第 2 のクラッド層に相当する領域は前述の例と同様であるが、領域 5 0 は、通例の窓領域の厚さより h の厚さだけ厚くなった厚膜の窓領域となっている。レーザー光 4 2 は問題なく発光端面より射出される。他方、本願発明によれば、大きな角度で射出されたレーザー光 4 1 も結晶の上面 5 1 に達することなく発光端面より射出される。レーザー光 4 1 が結晶の上面に達するとこの面での反射などにより雑音等を引き起こすこととなる。

【 0 0 2 8 】

次に、この厚膜化した窓領域 5 0 の形成法を略述する。半導体基板 4 に活性層領域を有する半導体多層薄膜積層体 3 を形成する。そして、通例のフォトリソエッチング工程により窓領域部の活性層領域を有する半導体多層薄膜積層体 3 を除去した後、SiO<sub>2</sub> や SiN などの絶縁膜を材料とした選択成長マスク 1 1 - 1、1 1 - 2 を、後に導波構造となりうる部分 4 - 1 の両側に形成する。図 1 0 がこの状態を示す上面図である。尚、符号 3 は前記活性層領域を有する半導体多層薄膜積層体の上面を示す。符号 4 の領域は半導体基板 4 の上面が露出された領域である。符号 4 - 2 の領域は領域 4 - 1 と同じ半導体基板面を示している。その後、第 2 のクラッド層を含む化合物半導体で多層成長すると、選択成長により窓領域が厚膜化する。この原理自体はこれまでに知られたもので、選択成長マスク ( 1 1 - 1、1 1 - 2 ) 上に被着する元素がその両側の半導体領域に移動することによる。又、選択成長マスク間の距離を変化させることで、図 1 1 に示す厚膜化した部分の距離 h を制御することが可能である。その他の部分は他の実施例と同様であるので詳細説明は省略する。

< 実施例 6 >

実施例 6 は半導体レーザー、EA 変調器などの半導体光素子を複数集積化した光集積回路の例である。その一例である EA 変調器付き半導体レーザー ( LD ) 装置主要部の断面図を図 1 2 に示す。図 1 2 は光の進行方向に平行な面での断面図である。図 1 3 はその電極配置を示す平面図である。

【 0 0 2 9 】

図 1 2 及び図 1 3 の領域 A はレーザー素子部、領域 B は光変調部、領域 C は窓領域である。化合物半導体基板である n 型 I n P 基板 4 上に、半導体レーザー素子部 A の活性層領域を含む半導体多層膜構造 3、及び光変調器部 B の半導体多層膜構造 3 が積層される。光変調器部 B の半導体多層膜構造 5 5 は通例の活性領域及び光導波路が形成されている。この半導体多層膜構造 5 5 の光射出部に隣接した一部が削除されている。そして、この上部に上部クラッド層及び窓構造を構成する p 型 I n P 層が形成される。n 型 I n P 基板の裏面に n 側電極 1 4 と、これに対抗して、レーザー部の p 側電極 1 3 及び光変調器部の p 側電極 1 2 が配される。本例では、レーザー部 A と光変調部 B の間は溝 1 5 によって分離されている。尚、光射出端面等に保護膜が形成されるが、断面図では省略されている。

【 0 0 3 0 】

尚、本例に対するレーザー部 A、光変調部 B、及び窓領域 C の製造については、実施例 1 ~ 5 と同様のプロセスで製造することが可能である。

【 0 0 3 1 】

又、本願発明は、半導体レーザー・アレーなど半導体光素子が集積化されたデバイスにも当然適用可能である。図 1 4 はこうした半導体レーザー・アレーの例を示す平面図である。所定の基体 6 1 に、上部電極 6 2、活性層領域を含む光導波路部 6 3、窓領域 6 4、及び溝部 6 5 の配置が示される。レーザー光は符号 6 0 で示される。この本願発明の窓領域の構成

10

20

30

40

50

により良好な光射出特性を確保することが出来る。又、これに伴い、製造歩留まりの向上も見られる。

【0032】

以上、詳述したように、本願発明に係わる構造を有する半導体光素子は、窓領域に空洞が存在せず、活性層に高率良く電流を注入できるため、光出力や光強度分布などの素子特性とともに歩留が飛躍的に向上する。また、窓部にFeドープした導波構造を形成した場合は、光導波路より出射されたビームがしぼられるため、縦方向の光強度分布が向上する。

【0033】

以下、本願発明の主な諸形態を列挙する。

【0034】

本願の第1の形態は、第1クラッド層となるIII-V化合物半導体基板上に、活性層を含む多層と、第1クラッド層と極性の異なる第2クラッド層の積層構造をエピタキシャル成長により形成し、光導波路をストライプ状メサエッチング及び1層以上の化合物半導体層で埋め込み成長することにより形成する埋込みヘテロ構造を有する半導体光素子において、活性層先端の窓領域を第2クラッド層を含む多層成長により同時成長することを特徴とした半導体光素子及びその製造方法である。

10

【0035】

本願の第2の形態は、前記第1項において、窓領域を第2クラッド層と同一の化合物半導体により形成することを特徴とした半導体光素子及びその製造方法である。

【0036】

本願の第3の形態は、前記第1、2項において、第2クラッド層成長前に、窓領域にのみFeドープした多層構造を部分成長することを特徴とした半導体光素子及びその製造方法である。

20

【0037】

本願の第4の形態は、前記第3項において、窓領域に活性層よりもバンドギャップの大きい多層構造を部分成長することを特徴とした半導体光素子及びその製造方法である。

【0038】

本願の第5の形態は、前記第1、2項において、窓領域を有する半導体光素子においてその窓領域の導伝性と同じ極性のバイアスを印加することを特徴とした半導体光素子及びその製造方法である。

30

【0039】

本願の第6の形態は、前記第1～5項において、光導波路先端窓領域を少なくとも第2クラッド層より厚膜化することを特徴とした半導体光素子及びその製造方法である。

【0040】

本願の第7の形態は、前記第1～6項において、半導体光素子を複数集積化したことを特徴とする半導体光素子及びその製造方法である。

【0041】

【発明の効果】

本願発明は、良好な光射出特性を有する埋め込みヘテロ型半導体レーザ装置を提供することが出来る。並びに本願発明はこうした埋め込みヘテロ型半導体レーザ装置を歩留まり良く製造する方法を提供することが出来る。

40

【図面の簡単な説明】

【図1】図1はBH型レーザ素子の光の進行方向に平行な面での断面図である。

【図2】図2は図1のBH型レーザ素子の製造段階での上面図である。

【図3】図3はBH型レーザ素子の製造工程順に示した素子の断面図及びその主要工程のフローを示す図である。

【図4】図4は本願発明の一実施例を示すBH型レーザ素子の光の進行方向と平行な面での断面図である。

【図5】図5は本願発明の一実施例を示す図4のBH型レーザ素子の平面図である。

【図6】図6は本願発明の一実施例の製造工程順に示す素子の断面図及び主要な製造工程

50

フローを示す図である。

【図7】図7は本願発明の一実施例を示す図4のBH型レーザ素子の光の進行方向に交差する面での断面図である。

【図8】図8は本願発明の別な実施例である半導体レーザ素子の光の進行方向に平行な面での断面図である。

【図9】図9は窓領域にプロトン打込みを用いた本願発明の別な実施例である半導体レーザ素子の光の進行方向に平行な面での断面図である。

【図10】図10は本願発明の更に別な実施例である素子における、選択成長マスク形成後の上面図である。

【図11】図11は厚膜の窓領域を有する本願発明の更に別な実施例である、半導体レーザ素子の光の進行方向に平行な面での断面図である。

10

【図12】図12は本願発明の更に別な実施例であるEA変調器付き半導体レーザ素子の光の進行方向に平行な面での断面図である。

【図13】図13は本願発明の更に別な実施例であるEA変調器付き半導体レーザ素子の平面図である。

【図14】図14は半導体レーザ・アレーの例の主要部を示す平面図である。

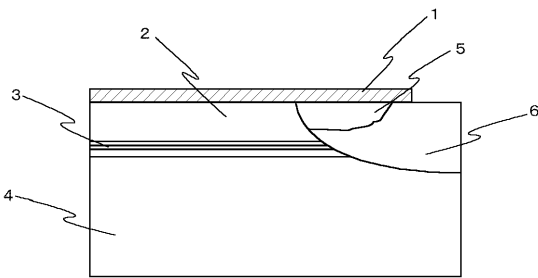
【符号の説明】

1...SiO<sub>2</sub>膜、2...p-InP層、3...活性層を含む多層構造、4...n-InP基板、5...空洞領域、6...Fe-InP層、7...レジスト、8...FeドープInP層あるいはFeドープInGaAsP系の多層構造、9...活性層よりバンドギャップの大きい半導体材料多層構造、10...プロトン打込み層、11...絶縁膜、12...EA部のp側電極、13...LD部のp電極、14...n側電極、30...基板側電極、31...上部電極、80...コンタクト層。

20

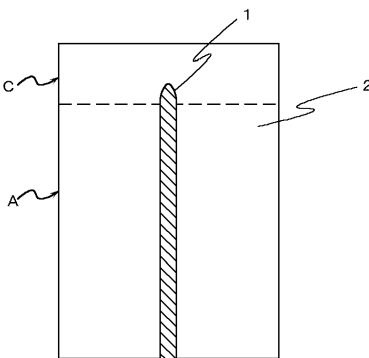
【図1】

図 1



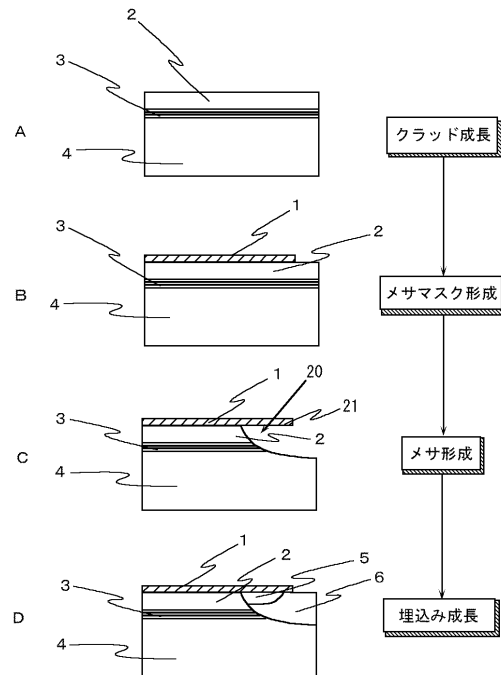
【図2】

図 2



【図3】

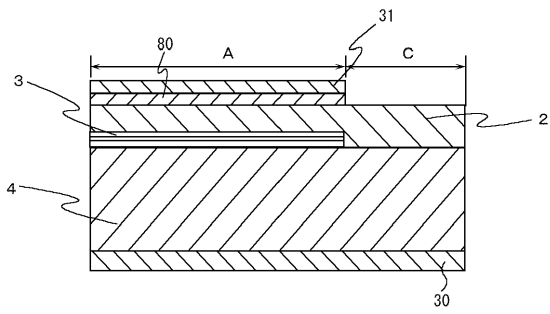
図 3





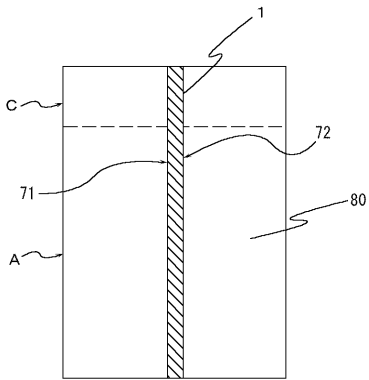
【図4】

図 4



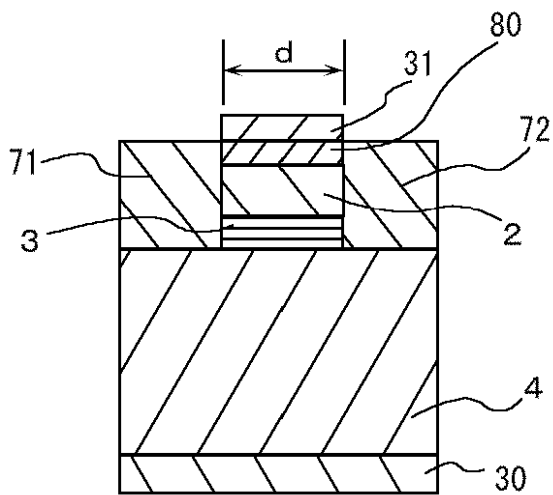
【図5】

図 5



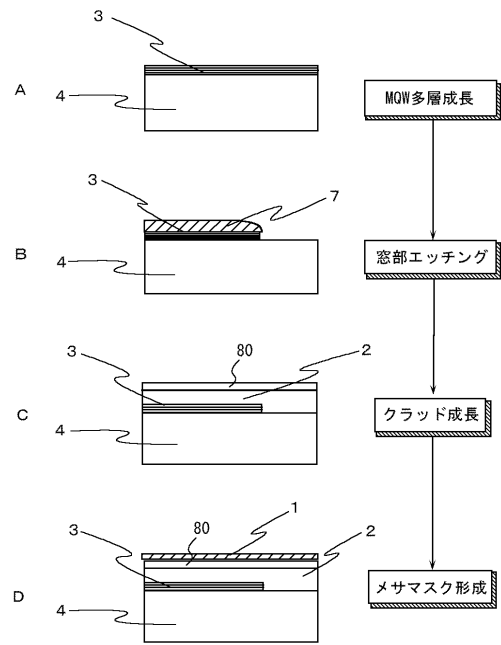
【図7】

図 7



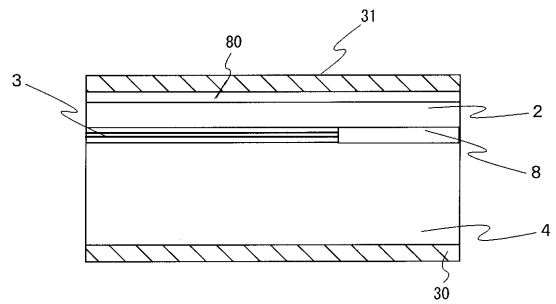
【図6】

図 6



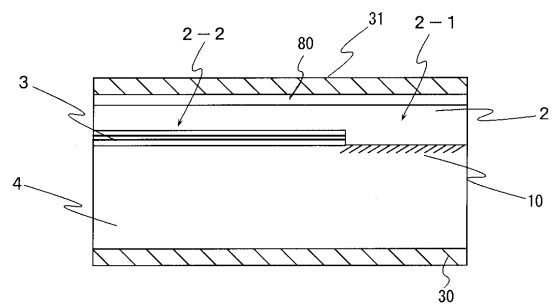
【図8】

図 8



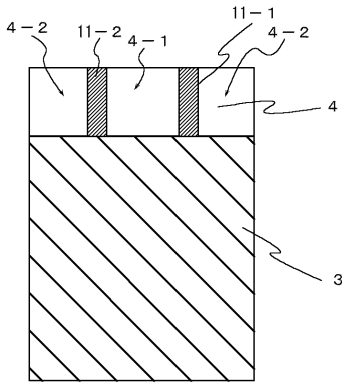
【図9】

図 9



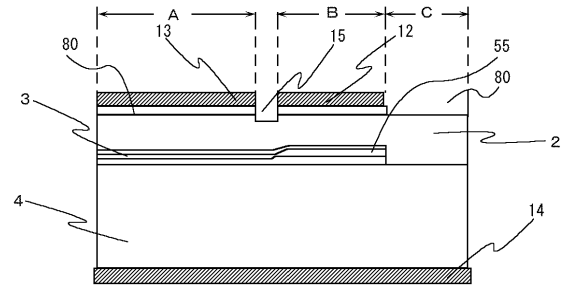
【図 10】

図 10



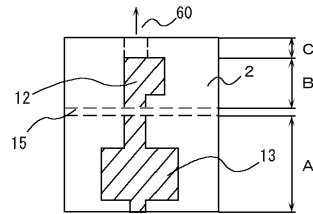
【図 12】

図 12



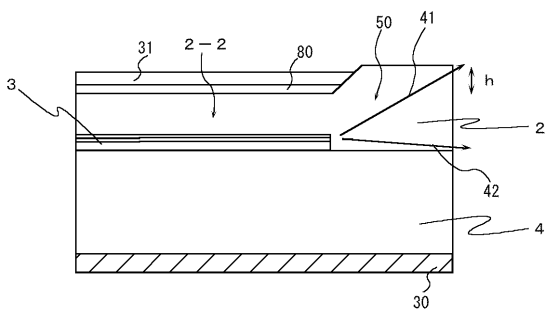
【図 13】

図 13



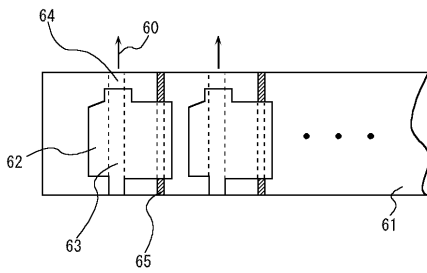
【図 11】

図 11



【図 14】

図 14



---

フロントページの続き

(72)発明者 直江 和彦

神奈川県横浜市戸塚区戸塚町2 1 6番地 日本オプネクスト株式会社内

審査官 小林 和幸

(56)参考文献 特開2 0 0 0 - 1 8 8 4 4 1 ( J P , A )

特開平 1 1 - 1 0 3 1 3 0 ( J P , A )

特開平 1 0 - 2 7 5 9 6 0 ( J P , A )

特開平 0 9 - 0 6 4 4 6 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)

H01S 5/00-5/50