

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年3月19日 (19.03.2009)

PCT

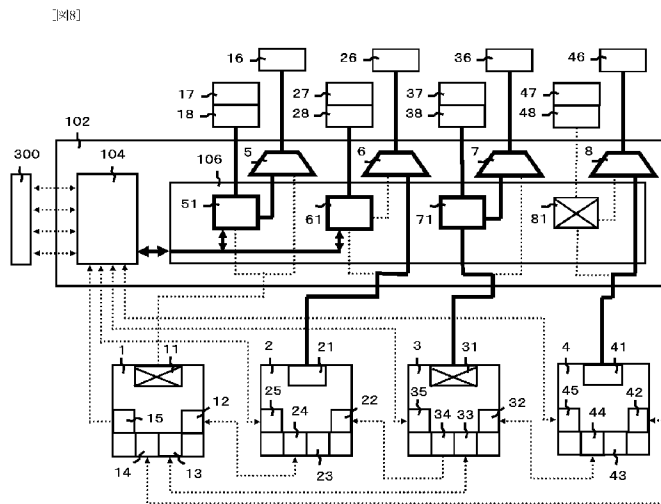
(10) 国際公開番号
WO 2009/034652 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) G06F 15/167 (2006.01)
- (21) 国際出願番号: PCT/JP2007/067984
- (22) 国際出願日: 2007年9月14日 (14.09.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 菅野 文武 (SUGANO, Fumitake) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 横山 淳一 (YOKOYAMA, Junichi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: INFORMATION PROCESSING UNIT AND METHOD FOR CONTROLLING THE SAME

(54) 発明の名称: 情報処理装置及びその制御方法



(57) Abstract: An information processing unit is provided with a path for accessing to a memory module from a first memory controller and a path for accessing to a memory module from a second memory controller. For example, if the first memory controller has a high-speed accessibility to the memory module provided on the processing unit, and the second memory controller gains access to the expandable memory module connected with the processing unit, the memory module requiring high-speed access is accessible from the first memory controller, while the memory module requiring increased memory capacity is accessible from the second memory controller. As a result, reduced access time to the memory module and increased memory capacity can be achieved.

(57) 要約: 情報処理装置に、第一のメモリ制御装置からメモリモジュールにアクセスする経路と、第二のメモリ制御装置からメモリモジュールにアクセスする経路とを設ける。例えば、第一のメモリ制御装置が、処理装置に設けた、メモリモジュールに対して高速にアクセス可能なものであり、第二のメモリ制御装置が、当該処理装置に接続された、メモリモジュールが増設可能なものである場合、高速アクセスが要求されるメモリモジュールに対しては第一のメモリ制御装置からアクセス可能であり、メモリ

[続葉有]



WO 2009/034652 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:
— 国際調査報告書

明 細 書

情報処理装置及びその制御方法

技術分野

[0001] 本発明は、情報処理装置及びその制御方法に関する。

背景技術

[0002] 情報処理装置には、プロセッサ、システムコントローラ、メモリコントローラ及びメモリモジュール等の複数のデバイスから構成されるものがある。このような情報処理装置では、例えば、プロセッサがシステムコントローラを介してメモリコントローラにアクセスすることで、メモリモジュールに対してデータの書き込み又は読み出しを行う。

[0003] 半面、上述した情報処理装置では、メモリモジュールに対するデータの書き込み又は読み出し時には、必ずシステムコントローラを経由しなければならない。そのため、メモリモジュールに対してデータの書き込み又は読み出しを行うまでに時間がかかってしまう。

[0004] そこで、例えば、プロセッサに搭載されたメモリコントローラが直接、管理しているメモリモジュールに対してメモリモジュールに対してデータの書き込み又は読み出しを行う情報処理装置がある。このような情報処理装置では、システムコントローラを経由せず、メモリコントローラが直接メモリモジュールに対してデータの書き込み又は読み出しを行える。そのため、メモリモジュールに対してデータの書き込み又は読み出しを行うまでにかかる時間を短縮することができる。

[0005] しかし、通常1つのメモリインターフェースに実装できるメモリモジュールの枚数は決まっており、このような情報処理装置では、メモリインターフェースのピンの制限からメモリモジュールを増設することが困難となってしまう。その結果、情報処理装置のメモリ容量を大きくすることができなくなってしまう。

[0006] 先行技術文献としては下記のものがある。

特許文献1:特開平05-210645号公報

特許文献2:特開平05-216757号公報

特許文献3:特開平10-240696号公報

特許文献4:特開2003-006174号公報

発明の開示

発明が解決しようとする課題

[0007] 本発明の課題は、メモリモジュールへのアクセス時間を短縮でき、かつ、メモリ容量を増大することができる情報処理装置を実現することである。

課題を解決するための手段

[0008] 本発明の情報処理装置は、データが格納される第一のメモリと、データが格納される第二のメモリと、該第一のメモリに対するデータの書き込み又は読み出しを制御する第一のメモリ制御装置と、該第一のメモリ及び該第二のメモリに対するデータの書き込み又は読み出しを制御する第二のメモリ制御装置と、該第一のメモリ制御装置又は該第二のメモリ制御装置のいずれか一つを選択して、該第一のメモリに対するデータの書き込み又は読み出しを行わせる選択手段とを有することを特徴とする。

[0009] 本発明の情報処理装置は、該選択手段が該第一のメモリ制御装置を選択した場合、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする。

[0010] 本発明の情報処理装置は、該選択手段が該第二のメモリ制御装置を選択した場合、該第二のメモリ制御装置は、該第一のメモリ及び該第二のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする。

[0011] 本発明の情報処理装置は、さらに、該第二のメモリ制御装置を制御する制御装置を有し、該選択手段が該第一のメモリ制御装置を選択した場合、該制御装置は該第二のメモリ制御装置に該第二のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする。

[0012] 本発明の情報処理装置は、さらに、データを処理する処理装置を有し、該第一のメモリ制御装置は、該処理装置に設けられていることを特徴とする。

[0013] 本発明の情報処理装置は、該第二のメモリ制御装置は、該処理装置に接続されていることを特徴とする。

[0014] 本発明の情報処理装置は、データが格納される第一のメモリと、データが格納される第二のメモリと、該第一のメモリに対するデータの書き込み又は読み出しを制御す

る第一のメモリ制御装置と、該第一のメモリ及び該第二のメモリに対するデータの書き込み又は読み出しを制御する第二のメモリ制御装置と、該第一のメモリ制御装置又は該第二のメモリ制御装置のいずれか一つを選択して該第一のメモリに対してデータの書き込み又は読み出しを行わせる第一の選択手段とを有する第一のシステムボードと、データが格納される第三のメモリと、データが格納される第四のメモリと、該第三のメモリに対するデータの書き込み又は読み出しを制御する第三のメモリ制御装置と、該第三のメモリ及び該第四のメモリに対するデータの書き込み又は読み出しを制御する第四のメモリ制御装置と、該第三のメモリ制御装置又は該第四のメモリ制御装置のいずれか一つを選択して該第三のメモリに対してデータの書き込み又は読み出しを行わせる第二の選択手段とを有する第二のシステムボードとを有することを特徴とする。

[0015] 本発明の情報処理装置は、該第一の選択手段は該第一のメモリ制御装置を選択し、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行い、該第二の選択手段は該第四のメモリ制御装置を選択し、該第四のメモリ制御装置は、該第三のメモリまたは該第四のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする。

[0016] 本発明の情報処理装置は、該第二のシステムボードは、さらに、該第四のメモリ制御装置を制御する制御装置を有し、該第一の選択手段は該第一のメモリ制御装置を選択し、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行い、該制御装置は該第四のメモリ制御装置に該第三のメモリまたは該第四のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする。

[0017] 本発明の情報処理装置は、該第二のシステムボードは、さらに、該第四のメモリ制御装置を制御する制御装置を有し、該第一の選択手段は該第二のメモリ制御装置を選択し、該第二のメモリ制御装置は、該第一のメモリまたは該第二のメモリに対してデータの書き込み又は読み出しを行い、該制御装置は該第四のメモリ制御装置に該第三のメモリまたは該第四のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする。

[0018] 本発明の情報処理装置は、該第一のシステムボードは、さらに、データを処理する

第一の処理装置を有し、該第二のシステムボードは、さらに、データを処理する第二の処理装置を有し、該第一のメモリ制御装置は、該第一の処理装置に設けられ、該第三のメモリ制御装置は、該第二の処理装置に設けられていることを特徴とする。

[0019] 本発明の情報処理装置は、該第二のメモリ制御装置は、該第一の処理装置に接続され、該第四のメモリ制御装置は、該第二の処理装置に接続されていることを特徴とする。

[0020] 本発明の情報処理装置の制御方法は、データが格納される第一のメモリに対するデータの書き込み又は読み出しを制御する第一のメモリ制御装置と、該第一のメモリ及びデータが格納される第二のメモリに対するデータの書き込み又は読み出しを制御する第二のメモリ制御装置のいずれか一つを選択して、該第一のメモリに対するデータの書き込み又は読み出しを行わせることを特徴とする。

[0021] 本発明の情報処理装置の制御方法は、該第一のメモリ制御装置を選択した場合、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする。

[0022] 本発明の情報処理装置の制御方法は、該第二のメモリ制御装置を選択した場合、該第二のメモリ制御装置は、該第一のメモリ及び該第二のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする。

[0023] 本発明の情報処理装置の制御方法は、該情報処理装置は、さらに、該第二のメモリ制御装置を制御する制御装置を有し、該第一のメモリ制御装置を選択した場合、該制御装置は該第二のメモリ制御装置に該第二のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする。

[0024] 本発明の情報処理装置の制御方法は、該情報処理装置は、さらに、データを処理する処理装置を有し、該第一のメモリ制御装置は、該処理装置に設けられていることを特徴とする請求項13記載の制御方法。

[0025] 本発明の情報処理装置の制御方法は、該第二のメモリ制御装置は、該処理装置に接続されていることを特徴とする。

発明の効果

[0026] 本発明によれば、情報処理装置に、第一のメモリ制御装置からメモリモジュールに

アクセスする経路と、第二のメモリ制御装置からメモリモジュールにアクセスする経路とを設けることができる。例えば、第一のメモリ制御装置が、処理装置に設けた、メモリモジュールに対して高速にアクセス可能なものであり、第二のメモリ制御装置が、当該処理装置に接続された、メモリモジュールが増設可能なものである場合、高速アクセスが要求されるメモリモジュールに対しては第一のメモリ制御装置からアクセス可能であり、メモリ容量の増大が求められるメモリモジュールに対しては第二のメモリ制御装置からアクセス可能である。そのため、メモリモジュールへのアクセス時間の短縮と、メモリ容量の増大を実現することができる。

図面の簡単な説明

- [0027] [図1]情報処理装置のハードウェア構成を表した図(その1)である。
- [図2]システムボードを表した図(その1)である。
- [図3]システムコントローラを表した図である。
- [図4]拡張サブメモリコントローラを表した図である。
- [図5]レジスタとシステムマネジメントボードとの関係を表した図である。
- [図6]本実施形態におけるメモリの割り当ての例を表した図である。
- [図7]本実施形態におけるローカルアドレステーブルのデコードの例を表した図である。
- [図8]複数のモードの混在例を表す図である。
- [図9]モード1によって実現可能なシステムを表す図である。
- [図10]モード1におけるメモリモジュールへのアクセスを表す図(その1)である。
- [図11]モード1におけるメモリモジュールへのアクセスを表す図(その2)である。
- [図12]モード1におけるメモリモジュールへのアクセスを表す図(その3)である。
- [図13]モード2によって実現可能なシステムを表す図である。
- [図14]モード2におけるメモリモジュールへのアクセスを表す図(その1)である。
- [図15]モード2におけるメモリモジュールへのアクセスを表す図(その2)である。
- [図16]モード2におけるメモリモジュールへのアクセスを表す図(その3)である。
- [図17]モード3によって実現可能なシステムを表す図である。
- [図18]モード3におけるメモリモジュールへのアクセスを表す図(その1)である。

[図19]モード3におけるメモリモジュールへのアクセスを表す図(その2)である。

[図20]モード3におけるメモリモジュールへのアクセスを表す図(その3)である。

[図21]モード1、3を混在させることによって実現可能なシステムを表す図である。

[図22]モード1、3混在におけるメモリモジュールへのアクセスを表す図である。

[図23]システムボードを表した図(その2)である。

[図24]システムボードを表した図(その3)である。

[図25]プロセッサによるメモリコントローラの無効機能を表した図である。

[図26]情報処理装置のハードウェア構成を表した図(その2)である。

符号の説明

[0028] 0 情報処理装置

1、2、3、4 プロセッサ

11、21、31、41 メモリコントローラ

10、12、13、14、15、20、22、23、24、25、30、32、33、34、35、40、42、43、44、45 システムバス

16、17、18、26、27、28、36、37、38、46、47、48 メモリモジュール

19、39 コア

5、6、7、8、1064 マルチプレクサ

51、61、71、81 拡張サブメモリコントローラ

100 システムボード

101、102 システムコントローラ

104 システムバスコントローラ

105 メモリコントローラ

106 拡張メモリコントローラ

110、410、510、810、1022、1044 設定レジスタ

200 I/Oボード

202、204 バス

300 クロスバ

400 システムマネジメントボード

401、402、403、404 システムマネージメントバス
512、513、514、515、516、518 バス
520、1069 データバッファ
522 論理積回路
524、1062 リクエストバッファ
526、532、534、1044 設定レジスタ
528、536、538 セレクタ
530 ローカルアドレステーブル
600 メモリ空間
704 システムアドレス
706 メモリ番号
708 メモリローカルアドレス
1042 アドレスチェック手段
1066 アービタ
1068 アドレステーブル

発明を実施するための最良の形態

[0029] 以下に図面を用いて本実施形態について説明する。

[0030] (情報処理装置)

図1は、本実施形態における情報処理装置0を表す。情報処理装置0は、例えば、4つのシステムボード100及び4つの入出力(I/O:Input Output)ボード200から構成される。なお、システムボード100及びI/Oボードの数は任意に設定することができる。

[0031] システムボード100は、プロセッサ、システムコントローラ、メモリコントローラ及びメモリモジュールを有する。システムコントローラは、プロセッサから送信されてくる命令を統括して制御する。システムコントローラは、プロセッサからの命令に基づき、メモリコントローラを制御する。また、システムコントローラは、メモリモジュールに書き込むデータをメモリコントローラに送信する。メモリコントローラは、メモリモジュールへのメモリアクセスを行い、データの書き込み又は読み出しを行う。また、メモリコントローラは、

メモリモジュールから読み出したデータをシステムコントローラに送信する。メモリモジュールとは、例えば、複数のダイナミックランダムアクセスメモリ(DRAM:Dynamic Random Access Memory)が搭載されたデュアルインラインメモリモジュール(DIMM: Dual Inline Memory Module)である。

[0032] I/Oボード200は、ペリフェラルコンポーネントインターコネクト(PCI:Peripheral Component Interconnect)デバイス等を有している。I/Oボード200は、磁気ディスク装置(HDD:Hard Disk Drive)や構内通信網(LAN:Local Area Network)等のI/Oと接続するためのものである。

[0033] システムボード100及びI/Oボード200は、任意のシステムボード100及びI/Oボード間のデータ転送を行うためにクロスバ300と接続されている。クロスバ300は、アドレスの送受信を行うアドレスクロスバ及びデータの送受信を行うデータクロスバから構成される。図1において、クロスバ300は概念的にアドレスクロスバとデータクロスバとを合わせて示しているものとする。

[0034] 情報処理装置0は、さらに、システムボード100、I/Oボード200及びクロスバ300を管理するシステムマネジメントボード400を有している。システムマネジメントバス400はシステムマネジメントバス401を介してシステムボード100と接続されている。また、システムマネジメントバス400はシステムマネジメントバス402を介してクロスバ300と接続されている。システムマネジメントバス400はシステムマネジメントバス403を介してI/Oボード200と接続されている。

[0035] (システムボード)

図2に、本実施形態におけるシステムボード100を表す。システムボード100は、クロスバ(図示せず)に接続される。当該クロスバには、他のシステムボードも接続される。システムボード100には、クロスバを介して他のシステムボードからリクエストが送信される。システムボード100は、例えば、プロセッサ1、2、3、4、各プロセッサに搭載されたメモリコントローラ11、21、31、41、各メモリコントローラに接続されたシステムコントローラ102及びシステムコントローラ102に接続された複数のメモリモジュールを有する。ここで、一般に、プロセッサ内のメモリコントローラは、自身の管理下にあるメモリモジュールにアクセスする際には、高速アクセスが可能である。しかし、メモリ

インターフェースのピンの制限から自身の管理下にあるメモリモジュールを増設することは困難である。

[0036] プロセッサ1、2、3、4はそれぞれ互いに直結している。あるプロセッサが他のプロセッサが管理しているメモリモジュールに対してアクセスを行う場合は、当該他のプロセッサに対して直接アクセスを行う。

[0037] システムコントローラ102は、システムバスコントローラ104を有している。システムバスコントローラ104は、プロセッサ及びクロスバ(図示せず)とデータやリクエストの送受信を行う。システムバスコントローラ104は拡張メモリコントローラ106と接続されている。拡張メモリコントローラ106は、拡張サブメモリコントローラ51、61、71、81を有している。拡張サブメモリコントローラ51は、プロセッサ1、マルチプレクサ5及びメモリモジュール17、18と接続されている。なお、拡張サブメモリコントローラには、メモリモジュールが増設可能である。これによって、メモリ容量を増大させることができる。マルチプレクサ5はさらにメモリモジュール16と接続されている。他の拡張サブメモリコントローラ61、71及び81も同様に、プロセッサ、マルチプレクサ及びメモリモジュールと接続されている。例えば、マルチプレクサ5は、プロセッサ1から送信されるリクエストと、拡張サブメモリコントローラ51から送信されるリクエストのいずれか一つを選択して、メモリモジュール16に送信する。他のマルチプレクサ6、7及び8も同様である。なお、システムコントローラ102、拡張メモリコントローラ106及び拡張サブメモリコントローラ51等については後述する。

[0038] (システムコントローラ)

図3は、システムコントローラ102を表す。システムコントローラ102は、システムバスコントローラ104及び拡張メモリコントローラ106を有している。

[0039] システムバスコントローラ104は、アドレスチェック手段1042及び設定レジスタ1044を有している。システムバスコントローラ104は、クロスバを介して他のシステムボード(図示せず)からメモリアクセスのリクエストが送信されてきたか否かを検出する。また、システムバスコントローラ104は、ローカルに接続されているプロセッサ1~4のシステムバスからメモリアクセスのリクエストが送信されてきたか否かも検出する。当該リクエストは、他のシステムボードからクロスバを介し、さらに、バス202を通じてシステム

バスコントローラ104に送信される。また、当該リクエストは、プロセッサ1～4からバス204を通じてシステムバスコントローラ104に送信される。システムバスコントローラ104がメモリアクセスのリクエストが送信されてきたことを検出すると、アドレスチェック手段1042は、当該リクエストが有しているアドレスに基づいて、当該リクエストがシステムコントローラ102が管理しているメモリモジュールへのリクエストであるか否かを判定する。

[0040] システムバスコントローラ104に送信されてきたリクエストが、システムコントローラ102が管理しているメモリモジュールへのリクエストである場合、アドレスチェック手段1042は、当該リクエストを、拡張メモリコントローラ106へ送信する。一方、システムバスコントローラ104に送信されてきたリクエストが、システムコントローラ102が管理しているメモリモジュールへのリクエストでない場合、アドレスチェック手段1042は、クロスバを介して当該リクエストを送信すべき他システムボード上のシステムコントローラに送信する。

[0041] また、クロスバ及びプロセッサ1～4からデータの書き込み要求(リクエスト)があった場合、システムバスコントローラ104は、当該リクエストと共にクロスバあるいはプロセッサ1～4から受け取ったライトデータも拡張メモリコントローラ106へ送信する。

[0042] なお、アドレスチェック手段1042は、設定レジスタ1044によって有効、無効が切り替えられる。さらに、設定レジスタ1044は、システムマネジメントボードによって設定される。システムマネジメントボードは、システムバスコントローラ104に接続される。システムマネジメントボードについては後述する。

[0043] (拡張メモリコントローラ)

拡張メモリコントローラ106は、リクエストバッファ1062、マルチプレクサ1064、アービタ1066、アドレステーブル1068、拡張サブメモリコントローラ51、61、71、81及びデータバッファ1069を有している。拡張サブメモリコントローラ51、61、71及び81には、バス204を通じてプロセッサ1～4からリクエストが送信される。

[0044] リクエストバッファ1062には、システムバスコントローラ104からリクエストが送信される。リクエストバッファ1062は当該リクエストを格納する。アービタ1066は、例えば、リクエストのIDに基づいて、アービトレーションを行う。そして、アービタ1066は、実行

すべきリクエストをマルチプレクサ1064に通知する。マルチプレクサ1064は、アービタ1066からの通知に基づいて、実行すべきリクエストを選択する。マルチプレクサ1064は、リクエストバッファ1062から選択したリクエストと、アドレステーブル1068とに基づいて、当該リクエストを送信するメモリモジュールを決定する。そして、マルチプレクサ1064は、選択したリクエストを決定したメモリモジュールを管理している拡張サブメモリコントローラに送信する。ここで、例えば、リクエストを送信すべきメモリモジュールがメモリモジュール38である場合、メモリモジュール38を管理している拡張サービスメモリコントローラ71に選択したリクエストを送信する。拡張サブメモリコントローラ71は、受信したリクエストをメモリモジュール38に送信する。なお、図3においては、メモリモジュール18、28、38及び48のみを図示している。

[0045] また、データバッファ1069には、システムバスコントローラ104からライトデータが送信される。データバッファ1069は当該ライトデータを格納する。そして、拡張メモリコントローラ106は、アービタ1066が選択したリクエストに基づいて、当該ライトデータを送信すべきメモリモジュールに送信する。ここで、例えばライトデータを送信すべきメモリモジュールがメモリモジュール46である場合、メモリモジュール46を管理する拡張メモリコントローラ81にデータバッファ1069内に格納されたライトデータを送信する。拡張メモリコントローラ81は、受信したライトデータをメモリモジュール46(図2において表したメモリモジュール46)に送信する。

[0046] 本実施形態では、情報処理装置0はモード1、2、3に応じた動作を行う。モード1では、プロセッサに搭載されたメモリコントローラがメモリモジュールに直接アクセスする。モード2では、プロセッサに搭載されたメモリコントローラの動作を無効にする。そして、プロセッサはシステムコントローラに搭載された拡張メモリコントローラを介してメモリモジュールにアクセスする。モード3では、システムコントローラに搭載された拡張メモリコントローラとプロセッサとの関係を無効にする。そして、プロセッサやクロスバからシステムバスコントローラ104を介して拡張メモリコントローラにアクセスする。さらに、モード3では拡張メモリコントローラがメモリモジュールにアクセスする。

[0047] 即ち、拡張メモリコントローラ106は、上述したモード1、2、3に応じた動作をする。モード1、2の場合、システムバスコントローラ104は、メモリアクセスのリクエストをリク

エストバッファ1062に送信しない。設定レジスタ1044がアドレスチェック手段1042を無効にしているからである。モード3の場合、システムバスコントローラ104は、メモリアクセスのリクエストをリクエストバッファ1062に格納する。設定レジスタ1044がアドレスチェック手段1042を有効にしているからである。

[0048] ここで、システムマネジメントボード400について説明する。図5にシステムマネジメントボード400とシステムボード100との関係を表す。システムマネジメントボード400は、システムバスコントローラ104が有する設定レジスタ1044、拡張メモリコントローラ106が有する設定レジスタ1022、拡張サブメモリコントローラ51が有する設定レジスタ510及び、プロセッサ1に搭載されたメモリコントローラ11が有する設定レジスタ110にシステムマネジメントバス404を介して接続されている。システムマネジメントボード400が設定レジスタを管理することで、拡張サブメモリコントローラ51やメモリコントローラ11等を有効にするか無効にするかを設定することができる。これによって、情報処理装置0において様々なモードを実現することができる。なお、拡張サブメモリコントローラ51以外の拡張サブメモリコントローラも同様に設定レジスタを有しており、システムマネジメントボード400に接続されている。例えば、拡張サブメモリコントローラ81は設定レジスタ810を有している。また、プロセッサ1以外のプロセッサに搭載されたメモリコントローラも設定レジスタを有しており、システムマネジメントボード400に接続されている。例えば、プロセッサ4に搭載されたメモリコントローラ41は設定レジスタ410を有する。

[0049] (拡張サブメモリコントローラ)

図4に拡張サブメモリコントローラ51を表す。拡張サブメモリコントローラ51は、設定レジスタ526、設定レジスタ532、設定レジスタ534、論理積回路522、データバッファ520、リクエストバッファ524、セクタ528、ローカルアドレステーブル530、セクタ536、セクタ538から構成される。なお、図4では、拡張サブメモリコントローラ51のみを図示し、他の拡張サブメモリコントローラ61、71及び81については図示していないが、他の拡張サブメモリコントローラの構成も拡張サブメモリコントローラ51と同様である。

[0050] (モード1)

まずは、モード1の場合について説明する。ここでは、プロセッサ1がメモリモジュール16をアクセスする状況を想定する。

- [0051] モード1では、プロセッサがその内部に有するメモリコントローラにより、バス512を通じてメモリモジュール16に対して直接メモリアccessを行う。システムマネージメントボード400は、例えば、プロセッサ1に搭載されたメモリコントローラ11が有効となるように、プロセッサ1の設定レジスタ110を設定する。また、システムマネージメントボード400は、例えば、拡張サブメモリコントローラ51が無効となるように、設定レジスタ510を設定する。設定レジスタ534は、セクタ538がバス512を選択するように、システムマネージメントボード400によって設定される。
- [0052] モード1の場合、プロセッサ1からバス512を通じてメモリモジュール16に送信されるリクエストは、プロセッサ1に搭載されたメモリコントローラ11によって、システムアドレスからローカルアドレスに既に変換されている。具体的には、メモリコントローラ11が有しているアドレステーブルに基づいて、当該リクエストはシステムアドレスからローカルアドレスに変換される。そのため、拡張サブメモリコントローラ51がリクエストのアドレス変換を行う必要がない。ゆえに、リクエストを不必要にバッファやアドレステーブルを経由させることなく、メモリモジュール16へ送信することができる。本実施形態においては、リクエストをセクタ538のみを通過させることで、プロセッサ1はメモリモジュール16にアクセスすることが可能になる。
- [0053] また、本実施形態においては、設定レジスタ534によって、セクタ538の選択パスはバス512側に固定されている。そのため、セクタ538が動的に動くことによって生じるリクエストの送信の遅延がない。
- [0054] なお、書き込み要求があった場合は、プロセッサ1はライトデータをバス512を介してセクタ538に出力する。セクタ538は、当該ライトデータをメモリモジュール16に出力する。
- [0055] ここで、図9にモード1によって実現することができるシステムの一例を表す。図9はシステムを模式的に表している。プロセッサ1、2、3、4はそれぞれ互いに直結されている。各プロセッサ1～4がメモリコントローラ11～41を搭載しているため、各々のメモリコントローラが管理しているメモリモジュールへのアクセスが速くなる。例えば、プロ

セッサ1は、メモリコントローラ11からメモリモジュール16に対してリクエストを送信することができる。また、例えば、プロセッサ1は、プロセッサ3のメモリコントローラ31からメモリモジュール36に対してリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102を介して、プロセッサ3のメモリコントローラ31からメモリモジュール36に対してリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102及びクロスバ300を介して、他のシステムボードのメモリモジュールに対してリクエストを送信することができる。他のプロセッサ2、3及び4も同様なので、その説明を省略する。

[0056] また、ここで、図10、図11及び図12に、モード1におけるシステムの動作を表す。まず、図10を用いて各部について説明する。プロセッサ1は、メモリコントローラ11、システムバス12、13、14及び15を有する。メモリコントローラ11は、リクエストをマルチプレクサ5又は拡張サブメモリコントローラ51に送信する。システムバス12～15は他の部との間でリクエストの送受信を行う。例えば、システムバス12は、プロセッサ2のシステムバス24との間でリクエストの送受信を行う。また、例えば、システムバス13は、プロセッサ3のシステムバス33との間でリクエストの送受信を行う。また、例えば、システムバス14は、プロセッサ4のシステムバス42との間でリクエストの送受信を行う。また、例えば、システムバス15は、システムバスコントローラ104との間でリクエストの送受信を行う。プロセッサ2も同様にメモリコントローラ21、システムバス22、23、24及び25を有する。プロセッサ3も同様にメモリコントローラ31、システムバス32、33、34及び35を有する。プロセッサ4も同様にメモリコントローラ41、システムバス42、43、44及び45を有する。

[0057] 図10に、プロセッサ1が管理しているメモリモジュール16へアクセスする場合のシステムの動作を表す。プロセッサ1が有するコア19が、メモリコントローラ11を介してメモリモジュール16にリクエストを送信する。この場合、拡張サブメモリコントローラ51等は無効となっている。また、プロセッサ1はメモリコントローラ11を介してメモリモジュール16へアクセスするため、プロセッサ1はメモリモジュール17、18にアクセスしない。

[0058] 図11に、あるプロセッサが他のプロセッサが管理しているメモリモジュールへアクセスする場合のシステムの動作を表す。ここでは、プロセッサ1とプロセッサ3との対応に

ついて説明する。まず、プロセッサ3が有するコア39が、システムバス33を介してプロセッサ1のシステムバス13にリクエストを送信する。システムバス13は、プロセッサ3から受信したリクエストを、メモリコントローラ11を介してメモリモジュール16に送信する。

[0059] 図12に、クロスバを介して互いに接続されるシステムボード間でのメモリモジュールアクセスについて説明する。図12は、あるシステムボードに搭載されたプロセッサ(図示せず)が、他のシステムボードに搭載されたプロセッサが管理しているメモリモジュールへアクセスする場合のシステムの動作を表す。まず、あるシステムボードに搭載されたプロセッサが、クロスバ300を介してリクエストをプロセッサ1のシステムバス15に送信する。システムバス15は、受信したリクエストをメモリコントローラ11を介してメモリモジュール16に送信する。

[0060] 以上、説明したようにモード1では、リクエストを不必要にバッファやアドレステーブルを経由させることなく、メモリモジュール16へ送信することができる。ゆえに、プロセッサとメモリモジュールが直結しているシステムにおいて、プロセッサは直結しているメモリモジュールに対して最小限のメモリアクセスレイテンシ低下でメモリアクセスが可能である。

[0061] (モード2)

次に、モード2の場合について説明する。モード2では、プロセッサが、拡張サブメモリコントローラを介してメモリモジュールにメモリアクセスを行う。ここでは、プロセッサ1がいずれかのメモリモジュール16~18をアクセスする状況を想定する。システムマネジメントボード400は、例えば、プロセッサ1に搭載されたメモリコントローラ11が無効となるように、設定レジスタ110を設定する。また、システムマネジメントボード400は、例えば、拡張サブメモリコントローラ51が有効となるように、設定レジスタ510を設定する。プロセッサ1は、バス512を通じてリクエストバッファ524にリクエストを送信する。リクエストバッファ524は受信したリクエストを格納する。

[0062] このように、モード2では、プロセッサ1に搭載されたメモリコントローラ11を介さずに、リクエストをプロセッサ1からリクエストバッファ524に送信する。そのため、リクエストが上位の拡張メモリコントローラ106の入力と同じシステムバスのフォーマットで入力される。ゆえに、リクエストが有するシステムアドレスをローカルアドレステーブル530

に基づいて、メモリモジュール用のローカルアドレスに変換してメモリアクセスを実行する必要がある。

- [0063] 設定レジスタ526は、セクタ528がリクエストバッファ524の出力を選択するように、設定レジスタ532は、セクタ536がバス513を選択するように、そして、設定レジスタ534は、セクタ538がバス515を選択するように、それぞれシステムマネージメントボード400によって設定される。リクエストバッファ524は、格納しているリクエストをセクタ528に出力する。セクタ528は、当該リクエストをローカルアドレステーブル530に出力する。
- [0064] 拡張サブメモリコントローラ51は、ローカルアドレステーブル530に基づいて、当該リクエストが有するシステムアドレスをローカルアドレスに変換する。拡張サブメモリコントローラ51は、当該リクエストをメモリモジュール17、18に送信すべきと判断した場合は、当該リクエストをバス513を介してセクタ536に出力する。セクタ536は、当該リクエストをメモリモジュール17または18に出力する。一方、拡張サブメモリコントローラ51は、当該リクエストをメモリモジュール16に送信すべきと判断した場合は、当該リクエストをバス515を介してセクタ538に出力する。セクタ538は、当該リクエストをメモリモジュール16に出力する。
- [0065] なお、書き込み要求があった場合は、プロセッサ1は、バス512を介してライトデータをデータバッファ520に格納する。拡張サブメモリコントローラ51は、上述したローカルアドレスに基づいて、当該ライトデータを送信すべきメモリモジュールを決定する。拡張サブメモリコントローラ51は、当該ライトデータをメモリモジュール17、18に送信すべきと判断した場合は、当該ライトデータをバス513を介してセクタ536に出力する。セクタ536は、当該ライトデータをメモリモジュール17または18に出力する。一方、拡張サブメモリコントローラ51は、当該ライトデータをメモリモジュール16に送信すべきと判断した場合は、当該ライトデータをバス515を介してセクタ538に出力する。セクタ538は、当該ライトデータをメモリモジュール16に出力する。
- [0066] ここで、図13にモード2によって実現することができるシステムの一例を表す。図13はシステムを模式的に表している。各プロセッサ1~4は、それぞれ拡張サブメモリコントローラ51~81を介してメモリモジュールへのアクセスを行うため、メモリモジュール

ルを増設することができる。例えば、プロセッサ1は、システムバス10から拡張サブメモリコントローラ51を介して、メモリモジュール16、17及び18に対してリクエストを送信することができる。また、例えば、プロセッサ1は、プロセッサ3のシステムバス30から拡張サブメモリコントローラ71を介して、メモリモジュール36、37及び38に対してリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102を介して、プロセッサ3のシステムバス30から拡張サブメモリコントローラ71を介して、メモリモジュール36、37及び38に対してリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102及びクロスバ300を介して、他のシステムボードのメモリモジュールに対してリクエストを送信することができる。他のプロセッサ2、3及び4も同様なので、その説明を省略する。

[0067] また、ここで、図14、図15及び図16にモード2におけるシステムの動作を表す。まず、図14を用いて各部について説明する。プロセッサ1は、システムバス10を有する。システムバス10は、拡張サブメモリコントローラ51にリクエストを送信する。プロセッサ2も同様にシステムバス20を有する。プロセッサ3も同様にシステムバス30を有する。プロセッサ4も同様にシステムバス40を有する。また、図10を用いて説明したものについてはその説明を省略する。

[0068] 図14に、プロセッサ1が管理している拡張サブメモリコントローラ51からメモリモジュールへアクセスする場合のシステムの動作を表す。プロセッサ1が有するコア19が、システムバス10を介して拡張サブメモリコントローラ51にリクエストを送信する。さらに、拡張サブメモリコントローラ51は、当該リクエストをローカルアドレステーブル530に基づいて、メモリモジュール16、17及び18のいずれかに送信する。この場合、プロセッサ1内のメモリコントローラ11等(図示せず)は無効となっている。

[0069] 図15に、あるプロセッサが他のプロセッサが管理している拡張サブメモリコントローラからメモリモジュールへアクセスする場合のシステムの動作を表す。ここでは、プロセッサ1とプロセッサ3との対応について説明する。まず、プロセッサ3が有するコア39が、システムバス33を介してプロセッサ1のシステムバス13にリクエストを送信する。システムバス13は、プロセッサ3から受信したリクエストをシステムバス10を介して拡張サブメモリコントローラ51に送信する。さらに、拡張サブメモリコントローラ51は、当

該リクエストのローカルアドレスに基づいて、当該リクエストをメモリモジュール16、17及び18のいずれかに送信する。

[0070] 図16に、あるシステムボードに搭載されたプロセッサ(図示せず)が、他のシステムボードに搭載されたプロセッサが管理している拡張サブメモリコントローラからメモリモジュールへアクセスする場合のシステムの動作を表す。この場合、システムマネジメントボード400によって、システムバスコントローラ104は有効になっている。まず、あるシステムボードに搭載されたプロセッサが、クロスバ300を介してリクエストをプロセッサ1のシステムバス15に送信する。システムバス15は、受信したリクエストをシステムバス10を介して拡張サブメモリコントローラ51に送信する。さらに、拡張サブメモリコントローラ51は、ローカルアドレステーブル530に基づいて、当該リクエストをメモリモジュール16、17及び18のいずれかに送信する。

[0071] 以上、説明したようにモード2では、プロセッサが拡張メモリコントローラを介してメモリモジュールにアクセスする。そのため、拡張メモリコントローラに接続するメモリモジュールを増設することができ、システムのメモリ容量を増大させることができる。

[0072] (モード3)

続いて、モード3の場合について説明する。モード3では、プロセッサが、システムバスコントローラ104及び拡張サブメモリコントローラを介してメモリモジュールにメモリアクセスを行う。

[0073] システムマネジメントボード400は、システムバスコントローラ104が有効となるように、設定レジスタ1044を設定する。また、システムマネジメントボード400は、例えば、拡張サブメモリコントローラ51が有効となるように、設定レジスタ510を設定する。また、システムマネジメントボード400は、例えば、メモリコントローラ11が無効となるように、設定レジスタ110を設定する。

[0074] 設定レジスタ526は、セクタ528が論理積回路522の出力を選択するように、設定レジスタ532は、セクタ536がバス518を選択するように、そして、設定レジスタ534は、セクタ538がバス515を選択するように、それぞれシステムマネジメントボード400によって設定される。

[0075] 論理積回路522には、上述したアービタ1066によって、バス516から拡張サブコン

トローラリクエストが入力される。拡張サブコントローラリクエストは、ある拡張サブメモリコントローラへのアクセスが有効であることを示す。また、論理積回路522には、システムバスコントローラ104によってシステムアドレスが論理積回路522に入力される。論理積回路522は、当該リクエスト及び当該システムアドレスをバス514を通じてローカルアドレステーブル530に出力する。

[0076] 拡張サブメモリコントローラ51は、ローカルアドレステーブル530に基づいて、システムアドレスをローカルアドレスに変換する。拡張サブメモリコントローラ51は、当該リクエストをメモリモジュール17、18に送信すべきと判断した場合は、当該リクエストをセクタ536に出力する。セクタ536は、当該リクエストをメモリモジュール17または18に出力する。一方、拡張サブメモリコントローラ51は、当該リクエストをメモリモジュール16に送信すべきと判断した場合は、当該リクエストをセクタ538に出力する。セクタ538は、当該リクエストをメモリモジュール16に出力する。

[0077] なお、書き込み要求があった場合は、ライトデータが上述したデータバッファ1069からバス518を介してセクタ536またはセクタ538に入力される。拡張サブメモリコントローラ51は、上述したローカルアドレスに基づいて、当該ライトデータを送信すべきメモリモジュールを決定する。拡張サブメモリコントローラ51は、当該ライトデータをメモリモジュール17、18に送信すべきと判断した場合は、当該ライトデータをセクタ536に出力する。セクタ536は、当該ライトデータをメモリモジュール17または18に出力する。一方、拡張サブメモリコントローラ51は、当該ライトデータをメモリモジュール16に送信すべきと判断した場合は、当該ライトデータをセクタ538に出力する。セクタ538は、当該ライトデータをメモリモジュール16に出力する。

[0078] ここで、図17にモード3によって実現することができるシステムの一例を表す。図17はシステムを模式的に表している。各プロセッサはシステムコントローラ102及び拡張サブメモリコントローラを介してメモリモジュールへのアクセスを行う。例えば、プロセッサ1は、システムコントローラ102から拡張サブメモリコントローラ51を介して、メモリモジュール16、17及び18に対してリクエストを送信することができる。また、例えば、プロセッサ3は、システムコントローラ102から拡張サブメモリコントローラ71を介して、メモリモジュール36、37及び38に対してリクエストを送信することができる。また、例え

ば、プロセッサ1は、システムコントローラ102及びクロスバ300を介して、他のシステムボードのメモリモジュールに対してリクエストを送信することができる。他のプロセッサ2、3及び4も同様なので、その説明を省略する。

[0079] また、ここで、図18、図19及び図20にモード3におけるシステムの動作を表す。図18に、システムバスコントローラ104及びモード2においてプロセッサが管理していた拡張サブメモリコントローラを介してメモリモジュールへアクセスする場合のシステムの動作を表す。プロセッサ1が有するコア19が、システムバス15を介してシステムバスコントローラ104にリクエストを送信する。システムバスコントローラ104は当該リクエストを拡張サブメモリコントローラ51に送信する。また、システムバスコントローラ104はシステムアドレスを拡張サブメモリコントローラ51に送信する。拡張サブメモリコントローラ51は、ローカルアドレステーブル530に基づいて、当該リクエストをメモリモジュール16、17及び18のいずれかに送信する。この場合、メモリコントローラ11等は無効となっている。

[0080] 図19に、システムバスコントローラ104及びモード2において他のプロセッサが管理していた拡張サブメモリコントローラからメモリモジュールへアクセスする場合のシステムの動作を表す。まず、プロセッサ3が有するコア39がシステムバス34を介してシステムバスコントローラ104にリクエストを送信する。システムバスコントローラ104は当該リクエストを拡張サブメモリコントローラ51に送信する。また、システムバスコントローラ104はシステムアドレスを拡張サブメモリコントローラ51に送信する。拡張サブメモリコントローラ51は、ローカルアドレステーブル530に基づいて、当該リクエストをメモリモジュール16、17及び18のいずれかに送信する。

[0081] 図20に、あるシステムボードに搭載されたプロセッサ(図示せず)が、システムバスコントローラ104を介して他のシステムボードに搭載されたプロセッサが管理している拡張サブメモリコントローラからメモリモジュールへアクセスする場合のシステムの動作を表す。まず、あるシステムボードに搭載されたプロセッサが、クロスバ300を介してリクエストをシステムバスコントローラ104に送信する。システムバスコントローラ104は当該リクエストを拡張サブメモリコントローラ51に送信する。また、システムバスコントローラ104はシステムアドレスを拡張サブメモリコントローラ51に送信する。拡張サブメモリ

コントローラ51は、ローカルアドレステーブル530に基づいて、当該リクエストをメモリモジュール16、17及び18のいずれかに送信する。

[0082] 以上、説明したようにモード3では、プロセッサがシステムバスコントローラ及び拡張メモリコントローラを介してメモリモジュールにアクセスする。そのため、拡張メモリコントローラに接続するメモリモジュールを増設することができ、システムのメモリ容量を増大させることができる。さらに、複数のプロセッサが同等にメモリモジュールへアクセスすることのできる、対象型マルチプロセッサ(SMP:Symmetric Multiple Processor)を実現することができる。

[0083] (モード1、3)

最後に、モード1及びモード3を混在させるモードについて説明する。システムマネージメントボード400は、メモリコントローラ11が有効となるように、設定レジスタ110を設定する。また、システムマネージメントボード400は、システムバスコントローラ104が有効となるように、設定レジスタ1044を設定する。また、システムマネージメントボード400は、拡張サブメモリコントローラ51が有効となるように、設定レジスタ510を設定する。

[0084] 図6に、このモードにおけるメモリ空間600の割り当ての一例を表す。図6に表すように、システムコントローラに対しては、拡張サブメモリコントローラ51、61、71及び81を割り当てる。拡張サブメモリコントローラ51に対しては、メモリモジュール17、18を、拡張サブメモリコントローラ61に対しては、メモリモジュール27、28を、拡張サブメモリコントローラ71に対しては、メモリモジュール37、38を、拡張サブメモリコントローラ81に対しては、メモリモジュール47、48をそれぞれ割り当てる。また、プロセッサ1に対しては、メモリモジュール16を、プロセッサ2に対しては、メモリモジュール26を、プロセッサ3に対しては、メモリモジュール36を、プロセッサ4に対しては、メモリモジュール46をそれぞれ割り当てる。このように、メモリ空間において、拡張サブメモリコントローラからアクセス可能なメモリモジュールと、プロセッサからアクセス可能なメモリモジュールとを分けて割り当てることで、モード1とモード3の混在を実現している。

[0085] 図7に、ローカルアドレステーブル530のデコードの実施例を表す。ローカルアドレステーブル530は複数のエントリ情報を有する。さらに、ローカルアドレステーブル53

0は、システムアドレス704と、当該システムアドレス704に対応するメモリ番号706及びメモリローカルアドレス708との組み合わせであるローカルアドレスとが対になる情報を有している。ここで、メモリローカルアドレスとは、例えば、ダブルデータレイトデュアルインラインメモリモジュール(DRR-DIMM:Double Data Rate-Duale Inline Memory Module)であればDIMMスロット(Slot)番号、ロウアドレスストロープ(RAS:Row Address Strobe)／カラムアドレスストロープ(CAS:Column Address Strobe)DRAM(ディーラム)アドレス等である。これらの情報は、マネージメントパスによって、システム及びパーティションの初期化時に任意に設定することができる。このようにローカルアドレステーブル530を設定しておくことで、モード3のアクセスパスで、図4のメモリモジュール16にアクセスするのを防ぐことができる。具体的には、ローカルアドレステーブル530に、メモリモジュール16に対応するメモリローカルアドレスを定義しないことで、リクエストの送信先がメモリモジュール16になることを防ぐことができる。ゆえに、図4において、リクエストがバス515を介してセクタ538からメモリモジュール16に送信されることはない。

[0086] さらに、設定レジスタ534は、セクタ538がバス512の出力を選択するように、設定レジスタ526は、セクタ528が論理積回路522の出力を選択するように、そして、設定レジスタ532は、セクタ536がバス518の出力を選択するように、システムマネージメントボード400によって設定される。これによって、バス512の出力がメモリモジュール17、18に入力されることがなく、メモリモジュール16のみに入力される。

[0087] ここで、図21にモード1、3混在によって実現することができるシステムの一例を表す。図21はシステムを模式的に表している。例えば、プロセッサ1は、メモリコントローラ11からメモリモジュール16に対してリクエストを送信することができる。また、例えば、プロセッサ1は、プロセッサ3のメモリコントローラ31からメモリモジュール36に対してリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102を介して、プロセッサ3のメモリコントローラ31からメモリモジュール36に対してリクエストを送信することができる。また、例えば、プロセッサ1からシステムコントローラ102を介して拡張サブメモリコントローラ51からメモリモジュール17及び18にリクエストを送信することができる。また、例えば、プロセッサ1は、システムコントローラ102及び

クロスバ300を介して、他のシステムボードのメモリモジュールに対してリクエストを送信することができる。他のプロセッサ2、3及び4も同様なので、その説明を省略する。

[0088] また、ここで、図22にモード1、3混在におけるシステムの動作を表す。プロセッサ1は、システムバスコントローラ104及び拡張サブメモリコントローラ51を介してメモリモジュール17、18にアクセスする。また、プロセッサ3は、メモリコントローラ11を介してメモリモジュール16にアクセスする。

[0089] 以上、説明したようにモード1、3混在では、メモリアクセスの高速化が要求されるメモリモジュール16に対しては、プロセッサ1に搭載されたメモリコントローラ11がアクセスする。また、メモリ容量の増大の要求を、拡張サブメモリコントローラ51からメモリモジュール17、18にアクセスすることで満たす。これによって、メモリアクセスの高速化とメモリ容量の増大を実現することができる。

[0090] 以上、説明したように本実施形態では、三種類のメモリアクセス方法がある。各アクセス方法は、上述したようにシステムマネージメントボード400がシステムマネージメントバスを介して各コントローラのレジスタを設定することによって決定される。

[0091] ここで、情報処理装置では、筐体内を複数のパーティションに分割し、パーティション毎に独立したシステムとして稼働させることができる。すなわち、パーティション毎に異なるオペレーティングシステム(OS: Operating System)を動作させることができ、同一筐体内に複数の業務を構築して、柔軟にシステムを構成することができる。パーティションの最小構成は、1つのシステムボードと1つの入出力(I/O: Input/Output)ボードである。しかし、中央処理装置(CPU: Central Processing Unit)資源やメモリ資源を多く必要とするパーティションにはシステムボードを多く割り当て、I/O資源を多く必要とするパーティションには、I/Oボードを多く割り当てるなど、システム形態に合わせて柔軟な組み合わせが可能である。各パーティションは、他のパーティションからの影響を受けないように保護されている。そのため、あるパーティションで障該が発生しても他のパーティションに影響を与えることはない。本実施例によれば、システムマネージメントボード400が各パーティションにおいて各コントローラのレジスタを設定することによって、各パーティションにおいて異なるメモリアクセス方法を設定することができる。

- [0092] システムマネージメントボード400が各コントローラのレジスタを設定するタイミングは、例えば、システム全体の初期化、パーティション毎の初期化、またはパーティションの再構成時等である。
- [0093] ここで、メモリアクセスのモードの組み合わせについて説明する。各アクセス方法は、例えば、システムの初期化時に設定される。そのため、システムの初期化終了後にエラーが発生しなければ、各コントローラの有効/無効の設定やマルチプレクサのセレクトが動的に変化することはない。また、拡張サブメモリコントローラの設定は個別に行うことができる。そのため、各拡張サブメモリコントローラに対して異なるアクセス方法を設定することが可能である。
- [0094] 図8に、拡張サブメモリコントローラ等に対して異なるアクセス方法を設定した場合のシステムの一例を表す。拡張サブメモリコントローラ51はモード3を実行している。拡張サブメモリコントローラ61はモード1、3混在を実行している。拡張サブメモリコントローラ71はモード2を実行している。拡張サブメモリコントローラ81はモード1を実行している。図8で表したシステムを実現するためには、拡張メモリコントローラのアドレステーブルの設定を変更すれば良い。具体的には、アドレステーブルにおいて、システムアドレスと拡張サブメモリコントローラとの対応情報のエントリを複数用意すれば良い。これにより、複数のシステムボードを有するシステムにおいて、システムボードの区切りに関わらず、同じシステム構成でのパーティション分割が可能となる。システム構成としては、例えば、SMPやノンユニフォームメモリアクセス(NUMA: Non-Uniform Memory Access)がある。
- [0095] (本実施例の有効性)
最後に本実施例の有効性について説明する。
- [0096] 例えば、図23に表すようなシステムボード100がある。このようなシステムボード100では、プロセッサ1~4はシステムコントローラ101を介してメモリコントローラ105にアクセスする。そして、メモリコントローラ105は、メモリモジュール16、26、36、46に対してデータの書き込み又は読み出しを行う。また、例えば、図24に表すようなシステムボード100がある。プロセッサ1~4はそれぞれ、メモリコントローラ11、21、31、41を搭載している。プロセッサ1~4は直結しており、あるプロセッサが要求するメモリ

モジュールが搭載しているメモリコントローラで管理されていた場合、メモリアクセスはシステム上には表れない。また、他のプロセッサが有しているメモリに対しても、直接そのプロセッサに対してアクセスを要求する。図24に表したシステムコントローラ101は、例えば図26に表したようなシステムにおいて必要となる。図26に表したシステムでは、複数のシステムボード100がクロスバ300に接続されている。

[0097] しかし、図24に表したプロセッサがメモリコントローラを搭載しているシステムでは、プロセッサが管理可能なメモリ容量が図23に表したシステムよりも小さい。そこで、図25に表したように、プロセッサ1は搭載しているメモリコントローラ11を無効にする機能を有している。プロセッサ1はさらに、メモリインターフェースをシステムバスと同じ仕様のインターフェースにする機能を有している。これにより、プロセッサ1に拡張メモリコントローラ106を接続することが可能になる。これにより、拡張メモリコントローラ106にメモリモジュール16、26、36、46等を接続することが可能になり、メモリ容量の制限を解除することができる。しかし、メモリコントローラがプロセッサの外にあるため、メモリアクセスのレイテンシが増大してしまう。

[0098] これに対して、本実施例では、図22に表したように、システムにモード1、3を混在させる。これによって、メモリアクセスの高速化が要求されるメモリモジュール16に対しては、プロセッサ1に搭載されたメモリコントローラ11からアクセスする。また、メモリ容量の増大の要求を、拡張サブメモリコントローラ51からメモリモジュール17、18にアクセスすることで満たす。また、本実施例によれば、メモリモジュールに対してアクセスするメモリ制御装置を設定レジスタによって切り替えることで、情報処理装置内に、様々なシステムを共存させることができる。即ち、図1に表した情報処理装置0において、あるシステムボード100では、SMPを実現し、また、あるシステムボード100ではNUMAを実現し、また、あるシステムボード100では、図24に表したようなシステムを実現することができる。

請求の範囲

- [1] データが格納される第一のメモリと、
データが格納される第二のメモリと、
該第一のメモリに対するデータの書き込み又は読み出しを制御する第一のメモリ制御装置と、
該第一のメモリ及び該第二のメモリに対するデータの書き込み又は読み出しを制御する第二のメモリ制御装置と、
該第一のメモリ制御装置又は該第二のメモリ制御装置のいずれか一つを選択して、
該第一のメモリに対するデータの書き込み又は読み出しを行わせる選択手段と、
を有することを特徴とする情報処理装置。
- [2] 該選択手段が該第一のメモリ制御装置を選択した場合、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする請求項1記載の情報処理装置。
- [3] 該選択手段が該第二のメモリ制御装置を選択した場合、該第二のメモリ制御装置は、該第一のメモリ及び該第二のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする請求項1記載の情報処理装置。
- [4] 該情報処理装置は、さらに、該第二のメモリ制御装置を制御する制御装置を有し、
該選択手段が該第一のメモリ制御装置を選択した場合、該制御装置は該第二のメモリ制御装置に該第二のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする請求項1記載の情報処理装置。
- [5] 該情報処理装置は、さらに、データを処理する処理装置を有し、
該第一のメモリ制御装置は、該処理装置に設けられていることを特徴とする請求項1記載の情報処理装置。
- [6] 該第二のメモリ制御装置は、該処理装置に接続されていることを特徴とする請求項5記載の情報処理装置。
- [7] データが格納される第一のメモリと、データが格納される第二のメモリと、該第一のメモリに対するデータの書き込み又は読み出しを制御する第一のメモリ制御装置と、該第一のメモリ及び該第二のメモリに対するデータの書き込み又は読み出しを制御す

る第二のメモリ制御装置と、該第一のメモリ制御装置又は該第二のメモリ制御装置のいずれか一つを選択して該第一のメモリに対してデータの書き込み又は読み出しを行わせる第一の選択手段とを有する第一のシステムボードと、

データが格納される第三のメモリと、データが格納される第四のメモリと、該第三のメモリに対するデータの書き込み又は読み出しを制御する第三のメモリ制御装置と、該第三のメモリ及び該第四のメモリに対するデータの書き込み又は読み出しを制御する第四のメモリ制御装置と、該第三のメモリ制御装置又は該第四のメモリ制御装置のいずれか一つを選択して該第三のメモリに対してデータの書き込み又は読み出しを行わせる第二の選択手段とを有する第二のシステムボードと、

を有することを特徴とする情報処理装置。

[8] 該第一の選択手段は該第一のメモリ制御装置を選択し、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行い、

該第二の選択手段は該第四のメモリ制御装置を選択し、該第四のメモリ制御装置は、該第三のメモリまたは該第四のメモリに対してデータの書き込み又は読み出しを行うことを特徴とする請求項7記載の情報処理装置。

[9] 該第二のシステムボードは、さらに、該第四のメモリ制御装置を制御する制御装置を有し、

該第一の選択手段は該第一のメモリ制御装置を選択し、該第一のメモリ制御装置は、該第一のメモリに対してデータの書き込み又は読み出しを行い、

該制御装置は該第四のメモリ制御装置に該第三のメモリまたは該第四のメモリに対してデータの書き込み又は読み出しを行わせることを特徴とする請求項7記載の情報処理装置。

[10] 該第二のシステムボードは、さらに、該第四のメモリ制御装置を制御する制御装置を有し、

該第一の選択手段は該第二のメモリ制御装置を選択し、該第二のメモリ制御装置は、該第一のメモリまたは該第二のメモリに対してデータの書き込み又は読み出しを行い、

該制御装置は該第四のメモリ制御装置に該第三のメモリまたは該第四のメモリに対

してデータの書き込み又は読み出しを行わせることを特徴とする請求項7記載の情報処理装置。

- [11] 該第一のシステムボードは、さらに、データを処理する第一の処理装置を有し、
該第二のシステムボードは、さらに、データを処理する第二の処理装置を有し、
該第一のメモリ制御装置は、該第一の処理装置に設けられ、
該第三のメモリ制御装置は、該第二の処理装置に設けられていることを特徴とする
請求項7記載の情報処理装置。
- [12] 該第二のメモリ制御装置は、該第一の処理装置に接続され、
該第四のメモリ制御装置は、該第二の処理装置に接続されていることを特徴とする
請求項11記載の情報処理装置。
- [13] 情報処理装置の制御方法において、
該情報処理装置が、データが格納される第一のメモリに対するデータの書き込み
又は読み出しを制御する第一のメモリ制御装置と、該第一のメモリ及びデータが格納
される第二のメモリに対するデータの書き込み又は読み出しを制御する第二のメモリ
制御装置のいずれか一つを選択して、該第一のメモリに対するデータの書き込み又
は読み出しを行わせることを特徴とする制御方法。
- [14] 該情報処理装置が該第一のメモリ制御装置を選択した場合、該第一のメモリ制御
装置は、該第一のメモリに対してデータの書き込み又は読み出しを行うことを特徴と
する請求項13記載の制御方法。
- [15] 該情報処理装置が該第二のメモリ制御装置を選択した場合、該第二のメモリ制御
装置は、該第一のメモリ及び該第二のメモリに対してデータの書き込み又は読み出し
を行うことを特徴とする請求項13記載の制御方法。
- [16] 該情報処理装置は、さらに、該第二のメモリ制御装置を制御する制御装置を有し、
該情報処理装置が該第一のメモリ制御装置を選択した場合、該制御装置は該第二
のメモリ制御装置に該第二のメモリに対してデータの書き込み又は読み出しを行わ
せることを特徴とする請求項13記載の制御方法。
- [17] 該情報処理装置は、さらに、データを処理する処理装置を有し、
該第一のメモリ制御装置は、該処理装置に設けられていることを特徴とする請求項

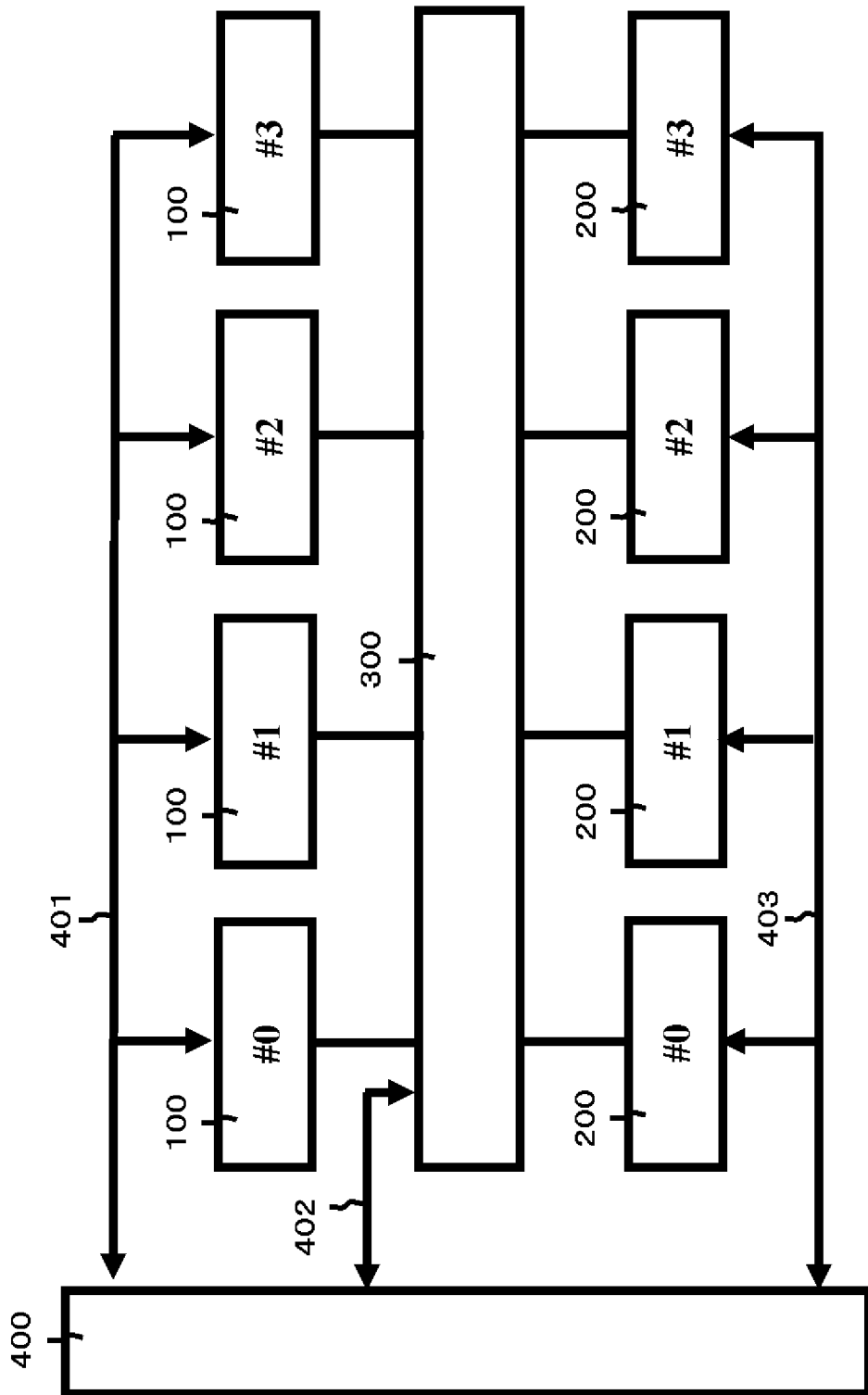
13記載の制御方法。

[18] 該第二のメモリ制御装置は、該処理装置に接続されていることを特徴とする請求項

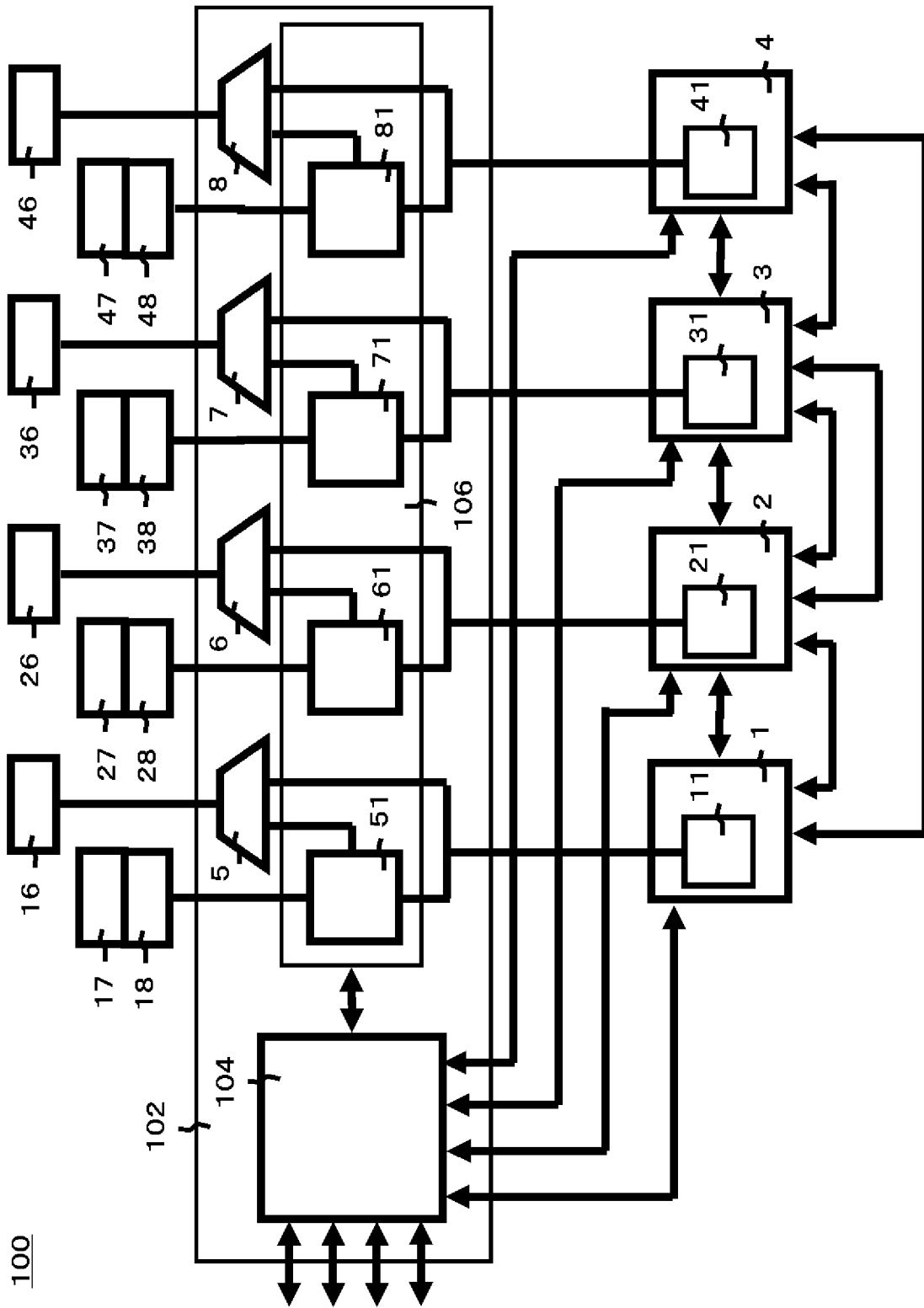
17記載の制御方法。

[図1]

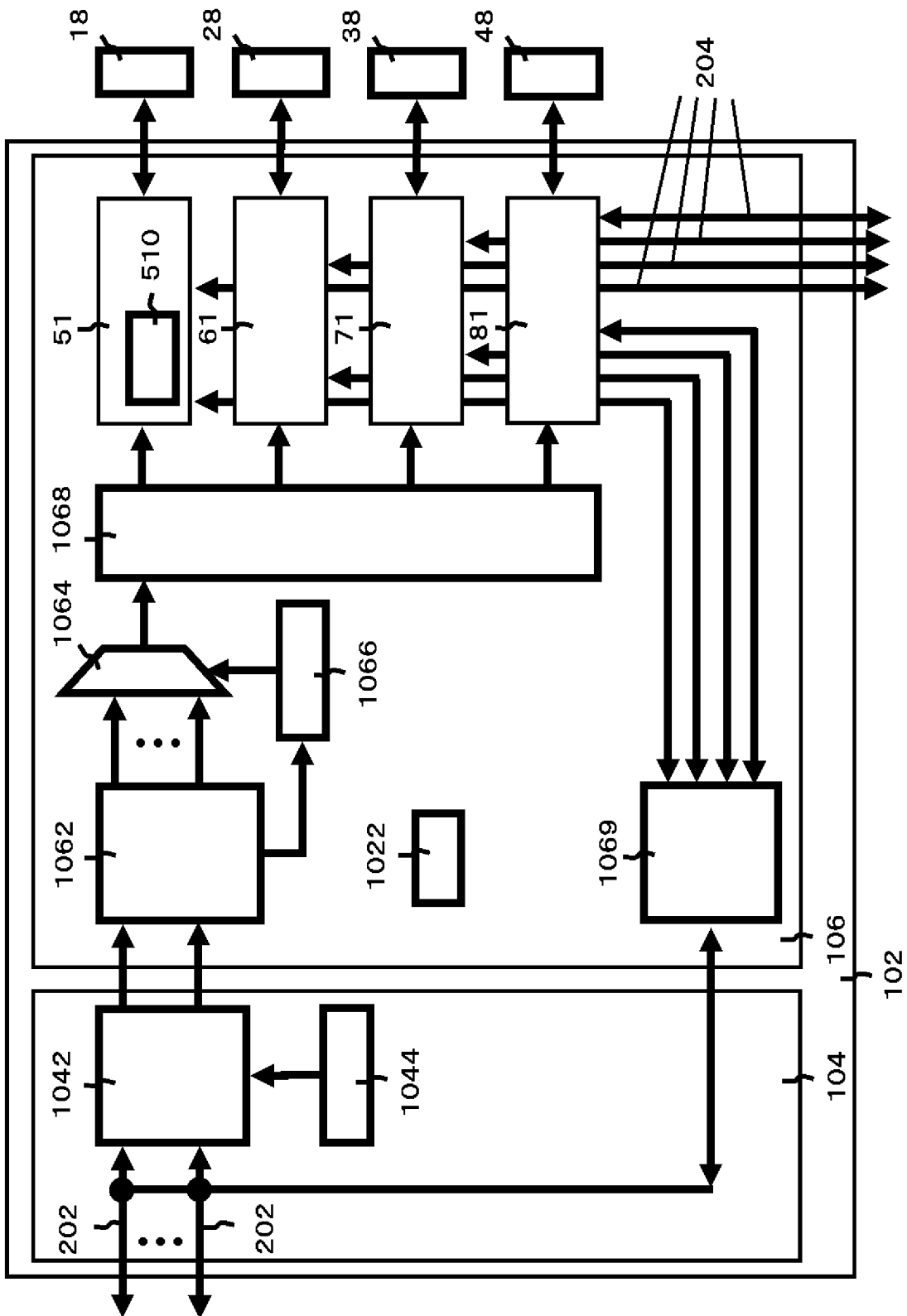
0



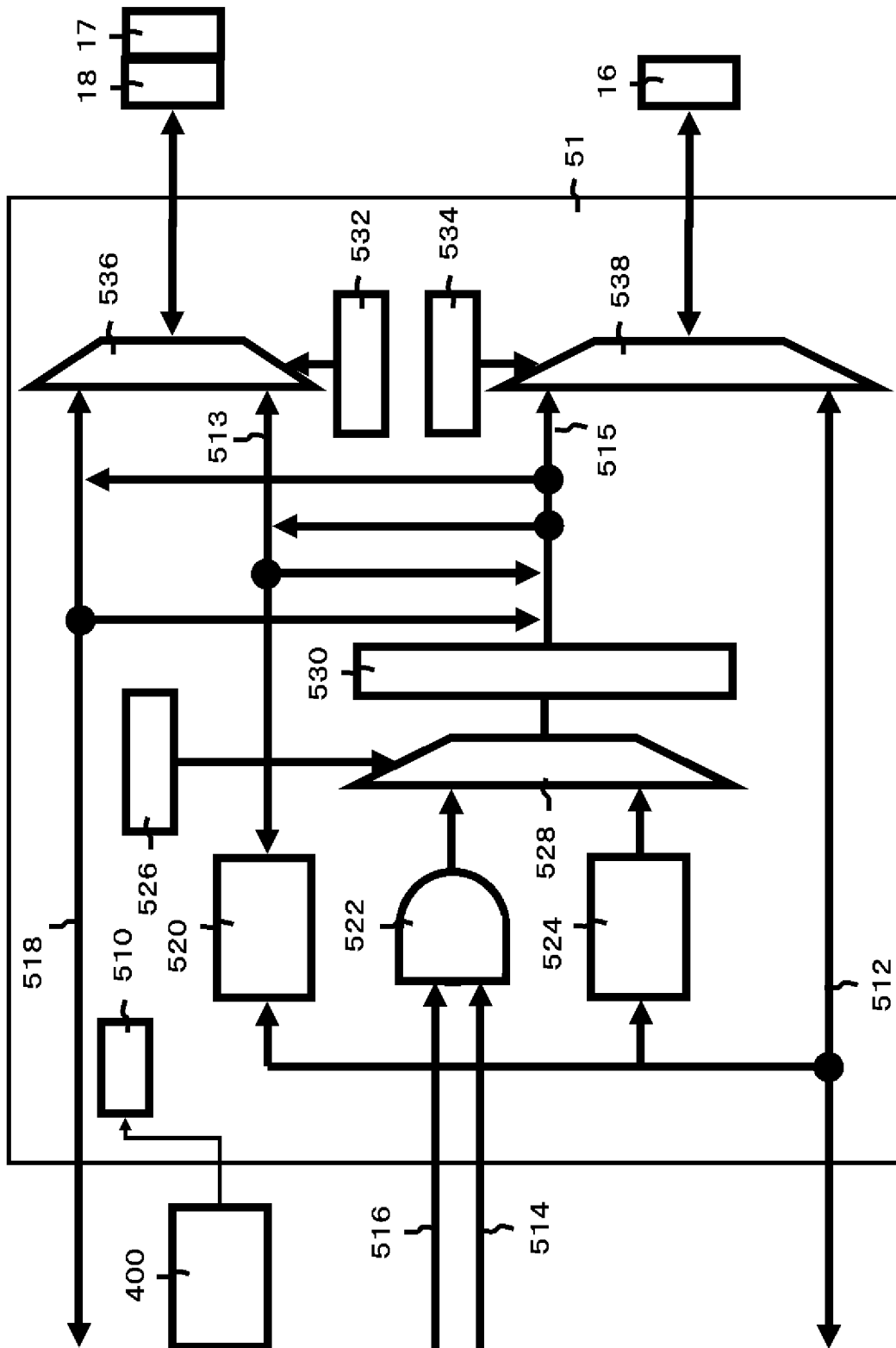
[図2]



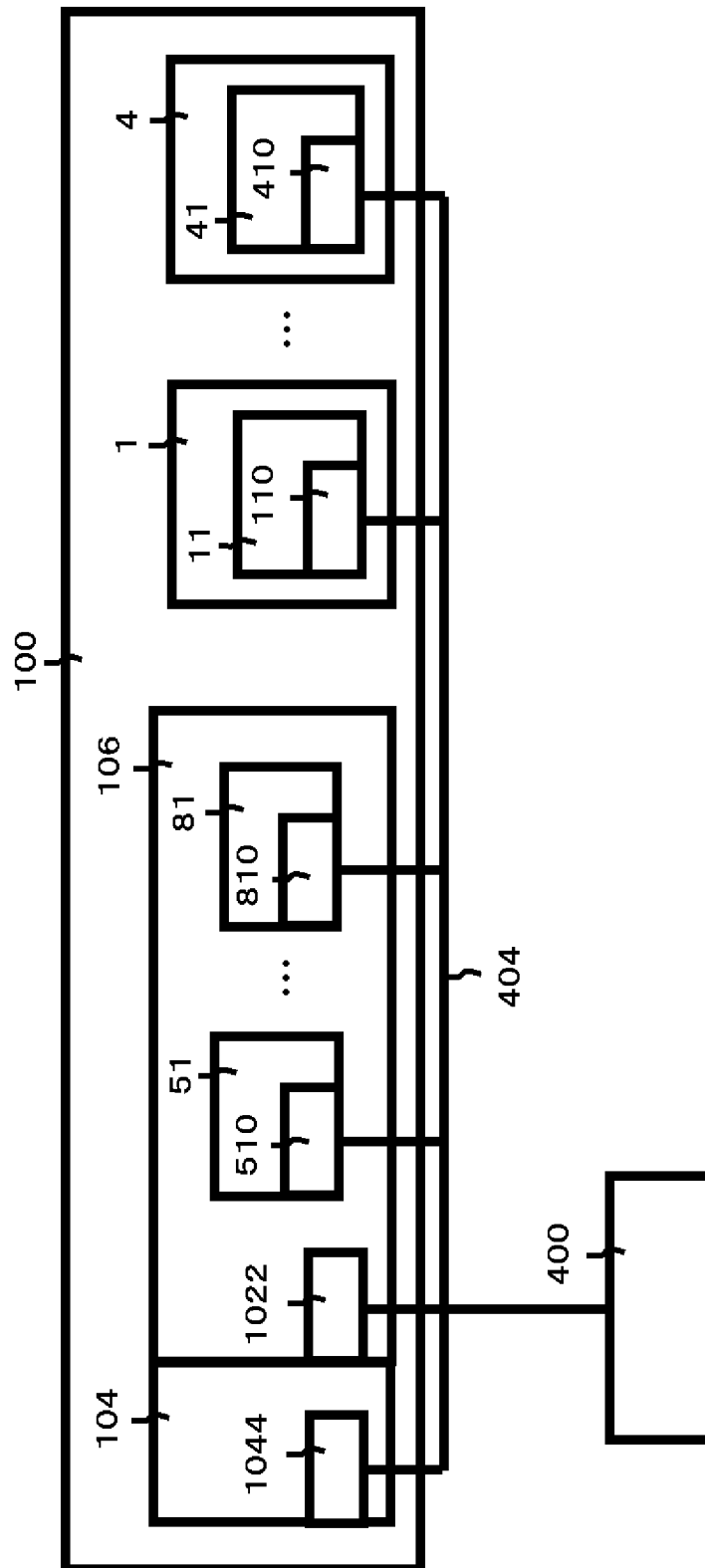
[図3]



[図4]



[図5]



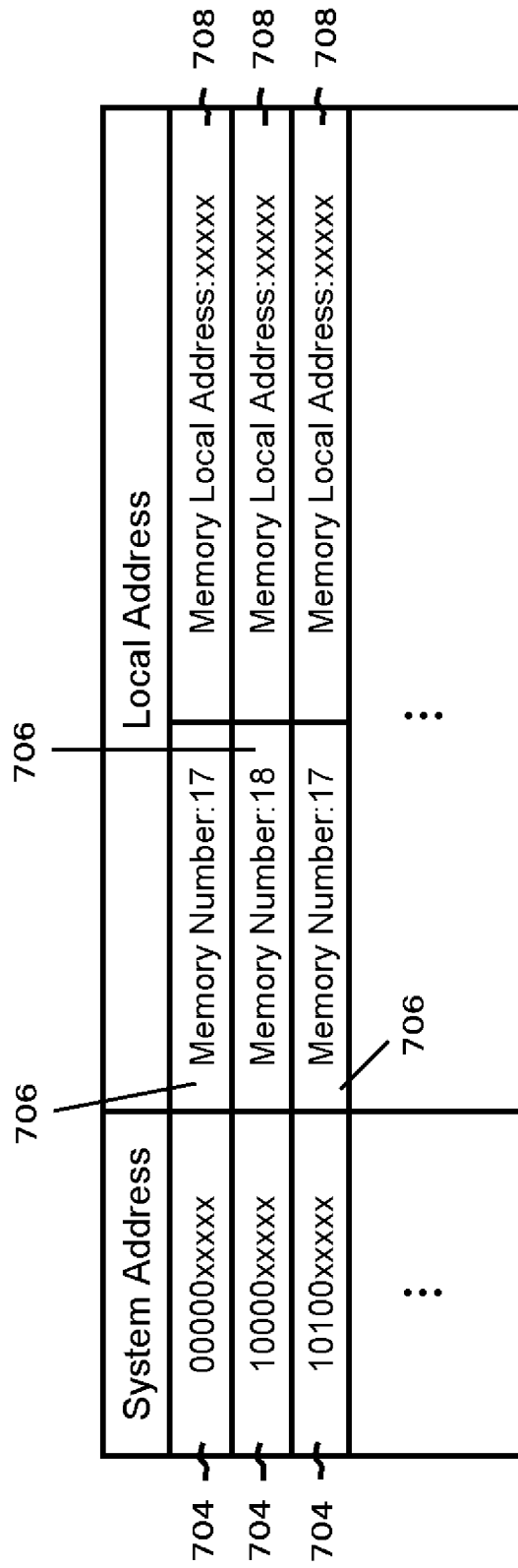
[図6]

600

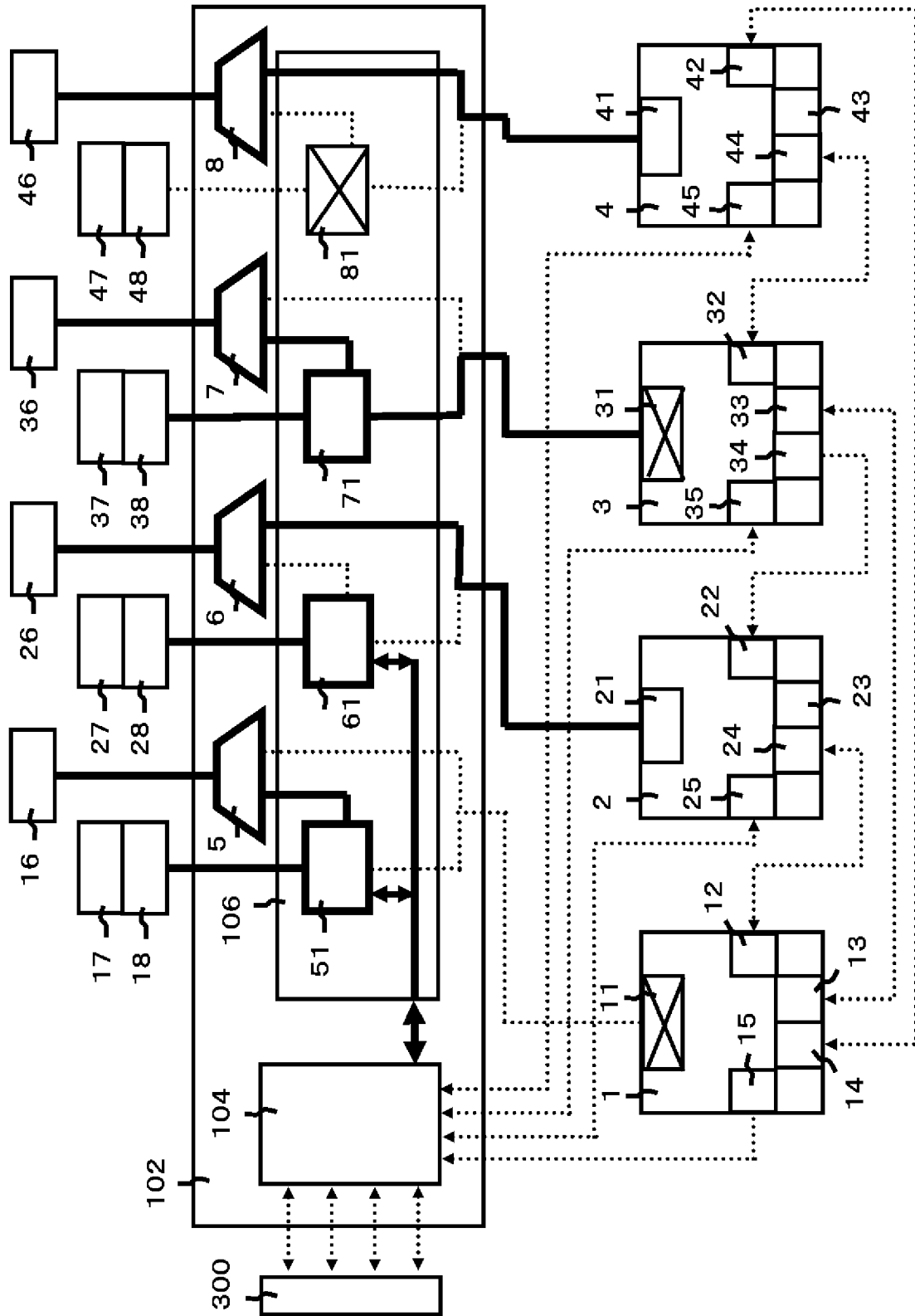
System Controller	Extended Sub Memory Controller 51	Memory 17		
		Memory 18		
		Memory 27		
		Memory 28		
Extended Sub Memory Controller 61	Memory 37			
	Memory 38			
	Memory 47			
Extended Sub Memory Controller 71	Memory 48			
	Extended Sub Memory Controller 81			
Processor 4	Processor 3	Processor 2	Processor 1	Memory 46
				Memory 36
				Memory 26
				Memory 16

[図7]

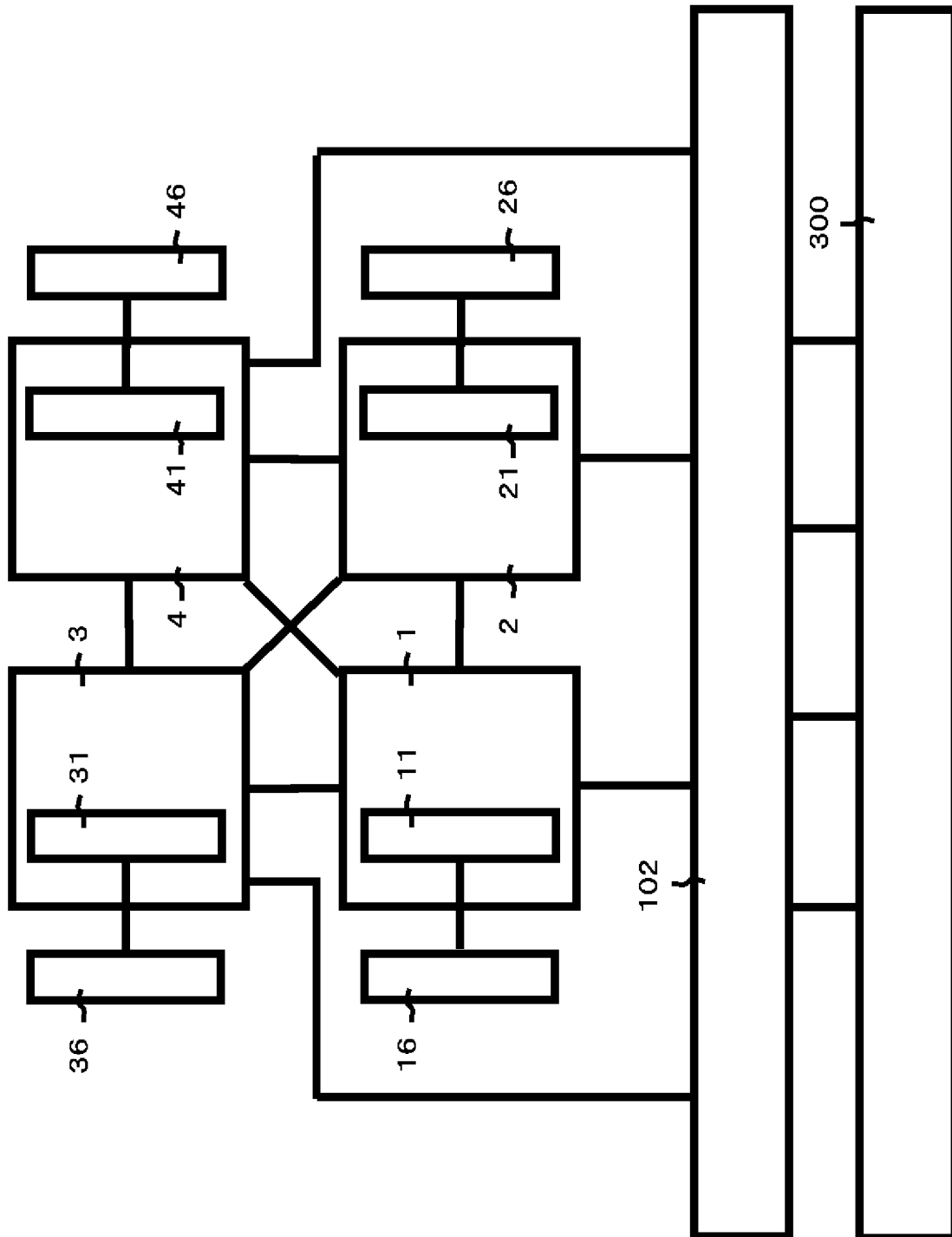
530



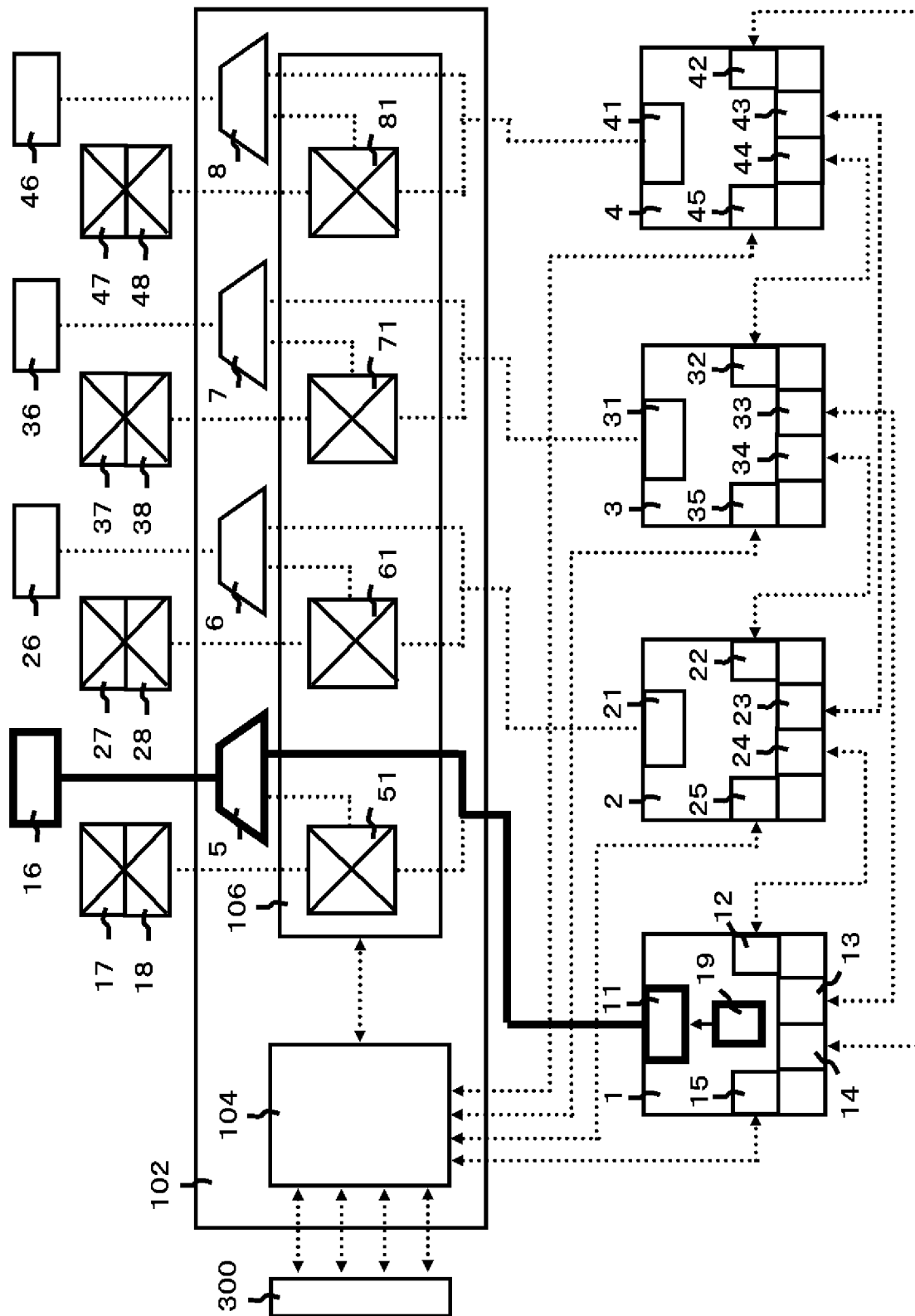
[図8]



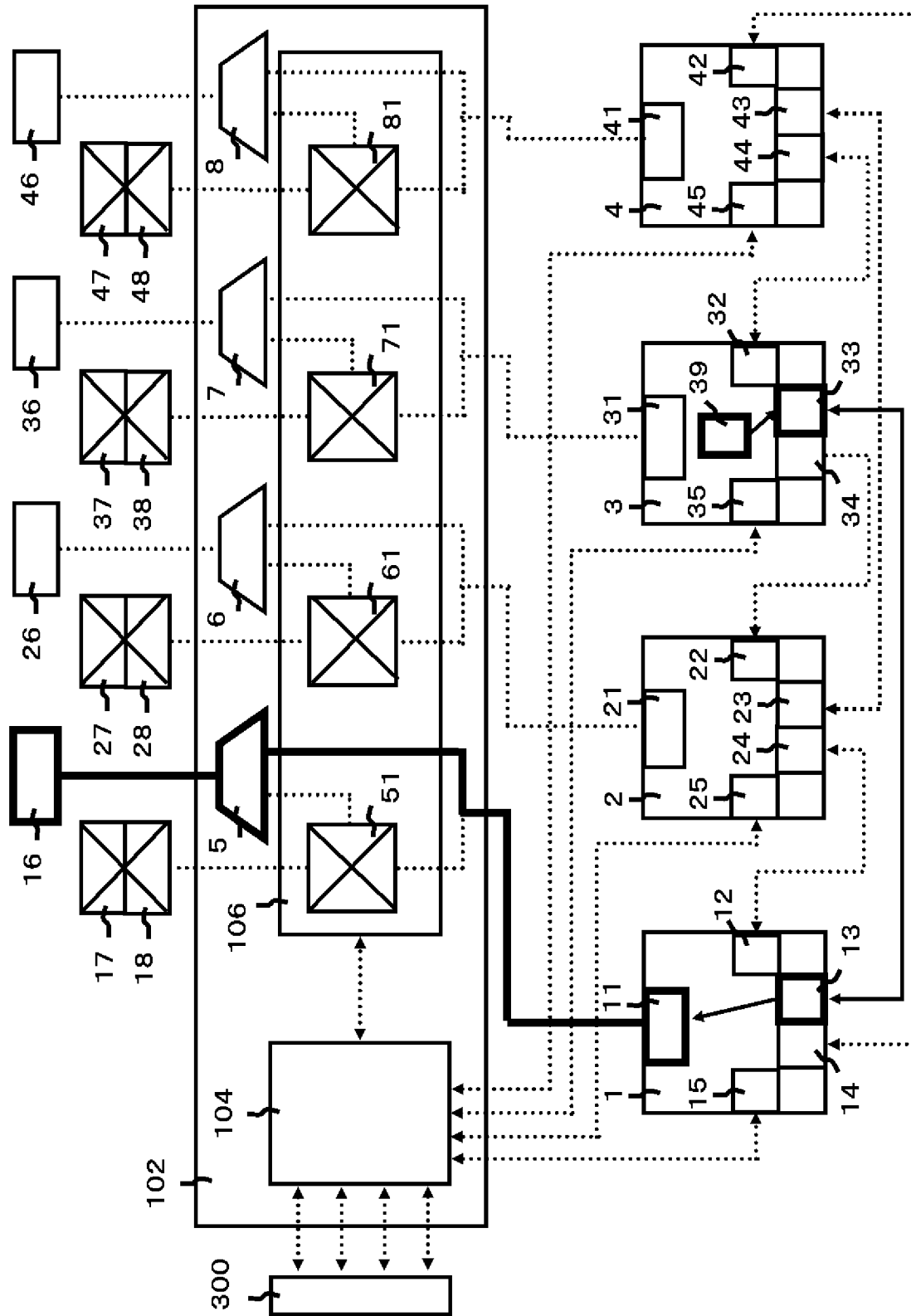
[図9]



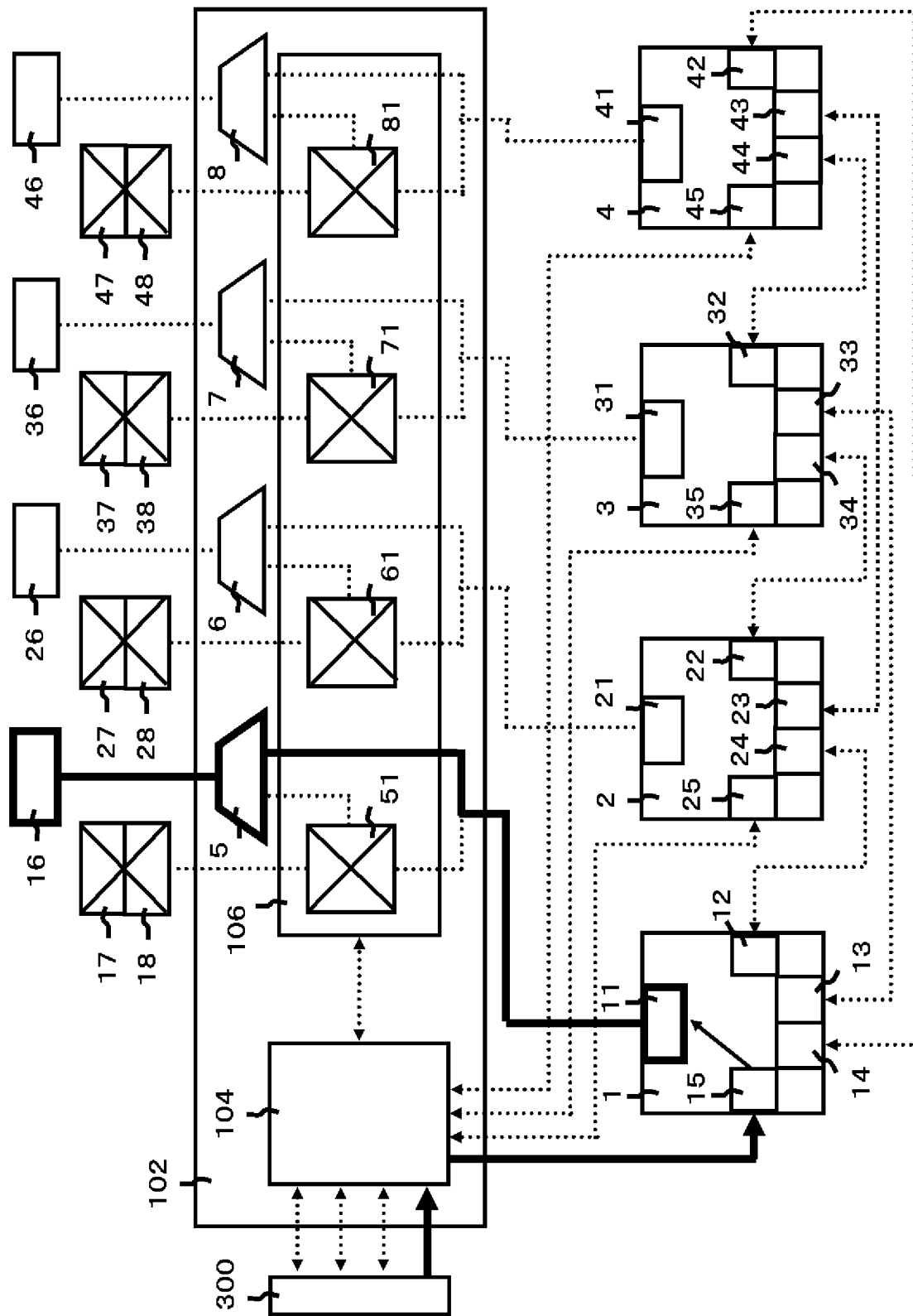
[図10]



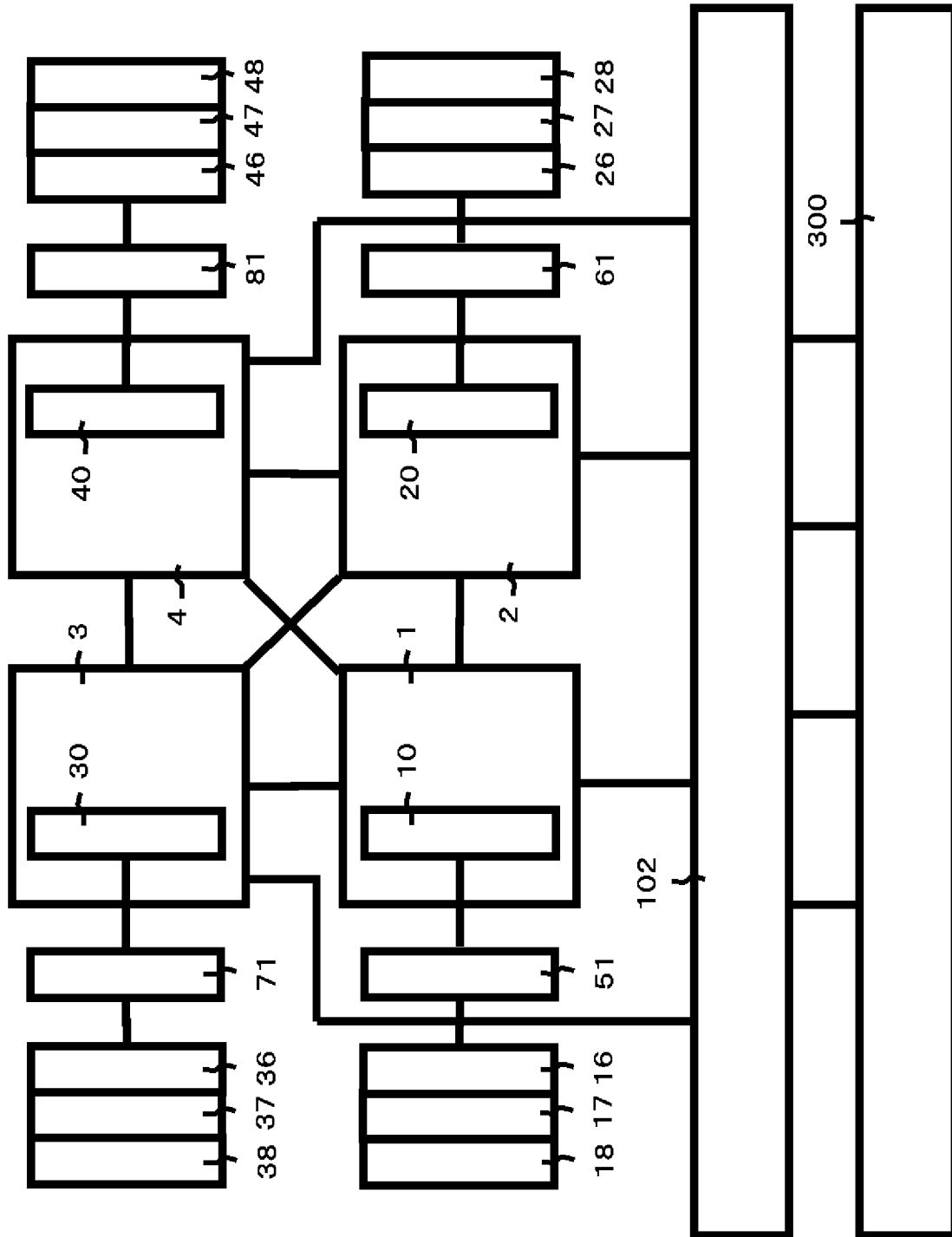
[図11]



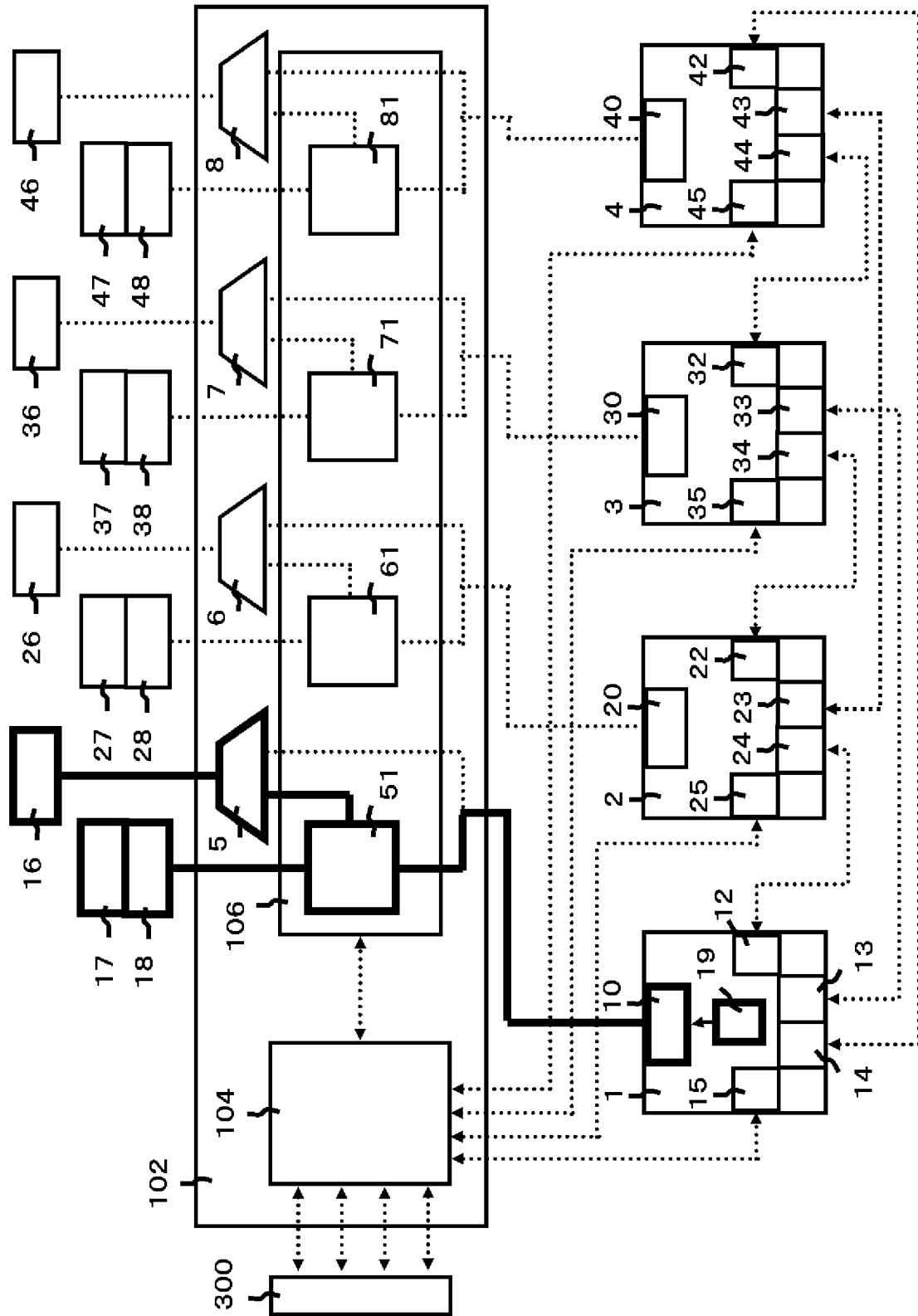
[図12]



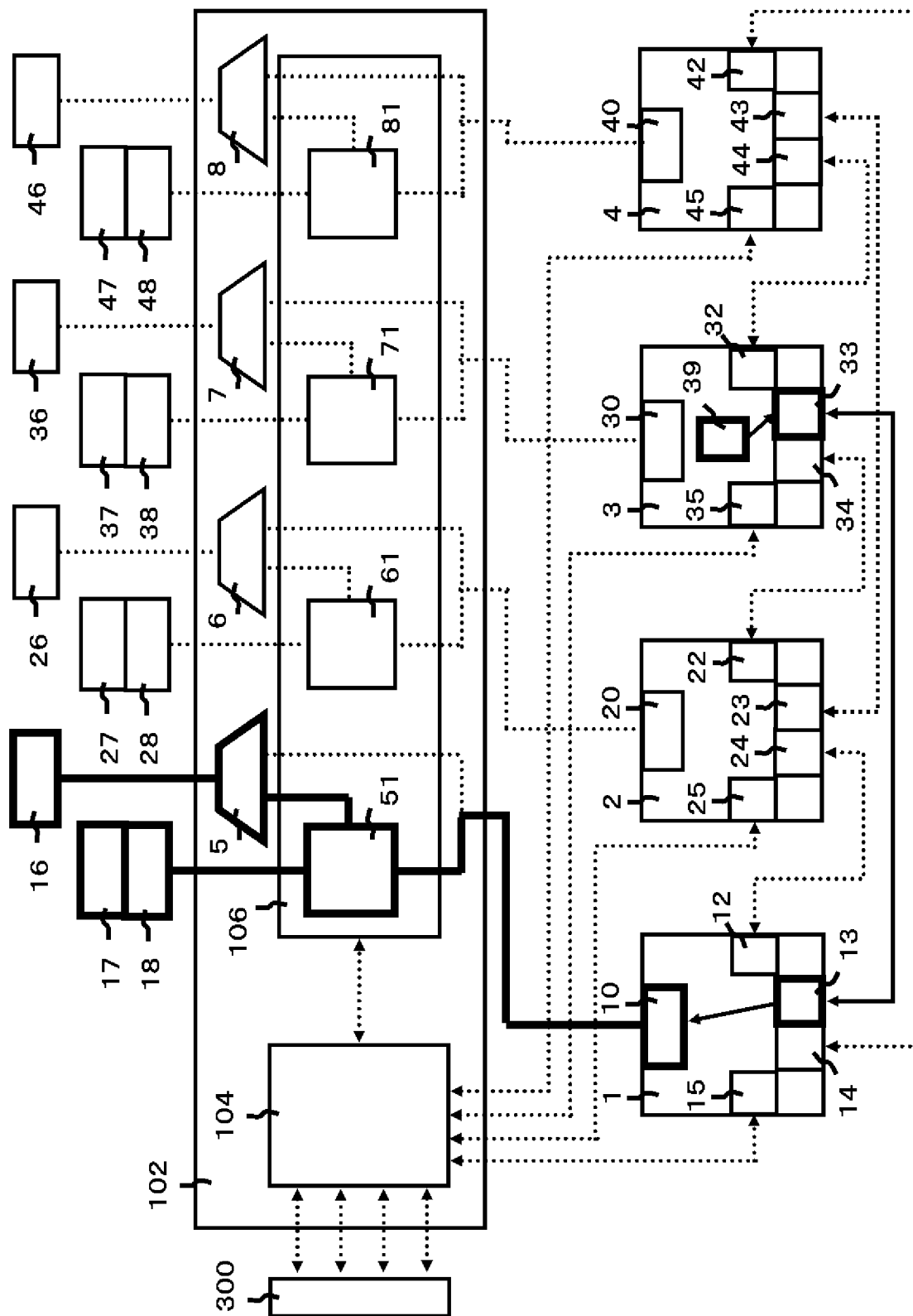
[図13]



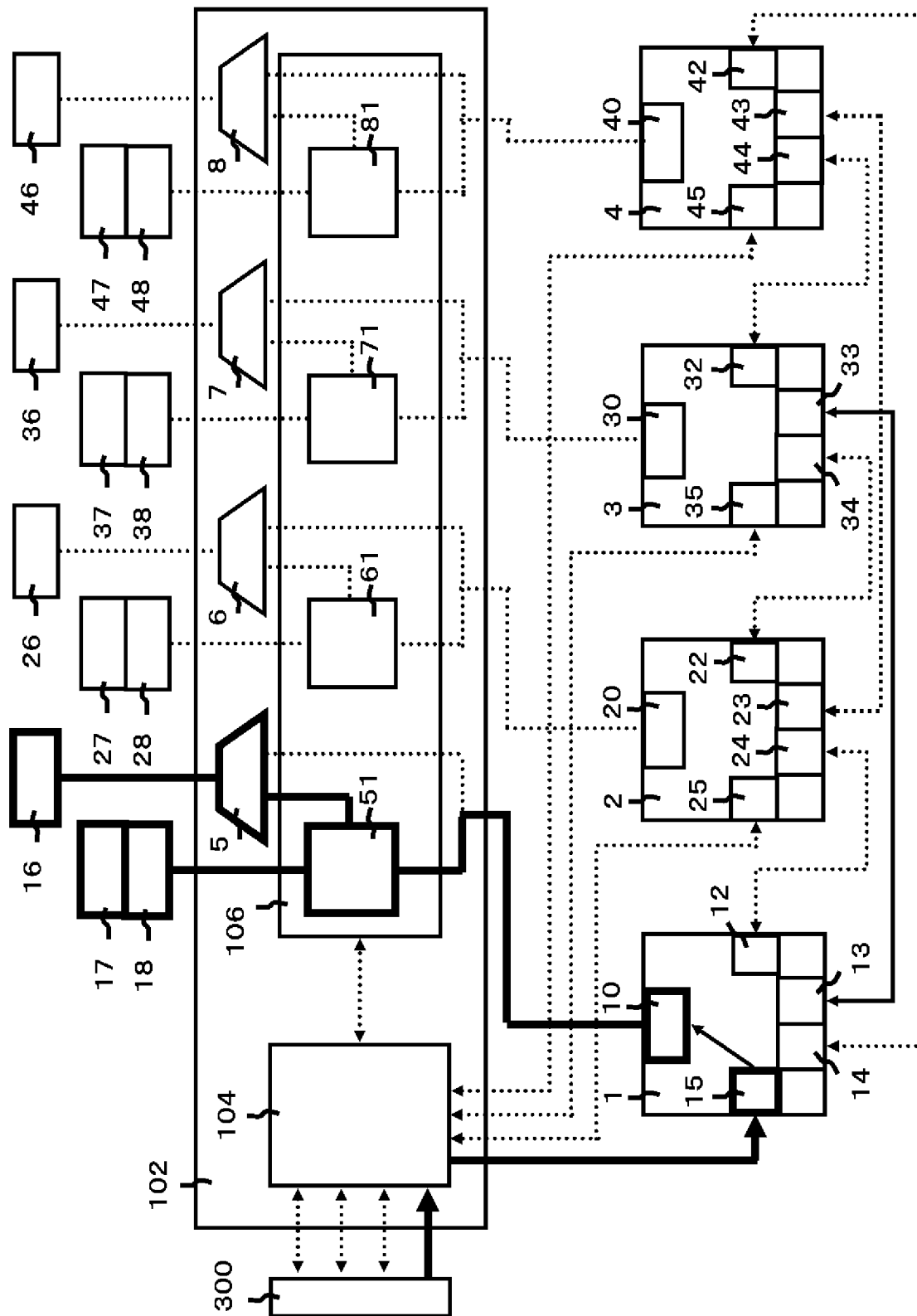
[図14]



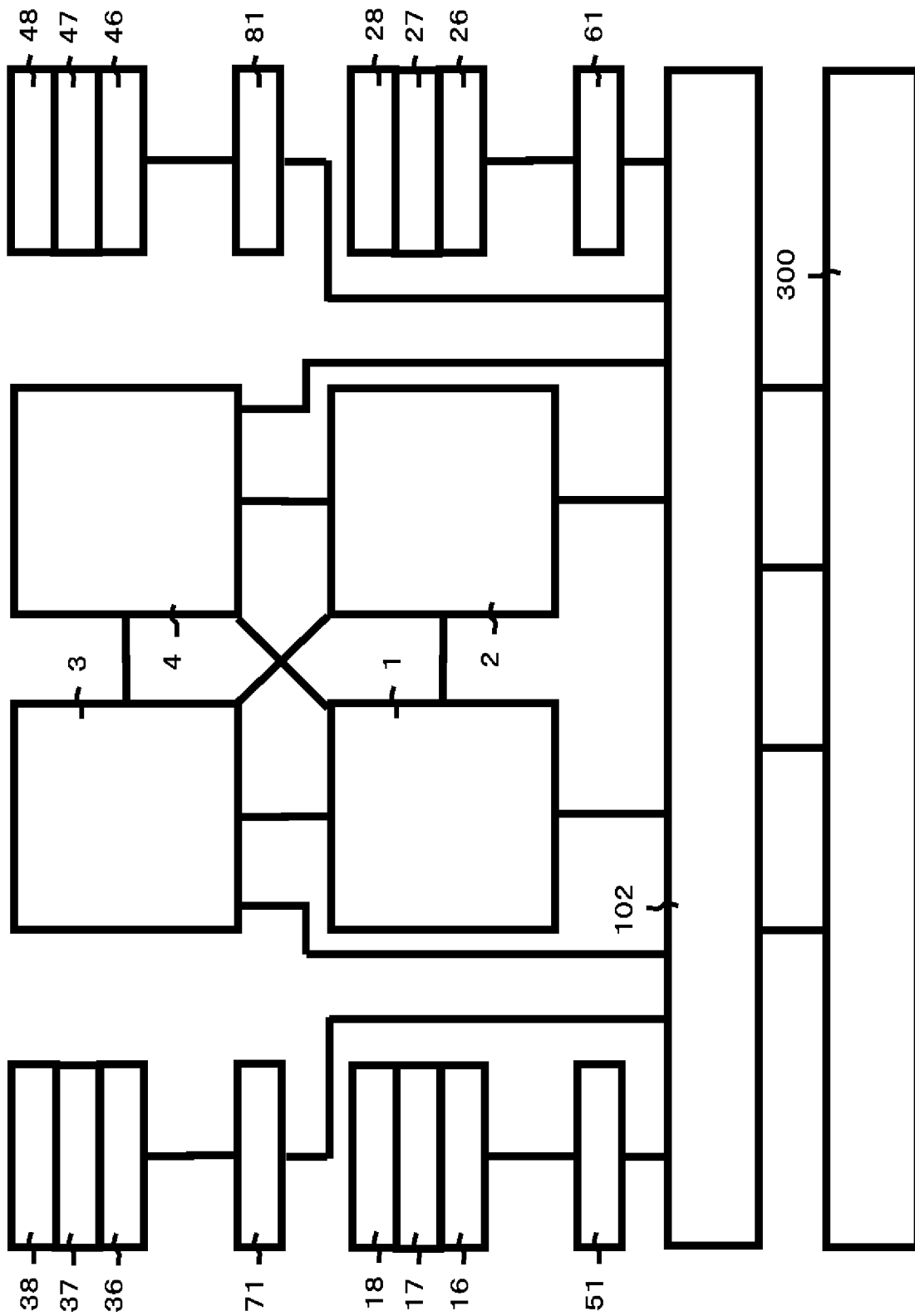
[図15]



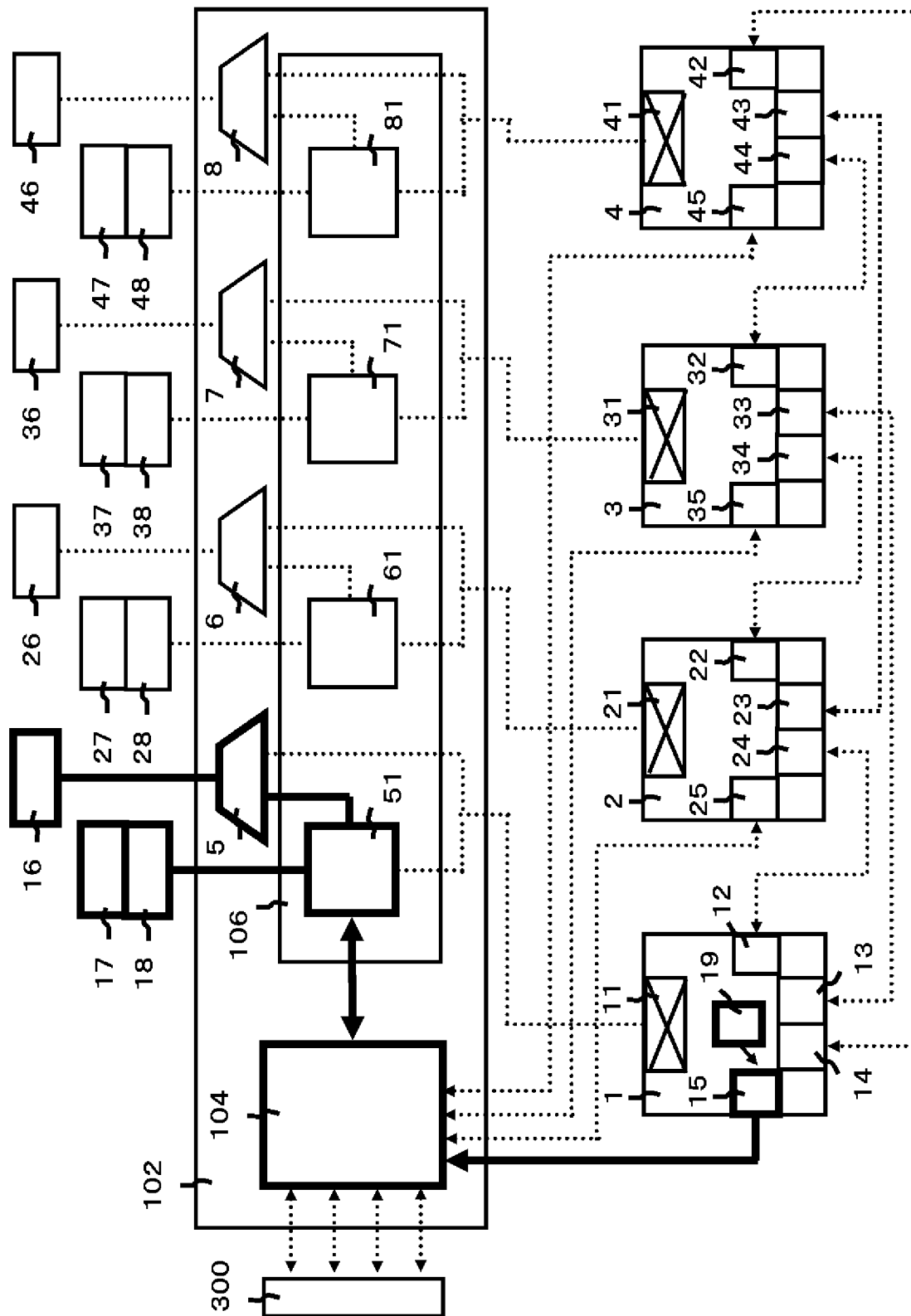
[図16]



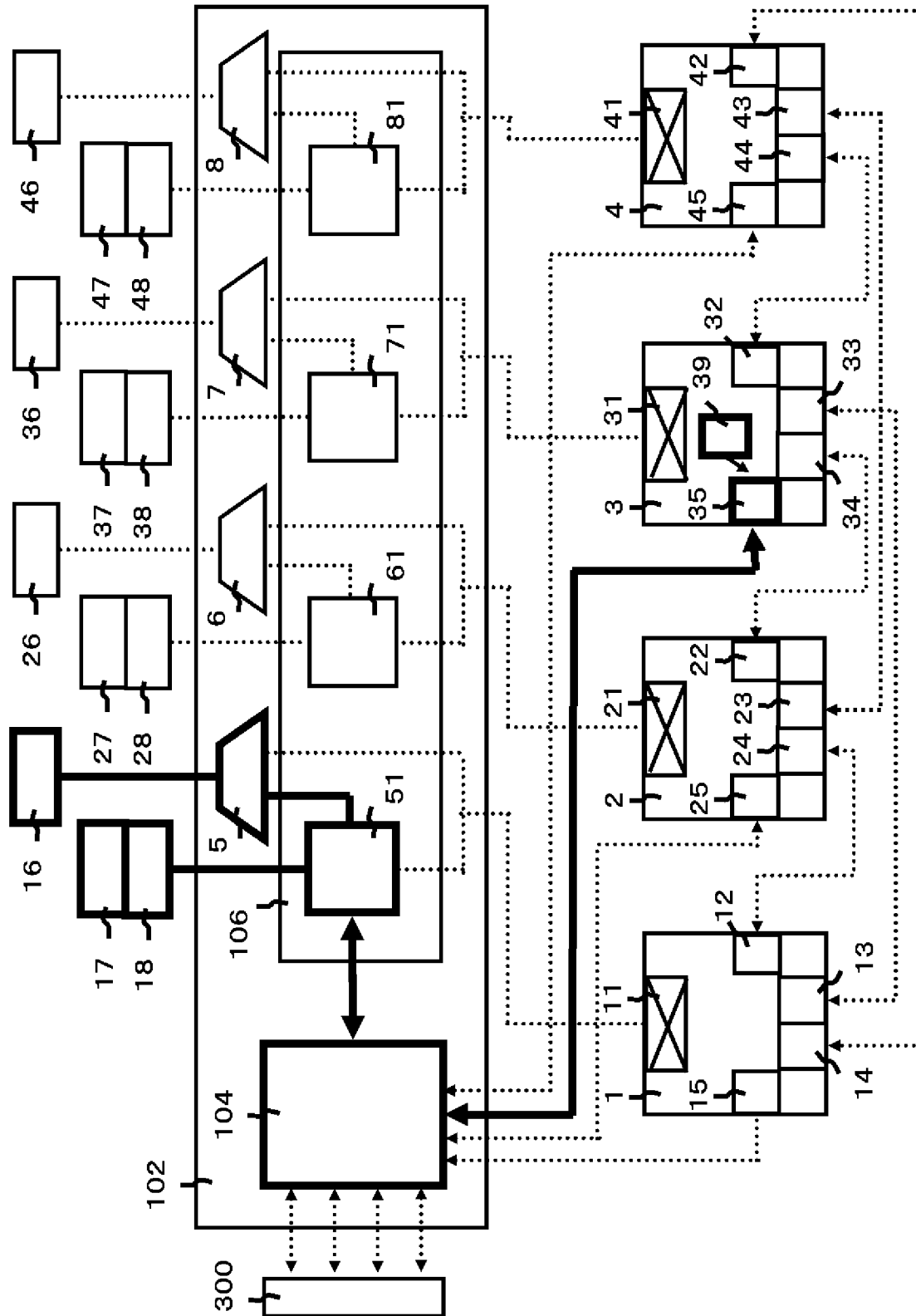
[図17]



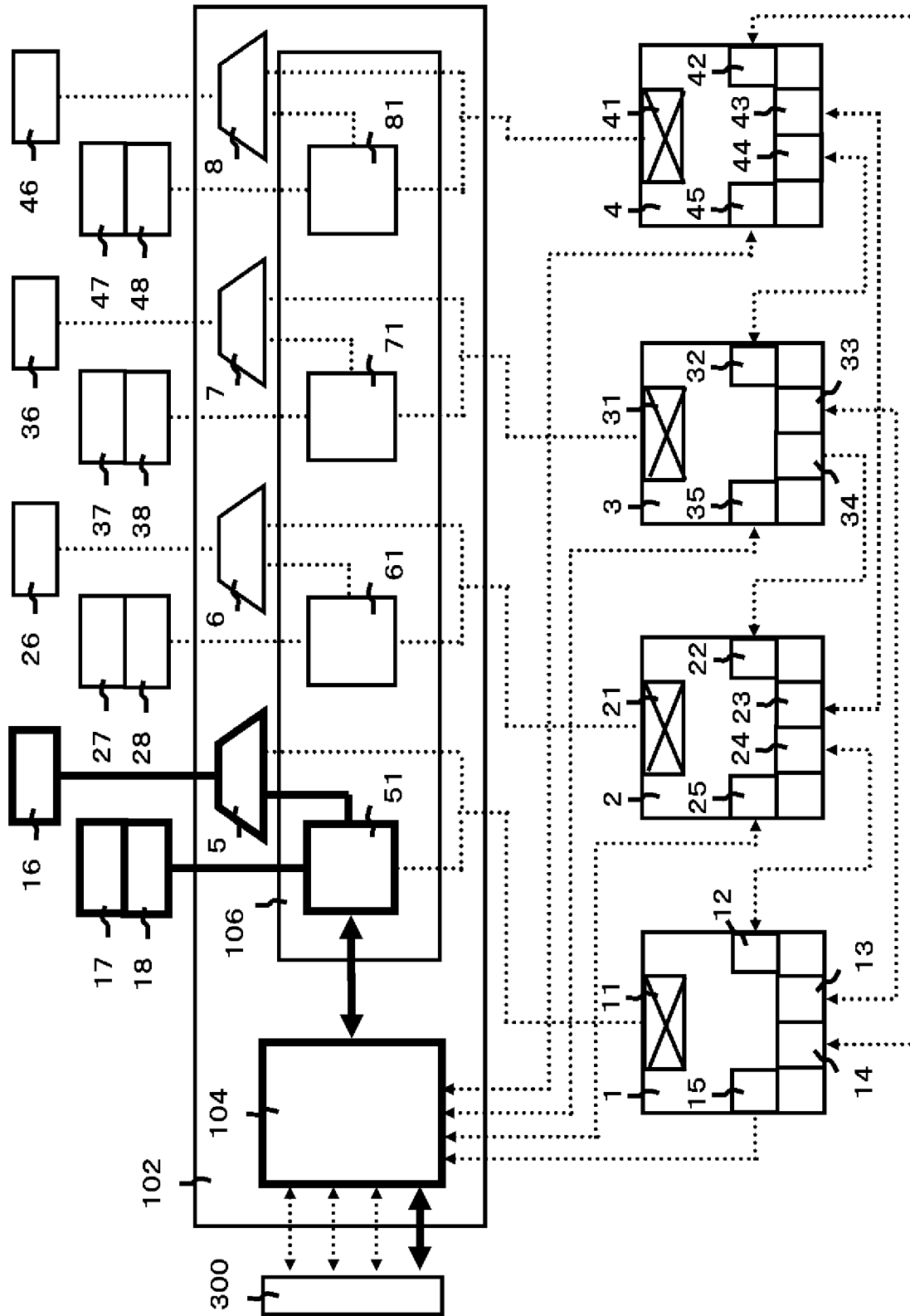
[図18]



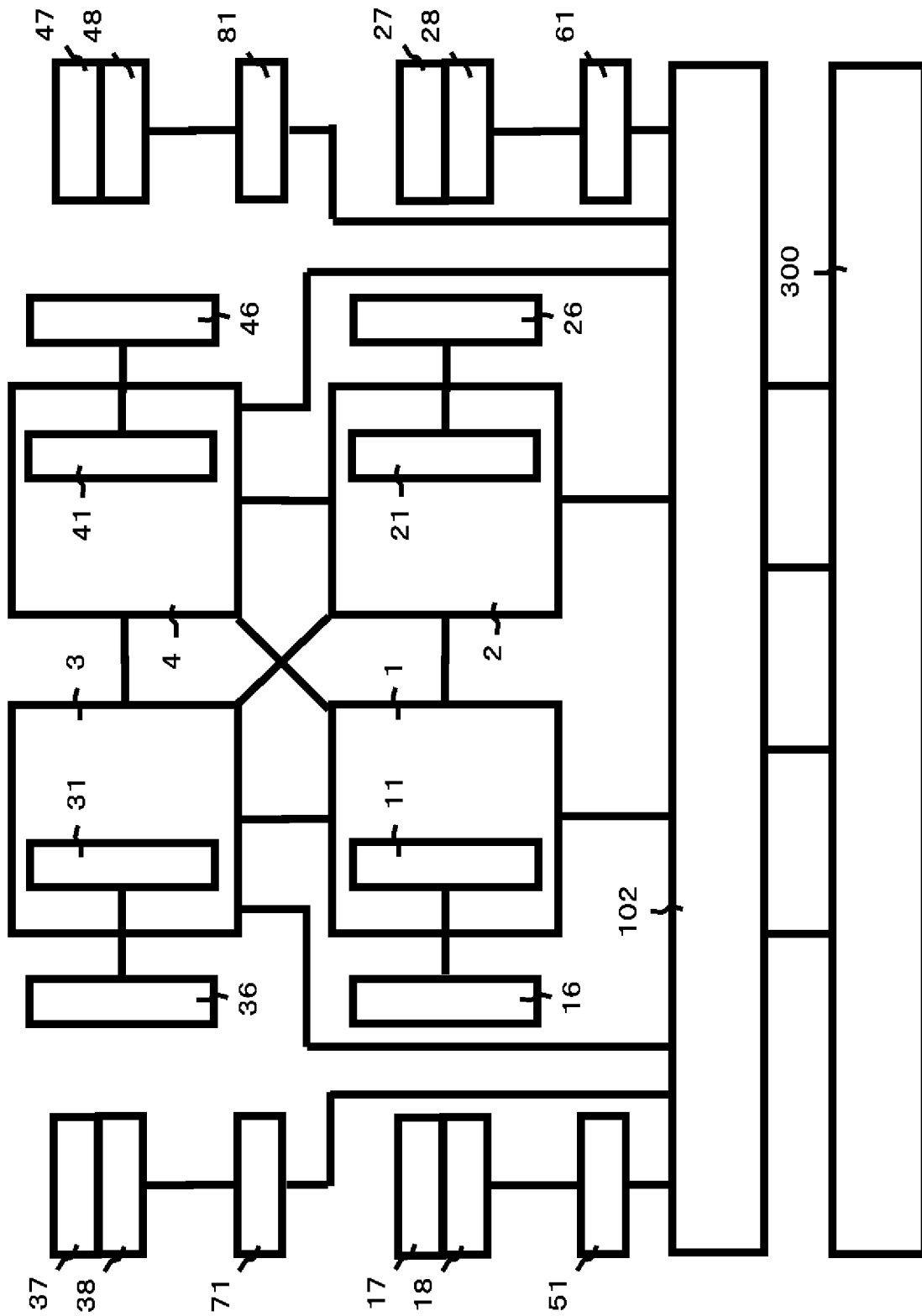
[図]19



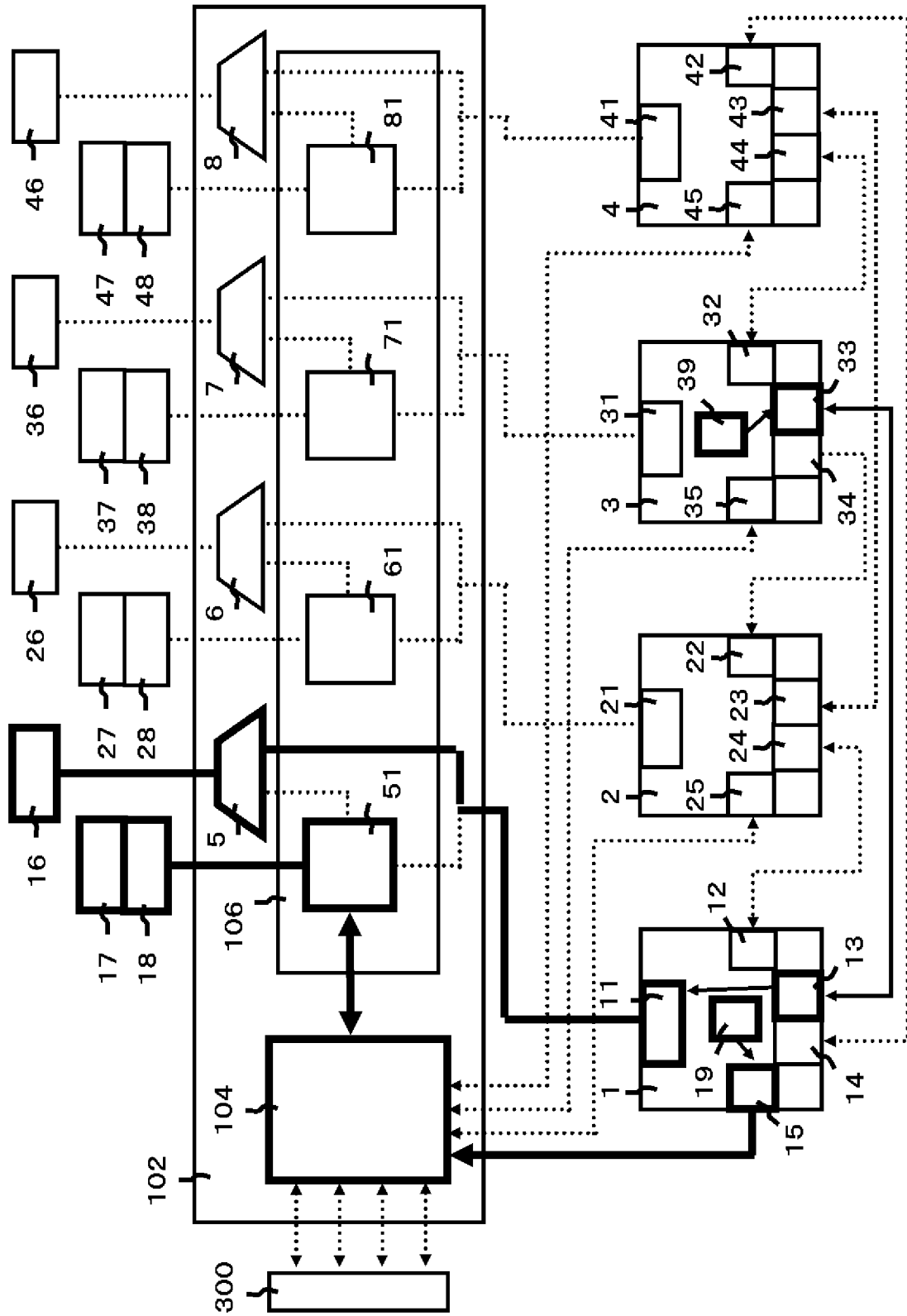
[図20]



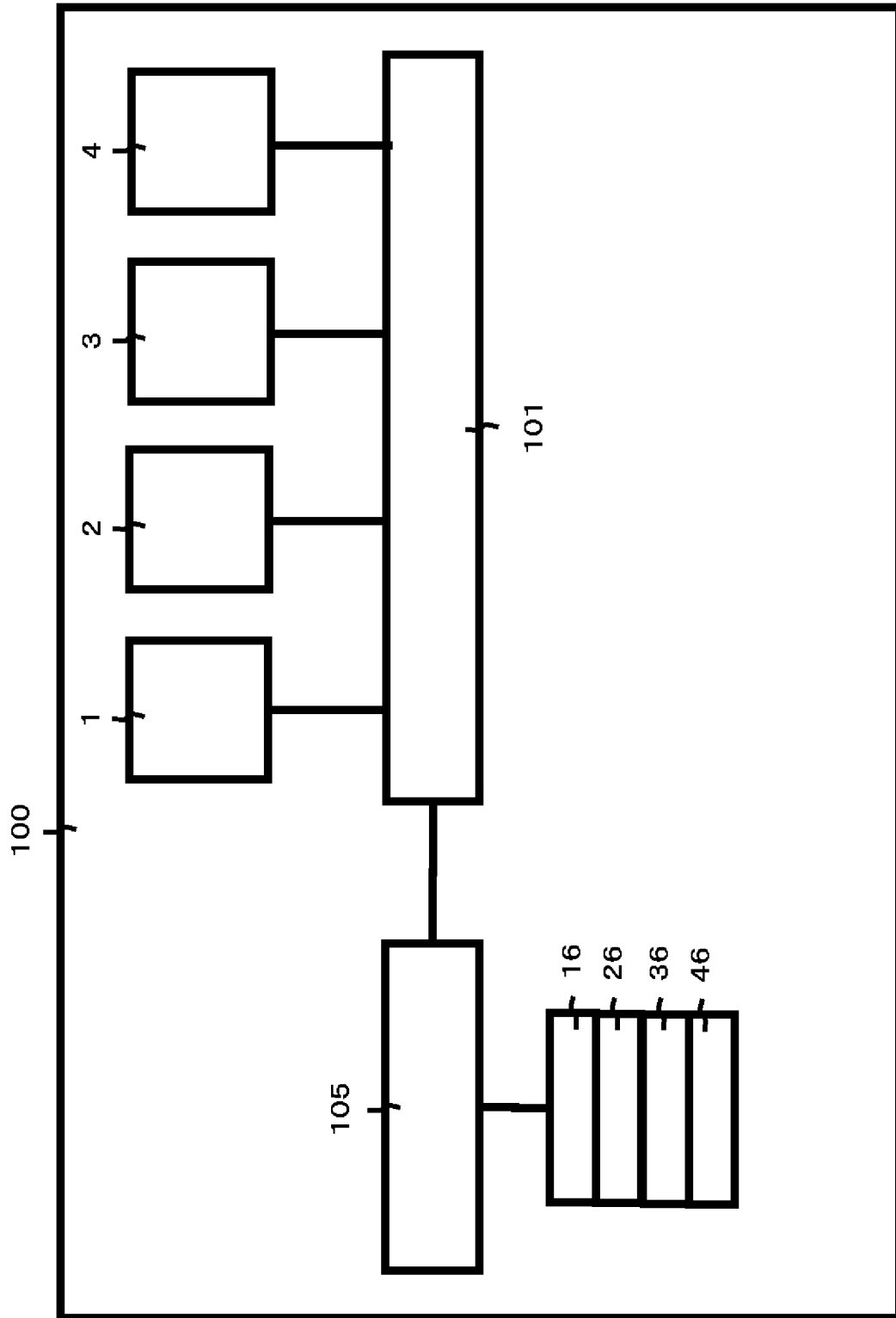
[図21]



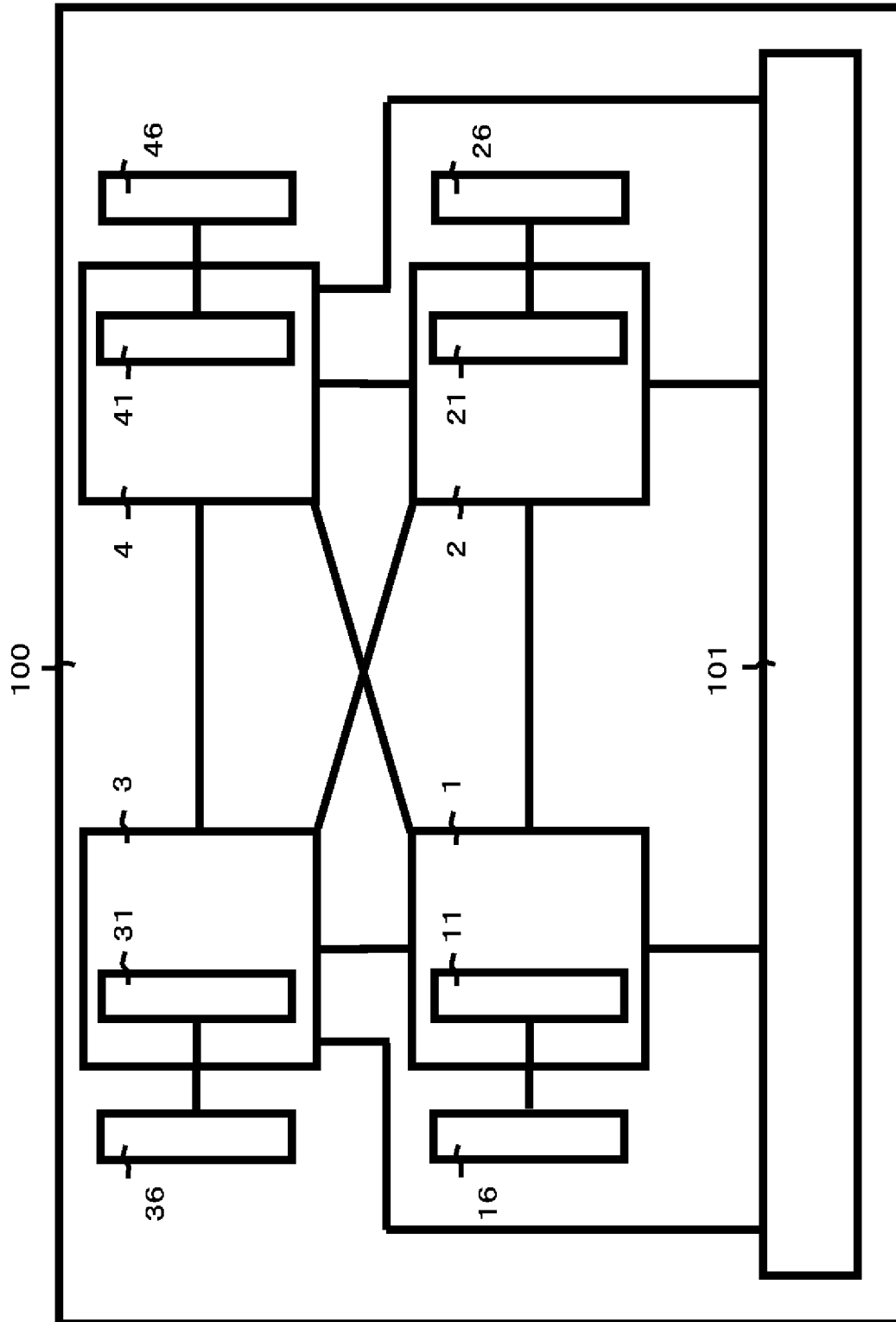
[図22]



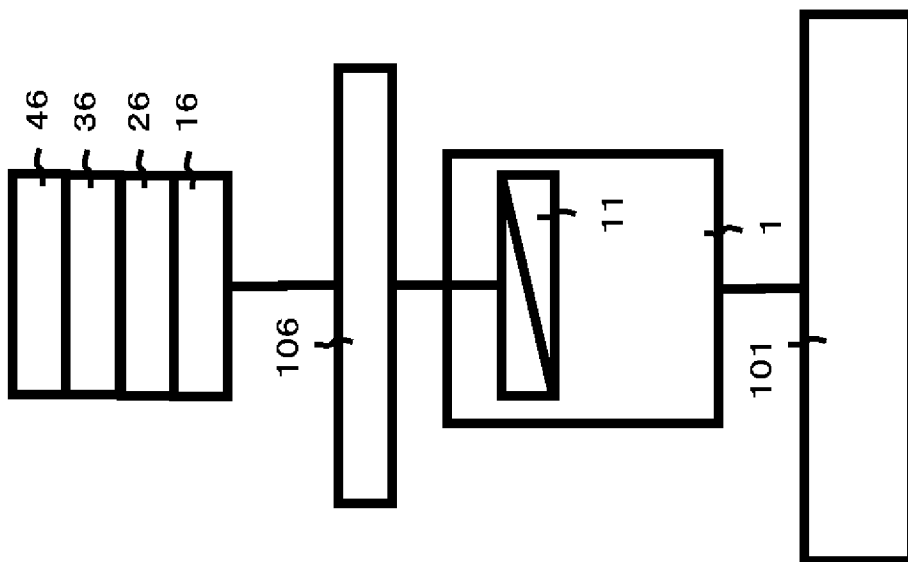
[図23]



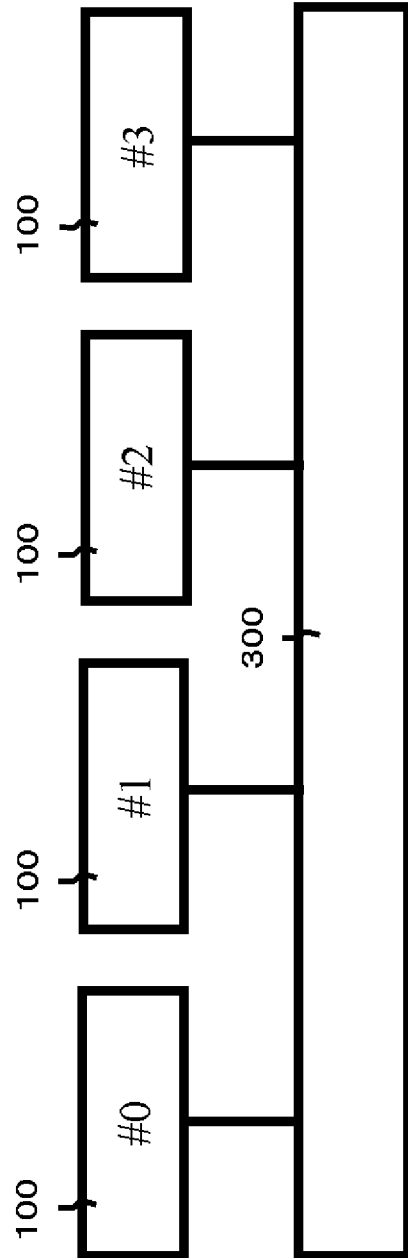
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/067984

A. CLASSIFICATION OF SUBJECT MATTER
G06F12/00(2006.01) i, G06F15/167(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F12/00, G06F15/167

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-267369 A (Fuji Xerox Co., Ltd.), 29 September, 2005 (29.09.05), Par. Nos. [0090] to [0104]; Figs. 6 to 9 (Family: none)	1-6, 13-18 7-12
A	JP 11-161778 A (Ricoh Co., Ltd.), 18 June, 1999 (18.06.99), Par. Nos. [0008] to [0010]; Fig. 3 (Family: none)	7-12
A	JP 2007-18161 A (Renesas Technology Corp.), 25 January, 2007 (25.01.07), Full text; all drawings (Family: none)	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 November, 2007 (27.11.07)	Date of mailing of the international search report 04 December, 2007 (04.12.07)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/067984

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-99391 A (NEC Corp.), 07 April, 2000 (07.04.00), Full text; all drawings (Family: none)	1-18
A	JP 8-95851 A (Tec Co., Ltd.), 12 April, 1996 (12.04.96), Full text; all drawings (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F12/00(2006.01)i, G06F15/167(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F12/00, G06F15/167			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 2005-267369 A (富士ゼロックス株式会社) 2005.09.29, 段落【0090】-【0104】, 第6-9図 (ファミリーなし)	1-6, 13-18	
A		7-12	
A	JP 11-161778 A (株式会社リコー) 1999.06.18, 段落【0008】-【0010】, 第3図 (ファミリーなし)	7-12	
A	JP 2007-18161 A (株式会社ルネサステクノロジ) 2007.01.25, 全文, 全図 (ファミリーなし)	1-18	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 27. 11. 2007		国際調査報告の発送日 04. 12. 2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 田中 秀人	5 N 9 0 6 6 電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-99391 A (日本電気株式会社) 2000.04.07, 全文, 全図 (ファミリーなし)	1-18
A	JP 8-95851 A (株式会社テック) 1996.04.12, 全文, 全図 (ファミリーなし)	1-18