

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5566568号
(P5566568)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int.Cl. F I
G 1 1 C 11/4074 (2006.01) G 1 1 C 11/34 3 5 4 F
G 1 1 C 5/14 (2006.01) G 1 1 C 5/14

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2007-81754 (P2007-81754)	(73) 特許権者	513192281
(22) 出願日	平成19年3月27日 (2007.3.27)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2008-243281 (P2008-243281A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成20年10月9日 (2008.10.9)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成22年2月9日 (2010.2.9)	(74) 代理人	100080816 弁理士 加藤 朝道
		(74) 代理人	100098648 弁理士 内田 深人
		(74) 代理人	100119415 弁理士 青木 充

最終頁に続く

(54) 【発明の名称】 電源電圧発生回路

(57) 【特許請求の範囲】

【請求項 1】

第 1 の厚さであるゲート酸化膜を備えた MOS トランジスタで構成される容量素子を其々含む多段の昇圧回路から構成され、前記複数の容量素子のチャージポンピングによって昇圧電圧を発生して出力する昇圧部と、

前記 MOS トランジスタで構成される容量素子の前記ゲート酸化膜の前記第 1 の厚さに対応する耐圧範囲内の電圧に外部電源の電圧を降圧して前記昇圧部の電源に与える電源降圧部と、

前記昇圧部の電源に前記外部電源を直接与えるか前記電源降圧部を介して与えるかを切り替えるスイッチ回路群と、

を備え、

前記昇圧部は、前記多段の昇圧回路における昇圧段数を、前記昇圧部に与えられる電源電圧に応じて前記スイッチ回路群によって切り替えるように構成されることを特徴とする電源電圧発生回路。

【請求項 2】

前記 MOS トランジスタのゲート酸化膜の厚さを、前記昇圧部の出力を電源とする負荷回路に含まれる MOS トランジスタのゲート酸化膜の厚さより薄くなるように構成することを特徴とする請求項 1 記載の電源電圧発生回路。

【請求項 3】

前記昇圧部は、前段および後段の昇圧回路を含み、

前記前段の昇圧回路は、前記外部電源の電位の二倍の電位と接地電位との間の振幅を有する第1の昇圧信号を生成し、

前記後段の昇圧回路は、前記電源降圧部の出力電位と接地電位との間の振幅を有する第2の昇圧信号、または前記第1の昇圧信号を入力し、

前記スイッチ回路群は、前記昇圧部の電源の接続先を、前記外部電源または前記電源降圧部の出力に切り替える第1のスイッチ素子と、前記後段の昇圧回路の入力の接続先を、前記第1または第2の昇圧信号に切り替える第2のスイッチ素子と、を含み、

前記第1のスイッチ素子が前記外部電源に切り替えられているときに前記第2のスイッチ素子が前記第1の昇圧信号に切り替えられ、前記第1のスイッチ素子が前記電源降圧部の出力に切り替えられているときに前記第2のスイッチ素子が前記第2の昇圧信号に切り替えられることを特徴とする請求項2記載の電源電圧発生回路。

10

【請求項4】

前記昇圧部に与えられる電源電圧に応じて前記スイッチ回路群によって切り替えられて前記多段の昇圧回路における昇圧動作に不要となった容量素子を、前記スイッチ回路群によって接続して前記電源降圧部の出力安定用の容量素子として機能させるように構成することを特徴とする請求項2記載の電源電圧発生回路。

【請求項5】

前記スイッチ回路群は、メタルオプション、ヒューズオプションおよびボンディングオプションのいずれかによって制御されることを特徴とする請求項1、3、4のいずれかーに記載の電源電圧発生回路。

20

【請求項6】

請求項1乃至5のいずれかーに記載の電源電圧発生回路と、前記昇圧部の出力を電源とする負荷回路とを備える半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源電圧発生回路に係り、特に、半導体記憶装置の内部において昇圧電圧を発生する電源電圧発生回路に係る。

【背景技術】

【0002】

DRAMにおいて、仕様が大きく変更される場合や仕様が十分に固まっていない場合、ユーザからの要求で外部から供給される電源電圧が異なる場合がある。ワード線ドライブ用の電源電圧供給回路は、外部から印加される電源に異なる電源電圧を要求される回路の1つである。このような電源電圧供給回路を設計する上で設計側としては、最適に回路が動作する酸化膜厚をもつトランジスタを数種類用意し、数種類のトランジスタを基に回路の設計を行う。この時、供給される電源が仕様によって異なる場合を想定して昇圧回路を設計する場合、酸化膜耐圧問題やゲートリークによる消費電流問題を考慮しなければならない。このような問題を回避するため、仕様により設定されている電圧のうちの高い電圧に合わせて厚膜容量用のトランジスタを回路に用いると、昇圧回路の面積が大きくなってしまふ虞がある。

30

40

【0003】

そこで、動作電源電圧に応じて異なった膜厚のキャパシタを使い分けて、回路レイアウト面積を縮小し、安定した電源電圧を発生させる電源電圧発生回路が特許文献1に記載されている。この電源電圧発生回路は、装置の動作電源電圧を昇圧して出力する電源電圧発生回路であって、厚い絶縁膜で作られた第1のキャパシタと薄いゲート絶縁膜で作られた第2のキャパシタを備え、動作電源電圧に応じて第1、2のキャパシタの回路接続を変えるスイッチ回路を有するものである。

【0004】

【特許文献1】特開2005-158098号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0005】

ところで、電源電圧発生回路の昇圧部には、トランジスタの酸化膜容量を利用した昇圧用のポンプ容量素子が備えられる。この昇圧用容量素子は、非常に大きな容量を必要とする場合が多く、多大な面積を必要とし、チップ全体の面積に対するインパクトも大きい。酸化膜容量は、酸化膜の厚さに反比例するので、通常は薄膜容量素子（薄膜トランジスタ）を用いたい。しかし、前述のように外部から供給される電源電圧が仕様により異なる場合、供給される電源電圧が薄膜トランジスタの耐圧をオーバーしないように昇圧用容量素子に厚膜トランジスタを用いるのが普通である。ワード線をドライブする電圧の値は、外部から供給される電源電圧の値が変化してもほとんど変更しないのが通常である。したがって、外部電源電圧が低い場合ほど多くのポンプ容量素子が必要であるにも関わらず、酸化膜の耐圧のために電圧が低い場合においても容量の少ない厚膜を使わざるを得ない。このように、従来の回路方式では、トランジスタの耐圧を外部電源電圧が高い側にあわせて設計せざるを得ない。このため、昇圧回路における昇圧容量の一部、例えば特許文献1では第1のキャパシタを厚膜容量素子にせざるを得ず、チップ面積をより小さくするには限度があった。

10

【0006】

したがって、本発明の目的は、チップ面積をより小さくする電源電圧発生回路を提供することにある。

【課題を解決するための手段】

20

【0007】

本発明の1つのアスペクトに係る電源電圧発生回路は、第1の厚さであるゲート酸化膜を備えたMOSトランジスタで構成される容量素子を其々含む多段の昇圧回路から構成され、複数の容量素子のチャージポンピングによって昇圧電圧を発生して出力する昇圧部と、MOSトランジスタで構成される容量素子のゲート酸化膜の第1の厚さに対応する耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部の電源に与える電源降圧部と、昇圧部の電源に外部電源を直接与えるか電源降圧部を介して与えるかを切り替えるスイッチ回路群と、を備える。ここで昇圧部は、多段の昇圧回路における昇圧段数を、昇圧部に与えられる電源電圧に応じてスイッチ回路群によって切り替えるように構成される。

【0008】

30

本発明の電源電圧発生回路において、容量素子をMOSトランジスタで構成し、該MOSトランジスタのゲート酸化膜の厚さを、昇圧部の出力を電源とする負荷回路に含まれるMOSトランジスタのゲート酸化膜の厚さより薄くなるように構成することが好ましい。

【0009】

本発明の電源電圧発生回路において、昇圧部は、多段の昇圧回路から構成され、該多段の昇圧回路のそれぞれに含まれるMOSトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であることが好ましい。

【0010】

本発明の電源電圧発生回路において、昇圧部は、多段の昇圧回路における昇圧段数を、昇圧部に与えられる電源電圧に応じてスイッチ回路群によって切り替えるように構成されることが好ましい。

40

【0011】

本発明の電源電圧発生回路において、昇圧部は、前段および後段の昇圧回路を含み、前段の昇圧回路は、外部電源の電位の二倍の電位と接地電位との間の振幅を有する第1の昇圧信号を生成し、後段の昇圧回路は、電源降圧部の出力電位と接地電位との間の振幅を有する第2の昇圧信号、または第1の昇圧信号を入力し、スイッチ回路群は、昇圧部の電源の接続先を、外部電源または電源降圧部の出力に切り替える第1のスイッチ素子と、後段の昇圧回路の入力の接続先を、第1または第2の昇圧信号に切り替える第2のスイッチ素子と、を含み、第1のスイッチ素子が外部電源に切り替えられているときに第2のスイッチ素子が第1の昇圧信号に切り替えられ、第1のスイッチ素子が電源降圧部の出力に切り

50

替えられているときに第2のスイッチ素子が第2の昇圧信号に切り替えられるようにしてもよい。

【0012】

本発明の電源電圧発生回路において、昇圧部に与えられる電源電圧に応じてスイッチ回路群によって切り替えられて多段の昇圧回路における昇圧動作に不要となった容量素子を、スイッチ回路群によって接続して電源降圧部の出力安定用の容量素子として機能させるように構成することが好ましい。

【0013】

本発明の電源電圧発生回路において、スイッチ回路群は、メタルオプション、ヒューズオプションおよびボンディングオプションのいずれかによって制御されるようにしてもよい。

10

【発明の効果】

【0014】

本発明によれば、外部電源の電圧が容量素子の耐圧を超える場合に、容量素子の耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部に供給するので、昇圧部における容量素子に全て薄膜の容量素子を用いることができる。したがって、チップ面積をより小さくすることができる。

【発明を実施するための最良の形態】

【0015】

図1は、本発明の実施形態に係る電源電圧発生回路の構成を示すブロック図である。図1において、電源電圧発生回路は、電源降圧部10と、昇圧部20と、スイッチ素子SW1と、を備える。

20

【0016】

昇圧部20は、容量素子のチャージポンピングによって昇圧電圧を発生して出力する。電源降圧部10は、外部電源の電圧が容量素子の耐圧を超える場合に、容量素子の耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部20の電源に与える。スイッチ素子SW1は、昇圧部20の電源に外部電源を直接与えるか電源降圧部10を介して与えるかを切り替える。

【0017】

また、昇圧部20における容量素子がMOSトランジスタで構成され、このMOSトランジスタのゲート酸化膜の厚さは、昇圧部20の出力(図1のVPP)を電源とする負荷回路、例えばワード線ドライブ用の回路に含まれるMOSトランジスタのゲート酸化膜より薄いことが好ましい。

30

【0018】

さらに、昇圧部20は、多段の昇圧回路21a、21bから構成され、多段の昇圧回路21a、21bのそれぞれに含まれるMOSトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であることが好ましい。

【0019】

また、昇圧部20は、多段の昇圧回路21a、21bにおける昇圧段数(例えば、一段か二段か)を、昇圧部20に与えられる電源電圧に応じてスイッチ素子SW2によって切り替えるように構成されることが好ましい。

40

【0020】

DRAM、特にDDR-SDRAMに代表される半導体記憶装置は、以上のような構成の電源電圧発生回路と、昇圧部20の出力を電源とする図示されない負荷回路、例えばワード線ドライブ用の回路とを備えるようにしてもよい。

【0021】

以上のような構成の電源電圧発生回路によれば、外部電源電圧が仕様によって異なる条件の元で、外部電源電圧が容量素子(薄膜トランジスタ)の耐圧を超えるような高い場合に外部電源の電圧を電源降圧部10で降圧する。そして、容量の大きい薄膜の容量素子を、電源電圧が低い場合と共有して昇圧部20に用いることが可能となる。したがって、チ

50

ップにおけるレイアウト面積を大幅に削減することが出来る。以下、実施例に即し、詳細に説明する。

【実施例 1】

【0022】

図 1 は、本発明の実施例に係る電源電圧発生回路の回路図である。図 1 において、電源電圧発生回路は、電源降圧部 10 と、昇圧部 20 と、単極双投型のスイッチ素子 SW1 と、を備える。スイッチ素子 SW1 は、昇圧部 20 の電源 V_{dd} に対し、外部電源 V_{DDP1} を直接与えるか、外部電源 V_{DDP2} の電圧を電源降圧部 10 によって降圧して電源 V_{DLP} として与えるかを切り替える。

【0023】

昇圧部 20 は、前段の昇圧回路 21a、後段の昇圧回路 21b、昇圧回路 21a、21b を切り替える単極双投型のスイッチ素子 SW2 を備える。昇圧部 20 は、駆動信号 S0 を用いて容量素子のチャージポンピングによって電源 V_{dd} から昇圧電圧を発生し、電源 V_{PP} として図示されない負荷回路、例えばワード線ドライブ用の回路に供給する。この時、スイッチ素子 SW2 は、昇圧部 20 における昇圧段数を、昇圧回路 21b の 1 段とするか、昇圧回路 21a、21b の 2 段とするかを切り替える。

【0024】

昇圧回路 21a は、駆動信号 S0 を入力し、外部電源 V_{DDP1} の電位の二倍の電位と接地電位との間の振幅を有する信号（第 1 の昇圧信号）を出力する。また、昇圧回路 21b は、駆動信号 S0 として電源 V_{DLP} の電位と接地電位との間の振幅を有する信号（第 2 の昇圧信号）、または昇圧回路 21a の出力信号（第 1 の昇圧信号）を入力し、昇圧して電源 V_{PP} として出力する。この時、スイッチ素子 SW1 が外部電源 V_{DDP1} に切り替えられているときにスイッチ素子 SW2 が第 1 の昇圧信号に切り替えられ、スイッチ素子 SW1 が電源降圧部 10 の出力（V_{DLP}）に切り替えられているときにスイッチ素子 SW2 が第 2 の昇圧信号に切り替えられる。

【0025】

次に、昇圧部 20 の詳細について説明する。図 2 は、本発明の実施例に係る昇圧部の回路図である。図 2 において、昇圧部 20 は、昇圧回路 21a、21b と、信号 S0 を入力して信号 S1 ~ S5 を出力する信号供給回路 22 とを含む。昇圧回路 21a は、Nch トランジスタ N1、N2、Pch トランジスタ P1、MOS トランジスタで構成される容量素子 C1、単極双投型のスイッチ素子 SW3 ~ SW7 を備える。また、昇圧回路 21b は、Nch トランジスタ N3、N4、MOS トランジスタで構成される容量素子 C2、スイッチ素子 SW2 を備える。ここで Nch トランジスタ N1 および容量素子 C1、C2 は、ゲート絶縁膜の薄いトランジスタ（薄膜トランジスタ）である。また、Nch トランジスタ N2 ~ N4、Pch トランジスタ P1 は、ゲート絶縁膜の厚いトランジスタ（厚膜トランジスタ）である。さらに、スイッチ素子 SW1 ~ SW7 は、メタルオプション、ヒューズオプション、ボンディングオプションのいずれかによる切り替えスイッチオプション信号によって制御される。

【0026】

Nch トランジスタ N1 は、ドレインを電源 V_{dd} に接続し、他端が電源 V_{dd} に接続されるスイッチ素子 SW4 の一端および Pch トランジスタ P1 のソースにソースを接続し、ゲートをスイッチ素子 SW5 の単極側接点に接続する。Pch トランジスタ P1 は、ドレインを Nch トランジスタ N2 のドレインおよびスイッチ素子 SW2 の一端に接続し、ゲートをスイッチ素子 SW3 の単極側接点に接続する。Nch トランジスタ N2 は、ソースを電源 V_{ss}（接地）に接続し、ゲートをスイッチ素子 SW6 の単極側接点に接続する。容量素子 C1 は、一端をスイッチ素子 SW4 の単極側接点に接続し、他端をスイッチ素子 SW7 の単極側接点に接続する。スイッチ素子 SW3 は、一端に信号 S3 を与え、他端を電源 V_{ss} に接続する。スイッチ素子 SW5 は、一端に信号 S1 を与え、他端を電源 V_{ss} に接続する。スイッチ素子 SW7 は、一端に信号 S2 を与え、他端を電源 V_{ss} に接続する。スイッチ素子 SW6 は、一端に信号 S3 を与え、他端を電源 V_{dd} に接続する

10

20

30

40

50

【 0 0 2 7 】

N c hトランジスタN 3は、ドレインを電源V d dに接続し、容量素子C 2の一端およびN c hトランジスタN 4のドレインにソースを接続し、ゲートに信号S 1を与える。N c hトランジスタN 4は、ソースを電源V P Pとして接続し、ゲートに信号S 5を与える。容量素子C 2は、他端をスイッチ素子S W 2の単極側接点に接続し、スイッチ素子S W 2の他端には信号S 4を与える。

【 0 0 2 8 】

次に、図2におけるスイッチ素子S W 2 ~ S W 7が図1のスイッチ素子S W 1と連動して切り替わる際の昇圧回路の動作について説明する。図3は、外部電源V D D P 1の電圧が薄膜トランジスタ耐圧より低い場合の接続、図4は、外部電源V D D P 2の電圧が薄膜トランジスタ耐圧より高い場合の接続を示す。なお、以下において、電源の符号と、この電源の電圧値とを同じ符号で表すものとする。V D D P 1が薄膜トランジスタ耐圧より低い外部電源電圧、V D D P 2が薄膜トランジスタ耐圧より高い電源電圧、V P Pはワード線ドライブ用などの電源電圧、V D L PはV D D P 2を電源降圧部10によって薄膜トランジスタ耐圧範囲内までに降圧した電源電圧を示している。すなわち、薄膜トランジスタの耐圧許容範囲をV D L P以下、厚膜トランジスタの耐圧許容範囲をV P P程度以下とする。また、各電源電圧の関係は、簡単のため、 $V P P > V D D P 2 > V D L P > V D D P 1$ 、 $2 \cdot V D L P > V P P$ 、 $3 \cdot V D D P 1 > V P P$ 、 $V P P > 2 \cdot V D D P 1$ とする。

【 0 0 2 9 】

図3は、昇圧部が二段動作を行う場合の等価回路および各部信号の波形を示す図である。図3(A)は、外部電源V D D P 1の電圧が薄膜トランジスタ耐圧より低い場合における昇圧部20の接続に係る等価回路を示す。図3(B)は、各部の信号のタイミングチャートである。

【 0 0 3 0 】

(1) 信号S 1の電圧レベルが $2 \cdot V D D P 1$ の時、ゲートに信号S 1が与えられるN c hトランジスタN 1は、オンとなり、N c hトランジスタN 1のソース、すなわち、容量素子C 1の一端は、V D D P 1に向けて充電される。この時、信号S 3の電圧レベルがV D D P 1であるので、P c hトランジスタP 1は、オフであり、容量素子C 1の充電動作に影響を与えない。なお、信号S 2の電圧レベルは、V s sである。したがって、容量素子C 1は、 $V D D P 1 - V s s$ の電位で充電される。

【 0 0 3 1 】

一方、信号S 1の電圧レベルが、 $2 \cdot V D D P 1$ であるので、N c hトランジスタN 3は、オンとなり、N c hトランジスタN 3のソースである接点A 2、すなわち容量素子C 2の一端の電位は、V D D P 1に向けて充電される。この時、信号S 3の電圧レベルがV D D P 1であるので、N c hトランジスタN 2は、オンであり、容量素子C 2の他端の電位はV s sである。

【 0 0 3 2 】

(2) 信号S 1の電圧レベルがV D D P 1となると、信号S 2の電圧レベルがV s sからV D D P 1に上昇し、これに伴ってN c hトランジスタN 1のソース、すなわち容量素子C 1の一端の電位は、V D D P 1から $2 \cdot V D D P 1$ に上昇する。N c hトランジスタN 1は、オフとなり、この上昇の動作に影響を与えない。この時、信号S 3の電圧レベルがV s sであるので、P c hトランジスタP 1は、オンであり、N c hトランジスタN 2は、オフである。したがって、容量素子C 1の一端の電位は、接点A 1の電位として容量素子C 2の他端に伝達される。

【 0 0 3 3 】

これによって、容量素子C 2の一端の電位は、V D D P 1から $3 \cdot V D D P 1$ に上昇する。この時、信号S 1の電圧レベルがV D D P 1であるので、N c hトランジスタN 3は、オフであって、この上昇の動作に影響を与えない。また、信号S 5の電圧レベルがV D D P 1 + V P Pであるので、N c hトランジスタN 4は、オンとなって、容量素子C 2の

10

20

30

40

50

一端、すなわち接点 A 2 の電位が V_{PP} に伝達される。外部に容量素子 C_2 の充電電荷が供給されることで、接点 A 2 の電位は、徐々に低下する。

【0034】

昇圧部 20 は、以上のように動作することで V_{PP} に $2 \cdot V_{DDP1}$ に近い電圧を供給する。この際、昇圧部 20 において、容量素子 C_1 、 C_2 等の薄膜トランジスタで構成された箇所は、必ずゲート・ソース間もしくはゲート・ドレイン間に V_{DDP1} 以下の差電位しかかかっていない。

【0035】

図 4 は、昇圧部が一段動作を行う場合の等価回路および各部信号の波形を示す図である。図 4 (A) は、外部電源 V_{DDP2} の電圧が薄膜トランジスタ耐圧より高い場合における昇圧部 10 の接続に係る等価回路を示す。この場合、 V_{DDP2} は、電源降圧部 10 によって V_{DLP} に降圧され、 V_{DLP} が昇圧部 20 の電源 V_{dd} として与えられる。

10

【0036】

図 2 において、 N_{ch} トランジスタ N_1 は、ゲートが V_{ss} に接続され、オフとなる。また、 N_{ch} トランジスタ N_2 は、ゲートが V_{dd} に接続され、オンとなり、 P_{ch} トランジスタ P_1 は、ゲートが V_{ss} に接続され、オンとなる。したがって、昇圧動作から切り離された N_{ch} トランジスタ N_1 、 N_2 、 P_1 は、他の回路に影響を与えない。

【0037】

一方、図 4 (A) に示すように容量素子 C_1 の一端は、電源 V_{dd} 、すなわち、電源降圧部 10 で降圧された電源 V_{DLP} に接続され、他端は、 V_{ss} に接続される。したがって、容量素子 C_1 は、昇圧部 20 における V_{dd} / V_{ss} 間の安定化容量として機能する。

20

【0038】

図 4 (B) は、図 4 (A) の各部の信号のタイミングチャートである。

【0039】

(1) 信号 S_1 の電圧レベルが $2 \cdot V_{DLP}$ の時、ゲートに信号 S_1 が与えられる N_{ch} トランジスタ N_3 は、オンとなり、 N_{ch} トランジスタ N_3 のソース、すなわち、接点 A 2 である容量素子 C_2 の一端は、 V_{DLP} に向けて充電される。容量素子 C_2 の他端は、信号 S_4 によって V_{ss} とされる。

【0040】

30

(2) 信号 S_1 の電圧レベルが V_{DLP} となると、信号 S_4 の電圧レベルが V_{ss} から V_{DLP} に上昇し、接点 A 2、すなわち容量素子 C_2 の一端の電位は、 V_{DLP} から $2 \cdot V_{DLP}$ に上昇する。この時、信号 S_1 の電圧レベルが V_{DLP} であるので、 N_{ch} トランジスタ N_3 は、オフであって、この上昇の動作に影響を与えない。また、信号 S_5 の電圧レベルが $V_{DLP} + V_{PP}$ であるので、 N_{ch} トランジスタ N_4 は、オンとなって、容量素子 C_2 の一端、すなわち接点 A 2 の電位が V_{PP} に伝達される。容量素子 C_2 の充電電荷が外部に供給されることで、接点 A 2 の電位は、徐々に低下する。

【0041】

以上のように動作する昇圧部 20 において、容量素子 C_1 、 C_2 等の薄膜トランジスタで構成された箇所は、必ずゲート・ソース間もしくはゲート・ドレイン間に V_{DDP1} 以下の差電位しかかかっていない。

40

【0042】

以上のように構成される昇圧部 20 において、外部電源電圧が V_{DDP2} である場合、昇圧段数を一段構成にしている。これは $2 \cdot V_{DLP}$ が V_{PP} に対してある程度大きく、二段構成よりも一段構成の方が消費電流が少なく、 V_{PP} レベルの電源が供給できるからである。この理由は、理想的には図 3 (A) における接点 A 1、A 2 は、それぞれ $2 \cdot V_{DDP1}$ 、 $3 \cdot V_{DDP1}$ になるが、実際には寄生容量の影響を受けて理想どおりの電位にはならない。したがって、寄生容量の影響を受けないようにできるだけ段数は少ない方が電圧変換効率が良く好ましい。また、一段構成よりも二段構成の方が動作する接点が多い分消費電流が多くなり好ましくない。

50

【 0 0 4 3 】

図5は、電源降圧部10の回路図である。電源降圧部10は、VDDP2を降圧し、DRAM等内部で発生させたVDLP/2の電源電圧をVDLPレベルにしてドライブする回路である。電源降圧部10は、NchトランジスタN11~N16、PchトランジスタP11~P14、スイッチ素子SW8~SW10を備える。差動対であるNchトランジスタN12、N13は、ソースを共通に電流源となるNchトランジスタN11に接続し、ドレインをカレントミラーを構成するPchトランジスタP11、P12に接続する。NchトランジスタN12のゲートには、VDLP/2が与えられ、NchトランジスタN13のゲートには、それぞれがダイオード接続されたNchトランジスタN14、N15の直列回路の midpoint に接続される。NchトランジスタN12のドレインは、ソースがVDPP2に接続されるPchトランジスタP14のゲートに接続される。さらに、PchトランジスタP14のドレインは、電源降圧部10の出力としてVDLPを昇圧部20に供給すると共に、NchトランジスタN14のアノード(ドレインおよびゲート)に接続される。NchトランジスタN15は、ソースがVssに接続される。

10

【 0 0 4 4 】

なお、電源降圧部10が降圧機能として用いられない場合、図5に示すSW8~SW10を切り替えて電源降圧部10を動作させないようにする。すなわち、PchトランジスタP13のゲートがVssとなつて、PchトランジスタP13がオンとなつて、PchトランジスタP11、P12、P14をオフとする。また、NchトランジスタN11のゲートがVssとなつて、NchトランジスタN11がオフとなつて、NchトランジスタN12、N13への電流供給を停止する。さらに、NchトランジスタN16のゲートがVDDP1となつて、NchトランジスタN16がオンとなつて、VDLPをVssのレベルに保つ。

20

【 0 0 4 5 】

このような電源降圧部10の回路は、薄膜トランジスタ耐圧を超えるVDDP2が入力されるため、全て厚膜トランジスタで構成される。VDDP1が外部電源電圧として入力される場合は、SW8~SW10を切り替えて降圧機能が無効にされる。尚、図5に示す電源降圧部10は、一例を示すものであり、必ずしもこの回路と同じ構成をとる必要はなく、VDDP2からVDLPレベルの電源電圧を出力する回路であれば他の回路構成であっても良い。

30

【 0 0 4 6 】

以上のような構成の電源電圧発生回路によれば、外部電源電圧が薄膜トランジスタの耐圧を超える場合に、電源降圧部10によって薄膜トランジスタの耐圧範囲内の電圧に降圧し、薄膜トランジスタから構成された昇圧部20によってワード線ドライブ用の電源電圧を昇圧する。したがって、外部電源電圧が薄膜トランジスタの耐圧を超えるような高い場合であっても、電源電圧が低い場合と共有してワード線ドライブ用の昇圧部20に容量の大きい薄膜容量素子(薄膜容量トランジスタ)を用いることが可能となる。昇圧部20に全て薄膜の容量素子を用いることで、チップ面積をより減らすことができる。

【 0 0 4 7 】

次に、具体的な数字例を用いて説明する。仮にVPP=2.5V、VDDP2=1.8V、VDLP=1.5V、VDDP1=1.2V、薄膜トランジスタの耐圧=1.5V、厚膜トランジスタの耐圧=3.0Vとする。厚膜トランジスタの耐圧が薄膜トランジスタの耐圧の二倍であることから、酸化膜の厚さに関し、通常、厚膜は薄膜の二倍あるので、厚膜の容量は薄膜の容量の半分である。トランジスタの面積は、VPPの供給能力において最悪条件であるVDDP1=1.2Vの場合を想定して決められるが、厚膜容量素子を使用すると単に薄膜の倍の面積が必要となってしまう。DRAMにおけるポンプ容量素子の面積は、数ミリ平方メートル程度になることが多いので、この面積が半分になると、チップ面積の削減においてかなり有利である。なお、電源電圧発生回路に電源降圧部が加わることで電源降圧部に対応するチップ面積が増えてしまう。しかしながら、電源降圧部の面積は、ポンプ容量素子の面積に比べると十分に小さく無視することができる(VDL

40

50

P安定化容量を増やさなくても良い)。

【0048】

また、本実施例の電源電圧発生回路によれば、ワード線ドライブ用の電源昇圧回路の昇圧段数を、メタルオプション、ヒューズオプション、ボンディングオプションのいずれかによって切り替えて、外部電圧のレベルによって最も効率の良い昇圧段数に切り替えるように構成することが可能である。

【0049】

先に説明した条件と同じ条件で具体的に説明する。単純に $V_{PP} = 2.5V$ を得るためには、外部電源電圧が $V_{DDP1} = 1.2V$ の場合、 $3 \cdot V_{DDP1} = 3.6V$ まで昇圧しなくてはならず二段昇圧にする。これに対し、 $V_{DLP} = 1.5V$ で、 $2 \cdot V_{DLP} = 3.0V$ であり、 V_{PP} に対して供給能力があるので、一段昇圧でよい。先に説明したように、段数が少ないほど V_{PP} に対する電源供給の効率は良い。

10

【0050】

以上の説明では、外部電源電圧によって昇圧回路を一段および二段に切り替える方式を説明した。しかし、これに限定されることなく、外部電源電圧に対する V_{PP} の値によって他の段数との切り替えが有効となる場合にも適用することができる。例えば、二段と三段、もしくは三段と四段等の切り替えに適用してもよい。また、極端な場合では、一段と三段の切り替えなどにも適用可能である。さらに、外部電源電圧が薄膜トランジスタの耐圧を超えることなく、かつ、一段の昇圧で V_{PP} への供給が間に合う場合も想定される。

20

【0051】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0052】

【図1】本発明の実施形態に係る電源電圧発生回路の構成を示すブロック図である。

【図2】本発明の実施例に係る昇圧部の回路図である。

30

【図3】昇圧部が二段動作を行う場合の等価回路および各部信号の波形を示す図である。

【図4】昇圧部が一段動作を行う場合の等価回路および各部信号の波形を示す図である。

【図5】電源降圧部の回路図である。

【符号の説明】

【0053】

10 電源降圧部

20 昇圧部

21 a、21 b 昇圧回路

22 信号供給回路

C1、C2 薄膜容量素子

40

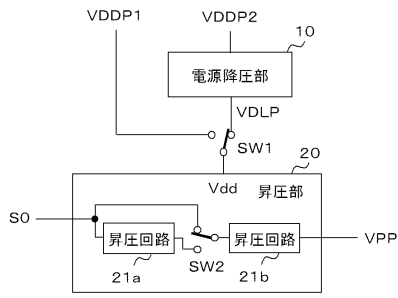
N1 ~ N4、N11 ~ N16 Nchトランジスタ

P1、P11 ~ P14 Pchトランジスタ

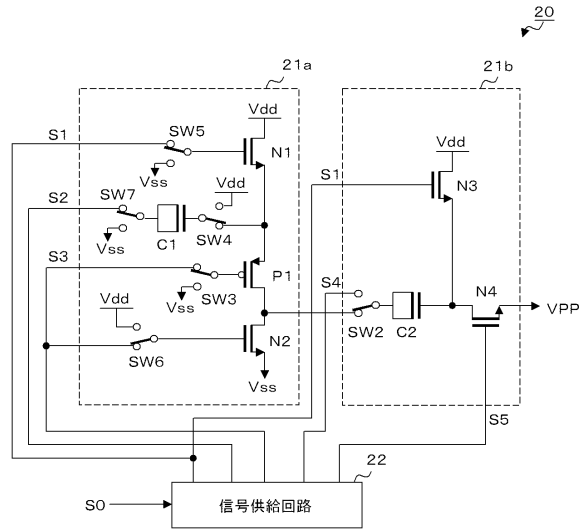
S0 ~ S5 信号

SW1 ~ SW10 スイッチ素子

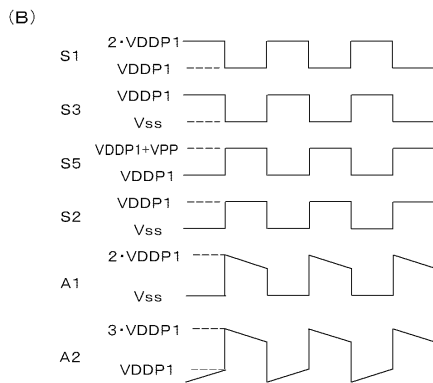
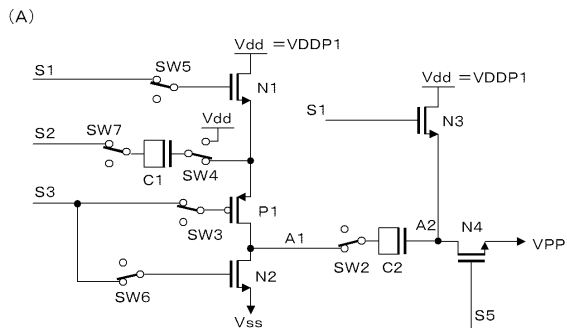
【図1】



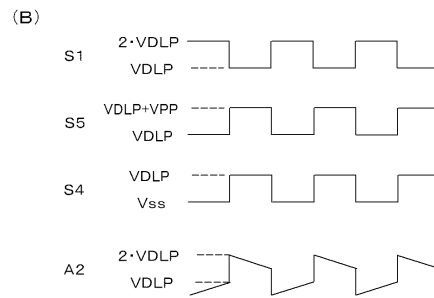
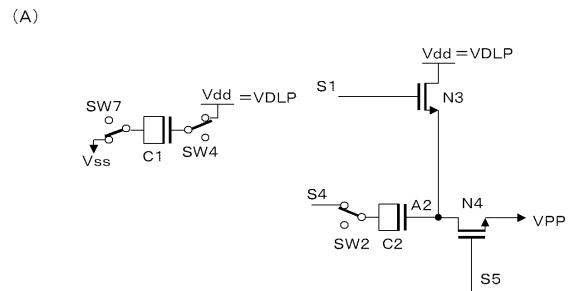
【図2】



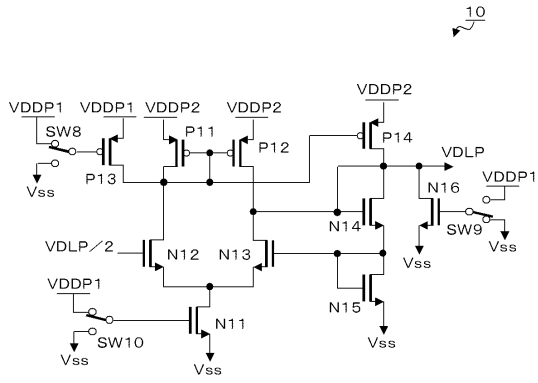
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 林 浩一郎

東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内

(72)発明者 田中 均

東京都小平市上水本町五丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 後藤 彰

(56)参考文献 特開2005-011475(JP,A)

特開2003-249076(JP,A)

特開2002-237185(JP,A)

特開平11-120784(JP,A)

特開平05-259289(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4074

G11C 5/14