



(12) 发明专利申请

(10) 申请公布号 CN 102750972 A

(43) 申请公布日 2012. 10. 24

(21) 申请号 201210223776. 0

(22) 申请日 2012. 06. 29

(71) 申请人 浪潮(北京)电子信息产业有限公司
地址 100085 北京市海淀区上地信息路2号
2-1号C栋1层

(72) 发明人 李仁刚 胡雷钧 王恩东

(74) 专利代理机构 北京安信方达知识产权代理有限公司 11262
代理人 栗若木 曲鹏

(51) Int. Cl.

G11C 7/06(2006. 01)

G11C 7/10(2006. 01)

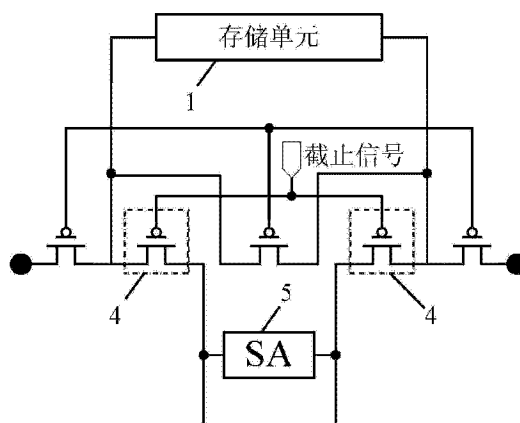
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

一种数据存储单元及其读取控制方法

(57) 摘要

本发明公开了一种数据存储单元及其读取控制方法,通过减少存储器的功耗,有效减少系统芯片的整体功耗。通过在数据存储单元内部存储阵列输入输出电路中设计截断控制管,使存储单元数据读取的两根位线与灵敏放大器之间实现可控隔离,当截断管开启时数据可以从存储单元读出,当位线电平增大到可以有效保证数据读取的正确性时截断管关闭,从而降低了长位线电平翻转带来的动态功耗,并可有效保证数据读取的可靠性。



1. 一种数据存储单元,包括存储单元和灵敏放大器,其特征在于,所述存储单元还包括截断管和截止信号产生电路,在存储单元与灵敏放大器相连的两根位线上设置所述截断管,所述截止信号产生电路的控制信号输入端与位线相连,截止信号产生电路的截止信号输出端与所述截断管的截止信号输入端相连,所述截止信号产生电路在位线的输出信号大于阈值时,输出截止信号控制截断管关闭。

2. 根据权利要求 1 所述的存储单元,其特征在于,所述存储单元还包括判断电路,所述判断电路设置在位线与截止信号产生电路相连的电路路上,用于判断位线的信号是否大于阈值。

3. 根据权利要求 1 所述的存储单元,其特征在于,所述存储单元还包括充电电路,所述充电电路设置在电源与两根位线,用于向位线充电。

4. 根据权利要求 1-3 任一权利要求所述的存储单元,其特征在于,所述截断管为 PMOS 管,所述 PMOS 管的栅极为截止信号输入端,所述 PMOS 管的源极与存储单元相连,所述 PMOS 管的漏极与灵敏放大器相连。

5. 根据权利要求 2 所述的存储单元,其特征在于,所述截止信号产生电路包括与门、与非门、第一反相器、第二反相器、第三反相器、PMOS 管、第一 NMOS 管、第二 NMOS 管和第三 NMOS 管,其中时钟信号和第三反相器的输出信号作为与门的输入信号,控制信号作为第一反相器的输入信号,第一反相器的输出信号和与门的输出信号作为与非门的输入信号,时钟信号作为第二反相器的输入信号,第二反相器的输出信号作为第一 NMOS 管的栅极信号和第二 NMOS 管的栅极信号,与非门的输出信号作为 PMOS 管的栅极信号,PMOS 管的源极接在电源上,PMOS 管的漏极与第一 NMOS 管的漏极相连,第一 NMOS 管的源极与第二 NMOS 管的漏极相连,第二 NMOS 管的源极接地,PMOS 管的漏极与第一 NMOS 管的漏极连线上的信号作为第三反相器的输入信号和第三 NMOS 管的栅极信号,第一 NMOS 管的源极与第二 NMOS 管的漏极连线上的信号作为第三 NMOS 管的源极信号,第三 NMOS 管的漏极接在电源上,第三反相器的输出信号作为截止信号输出。

6. 根据权利要求 1 所述的存储单元,其特征在于,所述位线为大电容长位线。

7. 一种根据权利要求 1 所述的数据存储单元的读取控制方法,其特征在于,当发生存储单元数据读取操作时,截断管开启,存储单元对位线充电,所述存储单元内的数据经过灵敏放大器读出,当位线的输出信号大于阈值时,所述截止信号产生电路输出截止信号控制截断管关闭。

8. 根据权利要求 7 所述的控制方法,其特征在于,利用判断电路判断所述输出信号是否大于阈值,所述位线的输出信号包括位线的输出电压值或者位线的充电时间。

一种数据存储单元及其读取控制方法

技术领域

[0001] 本发明涉及集成电路设计领域,具体涉及一种存储器数据读取控制技术。

背景技术

[0002] 随着集成电路技术的飞速发展,为了提高系统芯片(SOC)的性能,都会在SOC内部内嵌大量存储器,SOC内部存储阵列面积达到芯片面积的70%以上,现有的存储器由字线(word line,WL)和位线(bit line,BL)相互垂直交叉排列;在每一个字线和位线的交叉点上接有存储单元(元器件);在读出数据时,首先由行译码器选择其中一根字线,接在这一根字线(行)上的所有的存储单元与各自的位线(列)相连接,各个位线上得到与存储单元所记忆的数据相对应的微小信号,通过灵敏放大器(sense amplifier)进行放大;然后,由列译码器选择其中一个读出并放大,将放大的信号通过多路输出复用器(multiplexer)送给输出电路;在写数据时,要将写入的数据送给由列译码器选择的位线,通过特定的写入电路将数字信号写入指定的存储单元。

[0003] 在SOC的功耗分析过程中,其功耗的主要来源是系统存储器读写的动态功耗,这是由存储阵列的结构特点决定的,大电容长位线连接的存储阵列的数据读取过程中,长位线的电平翻转使系统动态功耗大幅增大。存储器的功耗问题成为SOC设计需要考虑的重点问题之一。减少存储器的功耗可以有效减少系统芯片的整体功耗,因此采用合理的电路设计实现存储器功耗节省是降低SOC功耗的有效方法之一。

发明内容

[0004] 本发明所要解决的技术问题是通过减少存储器的功耗,有效减少系统芯片的整体功耗。

[0005] 为了解决上述技术问题,本发明提供了一种数据存储单元,所述存储器还包括截断管和截止信号产生电路,在存储单元与灵敏放大器相连的两根位线上设置所述截断管,所述截止信号产生电路的控制信号输入端与位线相连,截止信号产生电路的截止信号输出端与所述截断管的截止信号输入端相连,所述截止信号产生电路在位线的输出信号大于阈值时,输出截止信号控制截断管关闭。

[0006] 优选地,所述存储器还包括判断电路,所述判断电路设置在位线与截止信号产生电路相连的电路路上,用于判断位线的信号是否大于阈值。

[0007] 优选地,所述存储器还包括充电电路,所述充电电路设置在电源与两根位线,用于向位线充电。

[0008] 优选地,所述截断管为PMOS管,所述PMOS管的栅极为截止信号输入端,所述PMOS管的源极与存储单元相连,所述PMOS管的漏极与灵敏放大器相连。

[0009] 优选地,所述截止信号产生电路包括与门、与非门、第一反相器、第二反相器、第三反相器、PMOS管、第一NMOS管、第二NMOS管和第三NMOS管,其中时钟信号和第三反相器的输出信号作为与门的输入信号,控制信号作为第一反相器的输入信号,第一反相器的输出

信号和与门的输出信号作为与非门的输入信号,时钟信号作为第二反相器的输入信号,第二反相器的输出信号作为第一 NMOS 管的栅极信号和第二 NMOS 管的栅极信号,与非门的输出信号作为 PMOS 管的栅极信号,PMOS 管的源极接在电源上,PMOS 管的漏极与第一 NMOS 管的漏极相连,第一 NMOS 管的源极与第二 NMOS 管的漏极相连,第二 NMOS 管的源极接地,PMOS 管的漏极与第一 NMOS 管的漏极连线上的信号作为第三反相器的输入信号和第三 NMOS 管的栅极信号,第一 NMOS 管的源极与第二 NMOS 管的漏极连线上的信号作为第三 NMOS 管的源极信号,第三 NMOS 管的漏极接在电源上,第三反相器的输出信号作为截止信号输出。

[0010] 优选地,所述位线为大电容长位线。

[0011] 为了解决上述技术问题,本发明还提供了一种数据存储器的读取控制方法,包括:当发生存储单元数据读取操作时,截断管开启,存储单元对位线充电,所述存储单元内的数据经过灵敏放大器读出,当位线的输出信号大于阈值时,所述截止信号产生电路输出截止信号控制截断管关闭。

[0012] 进一步地,利用判断电路判断所述输出信号是否大于阈值,所述位线的输出信号包括位线的输出电压值或者位线的充电时间。

[0013] 与现有技术相比,本发明的数据存储器在芯片内部存储阵列输入输出电路中设计截断控制管,使存储单元数据读取的两根位线与灵敏放大器之间实现可控隔离,从而在保证数据读取可靠的基础上,减少了长位线电平翻转带来的系统功耗。

附图说明

[0014] 图 1 为本发明实施例的数据存储器的结构框图;图 2 为本发明实施例的数据存储器的结构示意图;图 3 为本发明实施例的截止信号产生电路结构示意图。

具体实施方式

[0015] 为使本发明的目的、技术方案和优点更加清楚明白,下文中将结合附图对本发明的实施例进行详细说明。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互任意组合。

[0016] 如图 1-3 所示,本发明实施例的数据存储器除了包括存储单元和灵敏放大器外,主要包括截止信号产生电路和截断管。

[0017] 其中截断管 4 设置在存储单元 1 与灵敏放大器 5 相连的两根位线上,截止信号产生电路 3 的设置到位线与截断管 4 的截止信号输入端之间。

[0018] 所述存储器还包括判断电路 2,所述判断电路 2 设置到位线与截止信号产生电路 3 相连的电路路上,用于判断位线的信号是否大于阈值。

[0019] 所述存储器还包括充电电路,所述充电电路设置在电源与两根位线,用于向位线充电。

[0020] 截止信号产生电路 3 包括与门、与非门、第一反相器、第二反相器、第三反相器、PMOS 管、第一 NMOS 管、第二 NMOS 管和第三 NMOS 管,其中时钟信号和第三反相器的输出信号作为与门的输入信号,控制信号作为第一反相器的输入信号,第一反相器的输出信号和与门的输出信号作为与非门的输入信号,时钟信号作为第二反相器的输入信号,第二反相器的输出信号作为第一 NMOS 管的栅极信号和第二 NMOS 管的栅极信号,与非门的输出信号作

为 PMOS 管的栅极信号, PMOS 管的源极接在电源上, PMOS 管的漏极与第一 NMOS 管的漏极相连, 第一 NMOS 管的源极与第二 NMOS 管的漏极相连, 第二 NMOS 管的源极接地, PMOS 管的漏极与第一 NMOS 管的漏极连线上的信号作为第三反相器的输入信号和第三 NMOS 管的栅极信号, 第一 NMOS 管的源极与第二 NMOS 管的漏极连线上的信号作为第三 NMOS 管的源极信号, 第三 NMOS 管的漏极接在电源上, 第三反相器的输出信号作为截止信号输出。

[0021] 当向存储单元 1 写入数据时, 与现有的方式相同。

[0022] 当发生存储单元 1 数据读取操作时, 截断管 4 开启, 存储单元 1 利用充电电路对位线充电, 所述存储单元 1 内的数据经过灵敏放大器 5 读出, 当判断电路判断位线的输出信号大于阈值时, 所述截止信号产生电路 3 输出截止信号控制截断管 4 关闭。

[0023] 本发明的实施例, 主要考虑大容量嵌入式存储器的结构特点和其对 SOC 的功耗影响, 在芯片内部存储阵列输入输出电路中设置截断管 4, 使存储单元 1 数据读取的两根大电容长位线与灵敏放大器 5 之间实现可控隔离, 从而降低位线电平翻转带来的动态功耗, 在保证数据读取可靠的基础上, 减少了长位线电平翻转带来的系统功耗, 进而降低系统芯片功耗。

[0024] 截止信号产生电路 3 充分考虑截断管 4 特点, 截止信号产生电路 3 实现截断管 4 开启或者关闭的控制, 从而在保证存储器数据读取可靠性的同时, 大大降低系统的动态功耗。当截断管 4 开启时数据可以从存储单元 1 读出, 当位线电平增大到可以有效保证数据读取的正确性时截断管 4 关闭, 从而降低了长位线翻转带来的动态功耗, 并可有效保证数据读取的可靠性。

[0025] 实施例

[0026] 下面结合图 1-3, 对本发明的实施例模拟发生存储器数据读取操作, 并且采用截断管控制技术实现数据读取控制, 减少存储器读动态功耗, 进而降低系统芯片功耗的实现过程。

[0027] 本实施例的截断管控制技术实现过程中, 将截断管 4 设置在存储单元 1 与灵敏放大器 5 之间的长位线上, 按照存储单元 1 数据读取流程, 当发生存储单元 1 数据读取操作时, 截止信号产生电路 3 逻辑输出为“0”, 截断管 4 开启, 被选中的存储单元 1 开始对长位线对充电, 数据可以从存储单元 1 读出, 当长位线对电压差达到系统需求摆幅时 (例如达到 200mv), 截止信号产生电路 3 工作, 产生截止信号为“1”, 控制截断管 4 关闭, 从而使长位线与灵敏 5 隔离。

[0028] 截止信号产生电路 3 逻辑输出根据长位线电压摆幅或者充电时间变化, 当达到系统需求时, 可有效产生截止信号, 既保证了系统数据读取的可靠性, 又有效及时的隔离长位线与灵敏放大器 5, 大大降低了长位线电平翻转带来的动态功耗, 从而大大降低了 SOC 的整体功耗。

[0029] 虽然本发明所揭露的实施方式如上, 但所述的内容只是为了便于理解本发明而采用的实施方式, 并非用以限定本发明。任何本发明所属技术领域内的技术人员, 在不脱离本发明所揭露的精神和范围的前提下, 可以在实施的形式上及细节上作任何的修改与变化, 但本发明的专利保护范围, 仍须以所附的权利要求书所界定的范围为准。

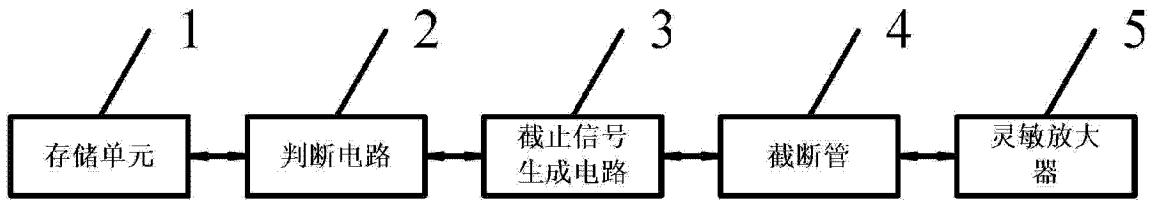


图 1

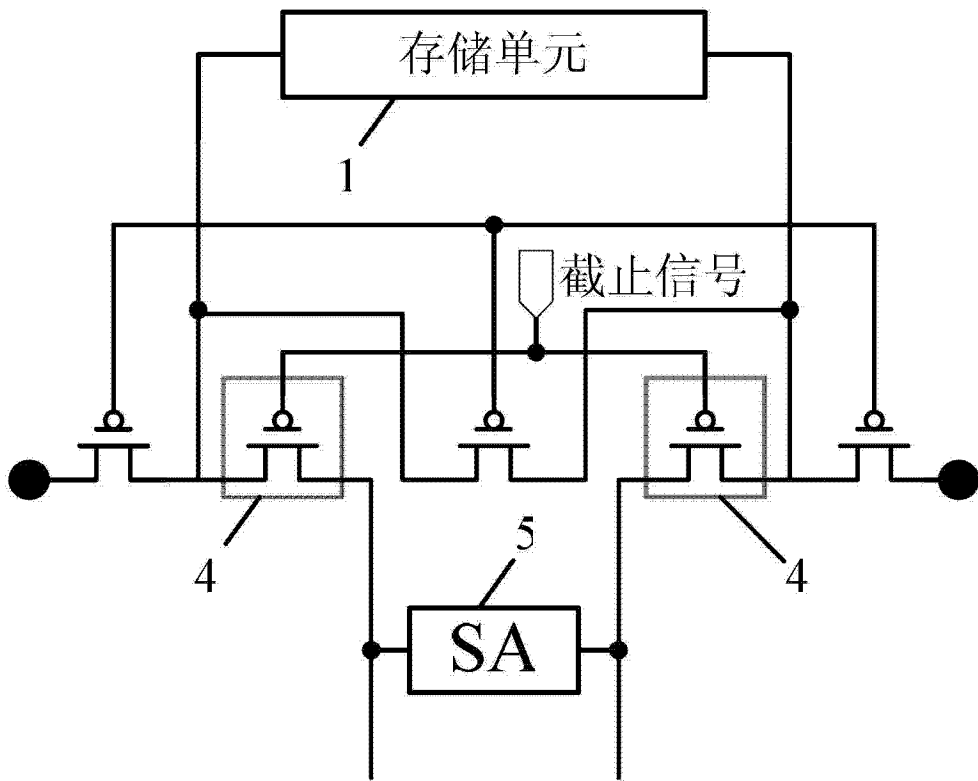


图 2

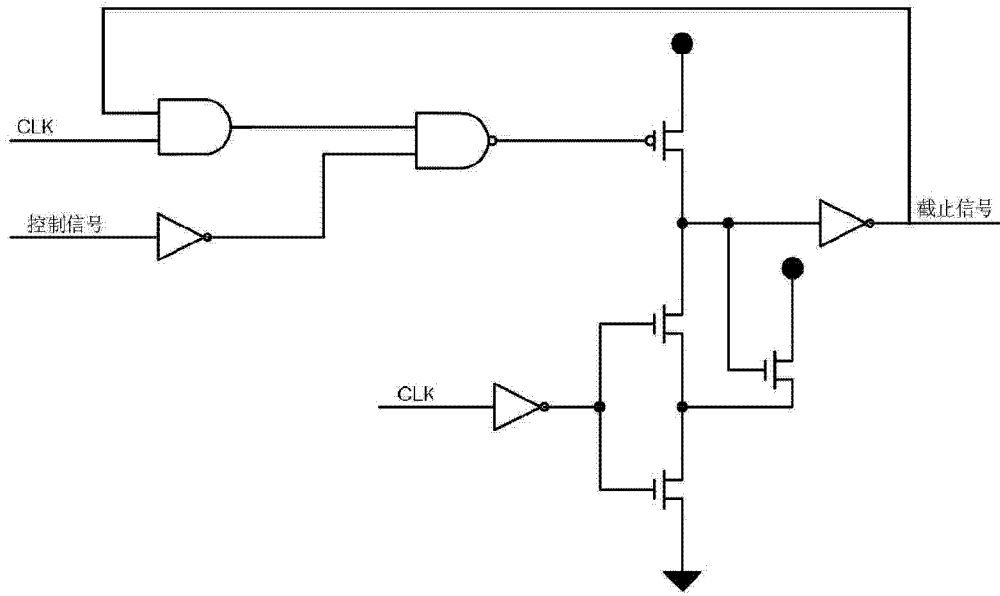


图 3