



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I808859 B

(45)公告日：中華民國 112 (2023) 年 07 月 11 日

(21)申請案號：111129443

(22)申請日：中華民國 111 (2022) 年 08 月 05 日

(51)Int. Cl. : H05K3/46 (2006.01)

H05K3/42 (2006.01)

H05K3/00 (2006.01)

H05K1/03 (2006.01)

(30)優先權：2022/05/23 美國

63/344,634

2022/02/15 美國

63/310,103

2022/07/08 美國

63/359,213

(71)申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)  
桃園市龜山區山鶯路 179 號

(72)發明人：路智強 LU, CHIH-CHIANG (TW)；張啟民 CHANG, CHI-MIN (TW)；吳明豪 WU, MING-HAO (TW)；林宜平 LIN, YI-PIN (TW)；林東昌 LIN, TUNG-CHANG (TW)；黃俊瑞 HUANG, JUN-RUI (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW 200635469A

TW 201417644A

US 2020/0194858A1

US 2020/0251798A1

審查人員：吳照中

申請專利範圍項數：22 項 圖式數：36 共 87 頁

(54)名稱

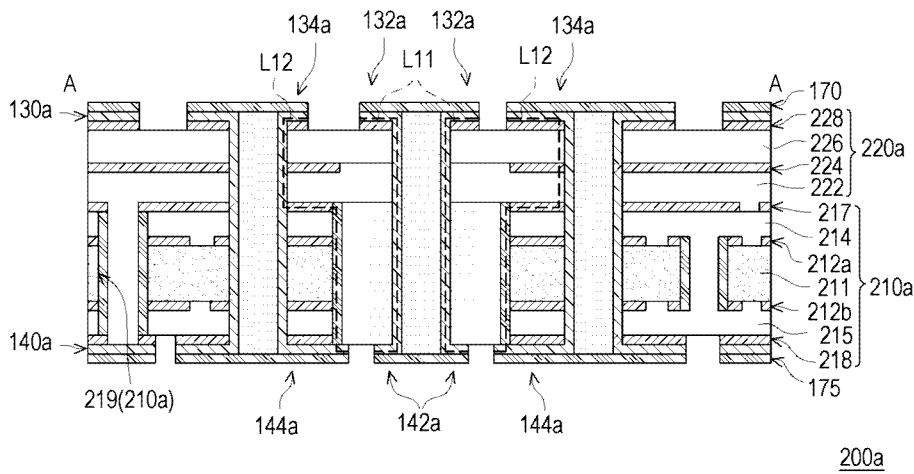
電路板結構

(57)摘要

一種電路板結構，包括一基底、一第一增層結構層、一第一外部線路層、一第二外部線路層、至少一第一導電通孔以及多個第二導電通孔。第一增層結構層配置於基底的第一線路層上。第一外部線路層配置於第一增層結構層上。第二外部線路層配置於基底的第二線路層及部分第三介電層上。第一導電通孔電性連接第一外部線路層與第二外部線路層而定義出一訊號路徑。第二導電通孔環繞第一導電通孔，且第一外部線路層、第二導電通孔、第一線路層、外層導電層及第二外部線路層定義出一第一接地路徑，而第一接地路徑環繞訊號路徑。

A circuit board structure includes a substrate, a first build-up structure layer, a first external circuit layer, a second external circuit layer, at least one first conductive through hole and a plurality of second conductive through holes. A first build-up structure layer is disposed on the first circuit layer of the substrate. The first external circuit layer is disposed on the first build-up structure. The second external circuit layer is disposed on the second circuit layer and part of the third dielectric layer of the substrate. The first conductive through hole is electrically connected to the first external circuit layer and the second external circuit layer to define a signal path. The second conductive through holes surround the first conductive through hole, and the first external circuit layer, the second conductive through holes, the first circuit layer, the external conductive layer, and the second external circuit layer define a first ground path, and the first ground path surrounds the signal path.

指定代表圖：



【圖25B】

符號簡單說明：

200a: 電路板結構

210a: 基底

211: 核心層

212a: 第一內層線路層

212b: 第二內層線路層

214: 第一介電層

215: 第二介電層

217: 第一線路層

218: 第二線路層

220a: 第一增層結構層

222: 第四介電層

224: 第三線路層

226: 第五介電層

228: 第四線路層

130a: 第一外部線路層

132a: 第一訊號線路

134a: 第一接地線路

140a: 第二外部線路層

142a: 第二訊號線路

144a: 第二接地線路

170: 第一單蓋層

175: 第二單蓋層

219: 第三開口

L11: 訊號路徑

L12: 接地路徑



I808859

## 【發明摘要】

公告本

【中文發明名稱】 電路板結構

【英文發明名稱】 CIRCUIT BOARD STRUCTURE

【中文】一種電路板結構，包括一基底、一第一增層結構層、一第一外部線路層、一第二外部線路層、至少一第一導電通孔以及多個第二導電通孔。第一增層結構層配置於基底的第一線路層上。第一外部線路層配置於第一增層結構層上。第二外部線路層配置於基底的第二線路層及部分第三介電層上。第一導電通孔電性連接第一外部線路層與第二外部線路層而定義出一訊號路徑。第二導電通孔環繞第一導電通孔，且第一外部線路層、第二導電通孔、第一線路層、外層導電層及第二外部線路層定義出一第一接地路徑，而第一接地路徑環繞訊號路徑。

【英文】 A circuit board structure includes a substrate, a first build-up structure layer, a first external circuit layer, a second external circuit layer, at least one first conductive through hole and a plurality of second conductive through holes. A first build-up structure layer is disposed on the first circuit layer of the substrate. The first external circuit layer is disposed on the first build-up structure. The second external circuit layer is disposed on the second circuit layer and part of the third dielectric layer of the

substrate. The first conductive through hole is electrically connected to the first external circuit layer and the second external circuit layer to define a signal path. The second conductive through holes surround the first conductive through hole, and the first external circuit layer, the second conductive through holes, the first circuit layer, the external conductive layer, and the second external circuit layer define a first ground path, and the first ground path surrounds the signal path.

【指定代表圖】圖25B。

【代表圖之符號簡單說明】

200a:電路板結構

210a:基底

211:核心層

212a:第一內層線路層

212b:第二內層線路層

214:第一介電層

215:第二介電層

217:第一線路層

218:第二線路層

220a:第一增層結構層

222:第四介電層

224:第三線路層

226:第五介電層

228:第四線路層

130a:第一外部線路層

132a:第一訊號線路

134a:第一接地線路

140a:第二外部線路層

142a:第二訊號線路

144a:第二接地線路

170:第一罩蓋層

175:第二罩蓋層

219:第三開口

L11:訊號路徑

L12:接地路徑

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 電路板結構

【英文發明名稱】 CIRCUIT BOARD STRUCTURE

【技術領域】

【0001】 本發明是有關於一種基板結構，且特別是有關於一種電路板結構。

【先前技術】

【0002】 在現有電路板中，同軸穿孔（coaxial via）的設計在內部導體層與外部導體層之間需要有一層或一層以上的絕緣層來作阻絕，其中形成絕緣層的方式是透過壓合增層的方式來達成。因此，在同軸穿孔的兩端會有阻抗不匹配且會出現電磁干擾（electromagnetic interference, EMI）屏蔽缺口，進而影響高頻訊號完整性。此外，在同軸穿孔的設計中，訊號路徑的兩端分別與接地路徑的兩端位於不同平面上，且無法減少雜訊干擾。

【發明內容】

【0003】 本發明提供一種電路板結構，其可有效的減少雜訊干擾，可具有較佳的訊號完整性。

【0004】 本發明的電路板結構，其包括一基底、一第一增層結構層、一第一外部線路層、一第二外部線路層、至少一第一導電通

孔以及多個第二導電通孔。基底具有至少一第一開口且包括一核心層、一第一內層線路層、一第二內層線路層、一內層導電層、一第一介電層、一第二介電層、一第三介電層、一第一線路層、一第二線路層及一外層導電層。第一內層線路層與第二內層線路層配置於核心層的相對兩側上。核心層具有多個第二開口，而內層導電層覆蓋第二開口的內壁且連接第一內層線路層與第二內層線路層。第一介電層覆蓋第一內層線路層且位於第一內層線路層與第一線路層之間。第二介電層覆蓋第二內層線路層且位於第二內層線路層與第二線路層之間。第一開口位於第二開口之間且貫穿第一線路層、第一介電層、第一內層線路層、核心層、第二內層線路層及第二介電層。外層導電層覆蓋第一開口的內壁且連接第一線路層、第一內層線路層、第二內層線路層及第二線路層。第三介電層填滿第一開口。第一增層結構層配置於第一線路層上。第一外部線路層配置於第一增層結構層上。第二外部線路層配置於第二線路層上及部分第三介電層上。第一導電通孔貫穿第一增層結構層及第三介電層，且電性連接第一外部線路層與第二外部線路層，而定義出一訊號路徑。第二導電通孔環繞第一導電通孔且貫穿第一增層結構層、第一線路層、第一介電層、第一內層線路層、核心層、第二內層線路層、第二介電層及第二線路層，且電性連接第一外部線路層、第一線路層、第一內層線路層、第二內層線路層及第二線路層。第一外部線路層、第二導電通孔、第一線路層、外層導電層及第二外部線路層定義出一第一接地路

徑，且第一接地路徑環繞訊號路徑。

【0005】 在本發明的一實施例中，上述的第一增層結構層包括一第四介電層、一第三線路層、一第五介電層及第四線路層。第四介電層配置於第一線路層上及第三介電層上。第三線路層配置於第四介電層上，而第五介電層配置於第三線路層上與第四介電層上。第四線路層配置於第五介電層上，而第一外部線路層配置於第四線路層上。

【0006】 在本發明的一實施例中，上述的電路板結構還包括一第二增層結構層，配置於第二線路層上及部分第三介電層上，而第二外部線路層位於第二增層結構層上。

【0007】 在本發明的一實施例中，上述的第一增層結構層更包括至少一第一導電盲孔，貫穿第五介電層與第四線路層且電性連接第一外部線路層、第四線路層與第三線路層。第二增層結構層更包括至少一第二導電盲孔，貫穿第二增層結構層且電性連接第二外部線路層與第二線路層。

【0008】 在本發明的一實施例中，上述的第一增層結構層更包括至少一第一導電盲孔，貫穿第五介電層與第四介電層且電性連接第一外部線路層與第一線路層。第二增層結構層更包括至少一第二導電盲孔，貫穿第二增層結構層且電性連接第二外部線路層與第二線路層。

【0009】 在本發明的一實施例中，上述的基底更具有至少一第三開口，貫穿第一線路層、第一介電層、第一內層線路層、核心層、



第二內層線路層、第二介電層及第二線路層，且連通第四介電層與第二外部線路層。

【0010】 在本發明的一實施例中，上述的第一增層結構層更包括至少一第一導電盲孔，貫穿第五介電層與第四線路層且電性連接第一外部線路層、第四線路層與第三線路層。

【0011】 在本發明的一實施例中，上述的電路板結構還包括至少一接墊，配置於第一增層結構層的第四介電層內且連接第一導電通孔。

【0012】 在本發明的一實施例中，上述的外層導電層、第二介電層及第二線路層之間形成一缺口，而第三介電層更填滿缺口。

【0013】 在本發明的一實施例中，上述的電路板結構還包括一填充材料，至少填滿第二導電通孔。

【0014】 在本發明的一實施例中，上述的填充材料更填滿第一導電通孔。

【0015】 在本發明的一實施例中，上述的電路板結構還包括一第一罩蓋層以及一第二罩蓋層。第一罩蓋層覆蓋第一外部線路層。第二罩蓋層覆蓋第二外部線路層，其中第一罩蓋層與第二罩蓋層分別覆蓋填充材料的兩端。

【0016】 在本發明的一實施例中，上述的電路板結構還包括一第一罩蓋層以及一第二罩蓋層。第一罩蓋層覆蓋第一外部線路層。第二罩蓋層覆蓋第二外部線路層，其中第一罩蓋層與第二罩蓋層分別覆蓋填滿第一導電通孔的填充材料的兩端，且暴露出位於第

二導電通孔的填孔材料的兩端。

【0017】 在本發明的一實施例中，上述的第一導電通孔包括二第一導電通孔。

【0018】 在本發明的一實施例中，上述的電路板結構還包括一填孔材料，至少填滿第二導電通孔。

【0019】 在本發明的一實施例中，上述的電路板結構還包括一第一罩蓋層以及一第二罩蓋層。第一罩蓋層覆蓋第一外部線路層。第二罩蓋層覆蓋第二外部線路層，其中第一罩蓋層與第二罩蓋層至少分別覆蓋填滿第一導電通孔的填孔材料的兩端。

【0020】 在本發明的一實施例中，上述的電路板結構還包括一第三導電通孔，貫穿第一增層結構層、第一線路層、第一介電層、第一內層線路層、核心層、第二內層線路層、第二介電層及第二線路層，且電性連接第一外部線路層、第一線路層、第一內層線路層、第二內層線路層以及第二線路層。第三導電通孔位於第一導電通孔之間，且第一外部線路層、第三導電通孔、第一線路層、外層導電層及第二外部線路層定義出一第二接地路徑，而訊號路徑位於第一接地路徑與第二接地路徑之間。

【0021】 在本發明的一實施例中，上述的電路板結構還包括一填孔材料，至少填滿第二導電通孔與第三導電通孔。

【0022】 在本發明的一實施例中，上述的電路板結構還包括一第一罩蓋層以及一第二罩蓋層。第一罩蓋層覆蓋第一外部線路層。第二罩蓋層覆蓋第二外部線路層，其中第一罩蓋層與第二罩蓋層

至少分別覆蓋填滿第一導電通孔的填孔材料的兩端。

【0023】 在本發明的一實施例中，上述的第一外部線路層包括一第一訊號線路與一第一接地線路。第二外部線路層包括一第二訊號線路與一第二接地線路。第一訊號線路、第一導電通孔以及第二訊號線路定義出訊號路徑。第一接地線路、每一第二導電通孔、第一線路層、外層導電層以及第二接地線路定義出第一接地路徑。

【0024】 在本發明的一實施例中，上述的電路板結構還包括：一填孔材料，至少填滿第二導電通孔。第一增層結構層包括一第四介電層、一第三線路層、一第五介電層及一第四線路層。第四介電層配置於第一線路層上及第三介電層上。第三線路層配置於第四介電層上，而第五介電層配置於第三線路層上與第四介電層上。第四線路層配置於第五介電層上，而第一外部線路層配置於第四線路層上。填孔材料彼此相對的一第一側與一第二側分別與第五介電層的一第一表面及第二介電層的一第二表面具有一高度差，而高度差範圍為大於負 30 微米至小於 30 微米之間。

【0025】 在本發明的一實施例中，上述的第三介電層內凹在第一線路層的表面與第二線路層的表面之間，並第三介電層的表面與第二線路層的表面之間具有一高度差，而高度差範圍為大於負 30 微米至等於 0 微米之間。

【0026】 基於上述，在本發明的電路板結構的設計中，第一導電通孔電性連接至第一外部線路層與第二外部線路層而定義出訊號路徑，而第一外部線路層、第二導電通孔、第一線路層、外層導

電層及第二外部線路層定義出接地路徑，且接地路徑環繞訊號路徑。藉此，可形成良好的高頻高速訊號迴路，且後續在積體電路與天線的應用上，亦可解決同一平面訊號干擾的問題，可降低訊號能量損失及減少雜訊干擾，進而可提升訊號傳輸可靠度。

【0027】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0028】

圖 1A 是依照本發明的一實施例的一種電路板結構的剖面示意圖。

圖 1B 是圖 1A 的電路板結構的局部仰視示意圖。

圖 2A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 2B 是圖 2A 的電路板結構的局部仰視示意圖。

圖 3A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 3B 是圖 3A 的電路板結構的局部仰視示意圖。

圖 4A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 4B 是圖 4A 的電路板結構的局部仰視示意圖。

圖 5A 是依照本發明的另一實施例的一種電路板結構的剖面

示意圖。

圖 5B 是圖 5A 的電路板結構的局部仰視示意圖。

圖 6A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 6B 是圖 6A 的電路板結構的局部仰視示意圖。

圖 7A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 7B 是圖 7A 的電路板結構的局部仰視示意圖。

圖 8A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 8B 是圖 8A 的電路板結構的局部仰視示意圖。

圖 9 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 10 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 11 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 12 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 13 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 14 是依照本發明的另一實施例的一種電路板結構的剖面

示意圖。

圖 15A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 15B 是圖 15A 的電路板結構的局部仰視示意圖。

圖 16 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 17 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 18 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 19 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 20 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 21 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 22 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 23 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 24 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 25A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。

圖 25B 是沿圖 25A 的線 A-A 的剖面示意圖。

圖 25C 是沿圖 25A 的線 B-B 的剖面示意圖。

圖 26 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 27A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。

圖 27B 是沿圖 27A 的線 C-C 的剖面示意圖。

圖 27C 是沿圖 27A 的線 D-D 的剖面示意圖。

圖 28A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。

圖 28B 是沿圖 28A 的線 E-E 的剖面示意圖。

圖 29 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 30 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 31 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 32 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 33 是依照本發明的另一實施例的一種電路板結構的剖面

示意圖。

圖 34 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 35 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

圖 36 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。

### 【實施方式】

【0029】 圖 1A 是依照本發明的一實施例的一種電路板結構的剖面示意圖。圖 1B 是圖 1A 的電路板結構的局部仰視示意圖。請同時參考圖 1A 與圖 1B，在本實施例中，電路板結構 100a 包括一基底 110a、一第一增層結構層 120a、一第一外部線路層 130a、一第二外部線路層 140a、至少一第一導電通孔 150a 以及多個第二導電通孔 160。基底 110a 具有至少一第一開口 H1 且包括一核心層 111、一第一內層線路層 112a、一第二內層線路層 112b、一內層導電層 113a、一外層導電層 113b、一第一介電層 114、一第二介電層 115、一第三介電層 116、一第一線路層 117 及一第二線路層 118。第一內層線路層 112a 與第二內層線路層 112b 配置於核心層 111 的相對兩側上。核心層 111 具有多個第二開口 H2，而內層導電層 113a 覆蓋第二開口 H2 的內壁，且結構性及電性連接第一內層線路層 112a 與第二內層線路層 112b。第一介電層 114 覆蓋第一內層線路



層 112a 且位於第一內層線路層 112a 與第一線路層 117 之間。第二介電層 115 覆蓋第二內層線路層 112b 且位於第二內層線路層 112b 與第二線路層 118 之間。第一介電層 114 與第二介電層 115 填滿第二開口 H2 且彼此連接在一起。第一開口 H1 位於第二開口 H2 之間且貫穿第一線路層 117、第一介電層 114、第一內層線路層 112a、核心層 111、第二內層線路層 112b 及第二介電層 115。外層導電層 113b 覆蓋第一開口 H1 的內壁，且結構性及電性連接第一線路層 117、第一內層線路層 112a、第二內層線路層 112b 及第二線路層 118。第三介電層 116 填滿第一開口 H1 且切齊於第一線路層 117 與第二線路層 118，意即高度差為 0，沒有高度差。於一實施例中，第一介電層 114、第二介電層 115 以及第三介電層 116 宜使用高頻高速材料，而第三介電層 116 的介電常數應考慮到阻抗匹配，其中第三介電層 116 的介電損耗則大於 0 且小於 0.1，越低的介電損耗傳遞的訊號品質越高。

**【0030】** 請再參考圖 1A，本實施例的第一增層結構層 120a 配置於第一線路層 117 上。此處，第一增層結構層 120a 包括一第四介電層 122、一第三線路層 124、一第五介電層 126 及一第四線路層 128。第四介電層 122 配置於第一線路層 117 上及第三介電層 116 上。第三線路層 124 配置於第四介電層 122 上，而第五介電層 126 配置於第三線路層 124 上與第四介電層 122 上。第四線路層 128 配置於第五介電層 126 上，而第一外部線路層 130a 配置於第一增層結構層 120a 的第四線路層 128 上。第二外部線路層 140a 配置

於第二線路層 118 上及部分第三介電層 116 上。第一導電通孔 150a 貫穿第一增層結構層 120a 及第三介電層 116，且電性連接第一外部線路層 130a 與第二外部線路層 140a，而定義出一訊號路徑 L11。第一導電通孔 150a 包括一貫孔 T1 以及一導電材料 M，其中貫孔 T1 貫穿第一增層結構層 120a 及第三介電層 116，而導電材料 M 覆蓋貫孔 T1 的內壁且電性連接第一外部線路層 130a 與第二外部線路層 140a。第二導電通孔 160 環繞第一導電通孔 150a 且貫穿第一增層結構層 120a、第一線路層 117、第一介電層 114、第一內層線路層 112a、核心層 111、第二內層線路層 112b、第二介電層 115 及第二線路層 118，且電性連接第一外部線路層 130a、第一線路層 117、第一內層線路層 112a、第二內層線路層 112b 及第二線路層 118。第二導電通孔 160 包括一貫孔 T2 以及一導電材料 M，其中貫孔 T2 貫穿第一增層結構層 120a、第一線路層 117、第一介電層 114、第一內層線路層 112a、核心層 111、第二內層線路層 112b、第二介電層 115 及第二線路層 118，而導電材料 M 覆蓋貫孔 T2 的內壁且第一外部線路層 130a、第四線路層 128、第三線路層 124、第一線路層 117、第一內層線路層 112a、第二內層線路層 112b 及第二線路層 118。第一外部線路層 130a、第二導電通孔 160、第一線路層 117、外層導電層 113b 及第二外部線路層 140a 定義出一接地路徑 L12（即第一接地路徑），且接地路徑 L12 環繞訊號路徑 L11。須說明的是，依據安培右手定律（Ampere's right-hand rule）而產生的磁力，接地路徑 L12 較佳地會通過外層

導電層 113b，如圖 1A 所示。

【0031】 進一步來說，在本實施例中，第一外部線路層 130a 包括一第一訊號線路 132a 與一第一接地線路 134a。第二外部線路層 140a 包括一第二訊號線路 142a 與一第二接地線路 144a。第一訊號線路 132a、第一導電通孔 150a 以及第二訊號線路 142a 定義出訊號路徑 L11。第一接地線路 134a、每一第二導電通孔 160、第一線路層 117、外層導電層 113b 以及第二接地線路 144a 定義出接地路徑 L12。此處，電路板結構 100a 為接地/訊號/接地（GSG）的設計。由於訊號路徑 L11 被接地路徑 L12 所環繞且呈封閉性包圍，因此可形成良好的高頻高速迴路。

【0032】 簡言之，本實施例由第一訊號線路 132a、第一導電通孔 150a 以及第二訊號線路 142a 所定義出訊號路徑 L11 被由第一接地線路 134a、每一第二導電通孔 160、第一線路層 117、外層導電層 113b 以及第二接地線路 144a 所定義出接地路徑 L12 環繞包圍住。意即，可傳輸 5G 等高頻高速訊號的訊號路徑 L11 的周圍設置封閉性佳的接地路徑 L12，藉此可形成良好的高頻高速迴路，而使得本實施例的電路板結構 100a 可具有較佳的訊號完整性。此處，所述的高頻是指頻率大於 1GHz；而所述的高速是指資料傳輸的速度大於 100Mbps。再者，一般皆知，高頻電路講求的是傳輸訊號的速度與品質，而影響這兩項的主要因素是傳輸材料的電氣特性，即材料介電常數(Dk)與介電損耗(Df)。藉由降低基材的介電常數和介電損耗，可有效地縮短訊號延遲(Signal Propagation Delay

Time )，並可提高訊號傳輸速率與減少訊號傳輸損失( Signal Transmission Loss )。再者，第一導電通孔 150a、基底 110a 的外層導電層 113b 以及第三介電層 116 定義出高頻高速的特殊導通穿孔 ( special through via )，在特殊導通穿孔的任一截面上，高頻高速訊號透過第一導電通孔 150a 及其對應的外層導電層 113b 產生回流訊號，形成該截面上的高頻高速等效電路。相較於現有技術中以壓合絕緣層的增層法方式來阻絕同軸穿孔的內部導體層與外部導體層而言，本實施例的電路板結構 100a 的製作方法可避免產生阻抗不匹配而影響高頻訊號的完整性的問題。此外，由於本實施例不是採用壓合絕緣層的增層法來增加電路板的層數，因此不會採用導通孔的疊孔設計來導通相鄰的結構層，故除了可以克服導通孔的能量損耗之外，還可以避免疊孔的熱應力可靠度不佳的問題。

**【0033】** 在此必須說明的是，下述實施例沿用前述實施例的元件標號與部分內容，其中採用相同的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參照前述實施例，下述實施例不再重複贅述。

**【0034】** 圖 2A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 2B 是圖 2A 的電路板結構的局部仰視示意圖。請同時參考圖 1A、圖 1B、圖 2A 以及圖 2B，本實施例的電路板結構 100b 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，為了達到阻抗匹配的目的，第一導電通孔 150b 可以不設

置在中間，而是比較偏向一側（如右側），意即呈錯位設置。

【0035】圖 3A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 3B 是圖 3A 的電路板結構的局部仰視示意圖。請同時參考圖 1A、圖 1B、圖 3A 以及圖 3B，本實施例的電路板結構 100c 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，與外層導電層 113b 連接的第二外部線路層 140c 更延伸覆蓋在第三介電層 116 上，不與外層導電層 113b 切齊而呈現突出 (overhang) 至第三介電層 116 上。因此，相較於圖 1A 的第二接地線路 144a，本實施例的第二接地線路 144c 的接觸面積較大，可提高後續與電子元件之間的結合力。

【0036】圖 4A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 4B 是圖 4A 的電路板結構的局部仰視示意圖。請同時參考圖 1A、圖 1B、圖 4A 以及圖 4B，本實施例的電路板結構 100d 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，電路板結構 100d 還包括一填孔材料 165，其中填孔材料 165 填滿第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，第一導電通孔 150a 內沒有填充填孔材料 165。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

【0037】圖 5A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 5B 是圖 5A 的電路板結構的局部仰視示意圖。請

同時參考圖 1A、圖 1B、圖 5A 以及圖 5B，本實施例的電路板結構 100e 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，電路板結構 100e 還包括一填孔材料 165，其中填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

【0038】圖 6A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 6B 是圖 6A 的電路板結構的局部仰視示意圖。請同時參考圖 5A、圖 5B、圖 6A 以及圖 6B，本實施例的電路板結構 100f 與上述的電路板結構 100e 相似，兩者差異在於：在本實施例中，電路板結構 100f 還包括一第一罩蓋層 170 以及一第二罩蓋層 175。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。

【0039】圖 7A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 7B 是圖 7A 的電路板結構的局部仰視示意圖。請同時參考圖 5A、圖 5B、圖 7A 以及圖 7B，本實施例的電路板結構 100g 與上述的電路板結構 100e 相似，兩者差異在於：在本實施例中，電路板結構 100g 還包括一第一罩蓋層 172 以及一第二罩蓋層 177。第一罩蓋層 172 覆蓋第一外部線路層 130a，而第二罩

蓋層 177 覆蓋第二外部線路層 140a，其中第一罩蓋層 172 與第二罩蓋層 177 分別覆蓋填滿第一導電通孔 150a 的填孔材料 165 彼此相對的兩端，且暴露出位於第二導電通孔 160 的填孔材料 165 彼此相對的兩端。此處，第一罩蓋層 172 的材質與第二罩蓋層 177 的材質可例如是銅，但不以此為限。

【0040】圖 8A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 8B 是圖 8A 的電路板結構的局部仰視示意圖。請同時參考圖 1A、圖 1B、圖 8A 以及圖 8B，本實施例的電路板結構 100h 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，外層導電層 113b、第二介電層 115 及第二線路層 118 之間形成一缺口 C，而第三介電層 116 更填滿缺口 C。由於本實施例於接地層孔邊將部分的外層導電層 113b 挖開去除，並以第三介電層 116 填充，以使後續加工的導電層線路，能藉由缺口 C 向外扇出佈線，意即延長了第二訊號線路 142a，可增加電路板結構 100h 後續與電子元件的接合時的接觸面積，且不會與第二接地線路 144a 連通短路。

【0041】圖 9 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 1A 以及圖 9，本實施例的電路板結構 100i 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，第一增層結構層 120i 包括一第四介電層 122 與配置於第四介電層 122 上的一第三線路層 124，而第一外部線路層 130a 直接配置於第三線路層 124 上。

【0042】 圖 10 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 9 以及圖 10，本實施例的電路板結構 100j 與上述的電路板結構 100i 相似，兩者差異在於：在本實施例中，電路板結構 100j 還包括一第二增層結構層 180j，配置於第二線路層 118 上及部分第三介電層 116 上，其中第二增層結構層 180j 包括一第六介電層 182 與配置於第六介電層 182 上的一第五線路層 184，而第二外部線路層 140a 位於第五線路層 184 上。

【0043】 圖 11 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 1A 以及圖 11，本實施例的電路板結構 100k 與上述的電路板結構 100a 相似，兩者差異在於：在本實施例中，電路板結構 100k 還包括一第二增層結構層 180k，配置於第二線路層 118 上及部分第三介電層 116 上，其中第二增層結構層 180k 包括一第六介電層 182 與配置於第六介電層 182 上的一第五線路層 184，而第二外部線路層 140a 位於第五線路層 184 上。

【0044】 圖 12 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 11 以及圖 12，本實施例的電路板結構 100m 與上述的電路板結構 100k 相似，兩者差異在於：在本實施例中，第二增層結構層 180m 包括第六介電層 182、第五線路層 184、一第七介電層 186 及一第六線路層 188。第六介電層 182 配置於第二線路層 118 上及第三介電層 116 上。第五線路層 184 配置於第六介電層 182 上，而第七介電層 186 配置於第五線路層 184 上與第六介電層 182 上。第六線路層 188 配置於第七介電層 186



上，而第二外部線路層 140a 配置於第六線路層 188 上。

【0045】圖 13 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。為了達到阻抗匹配的目的，接地線路的佈局除了可以是通孔的設計外，亦可為盲孔的設計。請同時參考圖 11 以及圖 13，本實施例的電路板結構 100n 與上述的電路板結構 100k 相似，兩者差異在於：在本實施例中，第一增層結構層 120n 更包括至少一第一導電盲孔 125，其中第一導電盲孔 125 貫穿第四線路層 128 與第五介電層 126 且電性連接第一外部線路層 130a、第四線路層 128 以及第三線路層 124。第二增層結構層 180n 更包括至少一第二導電盲孔 185，其中第二導電盲孔 185 貫穿第五線路層 184 以及第六介電層 182 且電性連接第二外部線路層 140a、第五線路層 184 以及第二線路層 118。

【0046】圖 14 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 13 以及圖 14，本實施例的電路板結構 100p 與上述的電路板結構 100n 相似，兩者差異在於：在本實施例中，第一增層結構層 120p 的第一導電盲孔 127 是貫穿第四線路層 128、第五介電層 126 與第四介電層 122 且電性連接第一外部線路層 130a、第四線路層 128 以及基底 110a 的第一線路層 117。

【0047】圖 15A 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。圖 15B 是圖 15A 的電路板結構的局部仰視示意圖。請同時參考圖 1A、圖 1B、圖 15A 以及圖 15B，本實施例的電路板結構 100q 與上述的電路板結構 100a 相似，兩者差異在於：在

本實施例中，電路板結構 100q 包括二第一導電通孔 150a。第一訊號線路 132q、二第一導電通孔 150a 以及第二訊號線路 142q 定義出二訊號路徑 L21。第一接地線路 134q、每一第二導電通孔 160、第一線路層 117、外層導電層 113b 以及第二接地線路 144q 定義出接地路徑 L22。此處，電路板結構 100q 為接地/訊號/訊號/接地（GSSG）的設計。由於二訊號路徑 L21 被接地路徑 L22 所環繞且呈封閉性包圍，因此可形成良好的高頻高速迴路。

**【0048】** 圖 16 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 15A 以及圖 16，本實施例的電路板結構 100r 與上述的電路板結構 100q 相似，兩者差異在於：在本實施例中，電路板結構 100r 還包括一填孔材料 165，其中填孔材料 165 填滿第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130q 與第二外部線路層 140q。此處，二第一導電通孔 150a 內沒有填充填孔材料 165。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

**【0049】** 圖 17 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 15A 以及圖 17，本實施例的電路板結構 100s 與上述的電路板結構 100q 相似，兩者差異在於：在本實施例中，電路板結構 100s 還包括一填孔材料 165，其中填孔材料 165 填滿二第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130q 與第二外部線路層

140q。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

【0050】圖 18 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 17 以及圖 18，本實施例的電路板結構 100t 與上述的電路板結構 100s 相似，兩者差異在於：在本實施例中，電路板結構 100t 還包括一第一罩蓋層 170 以及一第二罩蓋層 175。第一罩蓋層 170 覆蓋第一外部線路層 130q。第二罩蓋層 175 覆蓋第二外部線路層 140q，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。

【0051】圖 19 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 17 以及圖 19，本實施例的電路板結構 100u 與上述的電路板結構 100s 相似，兩者差異在於：在本實施例中，電路板結構 100u 還包括一第一罩蓋層 172 以及一第二罩蓋層 177。第一罩蓋層 172 覆蓋第一外部線路層 130q，而第二罩蓋層 177 覆蓋第二外部線路層 140q，其中第一罩蓋層 172 與第二罩蓋層 177 分別覆蓋填滿二第一導電通孔 150a 的填孔材料 165 彼此相對的兩端，且暴露出位於第二導電通孔 160 的填孔材料 165 彼此相對的兩端。此處，第一罩蓋層 172 的材質與第二罩蓋層 177 的材質可例如是銅，但不以此為限。

【0052】圖 20 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 15A 以及圖 20，本實施例的電路板結構

100v 與上述的電路板結構 100q 相似，兩者差異在於：在本實施例中，電路板結構 100v 還包括一第三導電通孔 190，貫穿第一增層結構層 120a、第一線路層 117、第一介電層 114、第一內層線路層 112a、核心層 111、第二內層線路層 112b、第二介電層 115 及第二線路層 118，且結構性及電性連接第一外部線路層 130v、第四線路層 128、第三線路層 124、第一線路層 117、第一內層線路層 112a、第二內層線路層 112b、第二線路層 118 以及第二外部線路層 140v。此處，第三導電通孔 190 位於第一導電通孔 150a 之間，且第一訊號線路 132v、第三導電通孔 190、第一線路層 117、外層導電層 113b 及第二接地線路 144v 定義出一接地路徑 L33(即第二接地路徑)，而訊號路徑 L31 位於接地路徑 L32 與接地路徑 L33 之間。由第一訊號線路 132v、第一導電通孔 150a 以及第二訊號線路 142v 所定義出訊號路徑 L31 被由第一接地線路 134v、第二導電通孔 160、第一線路層 117、外層導電層 113b 以及第二接地線路 144q 所定義出的接地路徑 L32 以及由第一接地線路 134v、第三導電通孔 190、第一線路層 117、外層導電層 113b 以及第二接地線路 144q 所定義出的接地路徑 L33 所環繞且呈封閉性包圍，因此可形成良好的高頻高速迴路。此處，電路板結構 100v 為接地/訊號/接地/訊號/接地 (GSGSG) 的設計。

【0053】圖 21 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 20 以及圖 21，本實施例的電路板結構 100w 與上述的電路板結構 100v 相似，兩者差異在於：在本實施

例中，電路板結構 100w 還包括一填孔材料 165，其中填孔材料 165 填滿第二導電通孔 160 以及第三導電通孔 190，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130v 與第二外部線路層 140v。此處，第一導電通孔 150a 內沒有填充填孔材料 165。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

**【0054】** 圖 22 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 20 以及圖 22，本實施例的電路板結構 100x 與上述的電路板結構 100v 相似，兩者差異在於：在本實施例中，電路板結構 100x 還包括一填孔材料 165，其中填孔材料 165 填滿第一導電通孔 150a、第二導電通孔 160 以及第三導電通孔 190，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130v 與第二外部線路層 140v。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。

**【0055】** 圖 23 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 22 以及圖 23，本實施例的電路板結構 100y 與上述的電路板結構 100x 相似，兩者差異在於：在本實施例中，電路板結構 100y 還包括一第一罩蓋層 170 以及一第二罩蓋層 175。第一罩蓋層 170 覆蓋第一外部線路層 130v。第二罩蓋層 175 覆蓋第二外部線路層 140v，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材

質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。

【0056】圖 24 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 22 以及圖 24，本實施例的電路板結構 100z 與上述的電路板結構 100x 相似，兩者差異在於：在本實施例中，電路板結構 100z 還包括一第一罩蓋層 172 以及一第二罩蓋層 177。第一罩蓋層 172 覆蓋第一外部線路層 130v，而第二罩蓋層 177 覆蓋第二外部線路層 140v，其中第一罩蓋層 172 與第二罩蓋層 177 分別覆蓋填滿第一導電通孔 150a 的填孔材料 165 彼此相對的兩端，且暴露出位於第二導電通孔 160 的填孔材料 165 彼此相對的兩端。此處，第一罩蓋層 172 的材質與第二罩蓋層 177 的材質可例如是銅，但不以此為限。

【0057】圖 25A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。圖 25B 是沿圖 25A 的線 A-A 的剖面示意圖。圖 25C 是沿圖 25A 的線 B-B 的剖面示意圖。請先同時參考圖 6A、圖 25A 以及圖 25B，本實施例的電路板結構 200a 與上述的電路板結構 100f 相似，兩者差異在於：在本實施例中，基底 210a 更具有第一開口 219，其中第三開口 219 貫穿第一線路層 217、第一介電層 214、第一內層線路層 212a、核心層 211、第二內層線路層 212b、第二介電層 215 及第二線路層 218，且連通第四介電層 222 與第二外部線路層 140a。再者，請參考圖 25C，本實施例的第一增層結構層 220a 還包括至少一第一導電盲孔 225，其中第一導電盲孔 225 貫穿第四線路層 228 與第五介電層 226 且電性連接第一外部線路

層 130a、第四線路層 228 與第三線路層 224，可達到阻抗匹配的目的。此外，第一接地線路 134a、第一導電盲孔 225 以及第三線路層 224 定義出接地路徑 L13，且接地路徑 L13 環繞第一訊號線路 132a，呈封閉性包圍，因此可形成良好的高頻高速迴路。此處，電路板結構 200a 的一側為扇出（fan-out）設計。

【0058】圖 26 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請先同時參考圖 25C 以及圖 26，本實施例的電路板結構 200b 與上述的電路板結構 200a 相似，兩者差異在於：在本實施例中，基底 210b 更具有多個第三開口 219，其中第二接地線路 144a、外層導電層 213b 以及第二內部線路層 212b 定義出接地路徑 L14，且接地路徑 L14 環繞第二訊號線路 142a，呈封閉性包圍，因此可形成良好的高頻高速迴路。此處，電路板結構 200b 的相對兩側皆為扇出（fan-out）設計。

【0059】圖 27A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。圖 27B 是沿圖 27A 的線 C-C 的剖面示意圖。圖 27C 是沿圖 27A 的線 D-D 的剖面示意圖。請先同時參考圖 11、圖 27A 以及圖 27B，本實施例的電路板結構 200c 與上述的電路板結構 100f 相似，兩者差異在於：在本實施例中，電路板結構 200c 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞

孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。再者，請參考圖 27C，第一接地線路 134a、第一導電盲孔 225 以及第三線路層 224 定義出接地路徑 L13，且接地路徑 L13 環繞第一訊號線路 132a，呈封閉性包圍，因此可形成良好的高頻高速迴路。此外，第二增層結構層 280c 更包括至少一第二導電盲孔 285，其中第二導電盲孔 285 貫穿第五線路層 284 以及第六介電層 282 且電性連接第二外部線路層 140a、第五線路層 284 以及第二線路層 118。第二接地線路 144a、第二導電盲孔 285 以及第二線路層 118 定義出接地路徑 L15，且接地路徑 L15 環繞第二訊號線路 142a，呈封閉性包圍，因此可形成良好的高頻高速迴路。

**【0060】** 圖 28A 是依照本發明的另一實施例的一種電路板結構的俯視示意圖。圖 28B 是沿圖 28A 的線 E-E 的剖面示意圖。為了達到阻抗匹配的目的，接地線路的佈局除了可以是通孔的設計外，亦可為盲孔的設計。請同時參考圖 27B、圖 28A 以及圖 28B，本實施例的電路板結構 200d 與上述的電路板結構 200c 相似，兩者差異在於：在本實施例中，第一增層結構層 220d 更包括至少一第一導電盲孔 225，其中第一導電盲孔 225 貫穿第四線路層 228 與第五介電層 226 且電性連接第一外部線路層 130a、第四線路層 228



以及第三線路層 224。第二增層結構層 280d 更包括至少一第二導電盲孔 285，其中第二導電盲孔 285 貫穿第五線路層 284 以及第六介電層 282 且電性連接第二外部線路層 140a、第五線路層 284 以及第二線路層 118。

【0061】圖 29 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 28B 以及圖 29，本實施例的電路板結構 200e 與上述的電路板結構 200d 相似，兩者差異在於：在本實施例中，第一增層結構層 220e 的第一導電盲孔 227 是貫穿第四線路層 228、第五介電層 226 與第四介電層 222 且電性連接第一外部線路層 130a、第四線路層 228 以及第一線路層 117。第一訊號線路 132a、第一導電通孔 150a 以及第二訊號線路 142a 定義出訊號路徑 L41。第一接地線路 134a、第一導電盲孔 227、第一線路層 117、外層導電層 113b、第二線路層 118、第二導電盲孔 285 以及第二接地線路 144a 定義出接地路徑 L42。由於訊號路徑 L41 被接地路徑 L42 所環繞且呈封閉性包圍，因此可形成良好的高頻高速迴路。

【0062】圖 30 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 6A 以及圖 30，本實施例的電路板結構 200f 與上述的電路板結構 100f 相似，兩者差異在於：在本實施例中，電路板結構 200f 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

【0063】圖 31 是依照本發明的另一實施例的一種電路板結構的剖

面示意圖。請同時參考圖 8A 以及圖 31，本實施例的電路板結構 200g 與上述的電路板結構 100h 相似，兩者差異在於：在本實施例中，電路板結構 200g 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。此外，本實施例的電路板結構 200g 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

**【0064】** 圖 32 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 11 以及圖 32，本實施例的電路板結構 200h 與上述的電路板結構 100k 相似，兩者差異在於：在本實施例中，電路板結構 200h 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電

損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。此外，本實施例的電路板結構 200h 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

【0065】圖 33 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 13 以及圖 33，本實施例的電路板結構 200i 與上述的電路板結構 100n 相似，兩者差異在於：在本實施例中，電路板結構 200i 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。此外，本實施例的電路板結構 200i 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

【0066】 圖 34 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 14 以及圖 34，本實施例的電路板結構 200j 與上述的電路板結構 100p 相似，兩者差異在於：在本實施例中，電路板結構 200j 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。此外，本實施例的電路板結構 200j 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

【0067】 圖 35 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 12 以及圖 35，本實施例的電路板結構 200k 與上述的電路板結構 100m 相似，兩者差異在於：在本實施例中，電路板結構 200k 還包括一填孔材料 165、一第一罩蓋層 170 以及一第二罩蓋層 175。填孔材料 165 填滿第一導電通孔 150a 與第二導電通孔 160，且填孔材料 165 的相對兩側可分別對齊第一外部線路層 130a 與第二外部線路層 140a。此處，填孔材料 165 的材

質例如是樹脂，可視為塞孔劑，或者是，介電常數高於 3.6 且介電損耗低於 0.05 的介電材料。第一罩蓋層 170 覆蓋第一外部線路層 130a。第二罩蓋層 175 覆蓋第二外部線路層 140a，其中第一罩蓋層 170 與第二罩蓋層 175 分別覆蓋填孔材料 165 的相對兩端。此處，第一罩蓋層 170 的材質與第二罩蓋層 175 的材質可例如是銅，但不以此為限。此外，本實施例的電路板結構 200k 更包括至少一接墊 P，配置於第四介電層 122 內且連接第一導電通孔 150a，可達成阻抗匹配。此處，接墊 P 可視為是一種內部信號線路圖案。

**【0068】** 需說明的是，為了達到阻抗匹配的目的，可透過設計表面訊號線路圖案（如圖 1A、圖 15A、圖 20）、內部訊號線路圖案（如圖 30 至圖 35 的接墊 P）、同軸通孔位移量（如圖 2A 的錯位設置）或接地通孔與/或盲孔的佈局（如圖 1A、圖 13 或圖 14）來達成。

**【0069】** 圖 36 是依照本發明的另一實施例的一種電路板結構的剖面示意圖。請同時參考圖 25B 以及圖 36，本實施例的電路板結構 200m 與上述的電路板結構 200a 相似，兩者差異在於：在本實施例中，填孔材料 167 彼此相對的一第一側 168 與一第二側 169 分別與第五介電層 226 的一第一表面 226a 及第二介電層 215 的一第二表面 215a 具有一高度差 D1，而高度差 D1 範圍例如是大於負 30 微米至小於正 30 微米之間。此處，填孔材料 167 的第一側 168 高於第五介電層 226 的第一表面 226a，即填孔材料 167 的第一側 168 突出於第五介電層 226 的第一表面 226a，而高度差 D1 為正 30 微

米；而填孔材料 167 的第二側 169 高於第二介電層 215 的第二表面 215a，即填孔材料 167 的第二側 169 內凹於第二介電層 215 的第二表面 215a，而高度差為負 30 微米。此外，本實施例的基底 210a' 的第三介電層 216 彼此相對的第二表面 216a、216b 也分別低於第一線路層 217 的表面 217a 以及高於第二線路層 218 的表面 218a，亦即第三介電層 216 內凹在第一線路層 217 與第二線路層 218 之間，其中第三介電層 216 的表面 216b 與第二線路層 218 的表面 218a 之間具有一高度差 D2，而使此高度差 D2 範圍例如是大於負 30 微米至等於 0 微米之間。於此，因第三介電層 216 內凹於第二線路層 218，因此高度差 D2 為負 30 微米，若第三介電層 216 切齊於第二線路層 218，則高度差為 0 微米。藉此，本實施例的電路板結構 200m 可具有較佳的電性表現。

**【0070】** 綜上所述，在本發明的電路板結構的設計中，第一導電通孔電性連接至第一外部線路層與第二外部線路層而定義出訊號路徑，而第一外部線路層、第二導電通孔、第一線路層、外層導電層及第二外部線路層定義出接地路徑，且接地路徑環繞訊號路徑。藉此，可形成良好的高頻高速訊號迴路，且後續在積體電路與天線的應用上，亦可解決同一平面訊號干擾的問題，可降低訊號能量損失及減少雜訊干擾，進而可提升訊號傳輸可靠度。

**【0071】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍

當視後附的申請專利範圍所界定者為準。

【符號說明】

【0072】

100a、100b、100c、100d、100e、100f、100g、100h、100i、  
100j、100k、100m、100q、100r、100s、100t、100u、100v、100w、  
100x、100y、100z、200a、200b、200c、200d、200e、200f、200g、  
200h、200i、200j、200k:電路板結構

110a、210a、210a'、210b:基底

111、211:核心層

112a、212a:第一內層線路層

112b、212b:第二內層線路層

113a:內層導電層

113b、213b:外層導電層

114、214:第一介電層

115、215:第二介電層

215a:第二表面

116、216:第三介電層

117、217:第一線路層

118、218:第二線路層

120a、120i、120n、120p、220a、220d、220e:第一增層結構

層

122、222:第四介電層

124、224:第三線路層

125、127、225、227:第一導電盲孔

126、226:第五介電層

226a:第一表面

128、228:第四線路層

130a、130q、130v:第一外部線路層

132a、132q、132v:第一訊號線路

134a、134q、134v:第一接地線路

140a、140c、140q、140v:第二外部線路層

142a、142q、142v:第二訊號線路

144a、144c、144q、144v:第二接地線路

150a、150b:第一導電通孔

160:第二導電通孔

165、167:填孔材料

168:第一側

169:第二側

170、172:第一罩蓋層

175、177:第二罩蓋層

180j、180k、180m、180n、280c、280d、280e:第二增層結構

層

182、282:第六介電層



184、284:第五線路層

185、285:第二導電盲孔

186:第七介電層

188:第六線路層

190:第三導電通孔

216a、216b、217a、218a:表面

219:第三開口

C:缺口

D1、D2:高度差

H1:第一開口

H2:第二開口

L11、L21、L31、L41:訊號路徑

L12、L13、L14、L15、L22、L32、L33、L42:接地路徑

T1、T2、T3:貫孔

M:導電材料

P:接墊

## 【發明申請專利範圍】

【請求項1】一種電路板結構，包括：

一基底，具有至少一第一開口且包括一核心層、一第一內層線路層、一第二內層線路層、一內層導電層、一第一介電層、一第二介電層、一第三介電層、一第一線路層、一第二線路層及一外層導電層，該第一內層線路層與該第二內層線路層配置於該核心層的相對兩側上，該核心層具有多個第二開口，而該內層導電層覆蓋該些第二開口的內壁且連接該第一內層線路層與該第二內層線路層，該第一介電層覆蓋該第一內層線路層且位於該第一內層線路層與該第一線路層之間，該第二介電層覆蓋該第二內層線路層且位於該第二內層線路層與該第二線路層之間，該至少一第一開口位於該些第二開口之間且貫穿該第一線路層、該第一介電層、該第一內層線路層、該核心層、該第二內層線路層及該第二介電層，而該外層導電層覆蓋該至少一第一開口的內壁且連接該第一線路層、該第一內層線路層、該第二內層線路層及該第二線路層，該第三介電層填滿該至少一第一開口；

一第一增層結構層，配置於該第一線路層上；

一第一外部線路層，配置於該第一增層結構層上；

一第二外部線路層，配置於該第二線路層上及部分該第三介電層上；

至少一第一導電通孔，貫穿該第一增層結構層及該第三介電層，且電性連接該第一外部線路層與該第二外部線路層，而定義

出一訊號路徑；以及

多個第二導電通孔，環繞該至少一第一導電通孔且貫穿該第一增層結構層、該第一線路層、該第一介電層、該第一內層線路層、該核心層、該第二內層線路層、該第二介電層及該第二線路層，且電性連接該第一外部線路層、該第一線路層、該第一內層線路層、該第二內層線路層及該第二線路層，該第一外部線路層、該第二導電通孔、該第一線路層、該外層導電層及該第二外部線路層定義出一第一接地路徑，且該第一接地路徑環繞該訊號路徑。

【請求項2】如請求項1所述的電路板結構，其中該第一增層結構層包括一第四介電層、一第三線路層、一第五介電層及一第四線路層，該第四介電層配置於該第一線路層上及該第三介電層上，該第三線路層配置於該第四介電層上，而該第五介電層配置於該第三線路層上與該第四介電層上，且該第四線路層配置於該第五介電層上，而該第一外部線路層配置於該第四線路層上。

【請求項3】如請求項2所述的電路板結構，更包括：

一第二增層結構層，配置於該第二線路層上及部分該第三介電層上，而該第二外部線路層位於該第二增層結構層上。

【請求項4】如請求項3所述的電路板結構，其中該第一增層結構層更包括至少一第一導電盲孔，貫穿該第五介電層與該第四線路層且電性連接該第一外部線路層、該第四線路層與該第三線路層，而該第二增層結構層更包括至少一第二導電盲孔，貫穿該第二增層結構層且電性連接該第二外部線路層與該第二線路層。

【請求項5】如請求項3所述的電路板結構，其中該第一增層結構層更包括至少一第一導電盲孔，貫穿該第五介電層與該第四介電層且電性連接該第一外部線路層與該第一線路層，而該第二增層結構層更包括至少一第二導電盲孔，貫穿該第二增層結構層且電性連接該第二外部線路層與該第二線路層。

【請求項6】如請求項2所述的電路板結構，其中該基底更具有至少一第三開口，貫穿該第一線路層、該第一介電層、該第一內層線路層、該核心層、該第二內層線路層、該第二介電層及該第二線路層，且連通該第四介電層與該第二外部線路層。

【請求項7】如請求項6所述的電路板結構，其中該第一增層結構層更包括至少一第一導電盲孔，貫穿該第五介電層與該第四線路層且電性連接該第一外部線路層、該第四線路層與該第三線路層。

【請求項8】如請求項2所述的電路板結構，更包括：

至少一接墊，配置於該第一增層結構層的該第四介電層內且連接該至少一第一導電通孔。

【請求項9】如請求項1所述的電路板結構，其中該外層導電層、該第二介電層及該第二線路層之間形成一缺口，而該第三介電層更填滿該缺口。

【請求項10】如請求項1所述的電路板結構，更包括：

一填孔材料，至少填滿該些第二導電通孔。

【請求項11】如請求項10所述的電路板結構，其中該填孔材料更填滿該至少一第一導電通孔。

【請求項12】如請求項11所述的電路板結構，更包括：

- 一第一罩蓋層，覆蓋該第一外部線路層；以及
- 一第二罩蓋層，覆蓋該第二外部線路層，其中該第一罩蓋層與該第二罩蓋層分別覆蓋該填孔材料的兩端。

【請求項13】如請求項11所述的電路板結構，更包括：

- 一第一罩蓋層，覆蓋該第一外部線路層；以及
- 一第二罩蓋層，覆蓋該第二外部線路層，其中該第一罩蓋層與該第二罩蓋層分別覆蓋填滿該至少一第一導電通孔的該填孔材料的兩端，且暴露出位於該些第二導電通孔的該填孔材料的兩端。

【請求項14】如請求項1所述的電路板結構，其中該至少一第一導電通孔包括二第一導電通孔。

【請求項15】如請求項14所述的電路板結構，更包括：

- 一填孔材料，至少填滿該些第二導電通孔。

【請求項16】如請求項15所述的電路板結構，更包括：

- 一第一罩蓋層，覆蓋該第一外部線路層；以及
- 一第二罩蓋層，覆蓋該第二外部線路層，其中該第一罩蓋層與該第二罩蓋層至少分別覆蓋填滿該些第一導電通孔的該填孔材料的兩端。

【請求項17】如請求項14所述的電路板結構，更包括：

- 一第三導電通孔，貫穿該第一增層結構層、該第一線路層、該第一介電層、該第一內層線路層、該核心層、該第二內層線路層、該第二介電層及該第二線路層，且電性連接該第一外部線路

層、該第一線路層、該第一內層線路層、該第二內層線路層以及該第二線路層，該第三導電通孔位於該些第一導電通孔之間，且該第一外部線路層、該第三導電通孔、該第一線路層、該外層導電層及該第二外部線路層定義出一第二接地路徑，而該訊號路徑位於該第一接地路徑與該第二接地路徑之間。

**【請求項18】**如請求項17所述的電路板結構，更包括：

一填充材料，至少填滿該些第二導電通孔與該第三導電通孔。

**【請求項19】**如請求項18所述的電路板結構，更包括：

一第一罩蓋層，覆蓋該第一外部線路層；以及

一第二罩蓋層，覆蓋該第二外部線路層，其中該第一罩蓋層與該第二罩蓋層至少分別覆蓋填滿該些第一導電通孔的該填充材料的兩端。

**【請求項20】**如請求項1所述的電路板結構，其中該第一外部線路層包括一第一訊號線路與一第一接地線路，而該第二外部線路層包括一第二訊號線路與一第二接地線路，該第一訊號線路、該至少一第一導電通孔以及該第二訊號線路定義出該訊號路徑，該第一接地線路、各該第二導電通孔、該第一線路層、該外層導電層以及該第二接地線路定義出該第一接地路徑。

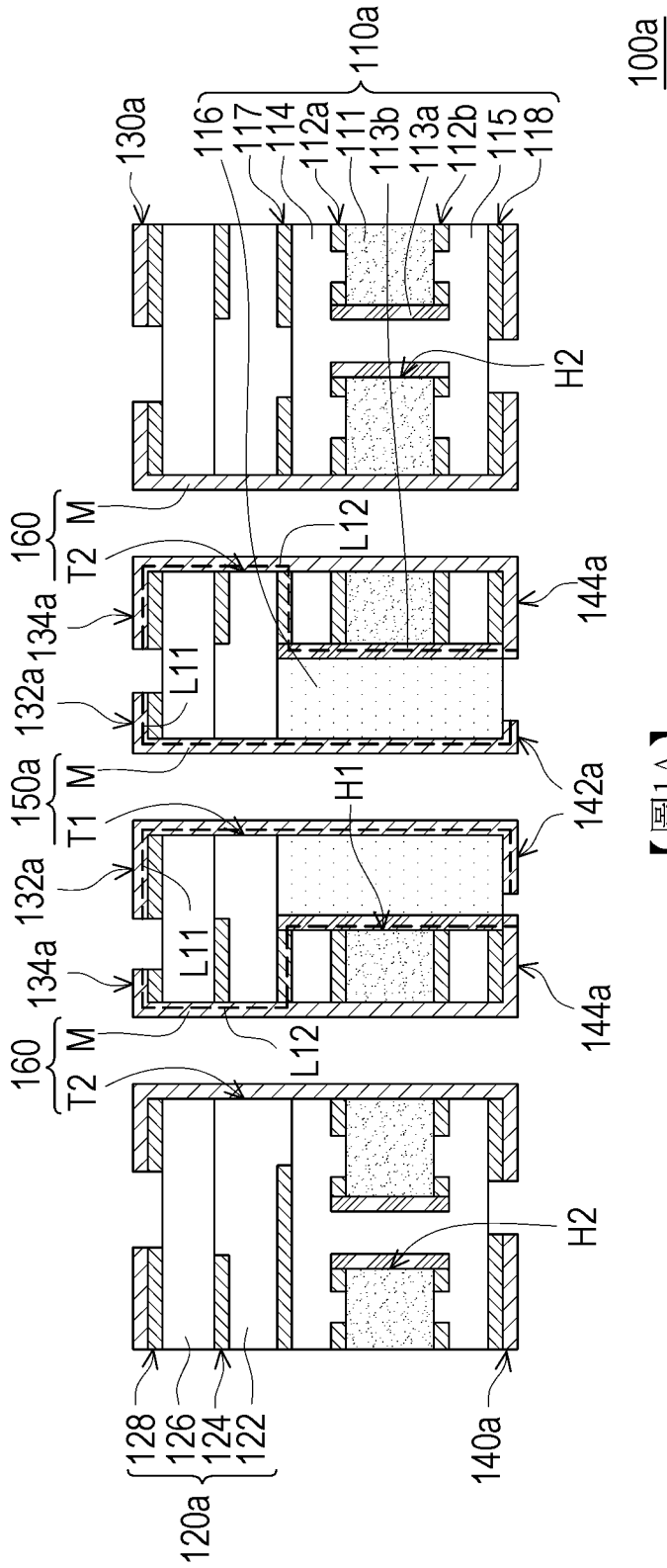
**【請求項21】**如請求項1所述的電路板結構，更包括：

一填充材料，至少填滿該些第二導電通孔，其中該第一增層結構層包括一第四介電層、一第三線路層、一第五介電層及一第四線路層，該第四介電層配置於該第一線路層上及該第三介電層

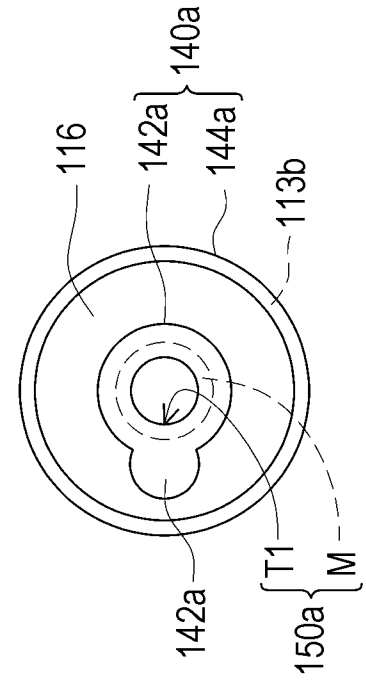
上，該第三線路層配置於該第四介電層上，而該第五介電層配置於該第三線路層上與該第四介電層上，且該第四線路層配置於該第五介電層上，而該第一外部線路層配置於該第四線路層上，該填孔材料彼此相對的一第一側與一第二側分別與該第五介電層的一第一表面及該第二介電層的一第二表面具有一高度差，而該高度差範圍為大於負30微米至小於正30微米之間。

【請求項22】如請求項1所述的電路板結構，其中該第三介電層內凹在該第一線路層的表面與該第二線路層的表面之間，並該第三介電層的表面與該第二線路層的表面之間具有一高度差，而該高度差範圍為大於負30微米至等於0微米之間。

【發明圖式】

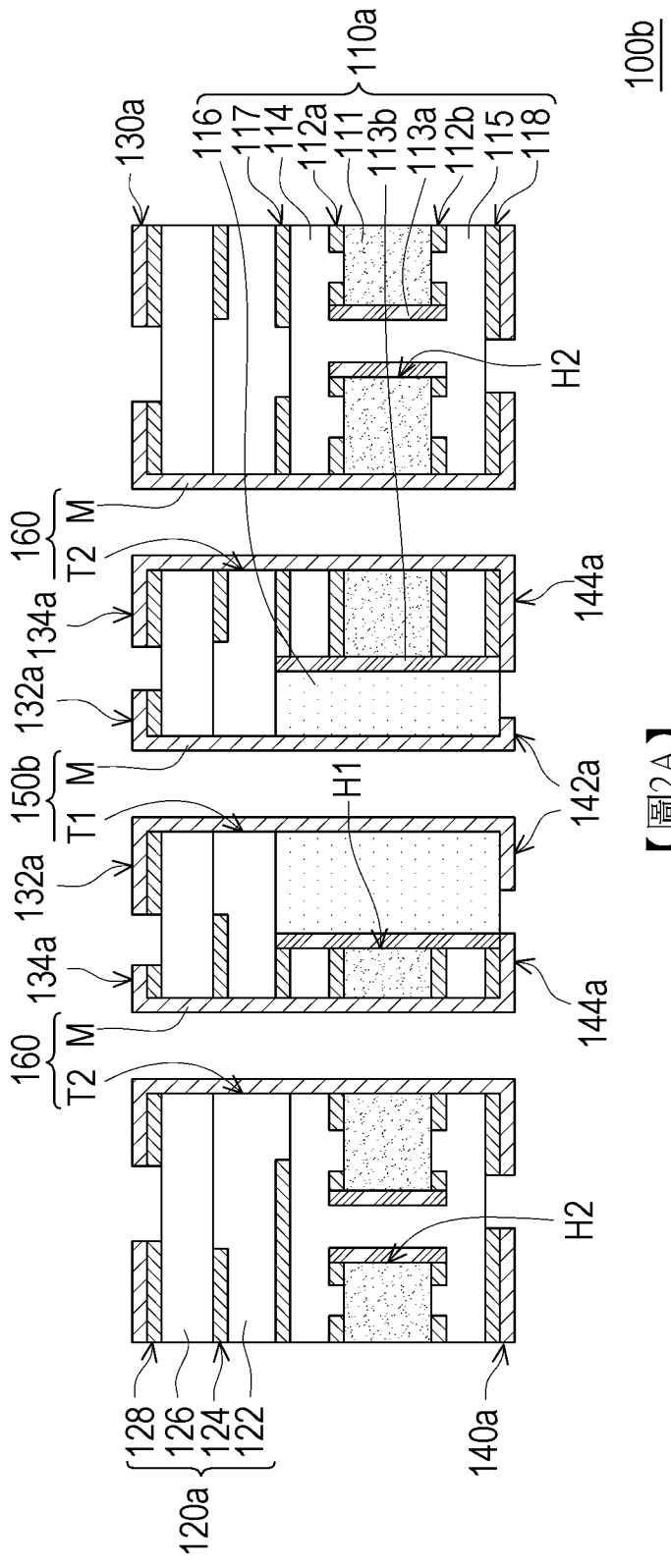


【圖1A】

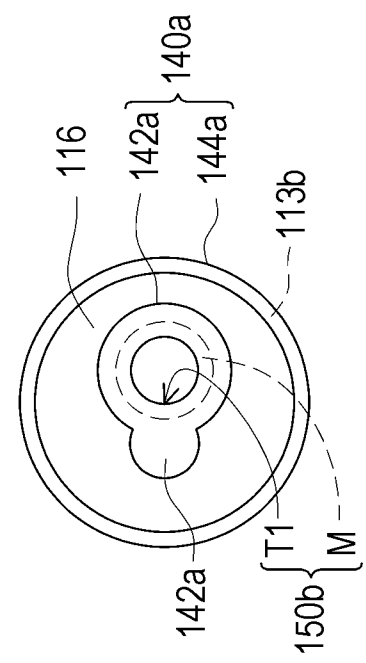


【圖1B】

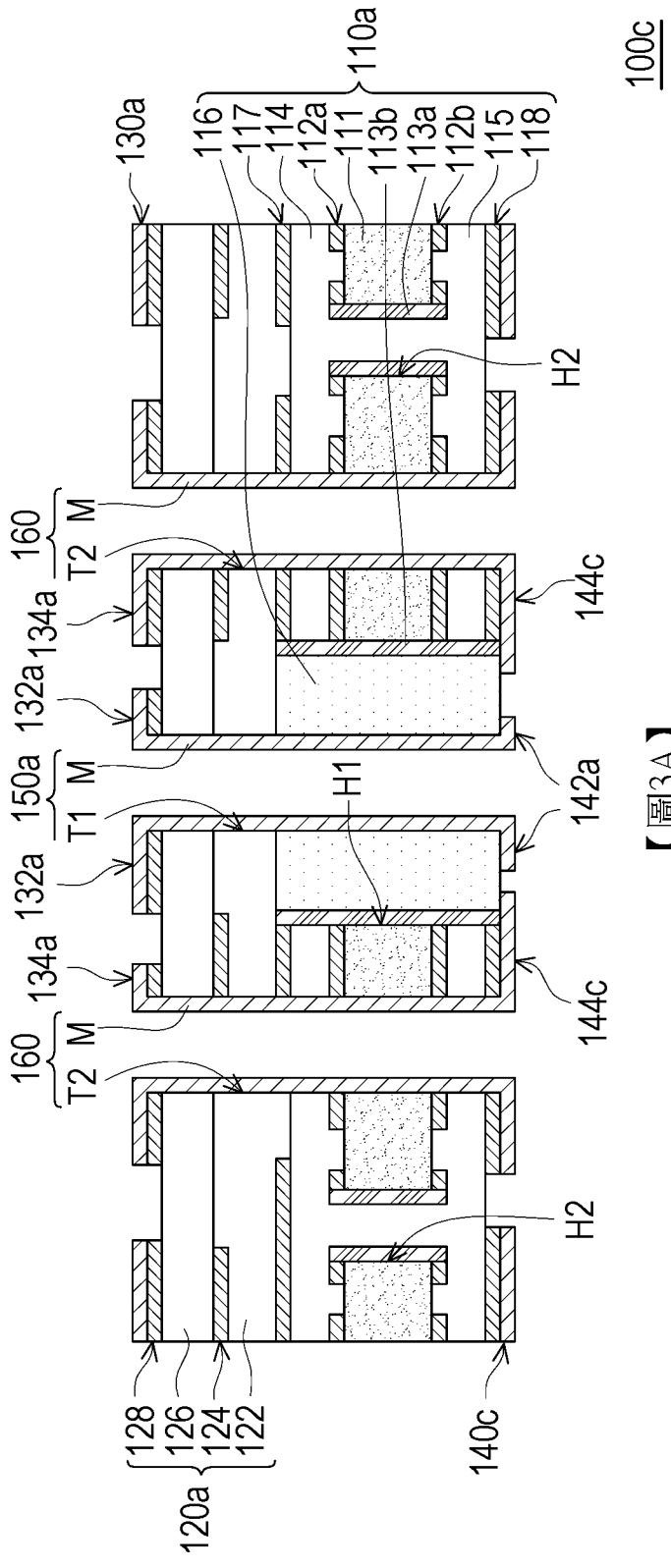




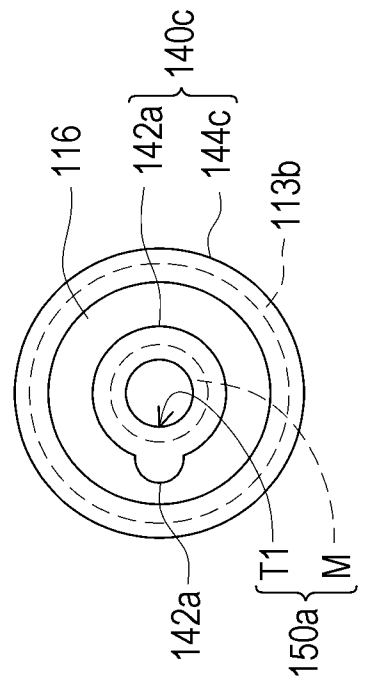
【圖2A】



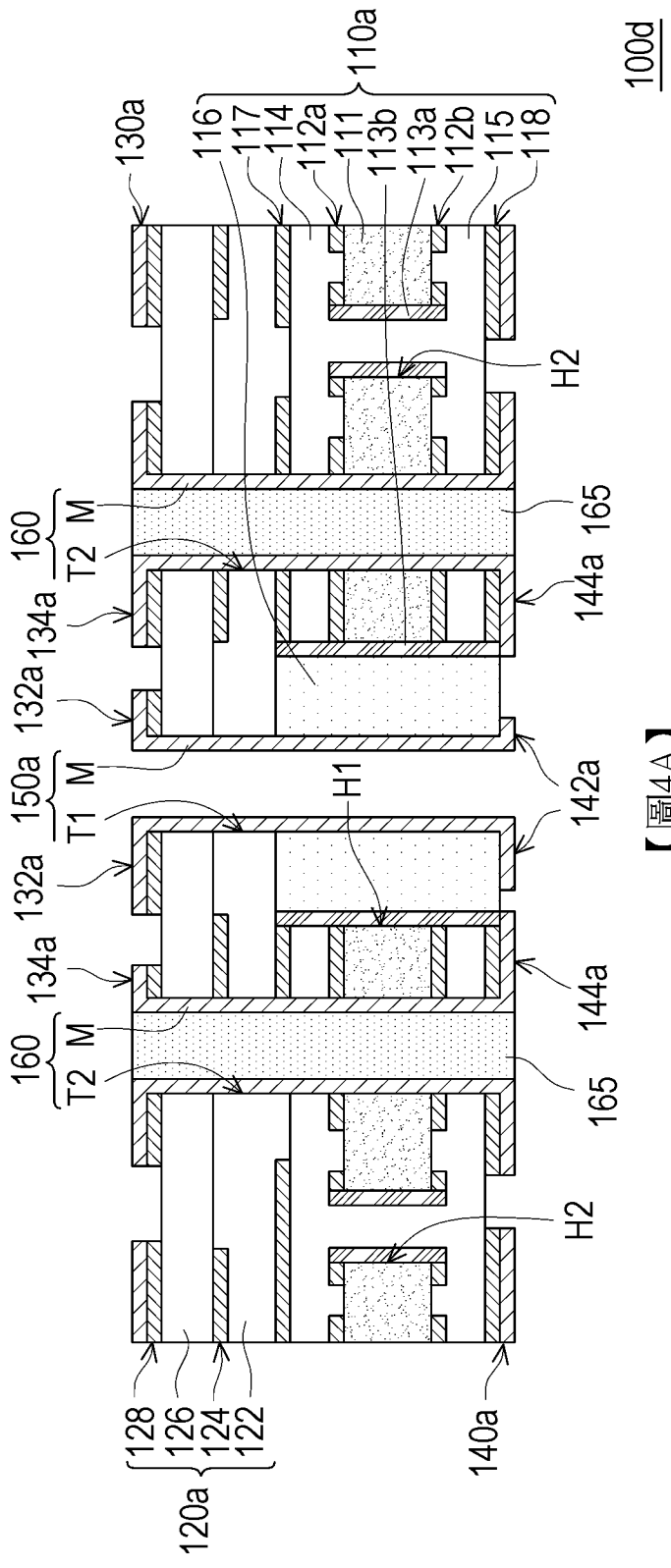
【圖2B】



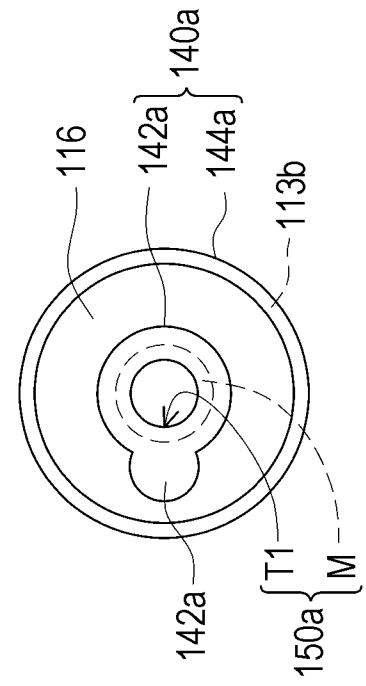
【圖3A】



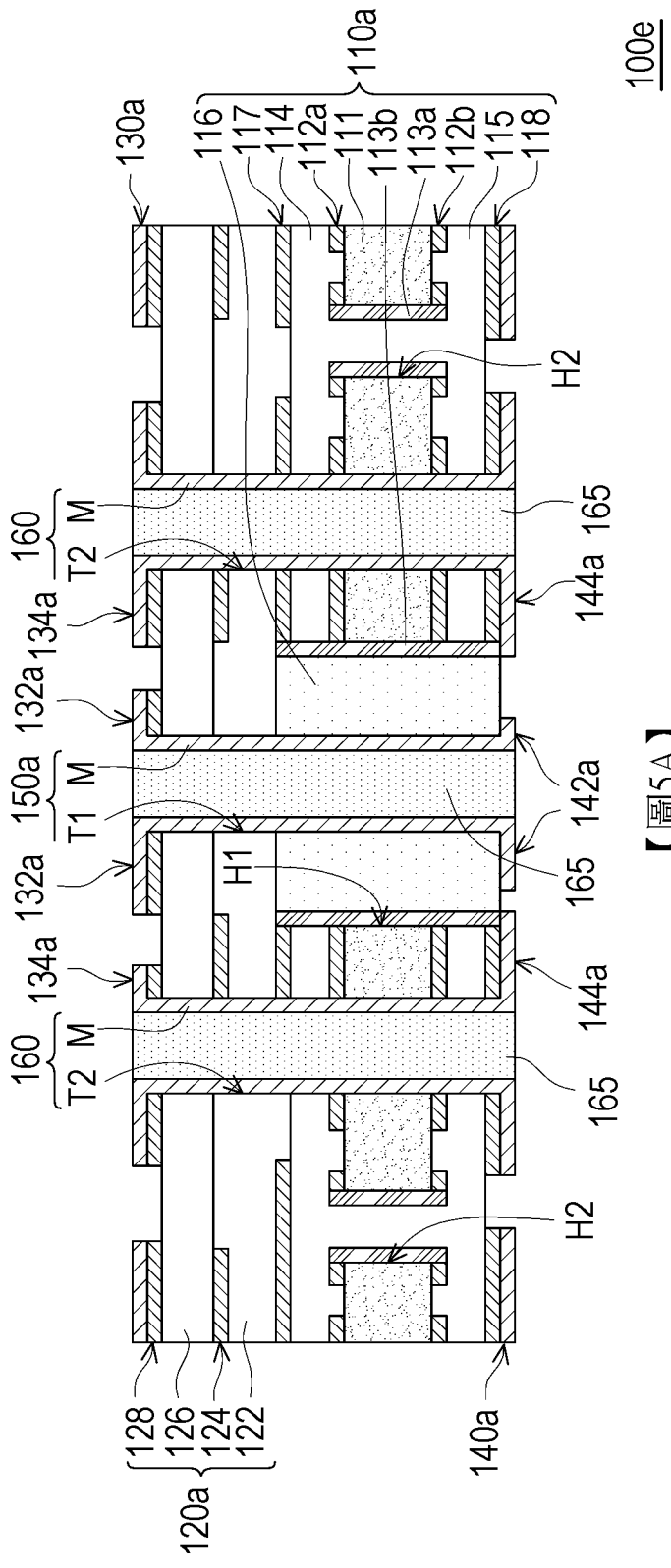
【圖3B】



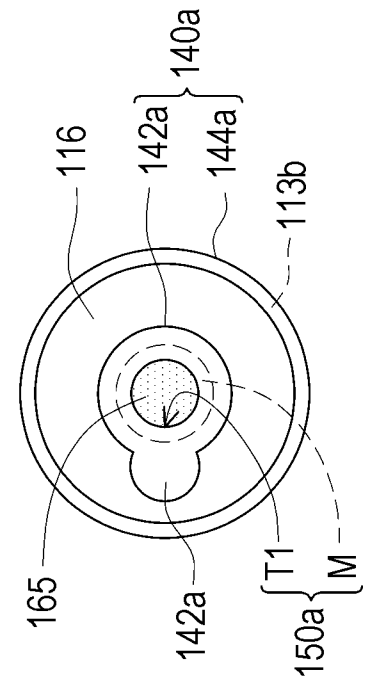
【圖4A】



【圖4B】

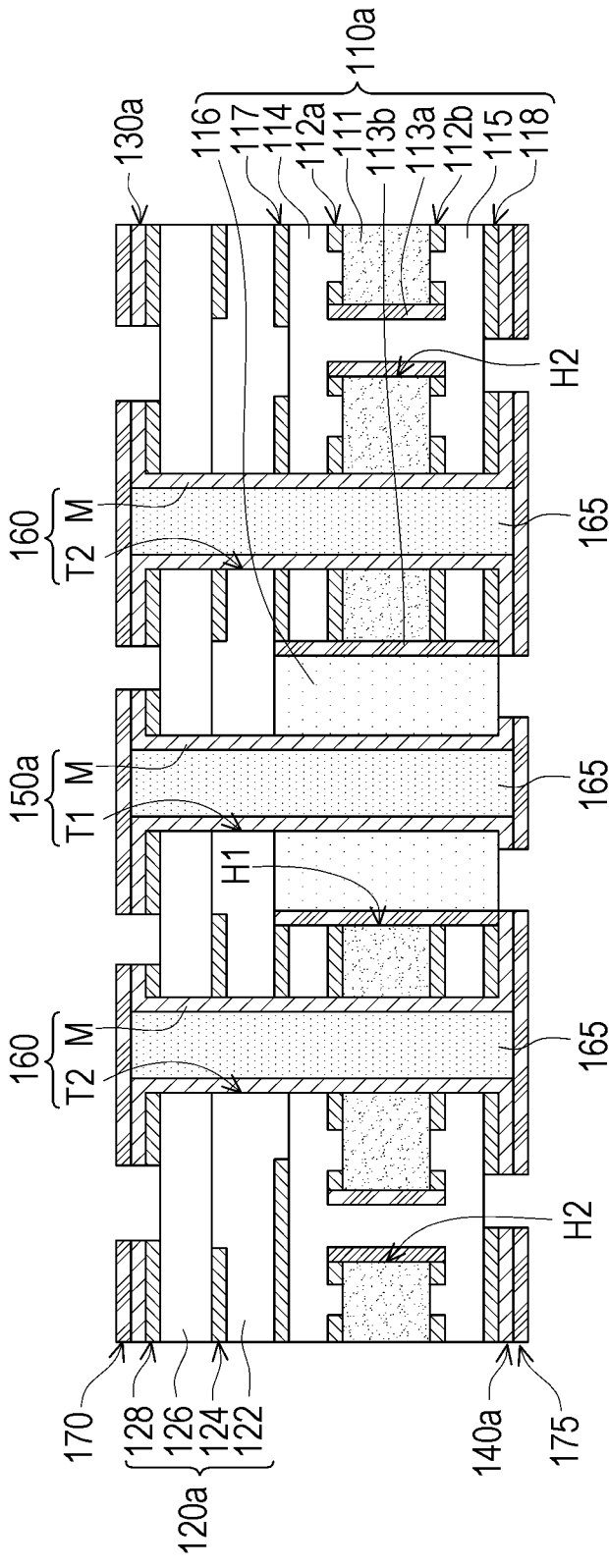


【圖5A】



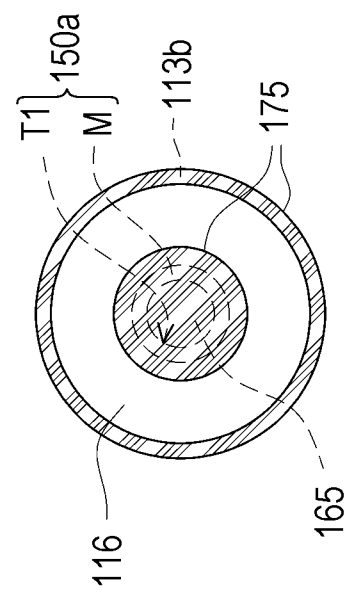
【圖5B】

100e



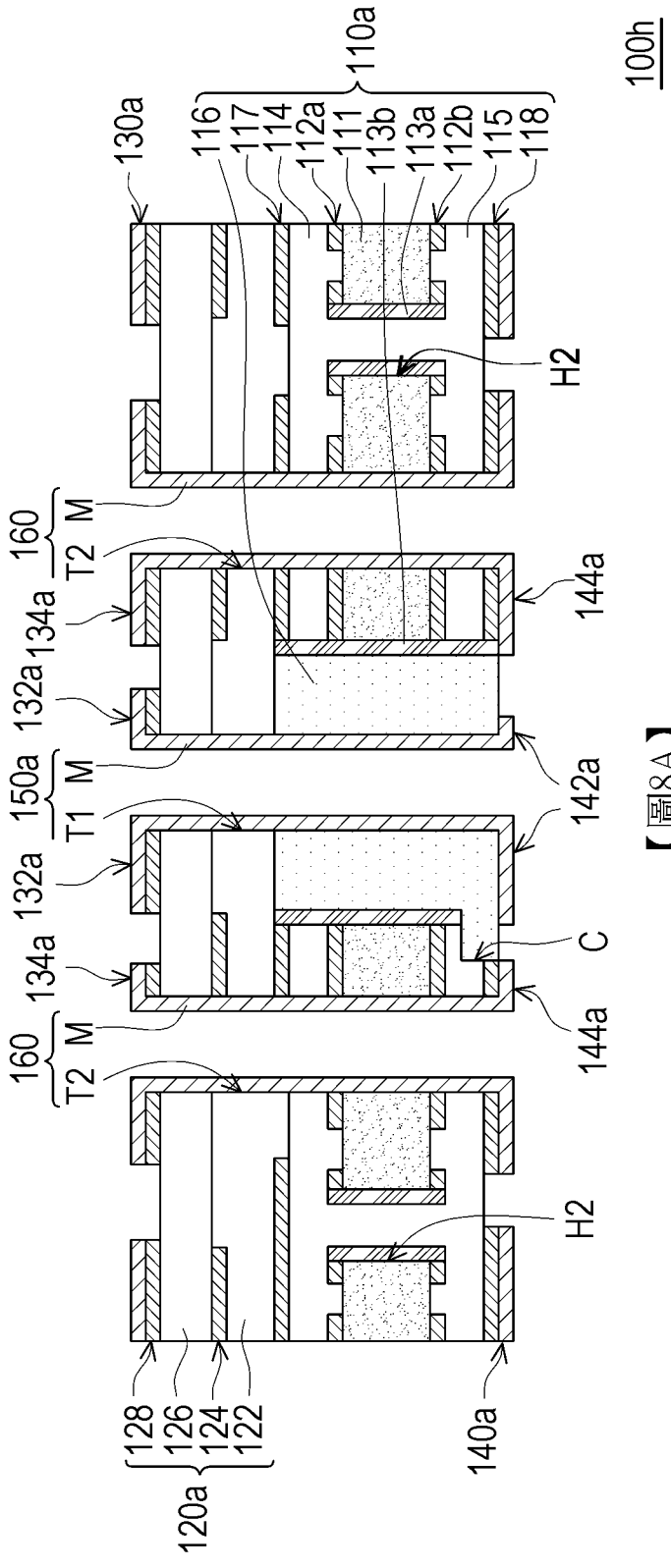
100f

【圖6A】

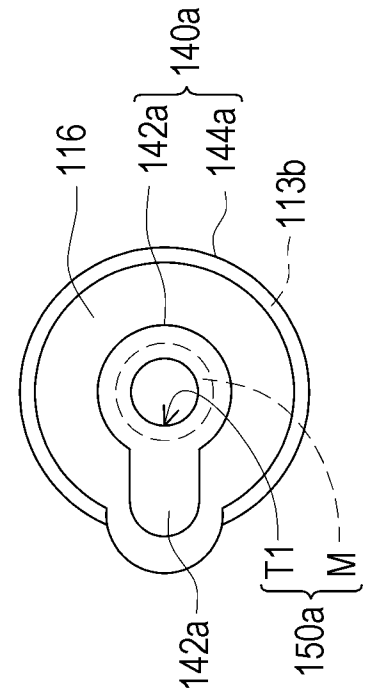


【圖6B】

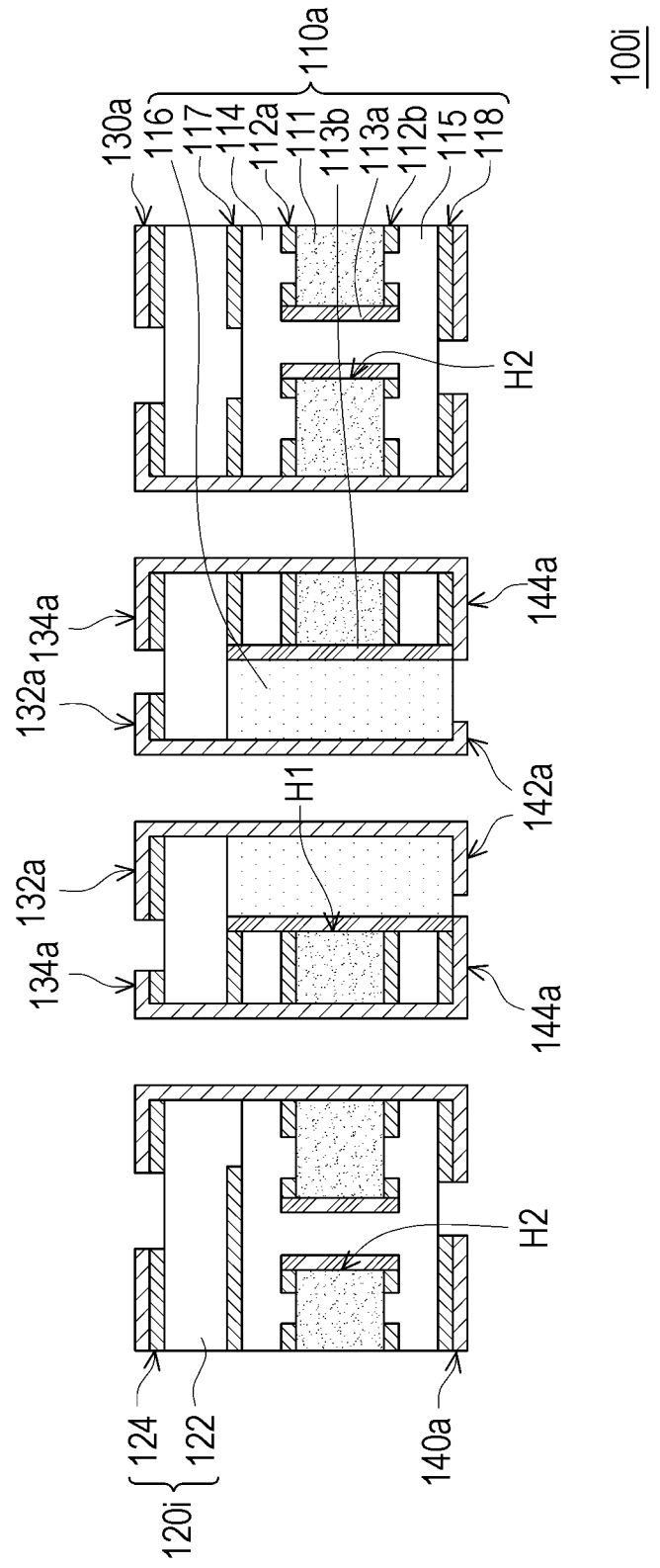




【圖8A】

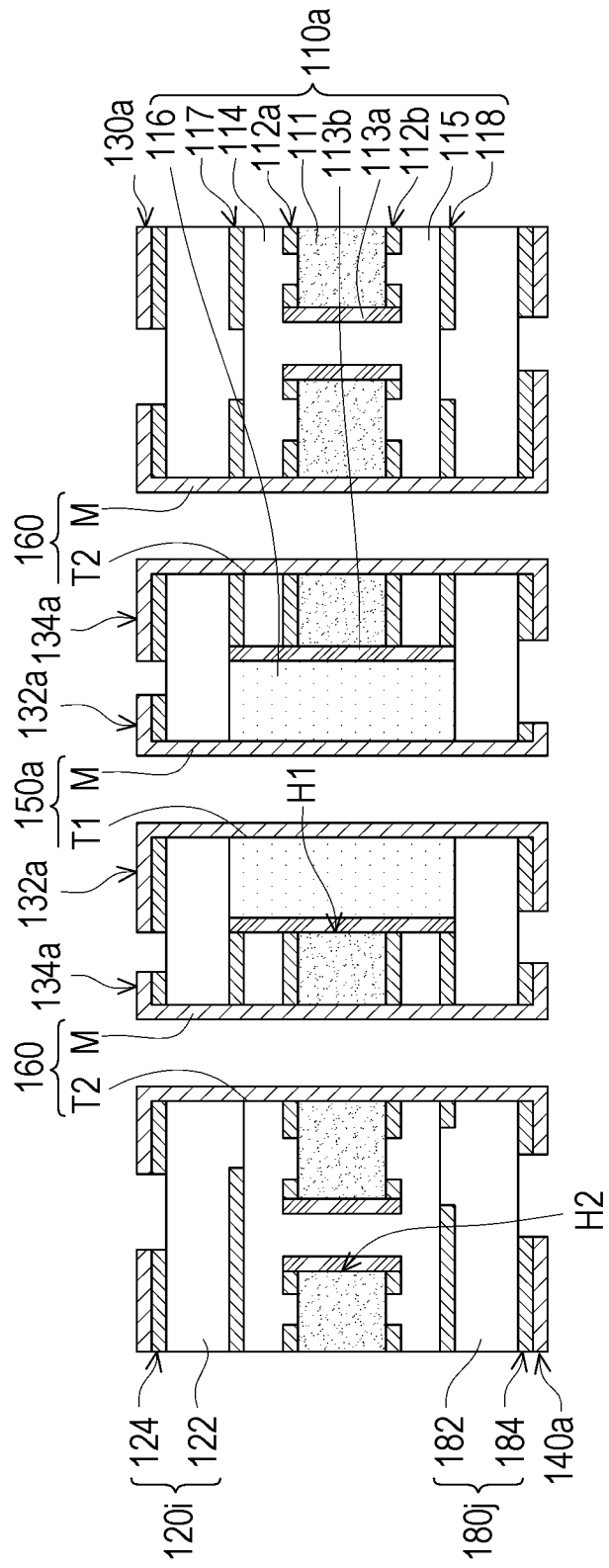


【圖8B】



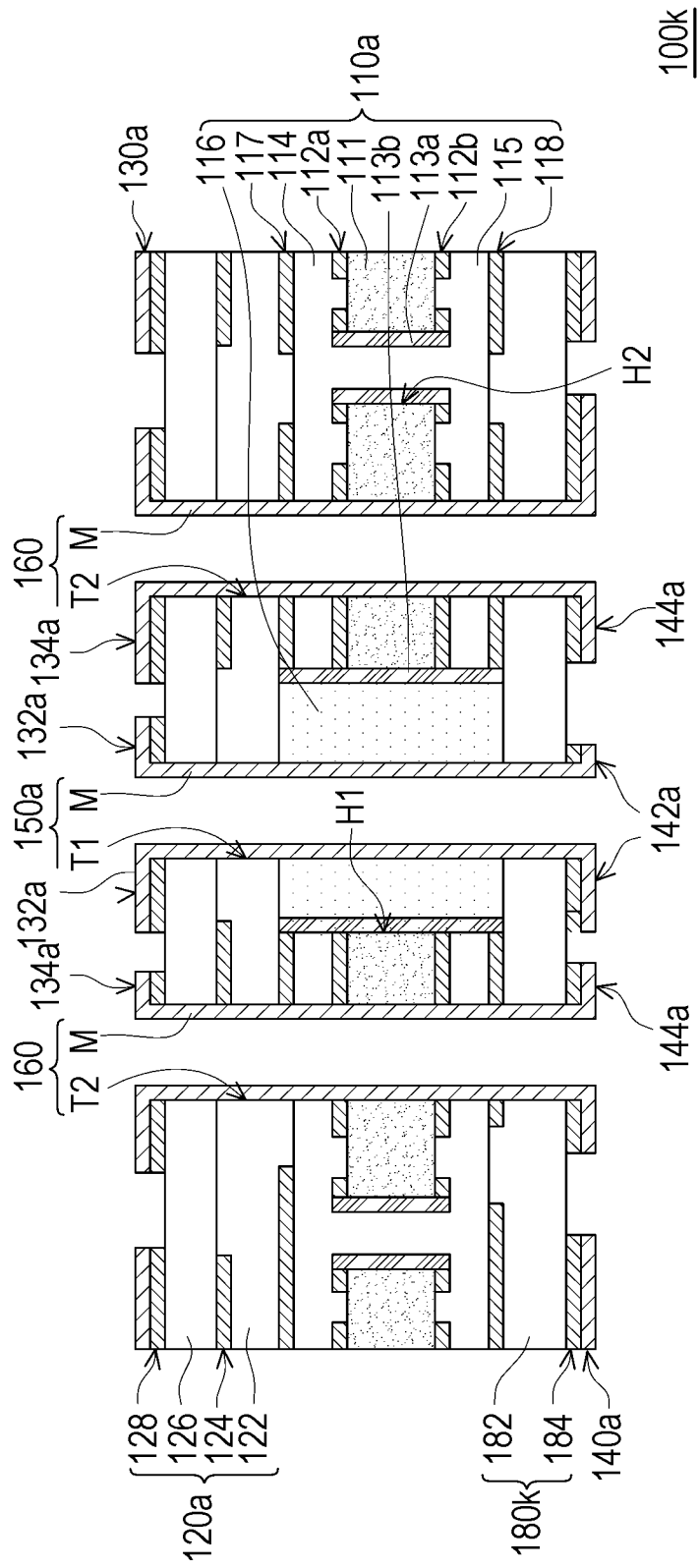
【圖9】



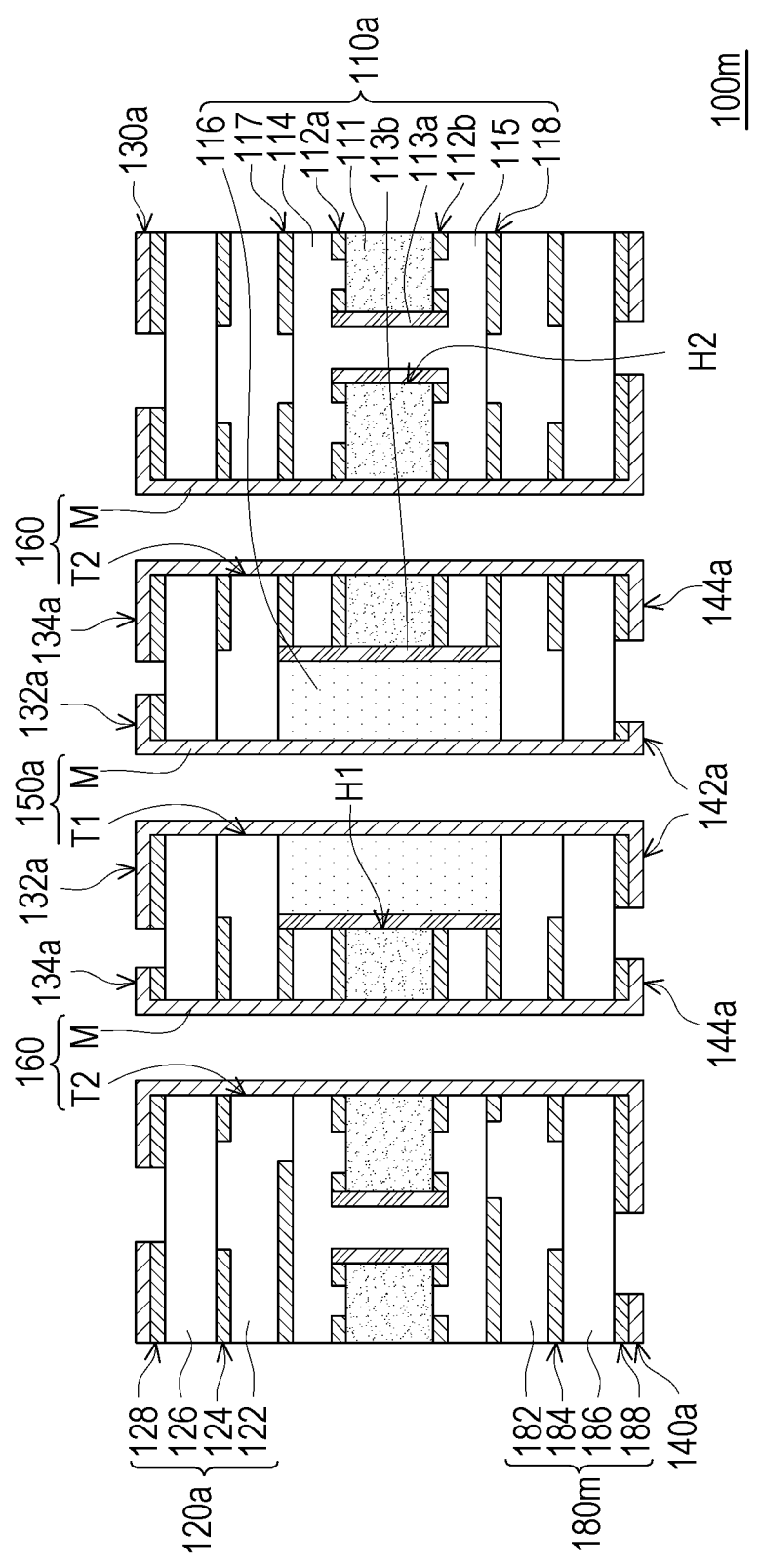


100j

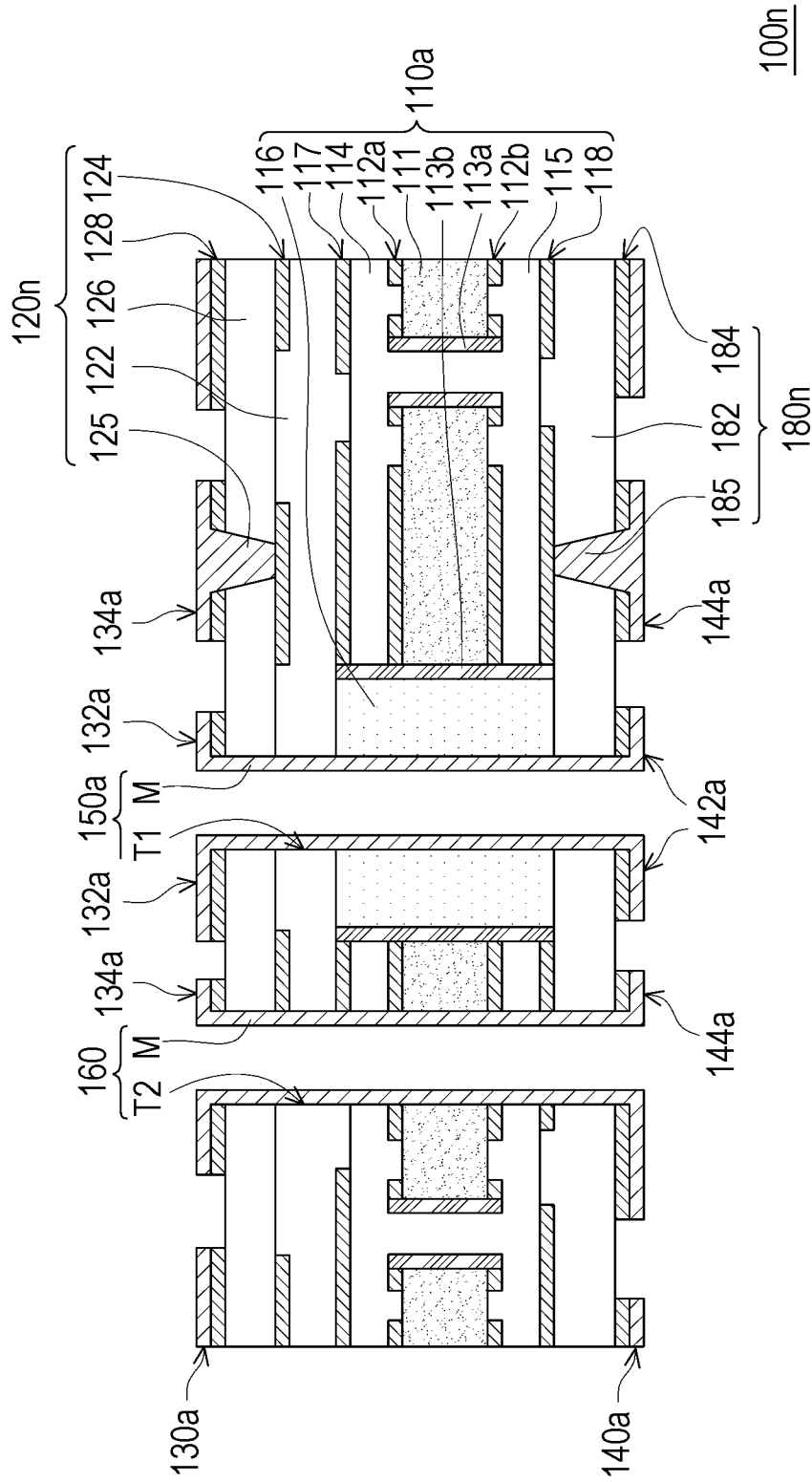
【圖10】



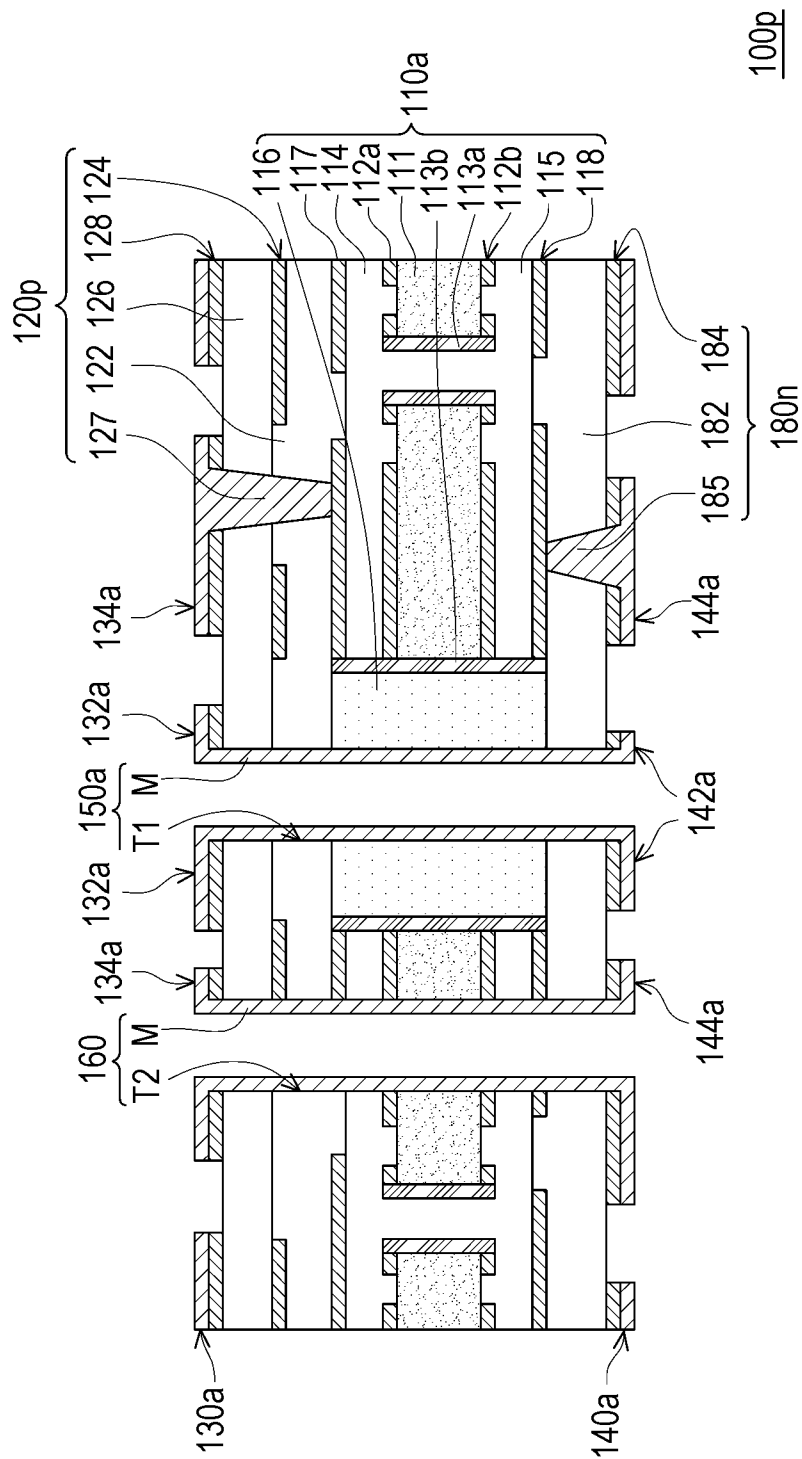
【圖11】



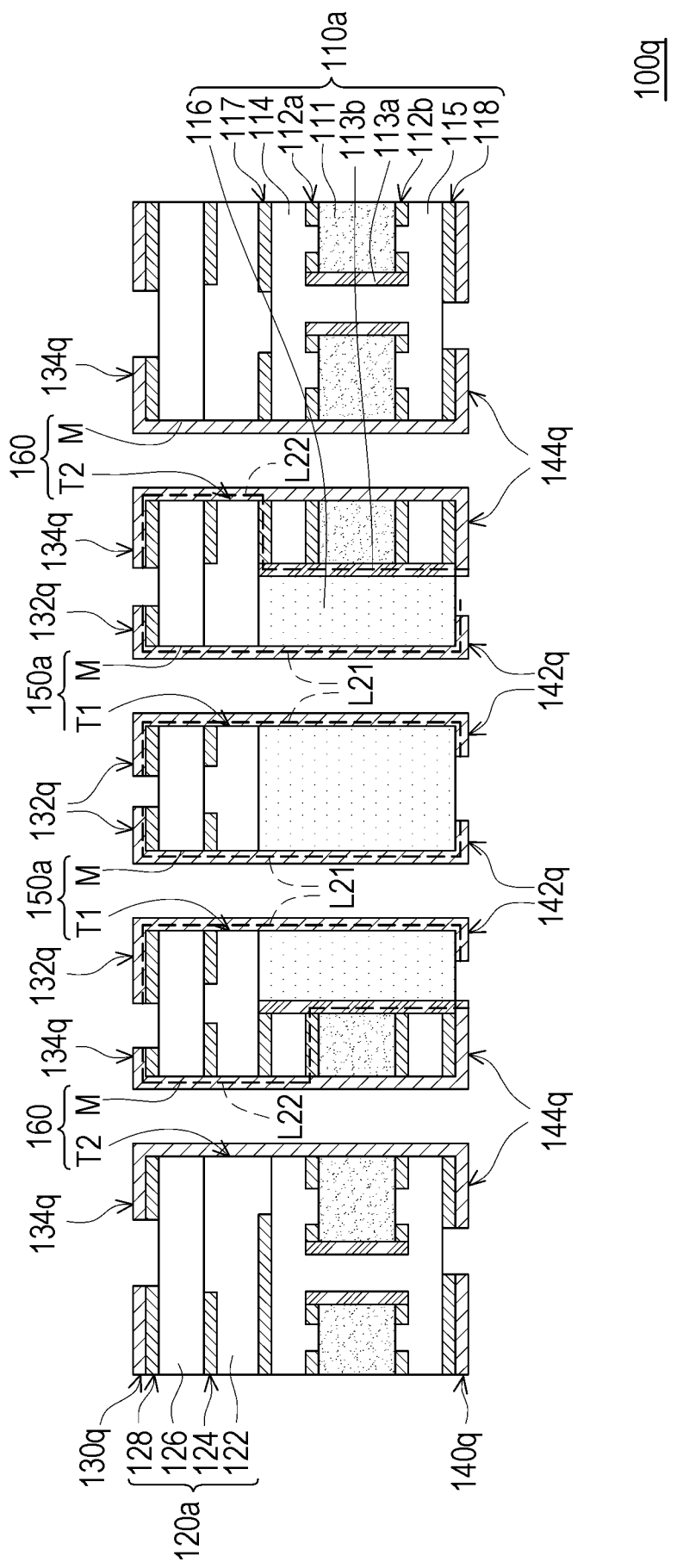
【圖12】



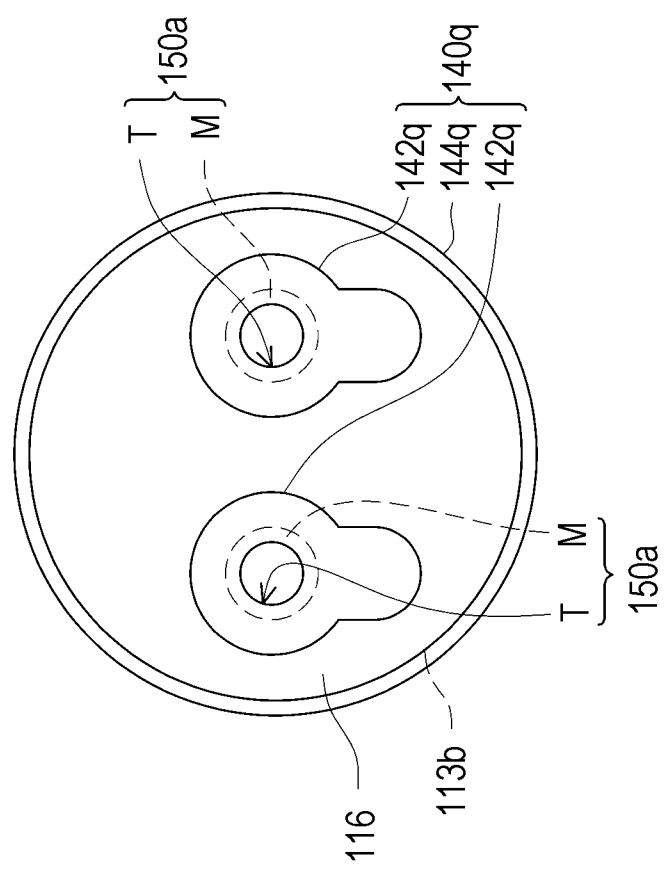
【圖13】



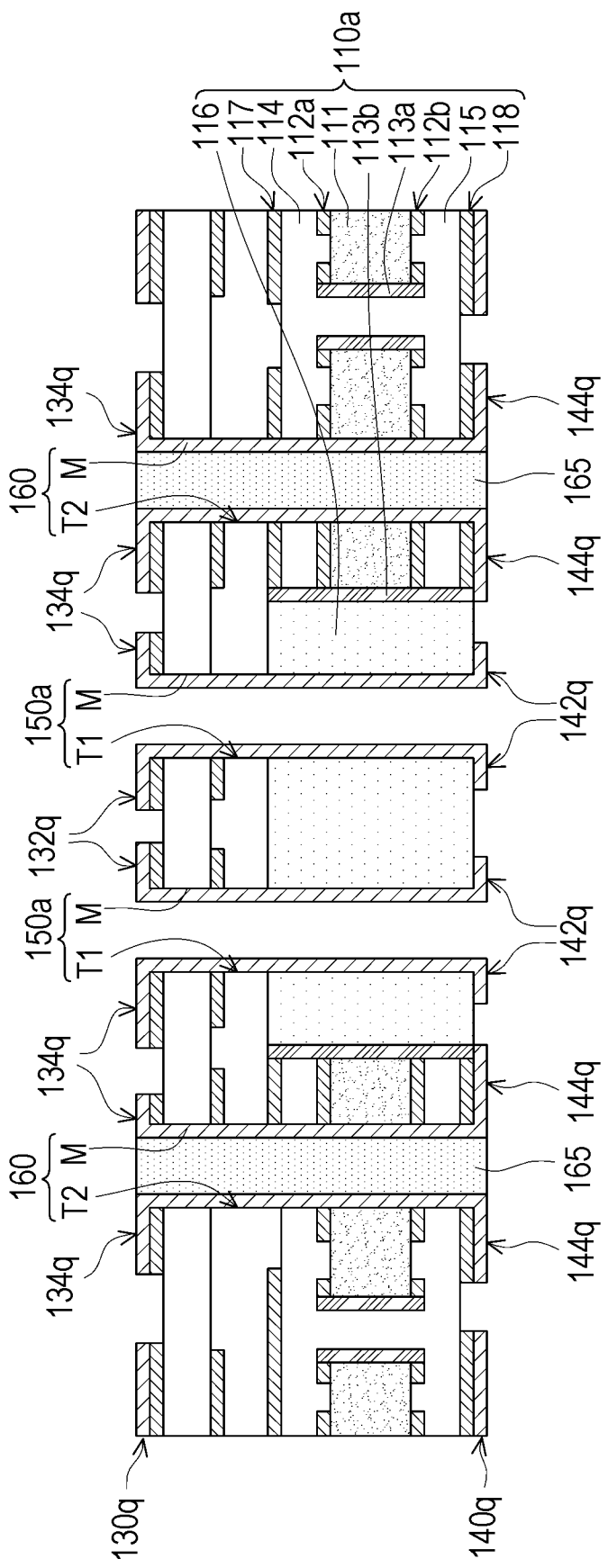
【圖14】



【圖15A】



【圖15B】

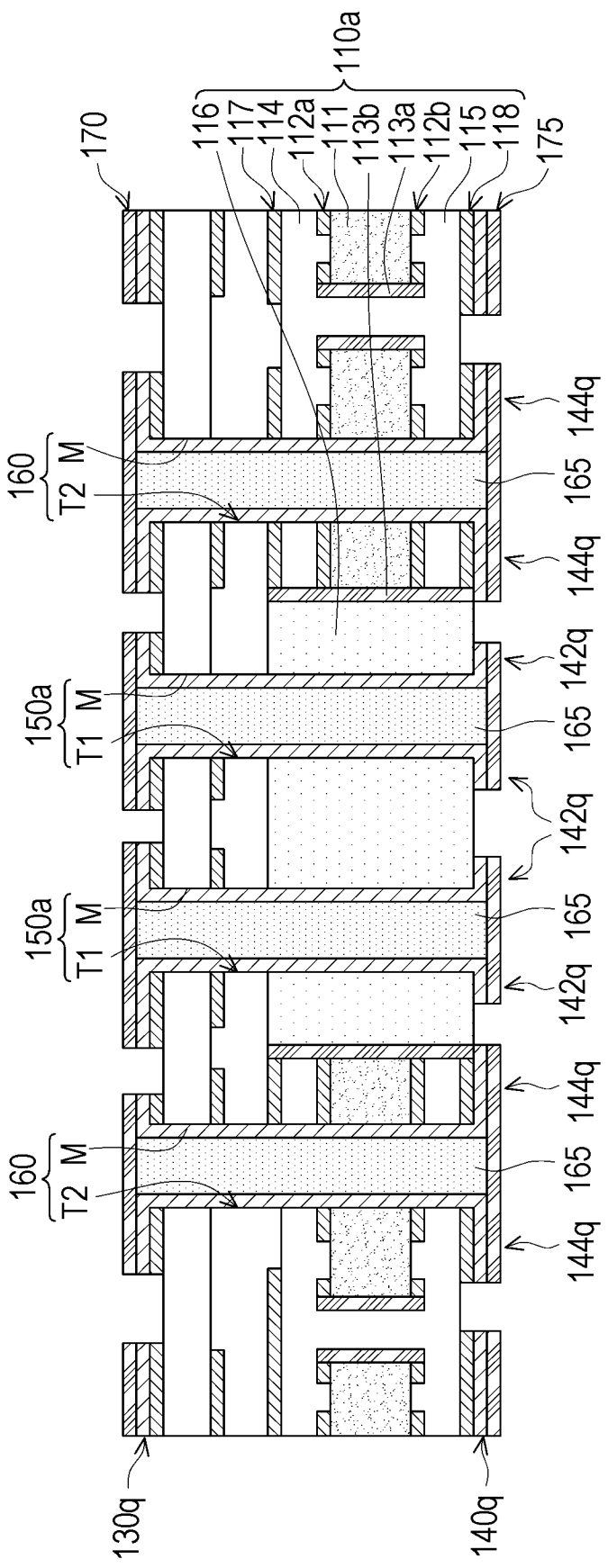


100r

【圖16】

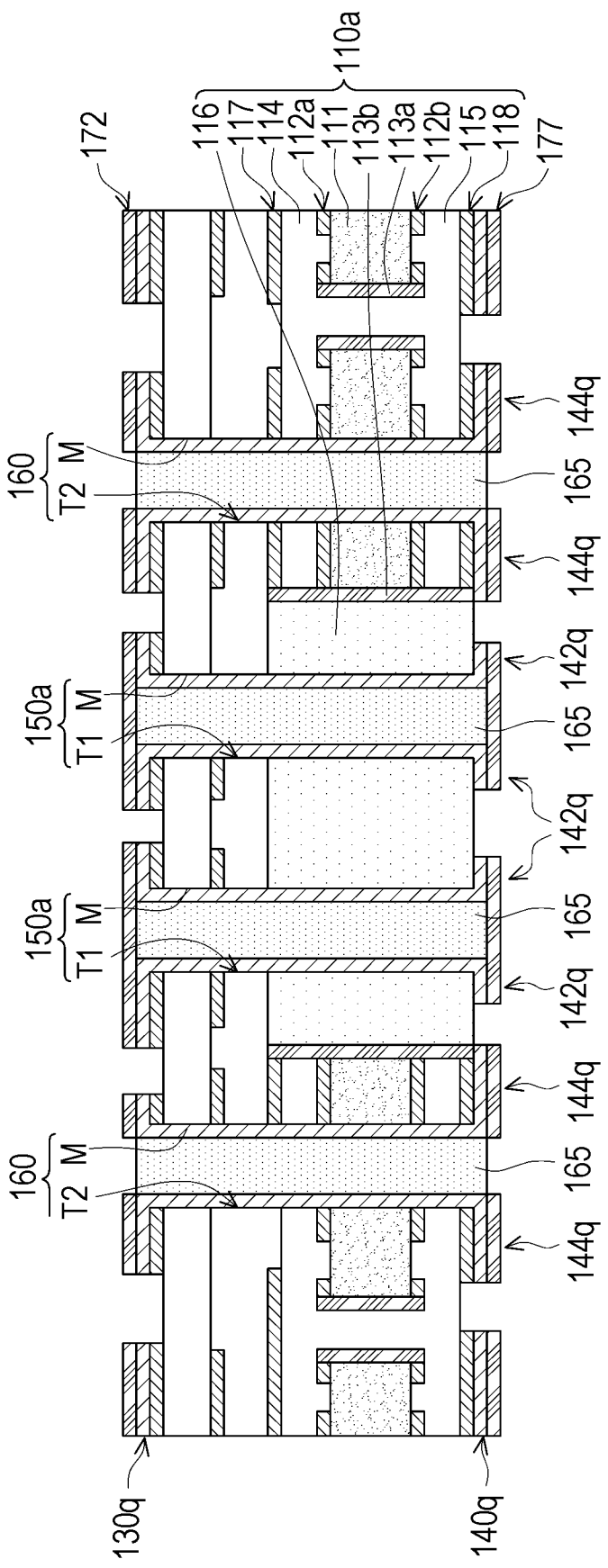






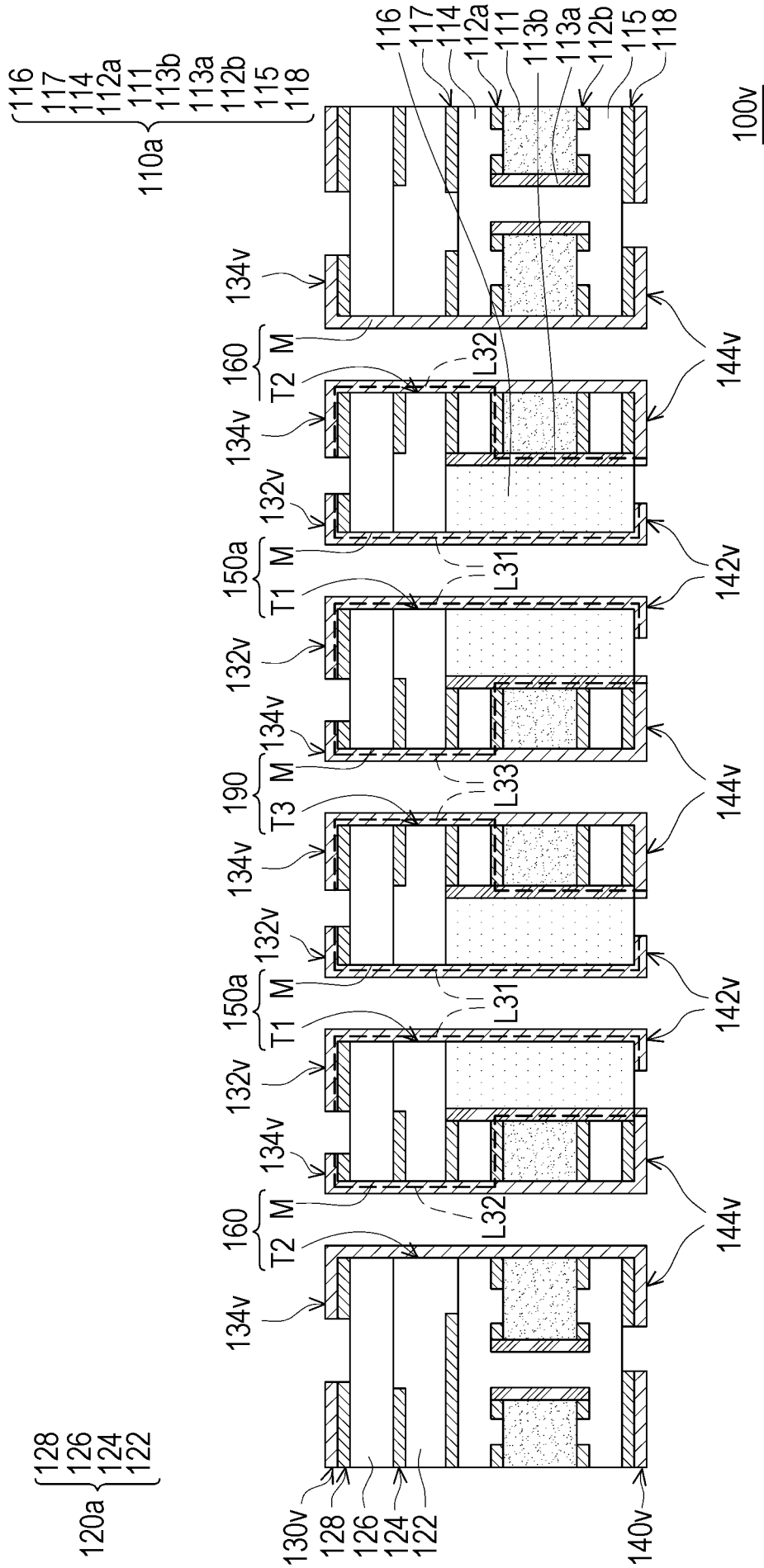
100t

【圖18】



100u

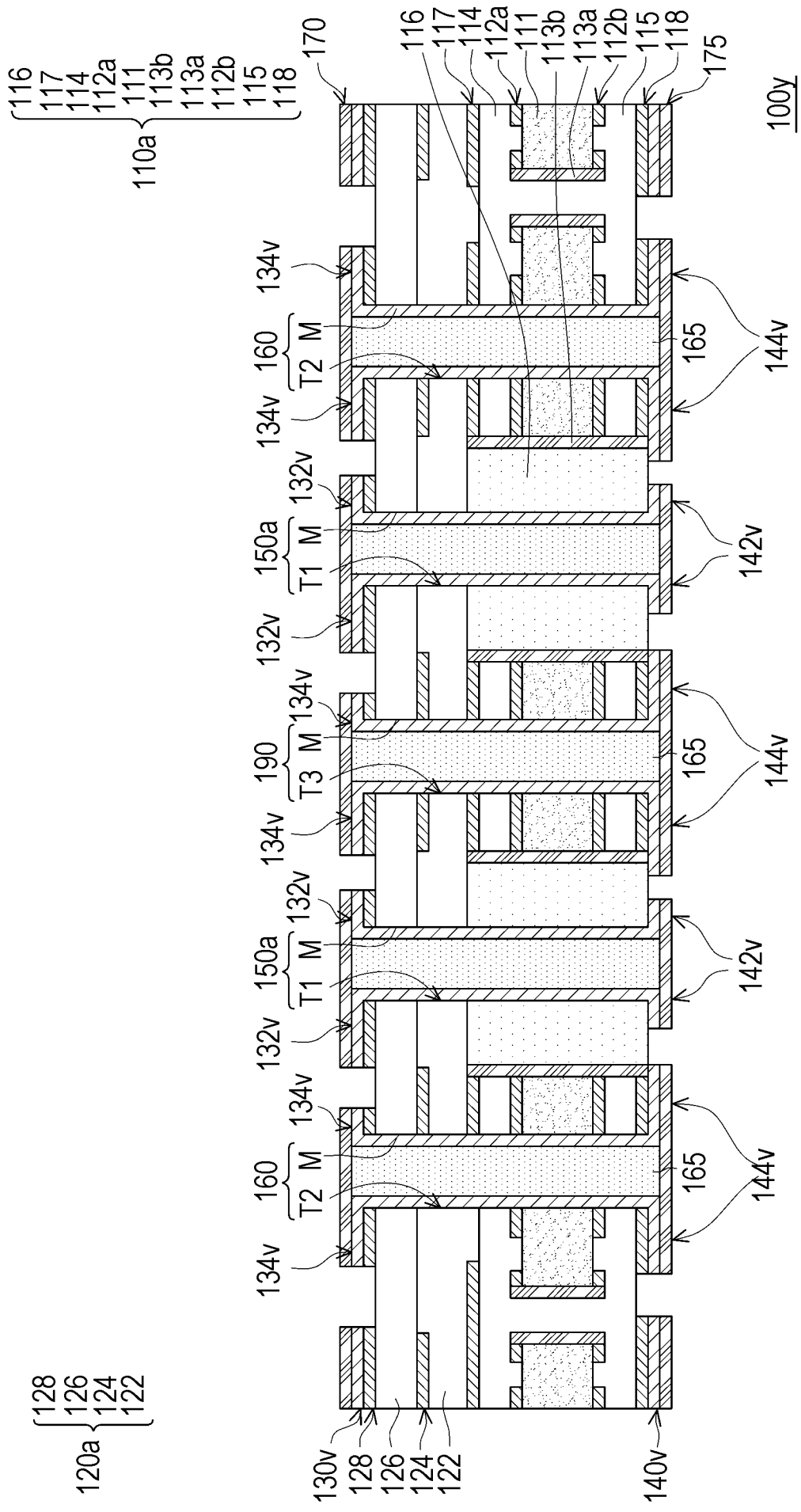
【圖19】



【圖20】



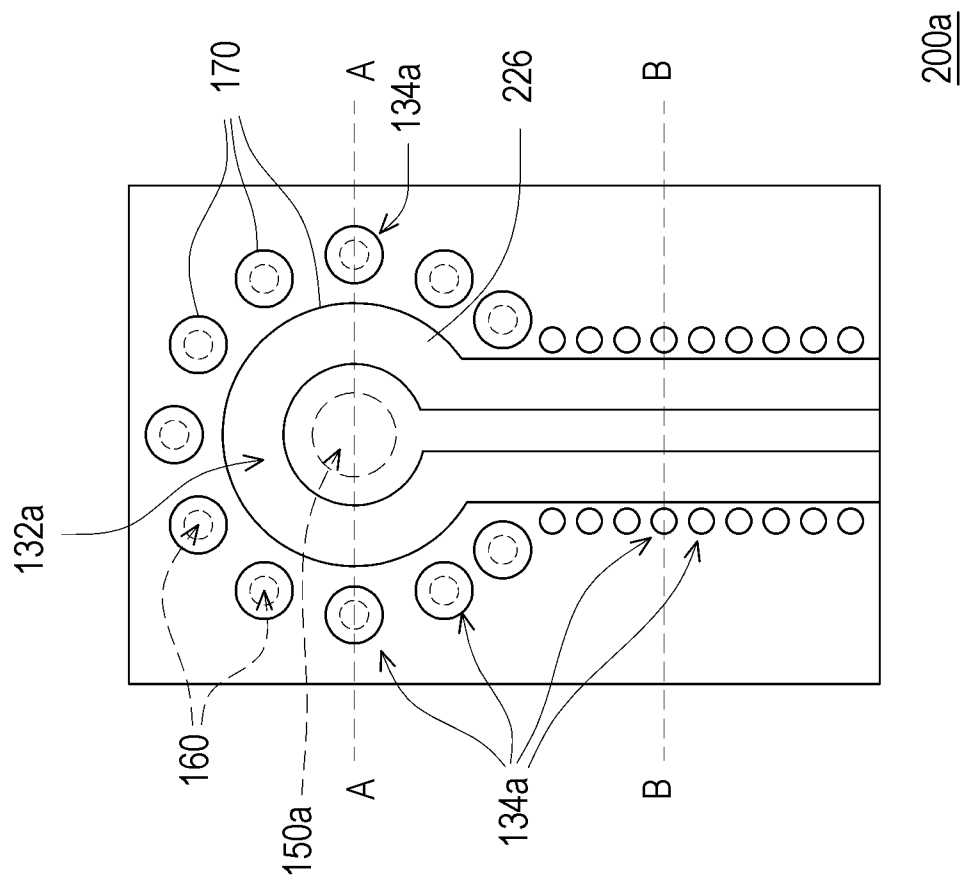




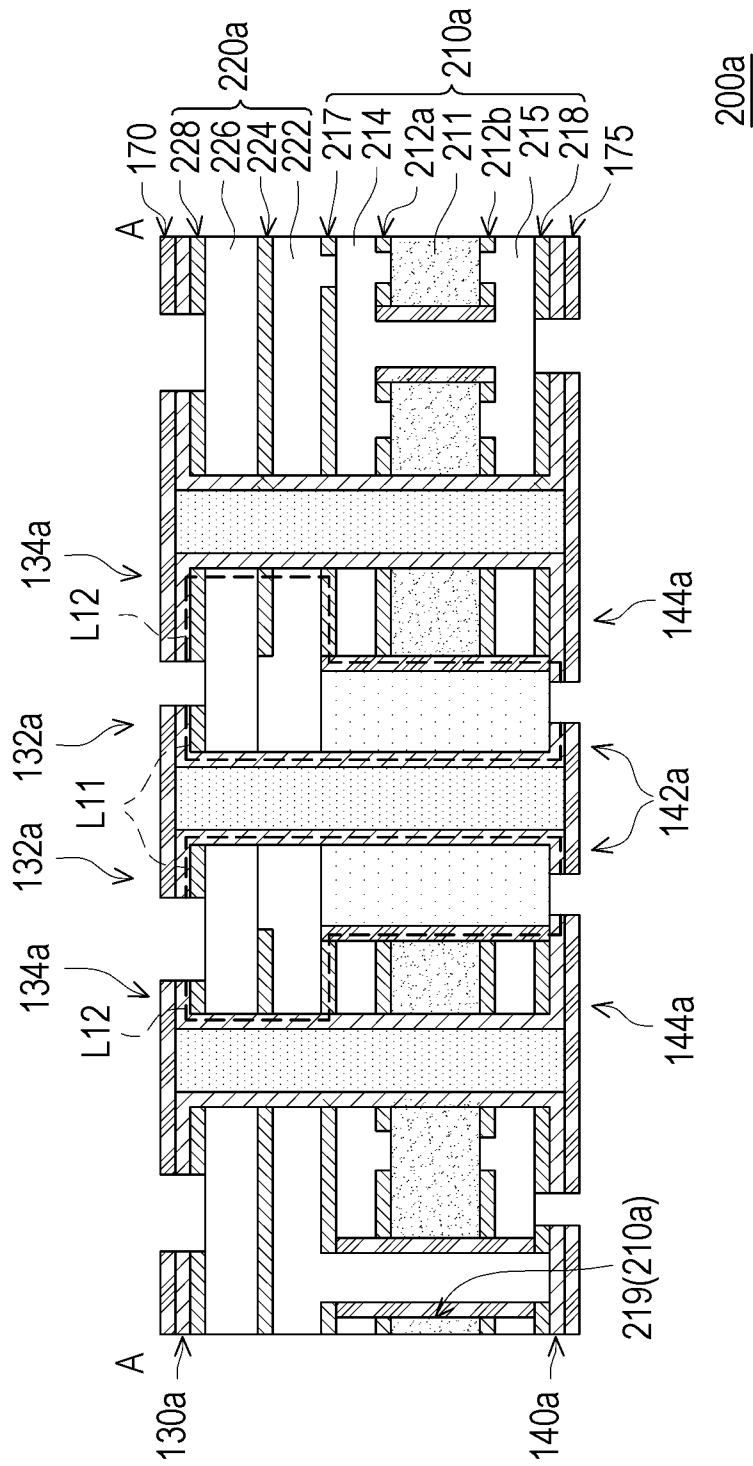
【圖23】



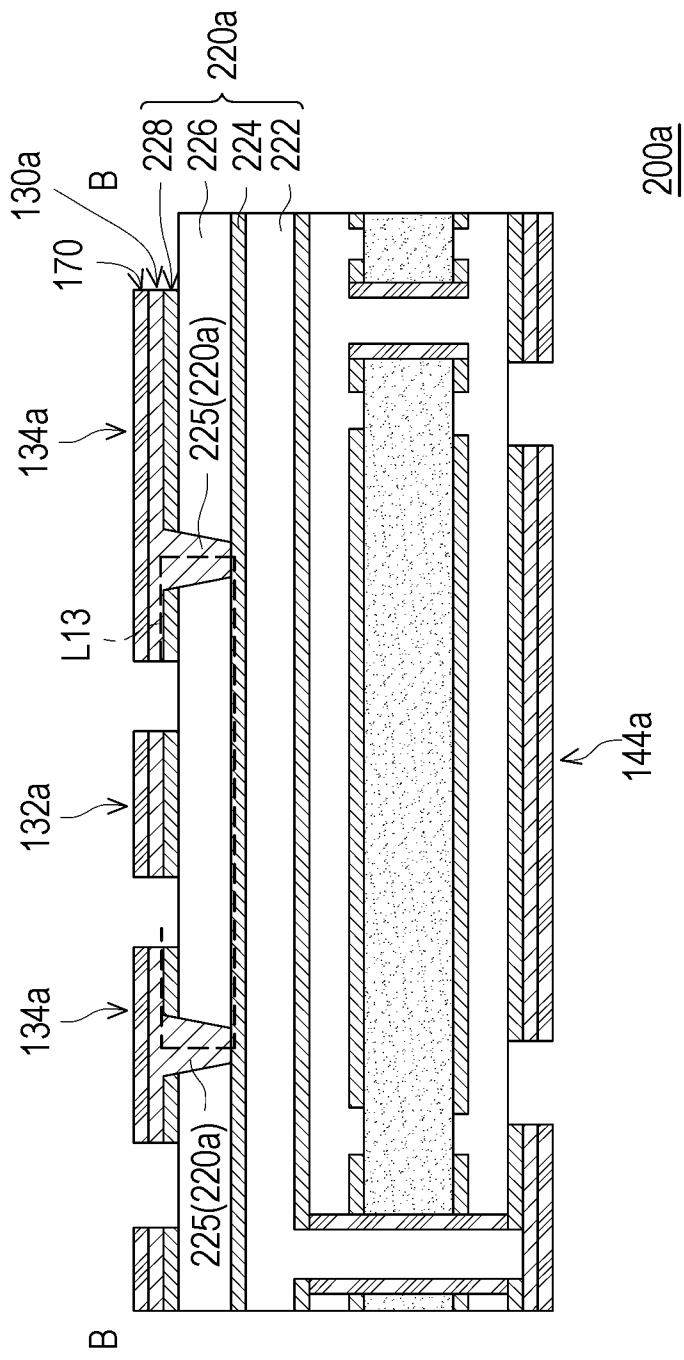




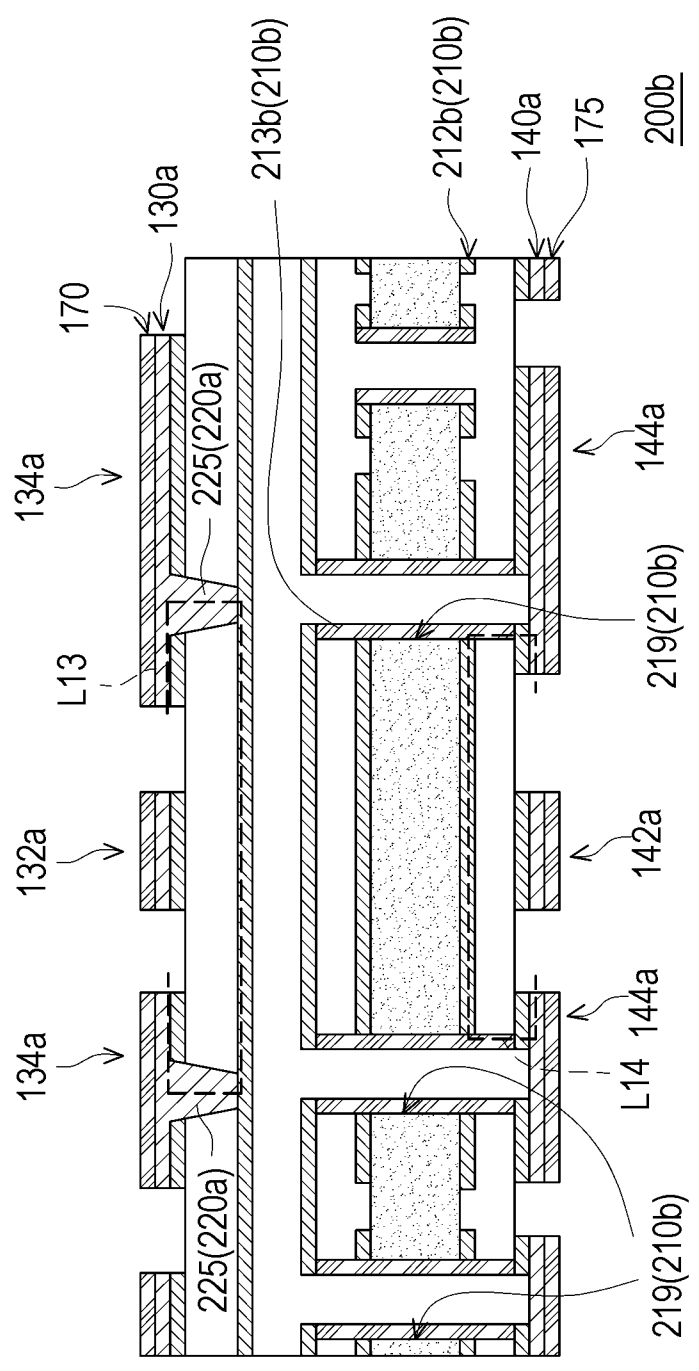
【圖25A】



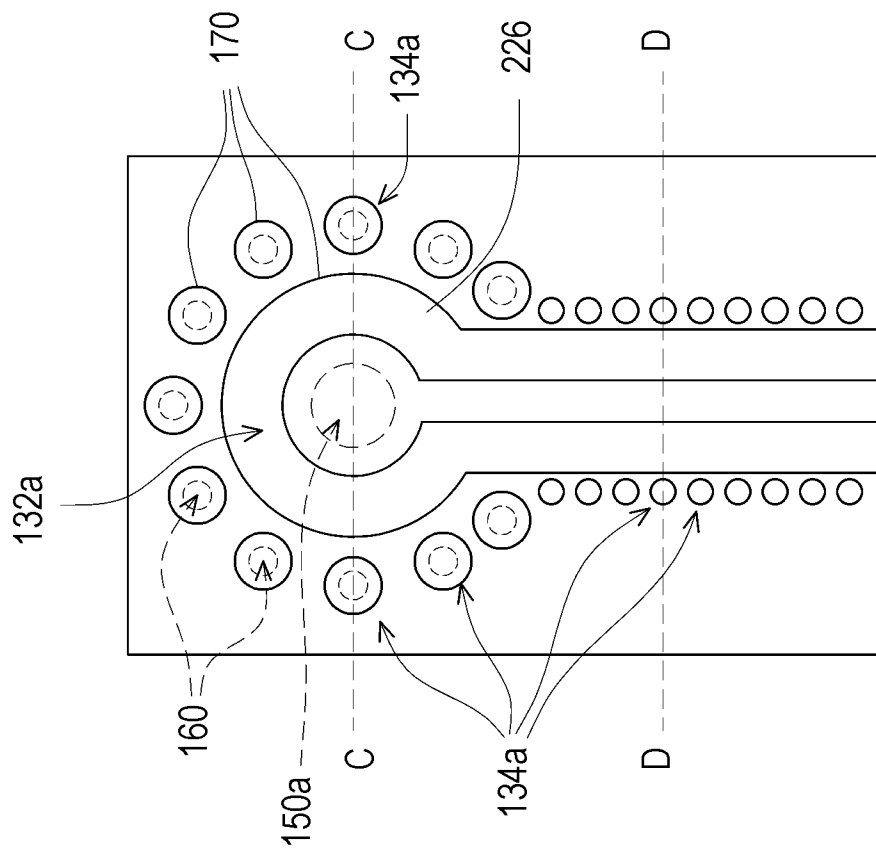
【圖25B】



【圖25C】

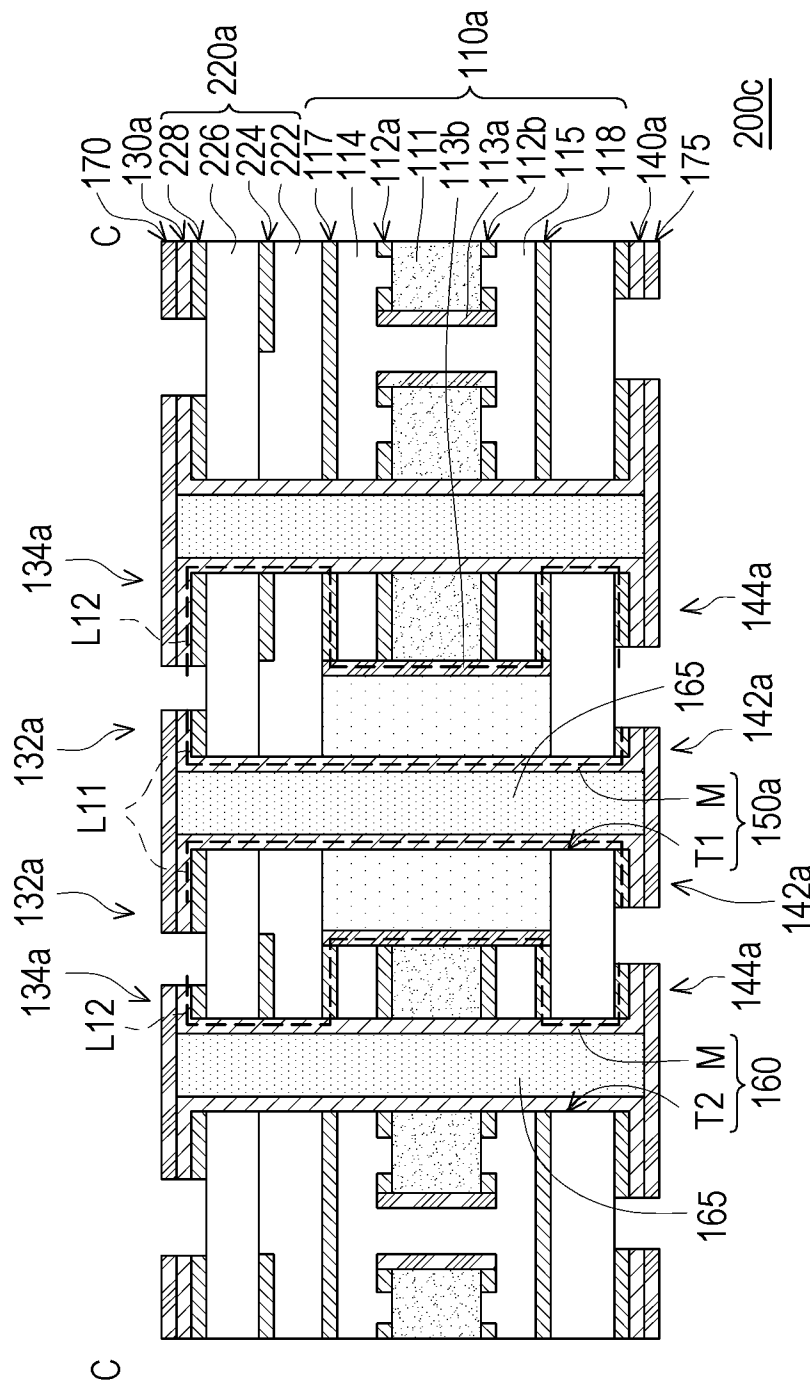


【圖26】

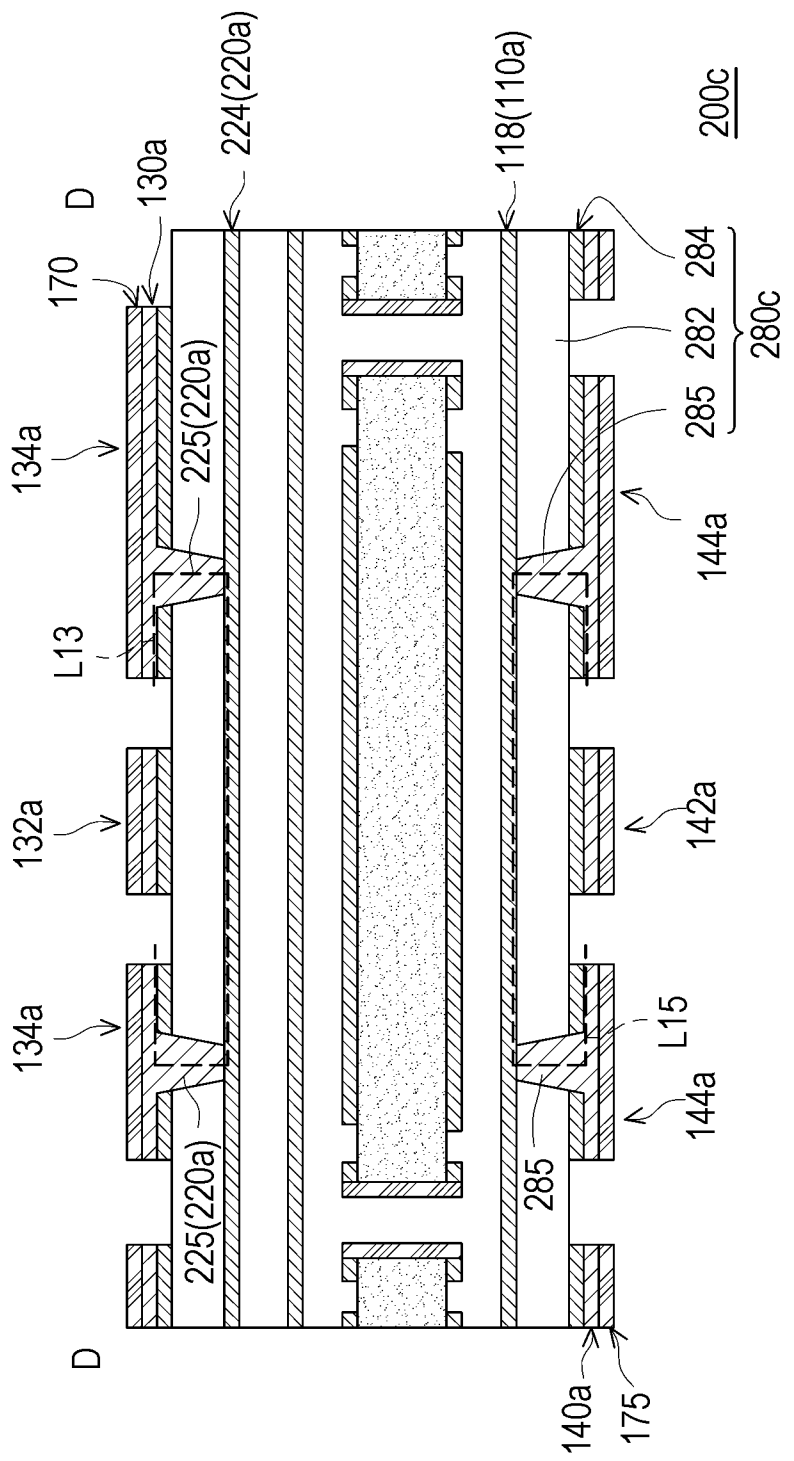


200c

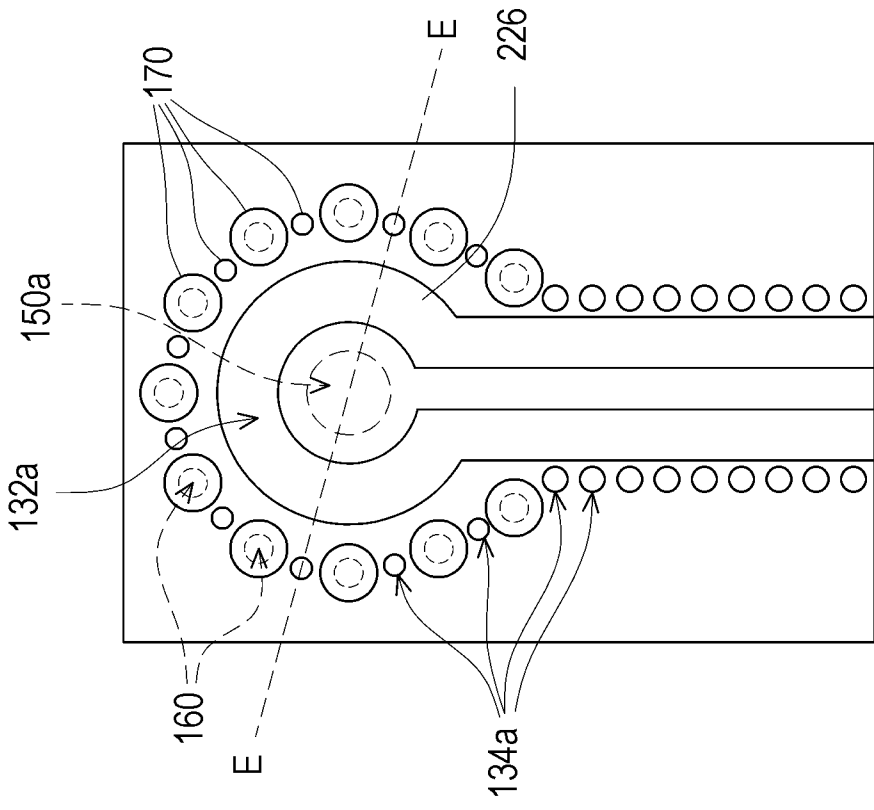
【圖27A】



【圖27B】



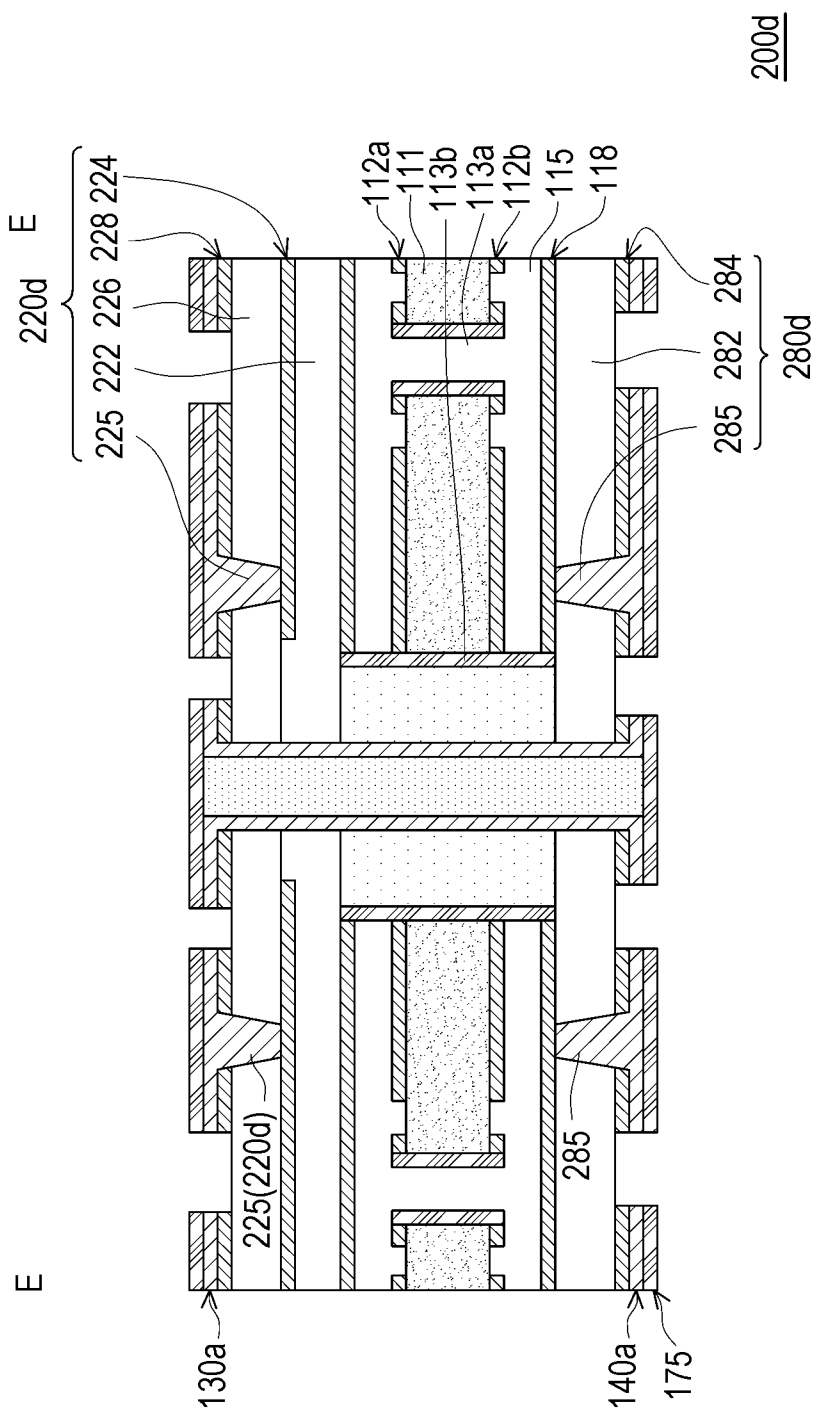
【圖27C】



200d

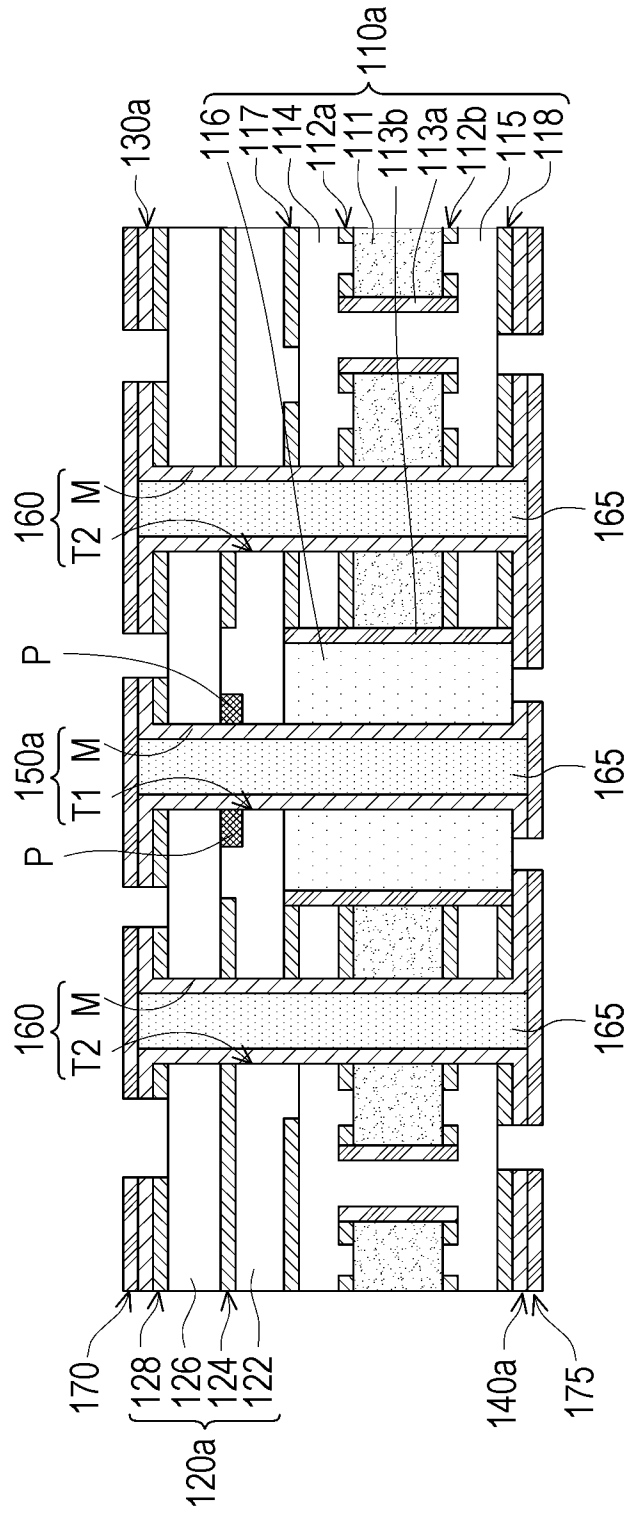
【圖28A】





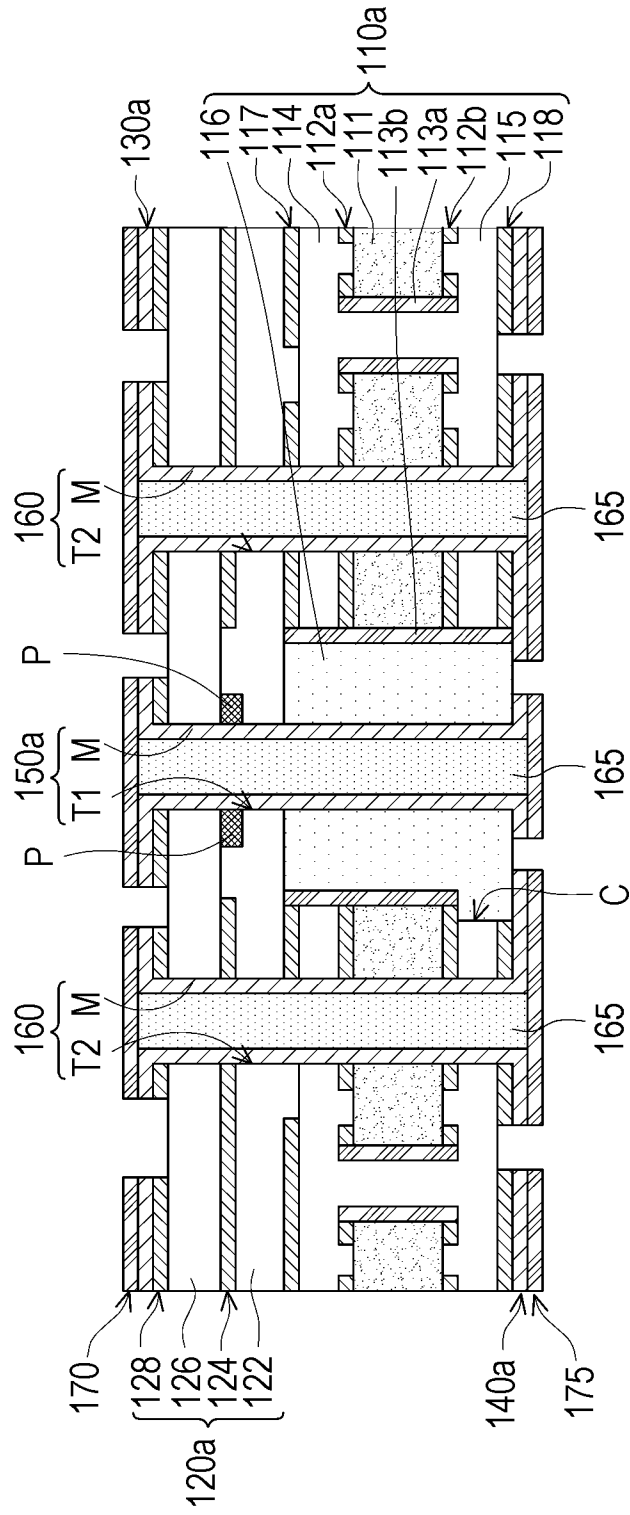
【圖28B】





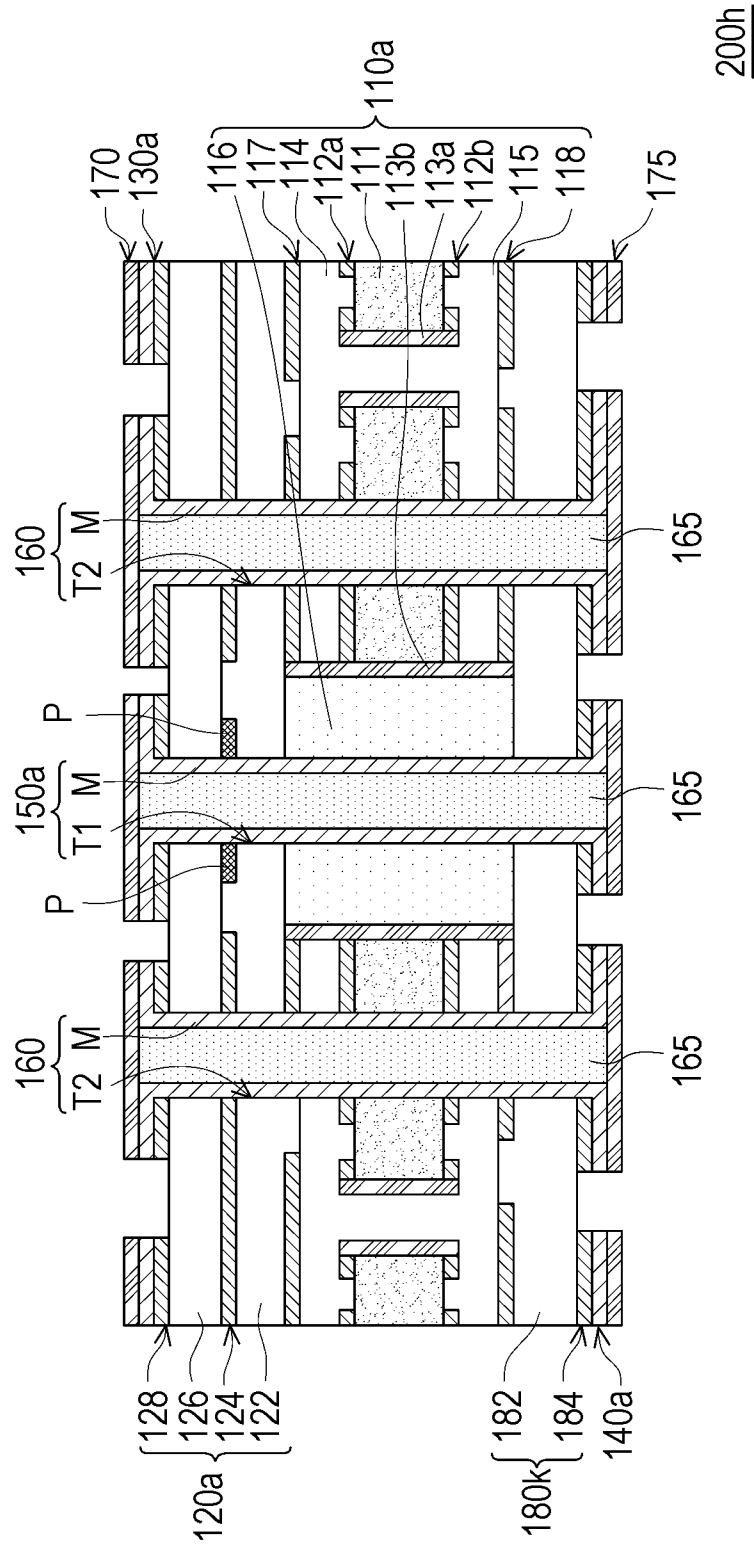
200f

【圖30】



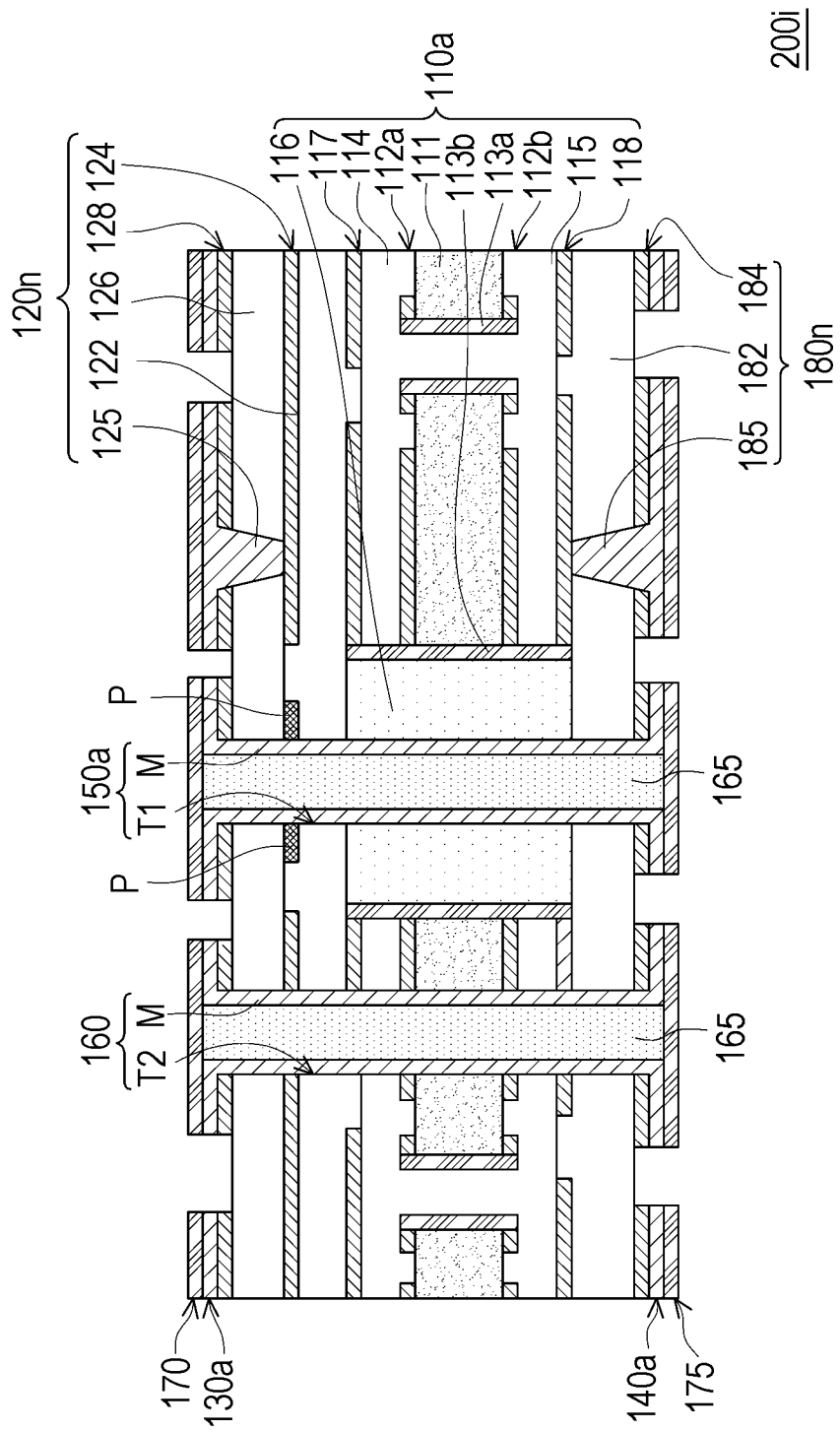
200g

【圖31】

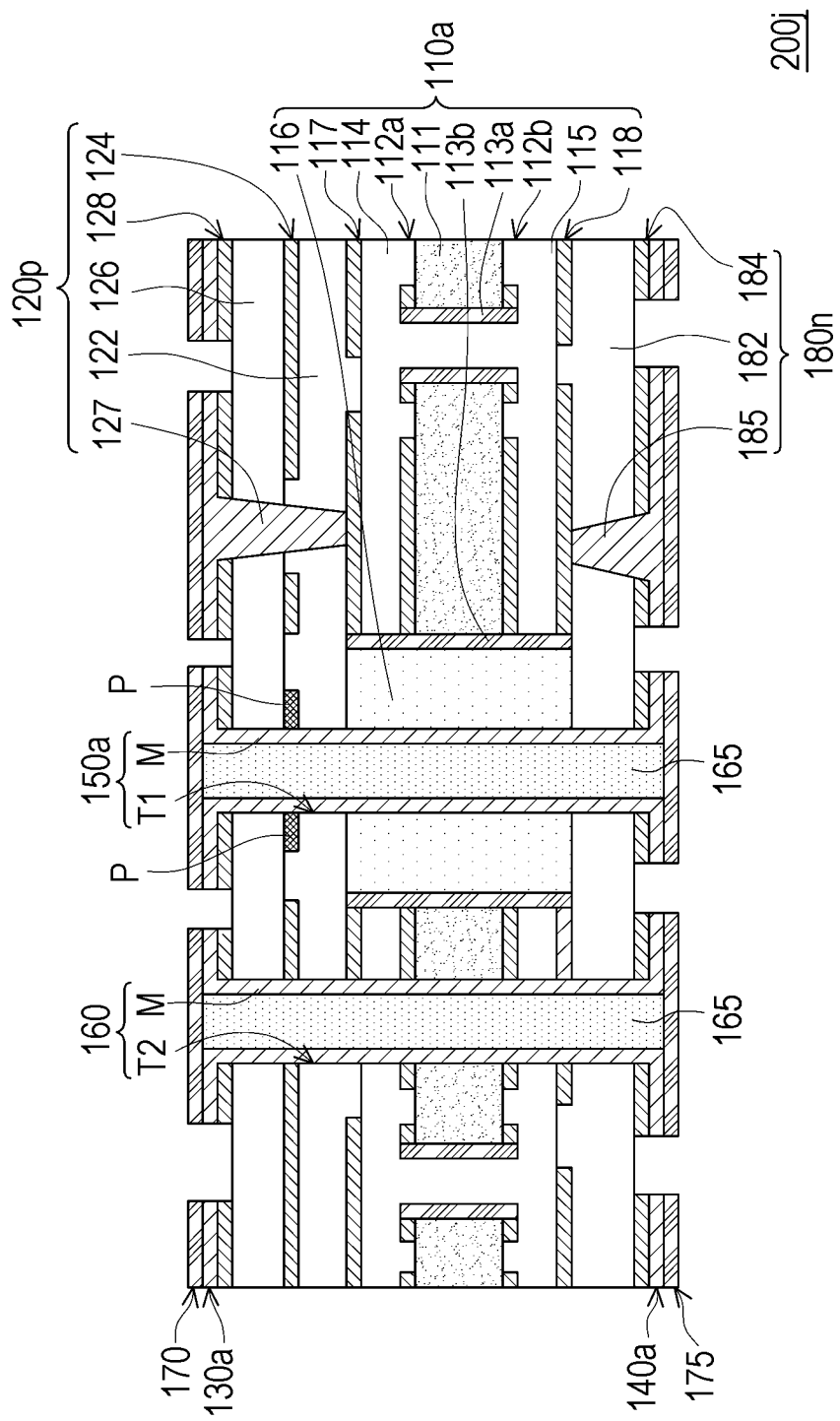


200h

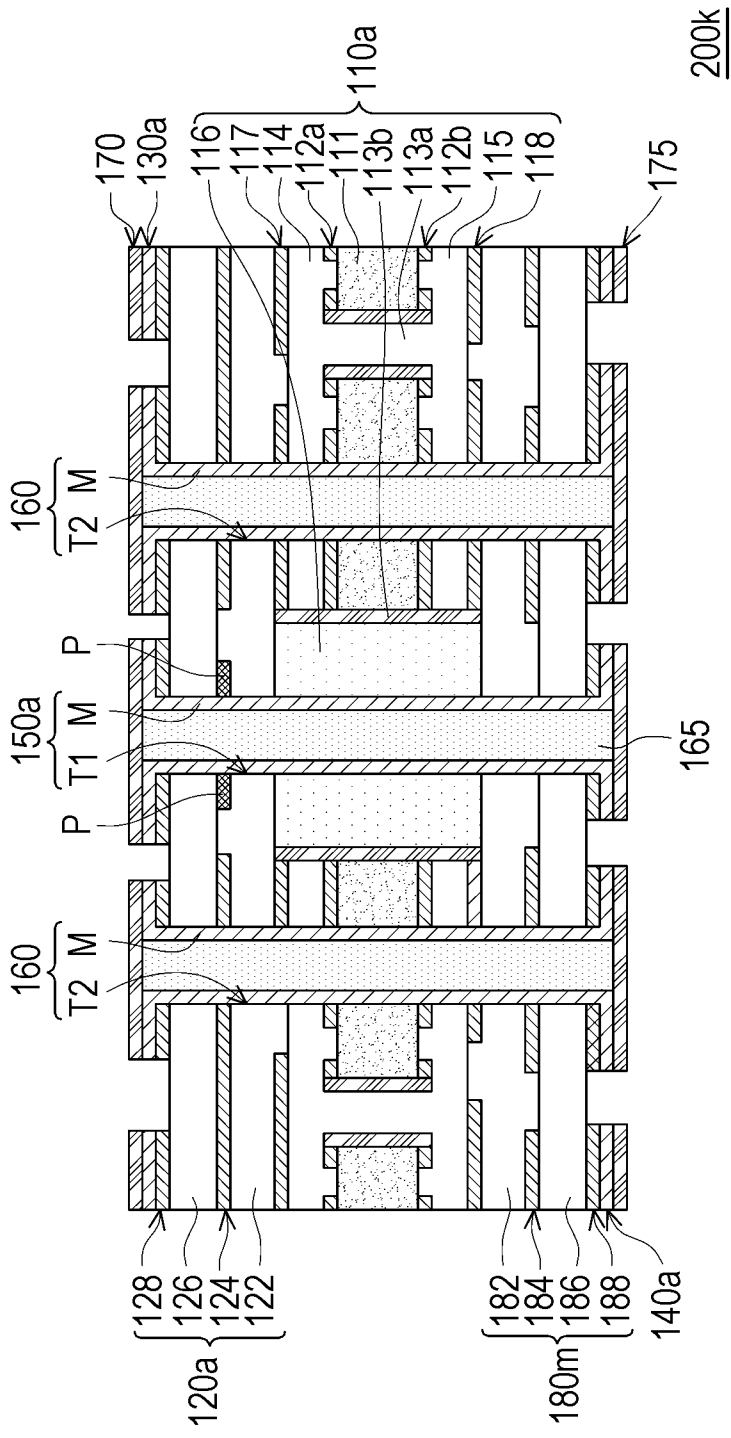
【圖32】



【圖33】

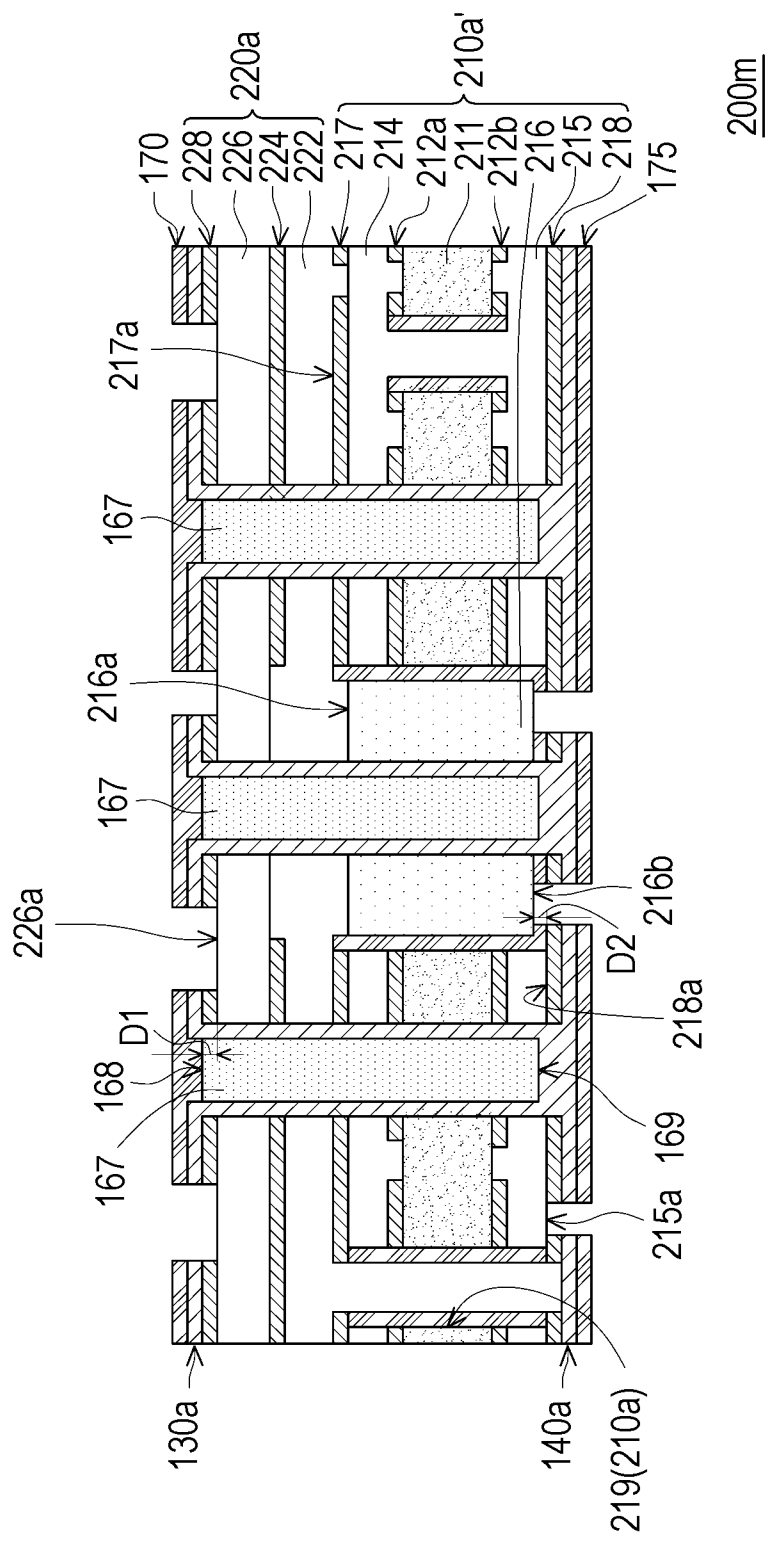


【圖34】



【圖35】





【圖36】