



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0121632
(43) 공개일자 2022년09월01일

(51) 국제특허분류(Int. Cl.)
G06F 1/06 (2006.01) G06F 1/12 (2006.01)
H03K 3/037 (2006.01) H03K 5/135 (2006.01)
H03L 7/08 (2006.01)
(52) CPC특허분류
G06F 1/06 (2013.01)
G06F 1/12 (2013.01)
(21) 출원번호 10-2021-0025964
(22) 출원일자 2021년02월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
안지은
경기도 성남시 분당구 수내로 201, 407동 203호(분당동, 셋별마을삼부아파트)
박성철
서울특별시 강남구 역삼로 171, 401호(역삼동, 브라운스톤역삼아파트)
배기석
경기도 화성시 동탄지성로 394, 108동 303호(반월동, 반월자이에뜨)
(74) 대리인
리엔목특허법인

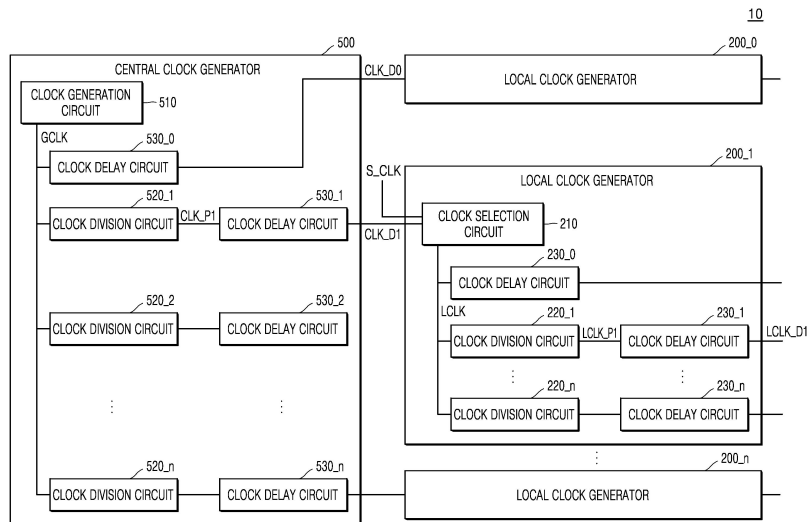
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 집적회로 및 집적회로 동작 방법

(57) 요약

집적회로가 개시된다. 집적 회로는, 복수의 클락 신호들을 각각 생성하도록 구성된 복수의 클락 생성기들, 상기 복수의 클락 신호들에 동기되어 동작하도록 구성된 복수의 로직 회로들 및 상기 클락 신호들의 주파수들에 기초하여 메타 안정 정보를 식별하고, 상기 메타 안정 정보에 응답하여 상기 복수의 클락 신호들 중 적어도 하나를 랜덤하게 지연시키도록 적어도 하나의 클락 생성기를 제어하도록 구성된 컨트롤러를 포함한다.

대표도



(52) CPC특허분류

H03K 3/037 (2013.01)

H03K 5/135 (2013.01)

H03L 7/08 (2013.01)

명세서

청구범위

청구항 1

복수의 클락 신호들을 각각 생성하도록 구성된 복수의 클락 생성기들;

상기 복수의 클락 신호들에 동기되어 동작하도록 구성된 복수의 로직 회로들; 및

상기 복수의 클락 신호들의 주파수들에 기초하여 메타 안정 정보를 식별하고, 상기 메타 안정 정보에 응답하여 상기 복수의 클락 신호들 중 적어도 하나가 랜덤하게 지연되도록 적어도 하나의 클락 생성기를 제어하도록 구성된 컨트롤러를 포함하는 집적 회로.

청구항 2

제1 항에 있어서,

상기 컨트롤러는

상기 복수의 클락 신호들 중 동일한 주파수의 클락 신호들을 선택하고, 상기 선택된 클락 신호들 중 적어도 하나를 랜덤하게 지연시키는 것을 특징으로 하는 집적 회로.

청구항 3

제1 항에 있어서,

위상 고정 루프(phase-locked loop, PLL)에 기초하여 중앙 클락을 생성하는 중앙 클락 생성기를 포함하고,

상기 복수의 클락 생성기들은,

상기 중앙 클락을 기초로 각각 클락 신호를 생성하는 것을 특징으로 하는 집적 회로.

청구항 4

제1 항에 있어서,

적어도 하나의 플립-플롭으로 구성된 동기 회로를 더 포함하는 것을 특징으로 하는 집적 회로.

청구항 5

제1 항에 있어서,

상기 복수의 클락 생성기들 각각은

클락 신호를 랜덤하게 지연시키는 클락 지연 회로 및 랜덤 값을 생성하는 난수 발생기를 포함하고,

상기 클락 지연 회로는 복수의 지연 버퍼들 및 지연된 클락 신호를 선택하는 멀티플렉서를 포함하는 것을 특징으로 하는 집적 회로.

청구항 6

제5 항에 있어서,

상기 멀티플렉서는,

난수발생기에서 발생한 랜덤 값에 기초하여 상기 복수의 지연 버퍼들이 제공하는 복수의 지연된 클락 신호 중 어느 하나를 선택하는 것을 특징으로 하는 집적 회로.

청구항 7

복수의 클락 생성기들을 포함하는 집적 회로에서 수행되는 방법으로서,

상기 복수의 클락 생성기들에 의해서 생성되는 복수의 클락 신호들의 주파수들에 기초하여 메타 안정 상태를 유

발하는 제1 클락 신호 및 제2 클락 신호를 식별하는 단계;

상기 제1 클락 신호 및 제2 클락 신호 중 적어도 하나를 랜덤하게 지연시키는 단계; 및

상기 제1 클락 신호 및 제2 클락 신호를 제1 로직 회로 및 제2 로직 회로에 각각 제공하는 단계를 포함하고,

상기 제1 로직 회로 및 제2 로직 회로는, 상기 제1 클락 신호 및 제2 클락 신호에 각각 동기되어 상호 통신하는 것을 특징으로 하는 방법.

청구항 8

제7 항에 있어서,

상기 제1 클락 신호 및 제2 클락 신호를 식별하는 단계는,

상호 통신하는 상기 제1 로직 회로 및 제2 로직 회로를 식별하는 단계; 및

상기 제1 클락 신호의 주파수가 상기 제2 클락 신호의 주파수와 동일하거나 배수인 경우, 상기 메타 안정 상태를 판정하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9

제7 항에 있어서,

상기 집적 회로는 메타 안정 상태 유발을 감소시키기 위한 적어도 하나의 플립-플롭으로 구성된 동기 회로를 더 포함하는 것을 특징으로 하는 방법.

청구항 10

복수의 클락 생성기들을 포함하는 집적 회로에서 수행되는 방법으로서,

상기 복수의 클락 생성기 각각의 클락 신호들의 주파수들에 기초하여, 상호 통신하는 로직 회로에서 메타 안정 상태를 유발하는 클락 생성기들을 식별하는 단계;

상기 식별된 클락 생성기들 중 클락 신호를 랜덤하게 지연시킬 적어도 하나의 클락 생성기를 선택하는 단계; 및

상기 선택된 클락 생성기를 통해 랜덤하게 지연된 클락 신호를 로직 회로에 제공하는 단계를 포함하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 클락 생성기를 포함하는 집적 회로에 관한 것으로, 더욱 상세하게는 메타 안정 상태를 감소시키기 위해 클락 신호를 제어하는 집적회로 및 집적회로 동작 방법에 관한 것이다.

배경 기술

[0002] 컴퓨터 시스템을 구성하는 반도체 장치들은 클락 신호에 동기하여 동작할 수 있으며, 반도체 장치 내부에서 동일한 클락 도메인 회로 또는 하나의 클락 도메인과 다른 클락 도메인 사이에서 클락 신호에 동기하여 다양한 신호들이 전송 및 수신될 수 있다.

[0003] 집적 회로 설계 시, 다양한 클락 소스와 클락 분주기를 통한 다양한 주파수의 클락을 사용하며, 집적 회로 내에서 비동기화된 클락의 개수가 증가하고 있으므로, 비동기화된 클락 도메인 간의 데이터 전달 시 클락 도메인 크로싱(Clock Domain Crossing, CDC) 문제는 점차 복잡해지고 있다.

[0004] 이 때, 비동기화된 클락 도메인 사이에 데이터가 전송되는 경우 메타 안정 상태(meta-stability)문제가 발생할 수 있으며, 메타 안정 상태가 발생할 확률을 감소시키기 위해 다양한 방법들이 적용되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 과제는 메타 안정 상태를 감소시킬 수 있는 클릭 제어 방법 및 이를 포함하는 집적회로를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 집적 회로는, 복수의 클릭 신호들을 각각 생성하도록 구성된 복수의 클릭 생성기들, 상기 복수의 클릭 신호들에 동기되어 동작하도록 구성된 복수의 로직 회로들 및 상기 복수의 클릭 신호들의 주파수들에 기초하여 메타 안정 정보를 식별하고, 상기 메타 안정 정보에 응답하여 상기 복수의 클릭 신호들 중 적어도 하나가 랜덤하게 지연되도록 적어도 하나의 클릭 생성기를 제어하도록 구성된 컨트롤러를 포함한다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 복수의 클릭 생성기들을 포함하는 집적 회로에서 수행되는 방법은 상기 복수의 클릭 생성기들에 의해서 생성되는 복수의 클릭 신호들의 주파수들에 기초하여 메타 안정 상태를 유발하는 제1 클릭 신호 및 제2 클릭 신호를 식별하는 단계, 상기 제1 클릭 신호 및 제2 클릭 신호 중 적어도 하나를 랜덤하게 지연시키는 단계 및 상기 제1 클릭 신호 및 제2 클릭 신호를 제1 로직 회로 및 제2 로직 회로에 각각 제공하는 단계를 포함한다. 상기 제1 로직 회로 및 제2 로직 회로는, 상기 제1 클릭 신호 및 제2 클릭 신호에 각각 동기되어 상호 통신한다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 복수의 클릭 생성기들을 포함하는 집적 회로에서 수행되는 방법은 상기 복수의 클릭 생성기 각각의 클릭 신호들의 주파수들에 기초하여, 상호 통신하는 로직 회로에서 메타 안정 상태를 유발하는 클릭 생성기들을 식별하는 단계, 상기 식별된 클릭 생성기들 중 클릭 신호를 랜덤하게 지연시킬 적어도 하나의 클릭 생성기를 선택하는 단계 및 상기 선택된 클릭 생성기를 통해 랜덤하게 지연된 클릭 신호를 로직 회로에 제공하는 단계를 포함한다.

발명의 효과

[0009] 본 발명에 따른 집적회로는 메타 안정 상태가 발생할 확률이 높은 클릭 도메인을 식별하고, 랜덤 지연된 클릭 신호를 생성하여 메타 안정 상태가 발생할 확률을 감소시킬 수 있다.

[0010] 본 발명에 따른 집적회로를 통해 낮은 평균무고장시간(MTBF, Mean time between failure)을 개선할 수 있다.

도면의 간단한 설명

- [0011] 도 1는 본 개시의 예시적인 실시예에 따른 집적회로의 구성을 설명하기 위한 블록도이다.
- 도 2a 및 도 2b는 본 개시의 예시적인 실시예에 따른 집적회로에서 비동기 클릭 사이의 메타 안정성 문제를 설명하기 위한 도면이다.
- 도 3a 및 도 3b는 본 개시의 예시적인 실시예에 따른 집적회로에 포함된 메타 안정 상태를 감소시키기 위한 동기 회로를 설명하기 위한 도면이다.
- 도 4는 본 개시의 예시적 실시예에 따른 집적회로에 포함된 클릭 지연 회로를 설명하는 도면이다.
- 도 5a 및 도 5b는 본 개시의 예시적 실시예에 따른 집적회로에 포함된 지연 버퍼 체인 및 지연된 클릭 신호를 설명하는 도면이다.
- 도 6은 본 개시의 예시적인 실시예에 따른 집적회로의 구성을 설명하기 위한 블록도이다.
- 도 7a 및 도 7b는 본 개시의 예시적 실시예에 따른 집적회로에서 발생하는 메타 안정 상태를 설명하는 도면이다.
- 도 8a 내지 도 8d는 본 개시의 예시적 실시예에 따른 집적회로에서 랜덤지연 적용 시 메타 안정 상태가 발생할 확률을 설명하는 도면이다.
- 도 9는 본 개시의 예시적 실시예에 따른 집적회로의 클릭 제어 방법을 설명하는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1는 본 개시의 예시적인 실시예에 따른 집적회로의 구성을 설명하기 위한 블록도이다.

[0013] 도 1를 참조하면, 집적회로(10)는 중앙 클릭 생성기(500) 및 복수의 로컬 클릭 생성기들(200_0, 200_1, 썸, ...)

200_n)을 포함할 수 있다.

- [0014] 중앙 클럭 생성기(500)는 클럭 생성 회로(510), 복수의 클럭 분할 회로들(520_1, 520_2, ..., 520_n) 및 복수의 클럭 지연 회로들(530_0, 530_1, ..., 530_n)를 포함할 수 있다.
- [0015] 클럭 생성 회로(510)는 위상동기루프(PLL) 회로를 포함할 수 있다. 위상동기루프 회로는 입력 신호와 출력신호에서 피드백된 신호와의 위상차를 이용해 출력신호를 제어하는 시스템으로, 입력된 신호를 기초로 출력 신호의 주파수 조절이 가능하다. 위상동기루프 회로는 클럭의 위상을 고정하거나, 클럭의 입출력 비율을 조절할 수 있다. 클럭 생성기(510)는 중앙 클럭 신호(GCLK)를 출력할 수 있다.
- [0016] 클럭 분할 회로(520_1, 520_2, ..., 520_n)는 주파수 분배기 또는 주파수 분주기일 수 있다. 예를 들어, 클럭 분할 회로(520_1)는 중앙 클럭 신호(GCLK)를 수신하고, 중앙 클럭 신호(GCLK)의 주파수의 1/N(N은 양의 정수) 배인 주파수를 갖는 분할된 클럭 신호(GCLK_P1)를 생성할 수 있다. 클럭 지연 회로(530_0, 530_1, ..., 530_n) 각각은 분할된 클럭 신호(CLK_P1)를 수신하고, 분할된 클럭 신호(CLK_P1)에 대해 랜덤한 지연 또는 기설정된 지연이 적용된 지연된 클럭 신호(CLK_D1)를 제공할 수 있다.
- [0017] 로컬 클럭 생성기(200_1, 200_2, ..., 200_n)는 소스 클럭을 입력으로 다양한 주파수의 클럭 신호를 생성하여 로직회로(300_1, 300_2, ..., 300_n)에 제공할 수 있다. 로컬 클럭 생성기(200_1, 200_2, ..., 200_n)는 클럭 선택 회로(210), 클럭 분할 회로(220) 및 클럭 지연 회로(230)를 포함할 수 있다. 클럭 선택 회로(210)는 멀티플렉서(Multiplexer)를 포함할 수 있고, 복수의 소스 클럭 중 하나를 선택할 수 있다. 클럭 분할 회로(220)는 주파수 분배기 또는 주파수 분주기일 수 있다. 클럭 분할 회로(220)는 클럭 선택 회로(210)로부터 소스 클럭을 수신하고, 소스 클럭을 분주한 클럭 신호를 생성할 수 있다. 클럭 지연 회로(230)는 클럭 선택 회로(210)로부터 소스 클럭을 수신하고, 소스 클럭에 대해 랜덤한 지연 또는 기설정된 지연이 적용된 클럭 신호를 생성할 수 있다. 클럭 지연 회로(230)의 구성은 도 7에서 상세히 설명한다.
- [0018] 클럭 생성 회로(510)는 중앙 클럭 신호(GCLK)를 생성하고, 중앙 클럭 신호(GCLK)를 클럭 지연 회로(530_0)에 직접 제공할 수 있다. 클럭 지연 회로(530_0)는 중앙 클럭 신호(GCLK)를 지연시킴으로써 지연된 클럭 신호(CLK_D0)를 생성할 수 있다. 클럭 생성 회로(510)는 중앙 클럭 신호(GCLK)를 클럭 분할 회로(520_1)에 제공할 수 있고, 클럭 분할 회로(520_1)는 중앙 클럭 신호(GCLK)를 분주함으로써 분할된 클럭 신호(CLK_P1)를 생성할 수 있다. 클럭 분할 회로(520_1)는 분할된 클럭 신호(CLK_P1)를 클럭 지연 회로(530_1)에 제공할 수 있고, 클럭 지연 회로(530_1)는 분할된 클럭 신호(CLK_P1)를 지연시킴으로써 지연된 클럭 신호(CLK_D1)를 생성할 수 있다. 로컬 클럭 생성기(200_1)는 중앙 클럭 생성기(500)에서 제공되는 클럭 신호들 중 하나를 클럭 선택 회로(210)에 제공할 수 있다. 클럭 선택 회로(210)는 위상동기루프 회로 또는 클럭 오실레이터에서 제공하는 복수의 클럭 신호 중 하나를 로컬 클럭 신호(LCLK)로서 선택하여, 복수의 클럭 분할 회로들(220_1 내지 200_n)에 제공할 수 있다. 클럭 분할 회로(220_1)는 로컬 클럭 신호(LCLK)를 수신하고, 로컬 클럭 신호(LCLK)를 분주함으로써 지연된 로컬 클럭 신호(LCLK_P1)를 생성할 수 있다. 로컬 클럭 신호(LCLK)는 분할된 로컬 클럭 신호(LCLK_P1)를 클럭 지연 회로(230_1)에 제공할 수 있다. 클럭 지연 회로(230_1)는 분할된 로컬 클럭 신호(LCLK_D1)를 동기화된 논리 회로에 제공할 수 있다.
- [0019] 로직회로는 로컬 클럭 생성기(200_1, 200_2, ..., 200_n)에서 생성된 클럭 신호와 동기화된 플립-플롭을 포함할 수 있다. 플립-플롭은 디지털 신호를 처리하는 다양한 전자 회로, 집적 회로, 칩 및 다양한 장치들 내에 포함될 수 있다.
- [0020] 집적회로(10)는 중앙 클럭 생성기(500), 복수의 로컬 클럭 생성기들(200_1, 200_2, ..., 200_n) 및 복수의 로직 회로들과 연결된 프로세서 또는 프로세서에 연결되어 각종 정보를 저장하는 메모리 모듈을 더 포함할 수 있다. 일 실시예에서, 집적회로(10)는 하나의 반도체 칩에 집적될 수 있다. 일 실시예에서, 메모리 모듈은 하나 또는 그보다 많은 메모리 칩을 포함할 수 있다. 일 실시예에서, 프로세서는 다중 프로세싱 칩들을 포함할 수 있다.
- [0021] 일 실시예에서, 프로세서는 범용 프로세서인 중앙 처리 장치(CPU)일 수 있다. 일 실시예에서, 프로세서는 중앙 처리 장치에 더하여, 마이크로컨트롤러, 디지털 신호 처리기(DSP, Digital Signal Processor), 그래픽 처리부(GPU, Graphic Processing Unit), 전용의 주문형 반도체(ASIC, Application Specific Integrated Circuit) 프로세서 등을 더 포함할 수 있다. 또한, 프로세서는 분산 처리 환경에서 동작하는 하나보다 많은 중앙 처리 장치들을 포함할 수 있다. 일 실시예에서, 프로세서는 중앙 처리 장치의 기능에 추가적인 기능들을 갖는 시스템 온 칩(SoC, System on Chip)일 수 있다.
- [0022] 메모리 모듈은 예를 들면, SDRAM (Synchronous DRAM)과 같은 DRAM (Dynamic Random Access Memory), HBM (High

Bandwidth Memory) 모듈, 또는 HMC (Hybrid Memory Cube) 메모리 모듈과 같은 DRAM 기반 3DS (3-Dimensional Stack) 메모리 모듈일 수 있다. 메모리 모듈은 예를 들면, SSD(Solid State Drive), DRAM 모듈, 또는 SRAM (Static Random Access Memory), PRAM (Phase-Change Random Access Memory), RRAM (Resistive Random Access Memory), CBRAM (Conductive-Bridging RAM), MRAM (Magnetic RAM), STT-MRAM (Spin-Transfer Torque MRAM) 등과 같은 반도체 기반의 스토리지일 수 있다.

[0023] 컨트롤러는 중앙 클럭 생성기(500), 복수의 로컬 클럭 생성기들(200_1, 200_2, 썸, 200_n) 및 복수의 로직회로들의 제반 동작을 제어하도록 구성될 수 있고, 이를 위해 동작 메모리 장치에 로딩된 펌웨어 또는 소프트웨어를 구동하도록 구성될 수 있다.

[0024] 집적회로(10)의 클럭 구조는 동일한 위상고정루프 회로를 가지는 클럭 라인들을 다수 포함할 수 있다. 집적회로(10)는 중앙 클럭 생성기(500)를 통해 블록별로 클럭을 분주하여 공급하고, 로컬 클럭 생성기들(200_1, 200_2, 썸, 200_n)을 통해 블록 내부의 장치들 각각에 클럭을 분주하여 공급할 수 있다. 각각의 클럭은 동기화구조로 설계되거나 비동기화 구조로 설계될 수 있으며, 예를 들어, 각 블록에 공급되는 클럭들은 비동기화되게 설계하고, 블록 내부의 클럭들은 동기화되는 GALS(Globally Asynchronous, Locally Synchronous) 방식으로 설계될 수 있다. 도 1에서는 로컬 클럭 생성기들(200_1, 200_2, 썸, 200_n)만 표시하였으나, 로컬 클럭 생성기 각각은 다른 장치들과 연동되어 블록 또는 로컬 클럭 도메인을 구성할 수 있다.

[0025] **도 2a 및 도 2b는 본 개시의 예시적인 실시예에 따른 집적회로에서 비동기 클럭 사이의 메타 안정성 문제를 설명하기 위한 도면이다.**

[0026] 도 2a를 참조하면, 플립-플롭(FF1, FF2)은 입력 스위칭 회로, 래치 회로 및 클럭 인버터 회로를 포함할 수 있다. 플립-플롭(FF1, FF2)은 디지털 신호를 처리하는 다양한 전자 회로, 집적 회로, 칩 및 다양한 장치들 내에 포함될 수 있다.

[0027] 플립-플롭(FF1, FF2)은 클럭 신호(CLK1, CLK2)의 상승 엣지(rising edge)에서 트리거(trigger)될 수 있다. 예를 들어, 플립-플롭(FF1, FF2)은 클럭 신호(CLK1, 2)의 상승 엣지에서 래치된 입력 신호(D)를 출력 신호(Q)로서 출력할 수 있다. 플립-플롭은 1비트 플립-플롭으로 구현될 수도 있고, 2-비트 이상의 멀티 비트 플립-플롭으로 구현될 수도 있다. 플립-플롭(FF1, FF2)은 출력 신호(Q)를 제1 논리 레벨(예컨대, '1')로 셋(set) 시키는 셋 기능을 가질 수 있으며, 출력 신호(Q)를 제2 논리 레벨(예컨대, '0')로 리셋(reset)시키는 리셋 기능을 가질 수 있다. 일 실시 예에서, 플립-플롭(FF1, FF2)은 데이터 유지를 위한 리텐션(retention) 기능을 수행할 수도 있다. 또한 위에서 플립-플롭(FF1, FF2)이 클럭 신호(CLK1, CLK2)의 상승 엣지에서 래치된 입력 신호(D)를 출력 신호(Q)로서 출력할 수 있다고 설명되었는데, 이에만 제한되는 것은 아니며, 실시 예에 따라, 플립-플롭(FF1, FF2)은 클럭 신호(CLK1, CLK2)의 하강 엣지, 즉 반전 클럭 신호의 상승 엣지에서 래치된 입력 신호(D)를 출력 신호(Q)로서 출력할 수도 있다.

[0028] 비동기화된 클럭 도메인 사이에 데이터 통신이 이루어지는 경우, 도 2a 및 도 2b에 도시된 바와 같이, 플립-플롭(FF2)에서 메타 안정(Meta-stability) 상태 이슈가 발생할 수 있다. 플립-플롭(FF2)의 입력 데이터(D)가 플립-플롭(FF2)에 입력되는 클럭 신호(CLK2)의 설정 타이밍 윈도우(Tw) 안에서 상태 전이되면, 플립-플롭(FF2)의 출력 데이터(Q)는 한 주기(예를 들어, t1에서 t2까지 기간)동안 불안정한 값(0 또는 1 또는 중간 값)을 갖는다. 이 상태를 0인지 1인지 모르는 불안정한 상태, 즉 메타 안정 상태라고 한다.

[0029] **도 3a 및 도 3b는 본 개시의 예시적인 실시예에 따른 집적회로에서 메타 안정 상태를 감소시키기 위한 동기 회로를 설명하기 위한 도면이다.**

[0030] 집적회로 설계시 메타 안정 상태 이슈를 회피하기 위해서, 메타 안정 상태가 발생하는 데이터 라인(data path)에 기설정된 깊이(depth N) 이상의 동기 회로(Synchronizer)를 추가할 수 있다. 동기 회로의 깊이(N)가 깊어질수록 메타 안정 상태가 마지막 플립-플롭까지 전파될 확률이 감소할 수 있다.

[0031] 집적 회로(10)는 동기 회로(240)를 포함할 수 있다. 동기 회로(240)는 순차 회로(Sequential Circuit)를 구성할 수 있다. 예를 들어 동기 회로(240)는 제1 플립-플롭(FF2_1) 및 제2 플립-플롭(FF2_2)을 포함할 수 있다. 제1 플립-플롭(FF2_1)은 입력 신호(D)를 수신하고, 제2 클럭 신호(CLK2)를 기초로 입력 신호(D)를 래칭함으로써 제1 출력 신호(Q0)를 출력할 수 있다. 제2 플립-플롭(FF2_2)은 제1 출력 신호(Q0)를 수신하고, 제2 클럭 신호(CLK2)를 기초로 제1 출력 신호(Q0)를 래칭함으로써 제2 출력 신호(Q1)를 출력으로 제공할 수 있다.

[0032] 동기 회로(240)는 비동기화된 클럭 도메인간의 데이터 통신에서 메타 안정 상태가 발생할 확률을 감소시키고, 평균무고장시간을 증가시키기 위해 사용될 수 있다. 동기 회로(240)는 동일한 클럭 도메인 내부의 클럭을 사용

하는 다중 에지 감지 플립-플롭을 사용하여, 다른 클락 도메인의 입력 신호를 단순히 지연시키는 것일 수 있다.

- [0033] 도 3b를 참조하면, 동기 회로(240)에서 제1 플립-플롭(FF2_1)에 입력되는 입력 신호(D)가 0에서 1로 천이되는 시점(t1에서 t2까지)에 제1 플립-플롭(FF2_1)의 출력 신호(Q0)가 설정되는 타이밍(t2)이 겹치게 되어, 제1 플립-플롭(FF2_1)의 출력 신호(Q0)는 t2에서 t3까지 기간에 메타 안정 상태일 수 있다. 다만 제2 플립-플롭(FF2_2)은 제1 플립-플롭(FF2_1)의 출력에 순차적으로 연결되고, 출력 신호(Q0)가 천이되는 시점(t2) 이전의 제1 출력 신호(Q0) 레벨을 기준으로 제2 출력 신호(Q1)를 래칭할 수 있다. 따라서, 제1 플립-플롭(FF2_1)이 메타 안정 상태로 유지되는 시구간(t2 내지 t3)에 제2 플립-플롭(FF2_2)은 메타 안정 상태가 아닌 안정된 제2 출력 신호(Q1)를 출력할 수 있다.
- [0034] 본 개시에 따른 동기 회로(240)는 두개의 플립-플롭을 사용하였으나, 이에 한정되는 것은 아니며, 세 개 이상의 플립-플롭을 사용하거나, 플립-플롭 외에 래치 등 다양한 소자를 이용할 수도 있다.
- [0035] **도 4는 본 개시의 예시적 실시예에 따른 집적회로에 포함되는 클락 지연 회로를 설명하는 도면이다.**
- [0036] 도 4를 참조하면, 클락 지연 회로(230)는 지연 버퍼 체인(231), 딜레이 선택 멀티플렉서(232) 및 모드 선택 멀티플렉서(233)를 포함할 수 있다. 클락 지연 회로(230)는 입력 클락 신호(CLK)를 기초로 지연된 출력 클락 신호(CLK_OUT)를 제공할 수 있다. 지연 버퍼 체인(231)은 복수의 지연 버퍼들(buf1, buf2, ..., bufN)을 포함할 수 있다.
- [0037] 딜레이 선택 멀티플렉서(232)는 지연 버퍼 체인(231)으로부터 지연된 복수의 지연 클락 신호들(CLK, CLKa_1, CLKa_2, ..., CLKa_N)을 수신하고, 지연 선택 신호(MUX_SEL[M:0])에 따라 복수의 지연 클락 신호들 중 하나를 출력 클락 신호(CLK_OUT)로서 선택할 수 있다. 클락 선택 신호(MUX_SEL[M:0])는 랜덤 값(RANDOM_VALUE) 또는 설정 값(DELAY_VALUE)일 수 있다.
- [0038] 모드 선택 멀티플렉서(233)는 동작 모드 신호(MODE)에 따라 랜덤 값(RANDOM_VALUE) 및 설정 값(DELAY_VALUE) 중 하나를 지연 선택 신호(MUX_SEL[M:0])로서 선택할 수 있다. 예를 들어, 집적 회로의 노멀 동작 시, 클락 지연 회로(230)는 랜덤 모드로 동작할 수 있다. 따라서, 동작 모드 신호(MODE)는 랜덤 모드를 나타낼 수 있고, 모드 선택 멀티플렉서(233)는 랜덤 값(RANDOM_VALUE)을 지연 선택 신호(MUX_SEL[M:0])로서 선택할 수 있다. 집적 회로가 디버깅 동작 시, 클락 지연 회로(230)는 디버그 모드로 동작할 수 있다. 따라서, 동작 모드 신호(MODE)는 디버그 모드를 나타낼 수 있고, 모드 선택 멀티플렉서(233)는 설정 값(DELAY_VALUE)을 지연 선택 신호(MUX_SEL[M:0])로서 선택할 수 있다. 멀티플렉서들(232, 233)은 믹스(mux), 스캔 믹스(scan mux) 또는 선택 부라고 지칭될 수 있다.
- [0039] 클락 지연 회로(230)는 랜덤 값을 생성하는 난수발생기(random number generator, 251) 또는 디버깅시 설정된 딜레이 값을 제공하는 레지스터(252)와 연동되어 동작할 수 있고, 난수발생기(251) 또는 레지스터(252)를 클락 지연 회로(230) 내부에 포함할 수도 있다.
- [0040] **도 5a 및 도 5b는 본 개시의 예시적 실시예에 따른 집적회로에 포함되는 지연 버퍼 체인 및 지연된 클락 신호를 설명하는 도면이다.**
- [0041] 도 5a를 참조하면, 지연 버퍼 체인(231)은 직렬로 연결되는 복수의 버퍼들(231_1, 231_2, 231_3, 231_4, 231_5)로 구성된 버퍼 체인일 수 있다. 클락 지연 회로(231)는 클락 신호(CLK)를 수신하고, 복수의 지연된 클락 신호들(CLKa_1 내지 CLKa_5)을 출력할 수 있다. 지연 버퍼 체인(231)에 포함된 버퍼와 버퍼 사이의 서로 다른 노드로부터 제1 내지 제4 지연 클락 신호(CLKa_1~CLKa_4)가 각각 출력될 수 있다. 제1 내지 제4 지연 클락 신호(CLKa_1~CLKa_4) 각각은 많은 수의 버퍼들을 통해 전달될수록 위상 지연 시간이 길어질 수 있다. 일 실시예에서, 지연 버퍼 체인(231)에서 출력되는 제1 내지 제5 지연 클락 신호(CLKa_1~CLKa_5)의 위상차이는 360도를 넘지 않을 수 있다.
- [0042] 도 5a 및 도 5b를 참조하면, 클락 지연 회로(230)로부터 출력되는 제1 내지 제5 지연 클락 신호(CLKa_1~CLKa_5)는 점점 지연 시간이 길어질 수 있고, 기준 클락 신호(CLK)와의 위상 차이가 점점 커질 수 있다. 예를 들어, 제1 지연 시간(DTa_1)이 DT 값을 가지는 경우에, 제2 지연 시간(DTa_2)은 2DT, 제3 지연 시간(DTa_3)은 3DT, 제4 지연 시간(DTa_4)이 4DT 값을 가질 수 있다. 다만, 이는 설명의 편의를 위한 예시이며, 제2 내지 제4 지연 시간(DTa_2~DTa_4)이 제1 지연 시간(DTa_1)의 배수가 되는 것에 본 개시가 한정되지는 않는다. 제1 내지 제4 지연 클락 신호(CLKa_1~CLKa_4) 각각이 출력되는 노드 및 제1 지연 회로(120_1)의 회로 구성에 따라 제1 내지 제4 지연 시간(DTa_1~DTa_4)의 크기는 달라질 수 있다.

- [0043] 도 6은 본 개시의 예시적인 실시예에 따른 집적회로의 구성을 설명하기 위한 블록도이다.
- [0044] 도 6을 참조하면, 집적회로(10)는 멀티플렉서(mux), 클락 분할 회로(220_1, 220_2), 클락 지연 회로(230_1, 230_2), 제1 도메인(300_1), 제2 도메인(300_2)을 포함할 수 있다. 집적회로(10)는 제1 도메인(300_1)에 소스 클락을 기초로 클락 분할 회로(220_1) 및 클락 지연 회로(230_1)를 이용하여 제1 클락 신호를 제공할 수 있다. 집적회로(10)는 제2 도메인(300_2)에 소스 클락을 기초로 클락 분할 회로(220_2) 및 클락 지연 회로(230_2)를 이용하여 제2 클락 신호를 제공할 수 있다. 이 때, 멀티플렉서(mux)는 제1 소스 클락(CLK_1) 또는 제2 소스 클락(CLK_2) 중 하나를 소스 클락으로 선택할 수 있다. 예를 들어, 제1 소스 클락(CLK_1)은 위상고정루프 회로를 이용하여 생성된 클락 신호이고, 제2 소스 클락(CLK_2)은 클락 오실레이터를 이용하여 생성된 클락 신호일 수 있다.
- [0045] 추가적인 실시예로, 집적회로(10)는 제1 도메인(300_1)에서 제2 도메인(300_2)으로 전달되는 데이터 라인에 제2 동기 회로(240_2)를 더 포함하고, 제2 도메인(300_2)에서 제1 도메인(300_1)으로 전달되는 데이터 라인에 제1 동기 회로(240_1)를 더 포함하여 메타 안정 상태가 발생할 확률을 감소시킬 수 있다.
- [0046] 예를 들어, 클락 신호의 주파수 비율이 1:1 또는 1:N 이고, 동일한 클락 소스를 사용하는 클락 도메인의 경우, 메타 안정 상태 문제가 비동기 클락 도메인의 경우보다 더 자주 발생할 수 있다. 따라서, 집적회로(10)는 메타 안정 상태 문제 해결을 위해서 데이터 라인에 동기 회로(240_1, 240_2)를 추가하는 방법 외에 클락 신호를 무작위로 지연시키기 위한 클락 지연 회로(230_1, 230_2)를 더 포함할 수 있다.
- [0047] 도 7a 및 도 7b는 본 개시의 예시적 실시예에 따른 집적회로에서 메타 안정 상태를 설명하는 도면이다.
- [0048] 메타 안정 상태에 진입할 확률(P)은 셋업/홀드 타이밍 윈도우(T_w)를 대상클락 주기(T_c)로 나눈 값(T_w/T_c)에 기초하여 구할 수 있다. 예를 들어, 도 3b에서, 제1 클락 신호(CLK1)의 주파수는 200MHz이고, 제2 클락 신호(CLK2)의 주파수는 333MHz일 수 있다. 클락 위상차가 비균일한 주파수 200MHz인 제1 클락(CLK1)과 333MHz인 제2 클락(CLK2) 사이에서 메타 안정 상태는 랜덤하게 발생할 수 있다. 플립-플롭(FF2)의 입력(D)이 제2 클락(CLK2)의 타이밍 윈도우(T_w) 안에서 천이할 때 메타 안정 상태가 발생할 수 있다. 제1 클락(CLK1)과 제2 클락(CLK2)의 위상차는 0- T_c 사이에서 균일하게 분포할 수 있기 때문에, 메타 안정 상태도 랜덤하게 제1 클락(CLK1)과 제2 클락(CLK2)의 위상차가 아주 작을 때에만 발생할 수 있다.
- [0049] 제1 클락 신호(CLK1)의 주파수가 제2 클락 신호(CLK2)의 주파수와 동일하거나 정수배인 경우 메타 안정 상태가 발생할 확률은 더 높아질 수 있다. 클락 소스를 공유하는 일관된(coherent) 클락 관계에서는 클락 위상차 분포가 불균일하기 때문에 메타 안정 상태가 발생할 확률이 높아질 수 있다.
- [0050] 도 2a 및 도 7a를 참조하면, 제1 클락 신호(CLK1)의 주파수는 100MHz이고, 제2 클락 신호(CLK2)의 주파수는 200MHz일 수 있다. 제1 플립-플롭(FF1)의 입력신호(D)는 t_1 에서 0에서 1로 천이되며, 제1 플립-플롭(FF1)의 출력신호(Q0)의 셋업/홀드 타이밍 윈도우(T_w)는 t_1 을 포함하므로, t_1 에서 메타 안정 상태가 발생할 수 있다. 다음 주기인 t_2 에서 플립-플롭의 입력신호(D)는 1을 유지하므로, 플립-플롭의 출력신호(Q0)의 메타 안정 상태는 일시적으로 해소될 수 있다. 출력신호(Q0)의 메타 안정 상태는 클락 신호의 관계에 따라 주기적으로 발생할 수 있으며, 예를 들어 2 사이클에 한 번씩 메타 안정 상태가 발생하고 해소되는 것을 반복할 수 있다.
- [0051] 제1 클락 신호(CLK1)의 주파수는 200MHz이고, 제2 클락 신호(CLK2)의 주파수는 200MHz 인 경우, 도 7b를 참조하면, 플립-플롭의 입력신호(D)는 t_3 에서 0에서 1로 천이되며, 플립-플롭의 출력신호(Q0)의 셋업/홀드 타이밍 윈도우(T_w)는 t_3 을 포함하므로, t_3 에서 메타 안정 상태가 발생할 수 있다. 출력신호(Q0)의 메타 안정 상태는 클락 신호의 관계에 따라 주기적으로 발생할 수 있으며, 예를 들어 매 사이클에 한 번씩 메타 안정 상태가 발생하고 해소되는 것을 반복할 수 있다.
- [0052] 예를 들어, 제1 클락 신호(CLK1)의 주파수와 제2 클락 신호(CLK2)의 주파수 비율이 1:N 인 경우 N 사이클에 한 번씩 반복적으로 메타 안정 상태가 발생하고, 평균무고장시간 문제가 생길 수 있다. 제1 클락 신호(CLK1)의 주파수와 제2 클락 신호(CLK2)의 주파수 비율이 1:N이 아닌 경우(non-coherent case) 랜덤하게 메타 안정 상태가 발생할 수 있다.
- [0053] 도 7b의 경우 매 주기마다 플립-플롭의 입력신호(D)의 상태가 천이되어, 메타 안정 상태는 모든 사이클에 한번씩 발생할 수 있다. 예를 들어, 제1 클락 신호(CLK1)의 주파수와 제2 클락 신호(CLK2)의 주파수 비율이 1:1 인 경우 모든 사이클에 한번씩 반복적으로 메타 안정 상태가 발생하고, 평균무고장시간 문제가 생길 수 있다. 이 경우 메타 안정 상태가 발생할 확률이 T_w/T_c 에서 1로 증가하여 평균무고장시간 문제가 생길 수 있다.

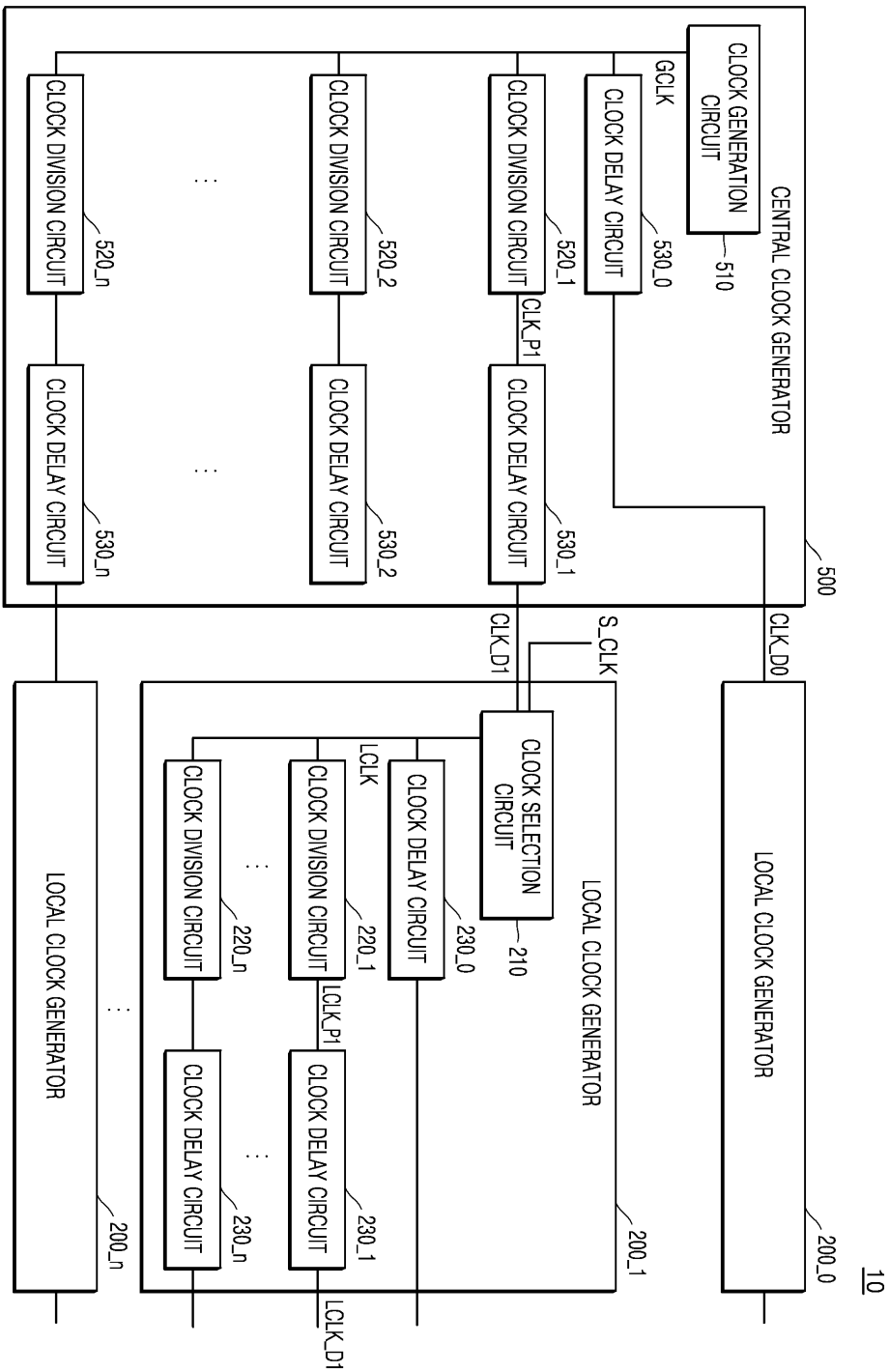
- [0054] 클락 주파수 비가 1:1 또는 1:N인 경우, 메타 안정 상태가 발생할 확률은 T_w/T_c 가 아니라 1 혹은 1/N로 증가할 수 있다. 예를 들어, 도 7a는 모든 사이클에 한번씩 메타 안정 상태가 발생하며, 도 7b는 N 사이클에 한번씩 메타 안정 상태가 발생하므로, 평균무고장시간은 클락 주파수비가 1:1 또는 1:N 이 아닌 경우보다 악화될 수 있다.
- [0055] **도 8a 내지 도 8d는 본 개시의 예시적 실시예에 따른 집적회로에서 랜덤지연 적용 시 메타 안정 상태가 발생할 확률을 설명하는 도면이다.**
- [0056] 도 8a 내지 도 8d를 참조하면, 제1 클락 신호(CLK1)의 주파수는 200MHz이고, 제2 클락 신호(CLK2)의 주파수는 200MHz 일 수 있다.
- [0057] 클럭 신호 라인에 랜덤 지연을 적용하였을 때 클럭 위상차 분포가 넓어지므로, 모든 클락 에지마다 메타 안정 상태가 발생했을 때 또는 N 사이클마다 메타 안정 상태가 발생했을때의 낮은 평균무고장시간이 개선될 수 있다. 클락 주기(T_c)의 1/4에 해당하는 지연 시간을 발생시키는 지연 버퍼 3개를 사용하였을 경우, 도 8a 내지 도 8d에 각각 도시된 바와 같이, 클락 위상차는 $T_0+T_c*(1/4)$, $T_0+T_c*(2/4)$, $T_0+T_c*(3/4)$, T_0 총 4가지로 분포할 수 있다. 도 8d에 도시된 바와 같이, 클락 위상차가 T_0 일때에는 모든 주기마다 메타 안정 상태가 발생할 수 있다. 하지만 클락 지연을 $T_c*(1/4)$, $T_c*(2/4)$, $T_c*(3/4)$ 로 이동시켰을 때에는 메타 안정 상태가 발생하지 않을 수 있다. 지연 버퍼 회로를 포함하는 클락 지연 회로를 사용하는 경우 메타 안정 상태가 발생할 확률은 1/4로 감소하고, 평균무고장시간은 4배 길어질 수 있다.
- [0058] **도 9은 본 개시의 예시적 실시예에 따른 집적회로에서 클락 제어 방법을 설명하는 순서도이다.**
- [0059] 집적회로(10)는 복수의 클락 신호들의 주파수에 기초하여 메타 안정 상태를 유발하는 클락 신호를 식별할 수 있다(S110). 메타 안정 정보는 메타 안정 상태를 유발하는 클락 신호를 식별하기 위한 정보이며, 복수의 클락 신호들의 주파수 및 메타 안정 상태가 발생할 확률 등을 포함할 수 있다.
- [0060] 메타 안정 상태는 비동기화된 클락 도메인 사이에 데이터 통신이 이루어지는 경우, 로직 회로의 입력 신호가 전이되는 타이밍과 출력 신호의 셋업(set-up)/홀드(hold) 타임의 관계에 따라 발생할 수 있다. 메타 안정 상태가 발생하면, 출력 신호는 전원 전압이나 접지 전압의 레벨로 전이되지 않고, 전원 전압의 중간 정도로 유지되거나 다음 주기에 전원 전압이나 접지전압으로 바뀌게 된다.
- [0061] 예를 들어, 제1 클락 신호에 동기화된 제1 로직 회로와 제2 클락 신호에 동기화된 제2 로직 회로가 상호 통신하는 경우 메타 안정 상태가 발생할 수 있다. 제1 클락 신호의 주파수가 제2 클락 신호의 주파수와 동일하거나 배수인 경우 메타 안정 상태가 발생할 확률은 더 높아질 수 있다.
- [0062] 이때 제1 클락 신호 및 제2 클락 신호를 포함하는 복수의 클락 신호들을 생성하는 클락 생성기들은, 위상 고정 루프(phase-locked loop, PLL)에서 생성된 중앙 클락을 기초로 각각 비동기화된 클락 신호를 생성할 수 있다. 중앙 클락 생성기 및 로컬 클락 생성기는 각각 클락 분주기를 이용하여 로직 회로에 필요한 클락 주파수를 설정할 수 있다.
- [0063] 예를 들어, 먼저 집적회로(10)는 메타 안정 상태를 식별하기 위해 동일한 클락 소스를 공유하는 클락 신호들을 선별할 수 있다. 클락 소스는 위상 고정 루프(phase-locked loop, PLL)에서 생성된 중앙 클락일 수 있다. 집적회로(10)는 선별된 클락 신호들 중에서 클락 신호의 주파수 비율이 1:1 또는 1:N 인 클락 신호들을 선택할 수 있다.
- [0064] 집적회로(10)는 메타 안정 상태를 해결하기 위해 식별된 클락 신호 중 적어도 하나를 랜덤하게 지연시킬 수 있다(S120).
- [0065] 예를 들어, 메타 안정 상태를 해결하기 위해 제1 클락 신호 또는 제2 클락 신호 중 하나를 랜덤하게 지연시킬 수 있고, 제1 클락 신호 및 제2 클락 신호를 모두 지연시키는 것도 가능하다.
- [0066] 클락 신호를 랜덤하게 지연시키기 위해 복수의 클락 생성기들 각각은 복수의 지연 버퍼, 난수발생기 및 지연된 클락 신호를 선택하는 멀티플렉서(232)를 포함하는 클락 지연 회로(230)를 더 포함할 수 있다. 클락 지연 회로(230)는 난수발생기에서 발생한 난수에 기초하여 클락을 지연시키기 위한 지연 버퍼를 선택할 수 있다.
- [0067] 클락 지연 회로(230)는 직렬로 연결되는 복수의 버퍼들로 구성된 버퍼 체인을 포함할 수 있다. 클락 지연 회로(230)에 포함된 버퍼와 버퍼 사이의 서로 다른 노드로부터 복수의 지연 클락 신호가 각각 출력될 수 있다. 지연된 클락 신호를 선택하는 멀티플렉서(232)는, 난수 발생기에서 발생한 난수에 기초하여 복수의 지연 클락 신호

중 하나를 랜덤하게 선택하여 출력할 수 있다.

- [0068] 클락 지연 회로(230)는 모드 선택을 위한 멀티플렉서(233)를 더 포함할 수 있다. 예를 들어, 클락 지연 회로(230)는 일반적인 집적회로의 동작시에는 랜덤 모드로 동작하여 랜덤 값(RANDOM_VALUE)을 제공하고, 디버깅을 위한 디버그 모드에서는 설정 값(DELAY_VALUE)을 제공할 수 있다.
- [0069] 집적 회로(10)는 메타 안정 상태 유발을 감소시키기 위한 적어도 하나의 플립-플롭으로 구성된 동기 회로를 더 포함할 수 있다. 동기 회로(240)는 플립-플롭 및 래치를 포함하는 다양한 논리회로를 이용하여 순차 회로(Sequential Circuit)를 구성할 수 있다. 동기 회로(240)에 포함되는 플립-플롭의 개수가 많아질수록 메타 안정 상태가 마지막 플립-플롭까지 전파될 확률이 감소할 수 있으나, 메타 안정 상태가 완전히 없어지는 것은 아니다.
- [0070] 집적회로(10)는 지연된 클락 신호를 포함하는 클락 신호들을 로직 회로에 각각 제공할 수 있다(S130).

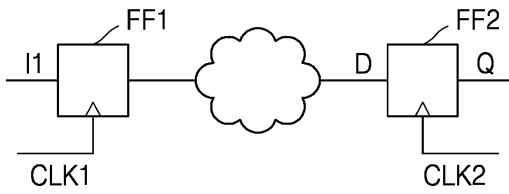
도면

도면1

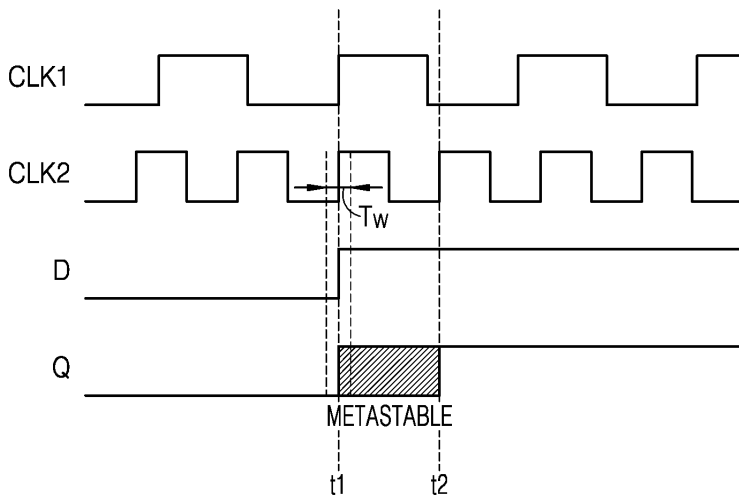


도면2a

10

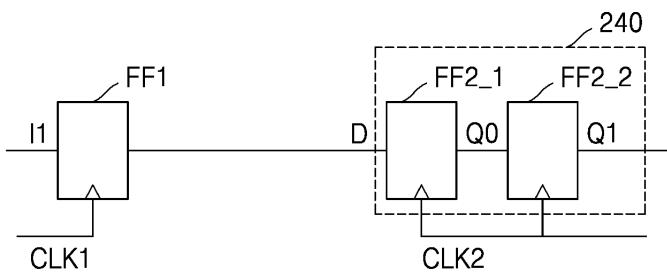


도면2b

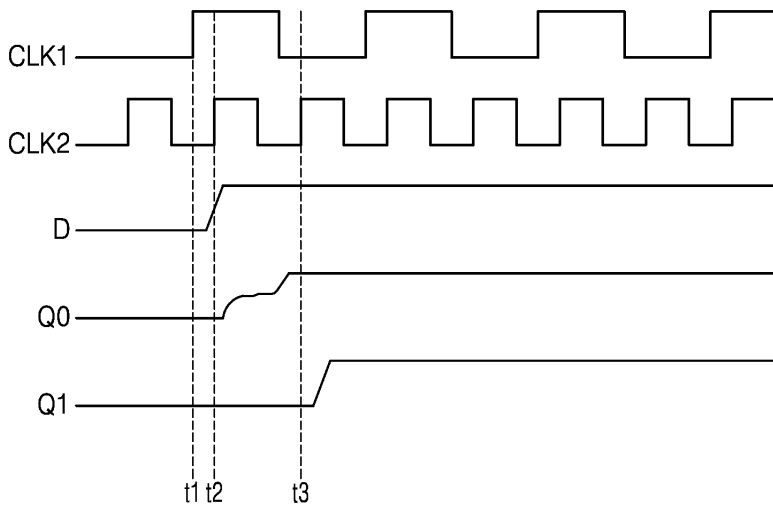


도면3a

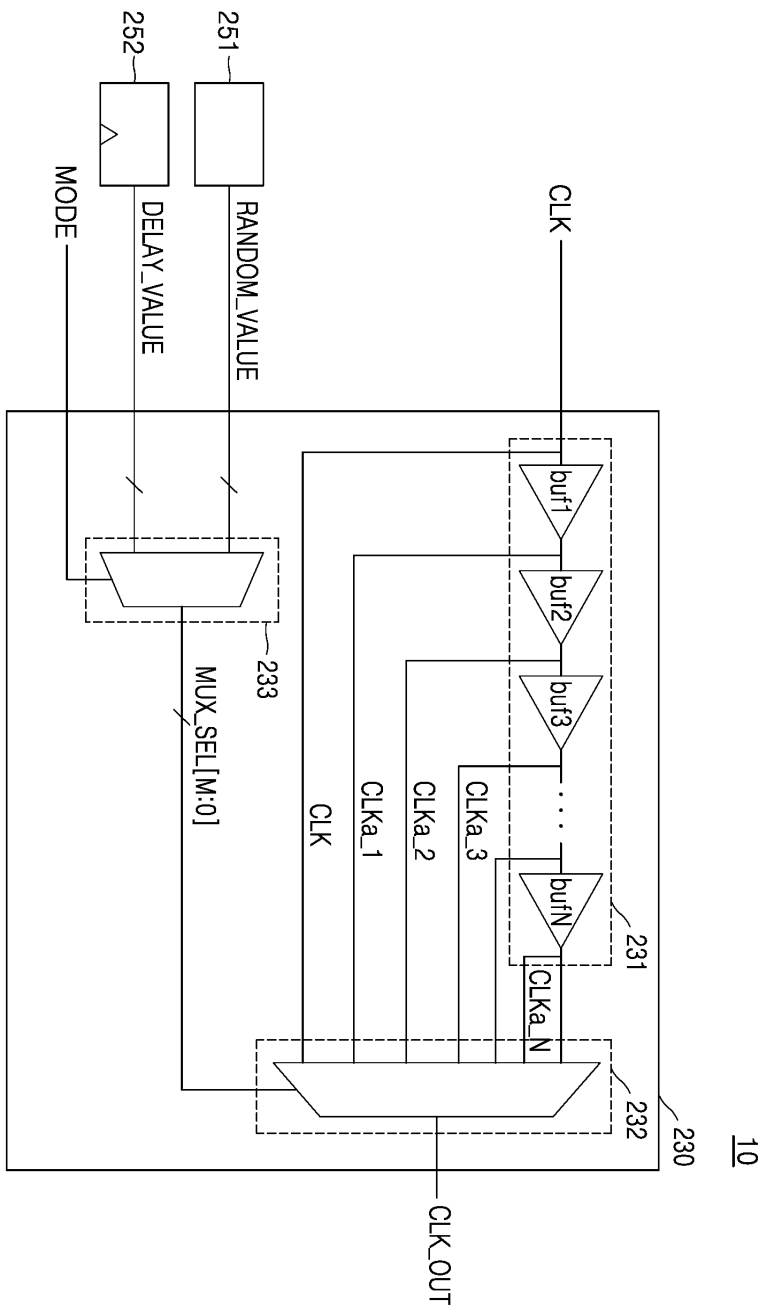
10



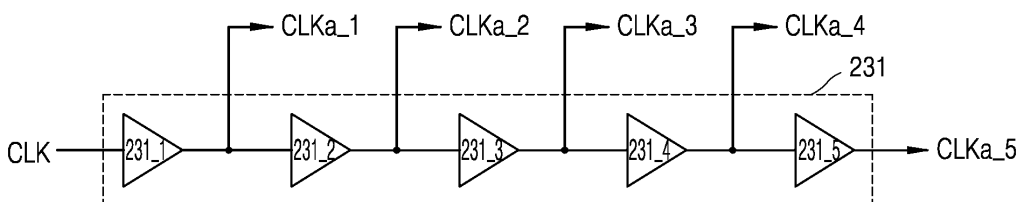
도면3b



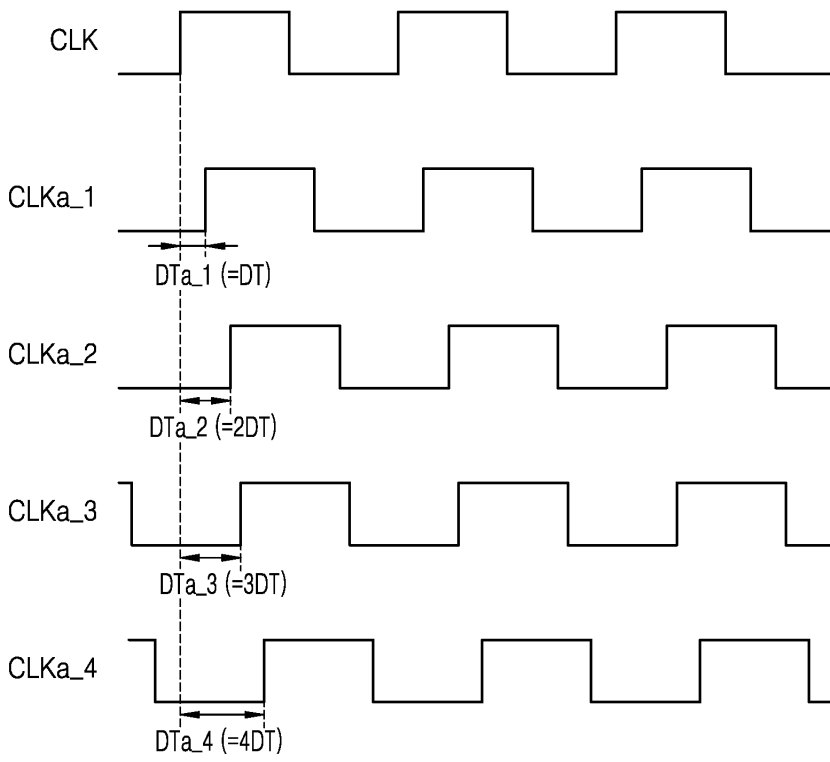
도면4



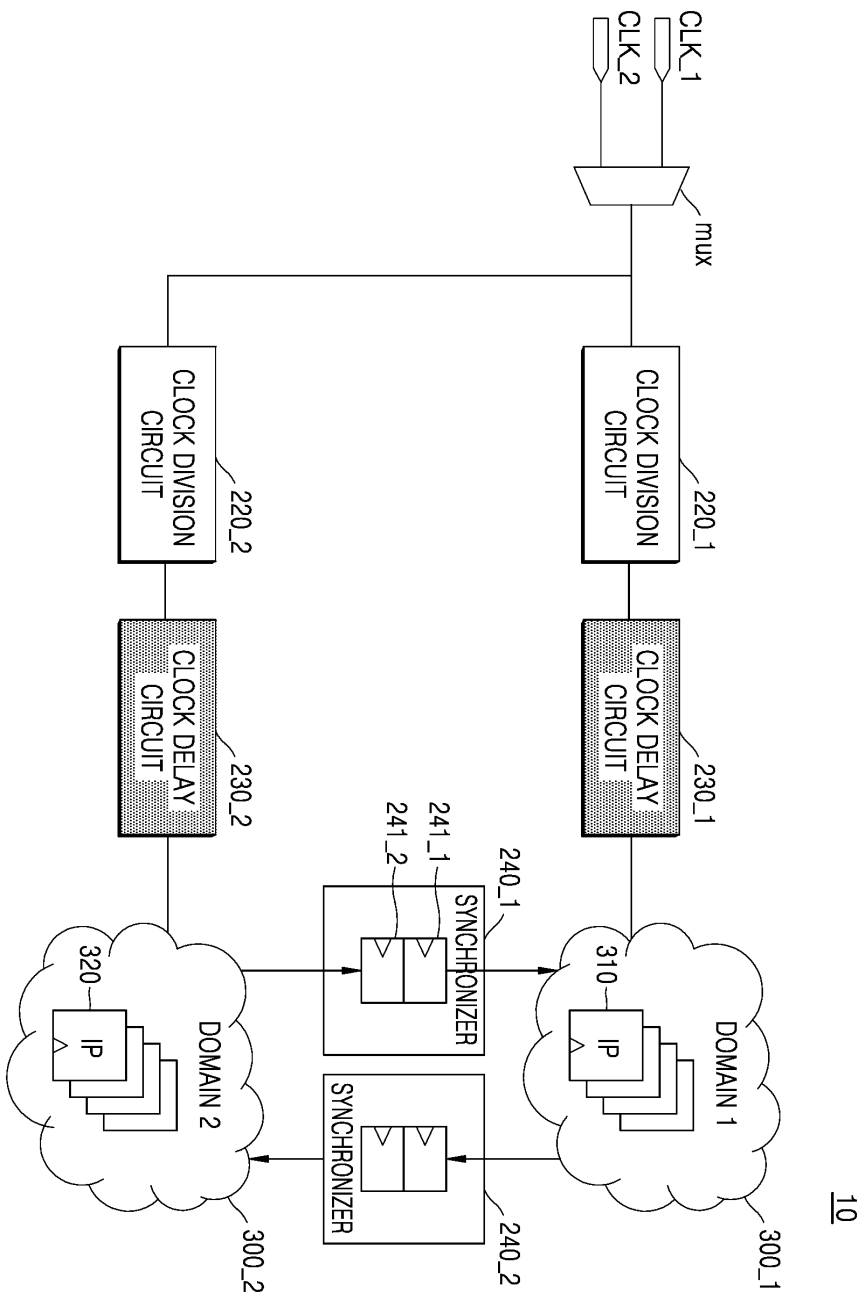
도면5a



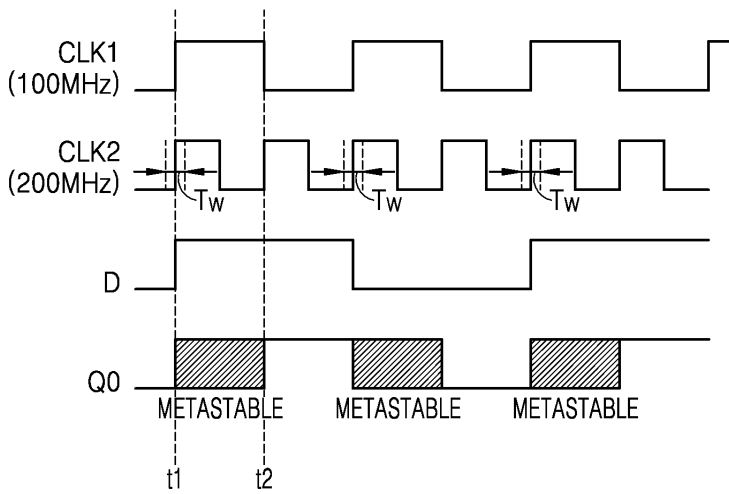
도면5b



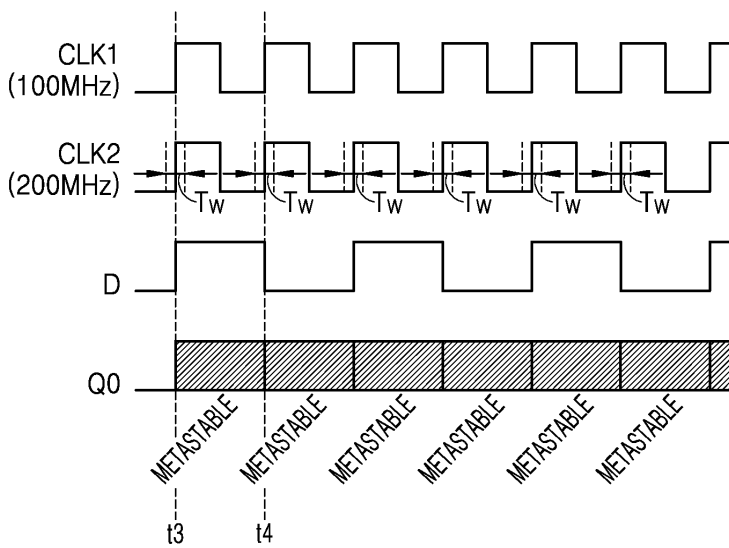
도면6



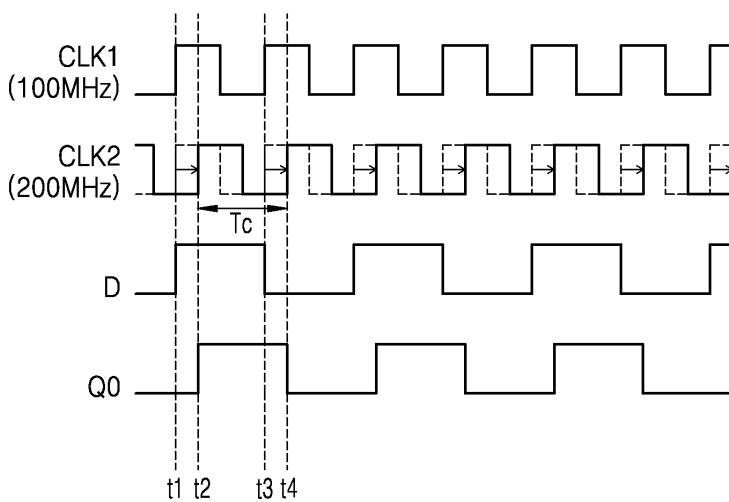
도면7a



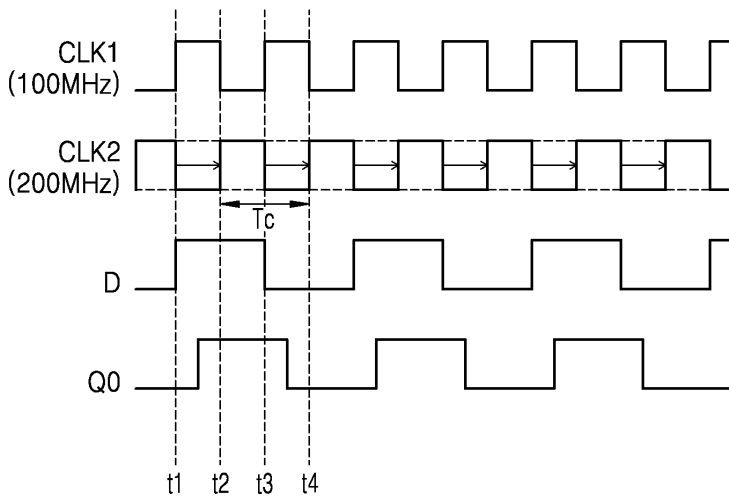
도면7b



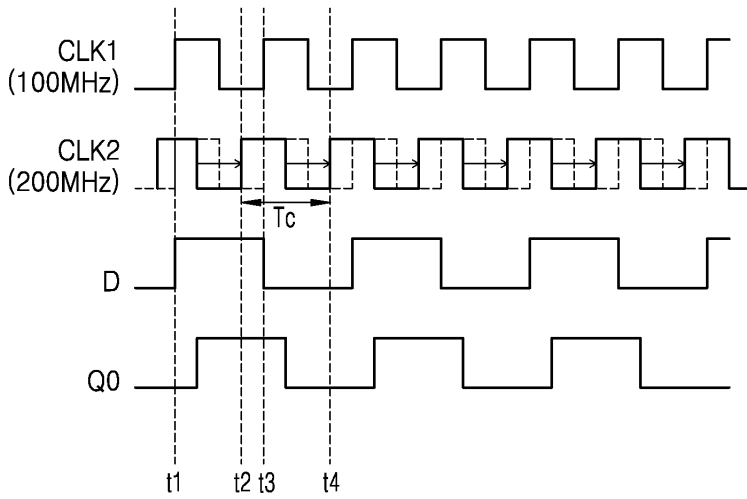
도면8a



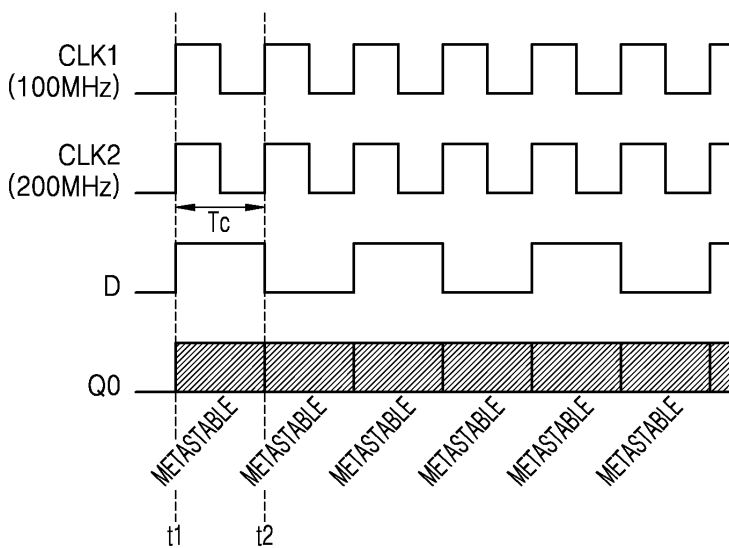
도면8b



도면8c



도면8d



도면9

