

# 公告本

申請日期	90 11 14
案 號	
類 別	H01L 27/28

A4  
C4

517358

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	具有球格陣列式封裝之晶片組之佈線架構及佈線方法
	英 文	
二、發明 創作人	姓 名	張乃舜
	國 籍	中華民國
	住、居所	台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 美國 2001/04/19 60/285,028

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( | )

本發明是有關於一種積體電路之佈線架構，且特別是有關於一種以球格陣列式封裝來包裝晶片組，其中之佈線架構與佈線方法。

球格陣列(Ball Grid Array；以下簡稱 BGA)積體電路(IC)，係為一種新一代的高接腳數 IC 封裝(packaging)，其適用於今日以次微米解析度所製造出來的，極大型積體電路(Ultra-Large Scale Integration；ULSI)之封裝使用。由於積體電路的功能越來越形複雜，以電晶體為單位的電路數量之積集程度越來越高，故傳統的 QFP (quad flat pack)或 PGA (pin-grid array)已逐漸不符合實際應用的要求。例如，常見的 QFP 與 PGA 只提供一百至二百支 IC 接腳(PIN)，對於今日複雜的數位邏輯電子電路 IC 而言，顯然逐漸已不敷使用。

就以今日廣泛使用的，以六十四位元微處理器為基礎的個人電腦而言，其核心邏輯(core logic)電路必須與微處理器，以及諸如做為系統主記憶體的動態隨機存取記憶體(DRAM)，與做為快取記憶體的靜態隨機存取記憶體(SRAM)等，各以六十四位元的全匯流排寬度連結。因此，若此種核心邏輯被製作成為單一晶片的 IC，單只是各資料匯流排與其對應的各個位址匯流排，便必須使用到接近兩百支接腳，若再加上其他的控制信號，便輕易地會超過三百支接腳。BGA IC 封裝即為一種可以符合此種高接腳數要求的封裝。

以印刷電路技術為基礎的一小片印刷電路基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

(Printed Circuit Board；以下簡稱 PCB)，構成了球格陣列封裝的基板(substrate)。如同熟習於本技藝之士所習知者，切割之後的半導體電路晶粒(die)係先由自動化的取放機(pick-and-place machines)黏固於此基板的表面上，並再由焊線機(wire-bonding machines)將電路晶片上的接線墊以金屬線連接至球格陣列封裝印刷電路基板上的對應焊墊上。之後再由灌膠機將整個電路晶片，包含其焊線及焊墊等，全部予以密封。待灌膠硬化之後，基板背面之球格陣列中的數百個焊球(ball)，再由迴焊爐(solder reflow)處理形成。

綜上所述，由於目前 IC 之內包之邏輯功能越來越多樣化，工作頻率也已高達數百 MHz 的程度，使得對於 IC 封裝的要求必須要能提供數目夠多的輸入輸出焊墊(IO Pad)，同時要能縮短晶粒(die)至接腳的引線長度數目。因此，近年來 BGA 封裝已蔚為高積集度 IC 包裝之主流，而使用 BGA 封裝具有下列優點：

- (1)可提供數目夠多的輸入輸出焊墊。
- (2)IC 封裝尺寸小，適用於小型裝置例如筆記型電腦(Notebook)。
- (3)引線電感小，適用於高速電路並可減少接地跳動(Ground Bounce)。
- (4)將傳統之引線接腳(Lead PIN)連接方式，改善為使用錫球(Ball)之方式與 PCB 接觸，避免封裝搬運時，造成接腳折彎或偏移情形。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 3 )

請參見第 1 圖，其為習知之具有球格陣列式封裝之晶片組之佈線架構，基板一般包括有 4 層之佈線層，分別為正面佈線層、電源層、接地層以及背面佈線層，在放置晶粒 120 側的正面佈線層中，焊墊金手指區 110 上之第一焊墊 111、第二焊墊 112 及第三焊墊 113 分別以第一長弧金線 131、第二長弧金線 132 及第三長弧金線 133 耦接至晶粒 120，而第一焊墊 111 耦接第一貫孔 151，第一貫孔 151 於背面佈線層連接上相對應的第一錫球 141，同樣地，第二焊墊 112 耦接第二貫孔 152，第二貫孔 152 於背面佈線層連接上相對應的第二錫球 142，第三焊墊 113 耦接第三貫孔 153，第三貫孔 153 於背面佈線層連接上相對應的第三錫球 143。

由第 1 圖上可知，習知此第一長弧金線 131、第二長弧金線 132 及第三長弧金線 133，由於長弧金線之長度較長，彼此之間容易產生雜訊干擾，影響晶粒 120 對外輸出訊號的品質。而且，上述第一焊墊 111、第二焊墊 112 及第三焊墊 113 分別連接第一貫孔 151、第二貫孔 152 及第三貫孔 153 時，所用之訊號走線(trace)其間間距很小，會增加佈線的複雜度及困難度，又同樣容易產生雜訊干擾。

有鑑於此，本發明提供一種具有球格陣列式封裝之晶片組之佈線架構及佈線方法，可以降低雜訊干擾，並簡化關鍵訊號走線之佈線設計的複雜度及困難度。

本發明之較佳實施例提供一種具有球格陣列式封裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

之晶片組之佈線架構，此晶片組至少包括有晶粒以及基板，其中基板至少包括有正面佈線層以及有背面佈線層，而晶粒係配置於正面佈線層上，此佈線架構包括：長弧金線、普通訊號焊墊、第一中弧金線、第一關鍵訊號焊墊、第二中弧金線、第二關鍵訊號焊墊、第三中弧金線、防干擾焊墊、第一貫孔、關鍵訊號走線、第一錫球、第二貫孔、普通訊號走線、第二錫球、以及掛名錫球。

上述長弧金線耦接至晶粒，用以傳送普通訊號，而普通訊號焊墊係屬於正面佈線層，用以承接長弧金線，並接續傳送普通訊號。上述第一中弧金線耦接至晶粒，用以傳送第一關鍵訊號，長弧金線的長度大於此第一中弧金線的長度，而第一關鍵訊號焊墊係屬於正面佈線層，用以承接第一中弧金線，並接續傳送第一關鍵訊號，普通訊號焊墊與晶粒之距離係大於此第一關鍵訊號焊墊與晶粒之距離。

上述第二中弧金線耦接至晶粒，用以傳送第二關鍵訊號，長弧金線的長度大於此第二中弧金線的長度，而第二關鍵訊號焊墊係屬於正面佈線層，用以承接第二中弧金線，並接續傳送第二關鍵訊號，普通訊號焊墊與晶粒之距離係大於此第二關鍵訊號焊墊與晶粒之距離。上述第三中弧金線同樣耦接至晶粒，而防干擾焊墊係屬於正面佈線層，用以承接第三中弧金線，此防干擾焊墊緊鄰且位於上述第一關鍵訊號焊墊與第二關鍵訊號焊墊之間，此防干擾焊墊連接至穩定電源電壓或接地電壓，事實上，本發明只

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

要每個關鍵訊號焊墊旁配置有防干擾焊墊即可。

上述第一貫孔以及第二貫孔都是用來貫穿基板，以電性連接正面佈線層以及背面佈線層。關鍵訊號走線係屬於正面佈線層，用以連接上述第一關鍵訊號焊墊以及第一貫孔。第一錫球係配置於背面佈線層上，此第一錫球耦接至第一貫孔，用以作為晶片組之第一關鍵訊號的訊號接腳。普通訊號走線係屬於正面佈線層，用以連接上述普通訊號焊墊以及第二貫孔。第二錫球係配置於背面佈線層上，此第二錫球耦接至第二貫孔，用以作為晶片組之普通訊號的訊號接腳。掛名錫球係配置於背面佈線層上，此掛名錫球係緊鄰第一錫球，且不連接至任何貫孔，以使關鍵訊號走線與其他訊號走線之最小距離大於普通訊號走線與其他訊號走線之最小距離。

本發明所提供之一種具有球格陣列式封裝之晶片組之佈線架構及佈線方法，係把在基板上由高弧金線所及的距離之複數個關鍵訊號焊墊，拉進到中弧金線所及的距離，並在每個關鍵訊號焊墊之旁側配置接地焊墊或電壓焊墊，由於晶粒以中弧金線來耦接焊墊，且在兩條中弧金線所相對應之二個焊墊之間配置一個隔絕用的穩定電壓焊墊，故能降低中弧金線間之雜訊干擾，又使這些中弧金線所對應的焊墊所相對應的錫球附近放置相對應的掛名錫球，由於掛名錫球旁邊不需要貫孔，故能增加走線的間距。

為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做

## 五、發明說明(6)

詳細說明如下：

圖示簡單說明：

第 1 圖繪示的是習知之具有球格陣列式封裝之晶片組之佈線架構示意圖；以及

第 2 圖繪示的是本發明之較佳實施例的一種具有球格陣列式封裝之晶片組之佈線架構示意圖。

第 3 圖繪示的是本發明之另一較佳實施例的一種具有球格陣列式封裝之晶片組之佈線架構示意圖。

重要元件標號：

110, 210 焊墊金手指區

111 第一焊墊

112 第二焊墊

113 第三焊墊

120, 220 晶粒

131 第一長弧金線

132 第二長弧金線

133 第三長弧金線

141 第一錫球

142 第二錫球

143 第三錫球

151 第一貫孔

152 第二貫孔

153 第三貫孔

211 第一關鍵訊號焊墊

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(7)

- 212 防干擾焊墊
- 213 第二關鍵訊號焊墊
- 214 普通訊號焊墊
- 231 第一中弧金線
- 232 第二中弧金線
- 233 第三中弧金線
- 234 長弧金線
- 241 第一錫球
- 242 第二錫球
- 243 第一掛名錫球
- 251 第一貫孔
- 252 第二貫孔
- 260 基板
- 261 關鍵訊號走線
- 262 普通訊號走線
- 310 掛名錫球
- 320 防干擾焊墊

### 較佳實施例：

請參照第 2 圖，其繪示的是依據本發明之較佳實施例的一種具有球格陣列式封裝之晶片組之佈線架構示意圖，此佈線架構示意圖包括：基板 260、焊墊金手指 210、第一關鍵訊號焊墊 211、防干擾焊墊 212、第二關鍵訊號焊墊 213、普通訊號焊墊 214、晶粒 220、第一中弧金線 231、第二中弧金線 232、第三中弧金線 233、長弧金線 234、第

## 五、發明說明 ( 8 )

一錫球 241、第二錫球 242、第一掛名錫球 243、第一貫孔 251、第二貫孔 252、關鍵訊號走線 261、及普通訊號走線 262 等。

本實施例之晶片組至少包括有晶粒 220 以及基板 260，其中基板 260 至少包括有正面佈線層以及有背面佈線層，例如：基板包括有 4 層之佈線層，依序分別為正面佈線層、接地層、電源層、以及背面佈線層，而晶粒 220 係配置於正面佈線層上，例如：晶粒 220 係黏貼於基板 260 之正面佈線層上。由第 2 圖可輕易看出，焊墊金手指 210 之普通訊號焊墊 214、第一關鍵訊號焊墊 211、防干擾焊墊 212、第二關鍵訊號焊墊 213、關鍵訊號走線 261、及普通訊號走線 262 等皆配置屬於此基板 260 之正面佈線層。但是，有關第一錫球 241、第二錫球 242、及第一掛名錫球 243 等錫球皆配置於此基板 260 之背面佈線層上。

本實施例將晶片組的訊號分成兩個群組：關鍵訊號群組與普通訊號群組，關鍵訊號群組係包括高頻且重要的關鍵訊號，例如：位址選通訊號、資料選通訊號以及時脈訊號等，而普通訊號群組就包括非關鍵訊號群組的普通訊號，例如：記憶體位址訊號、記憶體行或列控制訊號以及記憶體寫致能控制訊號等。

球格陣列式封裝中有一種方式係將晶粒與基板以不同弧度的接合連接線打線接合。舉例而言，本實施例之佈線架構中的接合連接線可分為短弧金線(未繪出)、中弧

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(9)

金線及長弧金線三種。其中，接地焊墊(未繪出)以短弧金線來耦接至晶粒，各種電源電壓焊墊以中弧金線來耦接至晶粒，而中弧金線的弧度還可分為較高弧與較低弧二種，但都介於短弧金線與長弧金線的弧度之間。

如第 2 圖所示，長弧金線 234 耦接至晶粒 220，就是用來傳送普通訊號，而屬於一般焊墊金手指 210 中之普通訊號焊墊 214 就用來承接並連接長弧金線 234，以接續傳送普通訊號。其他屬於普通訊號群組之訊號，也可依此類推，了解其佈線方式。本發明將第一關鍵訊號焊墊 211 由長弧金線可及的距離移至第一中弧金線 231 可及的距離，亦即，此第一中弧金線 231 耦接至晶粒 220，用來傳送第一關鍵訊號，而第一關鍵訊號焊墊 211 係用來承接第一中弧金線 231，並接續傳送第一關鍵訊號。當然地，長弧金線 234 的長度大於第一中弧金線 231 的長度，而普通訊號焊墊 214 與晶粒 220 之距離係大於此第一關鍵訊號焊墊 211 與晶粒 220 之距離。因此，本發明中關鍵訊號所使用的接合連接線(中弧金線)比習知技藝所使用之接合連接線(長弧金線)為短，自然可減少雜訊干擾。

本實施例中，第二中弧金線 232 耦接至晶粒 220，用來傳送第二關鍵訊號，同樣地，長弧金線 234 的長度大於第二中弧金線 232 的長度，而第二關鍵訊號焊墊 213 承接第二中弧金線 232，並接續傳送第二關鍵訊號，普通訊號焊墊 214 與晶粒 220 之距離係大於此第二關鍵訊號焊墊 213 與晶粒 220 之距離。

## 五、發明說明(10)

本實施例之另一技術特徵，就是提供了阻隔功能的電器回路。亦即，提供第三中弧金線 233，其同樣耦接至晶粒 220，以及提供了防干擾焊墊 212，其用以承接第三中弧金線 233，此防干擾焊墊 212 緊鄰且位於第一關鍵訊號焊墊 211 與第二關鍵訊號焊墊 213 之間，事實上，本發明只要每個關鍵訊號焊墊旁配置有防干擾焊墊即可，本發明之防干擾焊墊 212 可連接至穩定電源電壓或接地電壓。與防干擾焊墊 212 相連之穩定電源電壓係依據實際的連線方式而定，而在本實施例中，關鍵訊號係主要與中央處理單元有關，所以穩定電源電壓以 CPU 之工作電壓(簡稱 VTT)較佳，在實際連線上亦較方便。如熟悉此藝者可輕易知曉，本發明所揭露之技術應用於其他地方時，所使用之穩定電源電壓便會有所不同。由於在第一關鍵訊號焊墊 211 及第二關鍵訊號焊墊 213 中間配置了防干擾焊墊 212，第一中弧金線 231 及第二中弧金線 232 中間配置了第三中弧金線 233，因此能減少第一中弧金線 231 及第三中弧金線 233 之間互相的雜訊干擾，進一步提高傳輸訊號的品質。

本實施例之另一技術特徵，就是提供了掛名錫球 243。眾所皆知，第一貫孔 251 以及第二貫孔 252 都是用來貫穿基板，以電性連接正面佈線層以及背面佈線層。但是明顯地，這些貫孔會佔掉面積，使走線相對必須互相靠近。本實施例中，關鍵訊號走線 261 係用來連接第一關鍵訊號焊墊 211 以及第一貫孔 251，而第一錫球 241 係配置於背面佈線層上，此第一錫球 241 耦接至第一貫孔 251，

## 五、發明說明(11)

用以作為晶片組之第一關鍵訊號的訊號接腳。普通訊號走線 262 係用以連接普通訊號焊墊 214 以及第二貫孔 252，而第二錫球 242 係配置於背面佈線層上，此第二錫球 242 耦接至第二貫孔 252，用以作為晶片組之普通訊號的訊號接腳。本實施例提供之掛名錫球 243 同樣配置於背面佈線層上，此掛名錫球 243 係緊鄰第一錫球 241，且不連接至任何貫孔，但可定義為晶片組之接地電壓之接腳，由於掛名錫球 243 不連接至任何貫孔，故可使第一貫孔 251 與第一錫球 241 附近之走線空間加大，而使第一關鍵訊號走線 261 與其他訊號走線之最小距離大於普通訊號 262 走線與其他訊號走線之最小距離，當然就可降低訊號走線之間的雜訊干擾。

第 3 圖繪示的是本發明之另一較佳實施例的一種具有球格陣列式封裝之晶片組之佈線架構示意圖，其中掛名錫球 310 亦緊鄰於訊號用錫球之旁側。另外防干擾焊墊 320 亦緊鄰於關鍵訊號焊墊旁側。事實上，防干擾焊墊只要在第一關鍵訊號焊墊 211 或第二關鍵訊號焊墊 213 的旁側，即可達到降低雜訊干擾的目的。

歸結而言，本發明也提供了一種具有球格陣列式封裝之晶片組之佈線方法，此晶片組至少包括晶粒以及基板，而基板至少包括正面佈線層以及背面佈線層，且晶粒配置於正面佈線層上，本發明之佈線方法包括下列步驟：首先提供出普通訊號焊墊，此普通訊號焊墊屬於該正面佈線層；接著以長弧金線，來連接晶粒以及普通訊號焊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

墊，用以傳送普通訊號；再提供出第一關鍵訊號焊墊，此第一關鍵訊號焊墊屬於正面佈線層，而普通訊號焊墊與晶粒之距離要大於第一關鍵訊號焊墊與晶粒之距離；然後以第一中弧金線，來連接晶粒以及第一關鍵訊號焊墊，用以傳送第一關鍵訊號，上述長弧金線的長度要大於第一中弧金線的長度。

本發明之實施例之佈線方法更包括下列步驟：又提供出第二關鍵訊號焊墊，此第二關鍵訊號焊墊屬於正面佈線層，上述普通訊號焊墊與晶粒之距離係大於第二關鍵訊號焊墊與晶粒之距離；接著以第二中弧金線，連接晶粒以及第二關鍵訊號焊墊，用以傳送第二關鍵訊號，上述長弧金線的長度大於此第二中弧金線的長度；再提供防干擾焊墊，此防干擾焊墊屬於正面佈線層，使防干擾焊墊緊鄰且位於第一關鍵訊號焊墊與第二關鍵訊號焊墊之間；然後連接此防干擾焊墊至一穩定電壓；以及再以第三中弧金線，連接晶粒以及防干擾焊墊。如熟悉此藝者可知曉，本發明只要每個關鍵訊號焊墊旁配置有防干擾焊墊即可，所以不一定需要提供有第二關鍵訊號焊墊以及第二中弧金線。

本發明之實施例之佈線方法更包括下列步驟：利用第一貫孔貫穿基板，以電性連接正面佈線層以及背面佈線層；接著於正面佈線層上，以關鍵訊號走線，來連接第一關鍵訊號焊墊以及第一貫孔；再提供第一錫球，配置於背面佈線層上，用以作為晶片組之第一關鍵訊號的訊號接腳；然後連接第一錫球與第一貫孔；同樣地，以第二貫孔

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(13)

貫穿基板，以電性連接正面佈線層以及背面佈線層；接著於正面佈線層上，以普通訊號走線，來連接普通訊號焊墊以及第二貫孔；並提供第二錫球，配置於背面佈線層上，用以作為晶片組之該普通訊號的訊號接腳；然後連接第二錫球與第二貫孔；以及最後提供出掛名錫球，配置於背面佈線層上，此掛名錫球係緊鄰第一錫球，且不連接至任何貫孔，以使關鍵訊號走線與其他訊號走線之最小距離大於普通訊號走線與其他訊號走線之最小距離。

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，再不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 具有球格陣列式封裝之晶片組之  
佈線架構及佈線方法 )

一種具有球格陣列式封裝之晶片組之佈線架構及佈線方法，係把在基底板上由高弧金線所及的距離之一些重要之關鍵訊號焊墊，拉進到中弧金線所及的距離，並只要在緊鄰重要焊墊旁配置有參考焊墊，例如：在兩個重要焊墊之間配置一個參考焊墊，以降低雜訊干擾，而且緊鄰在這些重要之關鍵訊號焊墊所相對應的錫球(ball pad)附近放置相對應的掛名錫球(dummy ball pad)以增加關鍵訊號走線(trace)的空間。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線



## 六、申請專利範圍

1.一種具有球格陣列式封裝之晶片組之佈線架構，該晶片組至少包括一晶粒以及一基板，該基板至少包括一正面佈線層以及一背面佈線層，該晶粒配置於該正面佈線層上，該佈線架構至少包括：

一長弧金線，耦接至該晶粒，用以傳送一普通訊號；

一普通訊號焊墊，屬於該正面佈線層，用以承接該長弧金線，並接續傳送該普通訊號；

一第一中弧金線，耦接至該晶粒，用以傳送一第一關鍵訊號，該長弧金線的長度大於該第一中弧金線的長度；以及

一第一關鍵訊號焊墊，屬於該正面佈線層，用以承接該第一中弧金線，並接續傳送該第一關鍵訊號，該普通訊號焊墊與該晶粒之距離係大於該第一關鍵訊號焊墊與該晶粒之距離。

2.如申請專利範圍第 1 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第二中弧金線，耦接至該晶粒，用以傳送一第二關鍵訊號，該長弧金線的長度大於該第二中弧金線的長度；

一第二關鍵訊號焊墊，屬於該正面佈線層，用以承接該第二中弧金線，並接續傳送該第二關鍵訊號，該普通訊號焊墊與該晶粒之距離係大於該第二關鍵訊號焊墊與該晶粒之距離；

一第三中弧金線，耦接至該晶粒；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一防干擾焊墊，屬於該正面佈線層，用以承接該第三中弧金線，該防干擾焊墊緊鄰且位於該第一關鍵訊號焊墊與該第二關鍵訊號焊墊之間，該防干擾焊墊連接至一穩定電壓。

3.如申請專利範圍第 2 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該第一關鍵訊號以及該第二關鍵訊號屬於一關鍵訊號群組，該關鍵訊號群組包括：一位址選通訊號、一資料選通訊號以及一時脈訊號。

4.如申請專利範圍第 2 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該穩定電壓係為一接地電壓或一電源電壓。

5.如申請專利範圍第 1 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第一貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一關鍵訊號走線，屬於該正面佈線層，用以連接該第一關鍵訊號焊墊以及該第一貫孔；

一第一錫球，配置於該背面佈線層上，該第一錫球耦接至該第一貫孔，用以作為該晶片組之該第一關鍵訊號的訊號接腳；以及

一掛名錫球，配置於該背面佈線層上，該掛名錫球係緊鄰該第一錫球，且不連接至任何貫孔，以使該關鍵訊號走線與其他訊號走線之最小距離大於其他訊號走線之最小距離。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

6.如申請專利範圍第 5 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第二貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一普通訊號走線，屬於該正面佈線層，用以連接該普通訊號焊墊以及該第二貫孔；以及

一第二錫球，配置於該背面佈線層上，該第二錫球耦接至該第二貫孔，用以作為該晶片組之該普通訊號的訊號接腳，其中該關鍵訊號走線與其他訊號走線之最小距離，大於該普通訊號走線之最小距離。

7.如申請專利範圍第 5 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該掛名錫球係定義為該晶片組之接地電壓之接腳。

8.如申請專利範圍第 1 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第二中弧金線，耦接至該晶粒；以及

一防干擾焊墊，屬於該正面佈線層，用以承接該第二中弧金線，該防干擾焊墊係緊鄰該第一關鍵訊號焊墊，且該防干擾焊墊連接至一穩定電壓。

9.一種具有球格陣列式封裝之晶片組之佈線架構，該晶片組至少包括一晶粒以及一基板，該基板至少包括一正面佈線層以及一背面佈線層，該晶粒配置於該正面佈線層上，該佈線架構至少包括：

一長弧金線，耦接至該晶粒，用以傳送一普通訊號；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

一 普通訊號焊墊，屬於該正面佈線層，用以承接該長弧金線，並接續傳送該普通訊號；

一 第一中弧金線，耦接至該晶粒，用以傳送一第一關鍵訊號，該長弧金線的長度大於該第一中弧金線的長度；

一 第一關鍵訊號焊墊，屬於該正面佈線層，用以承接該第一中弧金線，並接續傳送該第一關鍵訊號，該普通訊號焊墊與該晶粒之距離係大於該第一關鍵訊號焊墊與該晶粒之距離；

一 第二中弧金線，耦接至該晶粒；

一 防干擾焊墊，屬於該正面佈線層，用以承接該第二中弧金線，該防干擾焊墊係緊鄰該第一關鍵訊號焊墊，該防干擾焊墊連接至一穩定電壓；

一 第一貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一 關鍵訊號走線，屬於該正面佈線層，用以連接該第一關鍵訊號焊墊以及該第一貫孔；

一 第一錫球，配置於該背面佈線層上，該第一錫球耦接至該第一貫孔，用以作為該晶片組之該第一關鍵訊號的訊號接腳；

一 第二貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一 普通訊號走線，屬於該正面佈線層，用以連接該普通訊號焊墊以及該第二貫孔；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一 第二錫球，配置於該背面佈線層上，該第二錫球耦接至該第二貫孔，用以作為該晶片組之該普通訊號的訊號接腳；以及

一 掛名錫球，配置於該背面佈線層上，該掛名錫球係緊鄰該第一錫球，且不連接至任何貫孔，以使該關鍵訊號走線與其他訊號走線之最小距離大於該普通訊號走線與其他訊號走線之最小距離。

10.如申請專利範圍第 9 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一 第三中弧金線，耦接至該晶粒，用以傳送一第二關鍵訊號，該長弧金線的長度大於該第三中弧金線的長度；以及

一 第二關鍵訊號焊墊，屬於該正面佈線層，用以承接該第三中弧金線，並接續傳送該第二關鍵訊號，該普通訊號焊墊與該晶粒之距離係大於該第二關鍵訊號焊墊與該晶粒之距離；

其中該防干擾焊墊緊鄰且位於該第一關鍵訊號焊墊與該第二關鍵訊號焊墊之間。

11.如申請專利範圍第 9 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該第一關鍵訊號以及該第二關鍵訊號屬於一關鍵訊號群組，該關鍵訊號群組包括：一位址選通訊號、一資料選通訊號以及一時脈訊號。

12.如申請專利範圍第 9 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該穩定電壓係為一接地電壓

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

或一電源電壓。

13.如申請專利範圍第 9 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該掛名錫球係定義為該晶片組之接地電壓之接腳。

14.一種具有球格陣列式封裝之晶片組之佈線方法，該晶片組至少包括一晶粒以及一基板，該基板至少包括一正面佈線層以及一背面佈線層，該晶粒配置於該正面佈線層上，該佈線方法包括下列步驟：

提供一普通訊號焊墊，該普通訊號焊墊屬於該正面佈線層；

以一長弧金線，連接該晶粒以及該普通訊號焊墊，用以傳送一普通訊號；

提供一第一關鍵訊號焊墊，該第一關鍵訊號焊墊屬於該正面佈線層，該普通訊號焊墊與該晶粒之距離係大於該第一關鍵訊號焊墊與該晶粒之距離；以及

以一第一中弧金線，連接該晶粒以及該第一關鍵訊號焊墊，用以傳送一第一關鍵訊號，該長弧金線的長度大於該第一中弧金線的長度。

15.如申請專利範圍第 14 項所述之具有球格陣列式封裝之晶片組之佈線方法，更包括下列步驟：

提供一第二關鍵訊號焊墊，該第二關鍵訊號焊墊屬於該正面佈線層，該普通訊號焊墊與該晶粒之距離係大於該第二關鍵訊號焊墊與該晶粒之距離；

以一第二中弧金線，連接該晶粒以及該第二關鍵訊

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

號焊墊，用以傳送一第二關鍵訊號，該長弧金線的長度大於該第二中弧金線的長度；

提供一防干擾焊墊，該防干擾焊墊屬於該正面佈線層，該防干擾焊墊緊鄰且位於該第一關鍵訊號焊墊與該第二關鍵訊號焊墊之間；

連接該防干擾焊墊至一穩定電壓；以及

以一第三中弧金線，連接該晶粒以及該防干擾焊墊。

16.如申請專利範圍第 14 項所述之具有球格陣列式封裝之晶片組之佈線佈線方法，更包括下列步驟：

以一第一貫孔，貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

於該正面佈線層上，以一關鍵訊號走線，連接該第一關鍵訊號焊墊以及該第一貫孔；

提供一第一錫球，配置於該背面佈線層上，用以作為該晶片組之該第一關鍵訊號的訊號接腳；

連接該第一錫球與該第一貫孔；

以一第二貫孔，貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

於該正面佈線層上，以一普通訊號走線，連接該普通訊號焊墊以及該第二貫孔；

提供一第二錫球，配置於該背面佈線層上，用以作為該晶片組之該普通訊號的訊號接腳；

連接該第二錫球與該第二貫孔；以及

提供一掛名錫球，配置於該背面佈線層上，該掛名

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

錫球係緊鄰該第一錫球，且不連接至任何貫孔，以使該關鍵訊號走線與其他訊號走線之最小距離大於該普通訊號走線與其他訊號走線之最小距離。

17.如申請專利範圍第 14 項所述之具有球格陣列式封裝之晶片組之佈線方法，更包括下列步驟：

提供一防干擾焊墊，該防干擾焊墊屬於該正面佈線層，該防干擾焊墊係緊鄰該第一關鍵訊號焊墊；

連接該防干擾焊墊至一穩定電壓；以及

以一第二中弧金線，連接該晶粒以及該防干擾焊墊。

18.一種具有球格陣列式封裝之晶片組之佈線架構，該晶片組至少包括一晶粒以及一基板，該基板至少包括一正面佈線層以及一背面佈線層，該晶粒配置於該正面佈線層上，該佈線架構至少包括：

一第一中弧金線，耦接至該晶粒，用以傳送一第一關鍵訊號；

一第一關鍵訊號焊墊，屬於該正面佈線層，用以承接該第一中弧金線，並接續傳送該第一關鍵訊號；

一第二中弧金線，耦接至該晶粒；以及

一防干擾焊墊，屬於該正面佈線層，用以承接該第二中弧金線，該防干擾焊墊緊鄰且位於該第一關鍵訊號焊墊之旁側，該防干擾焊墊連接至一穩定電壓。

19.如申請專利範圍第 18 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第三中弧金線，耦接至該晶粒，用以傳送一第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

關鍵訊號；以及

一第二關鍵訊號焊墊，屬於該正面佈線層，用以承接該第二中弧金線，並接續傳送該第二關鍵訊號；

20.如申請專利範圍第 19 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一長弧金線，耦接至該晶粒，用以傳送一普通訊號；  
以及

一普通訊號焊墊，屬於該正面佈線層，用以承接該長弧金線，並接續傳送該普通訊號，其中該普通訊號焊墊與該晶粒之距離，係大於該第一關鍵訊號焊墊與該晶粒之距離、且大於該第二關鍵訊號焊墊與該晶粒之距離、亦大於該防干擾焊墊與該晶粒之距離。

21.如申請專利範圍第 20 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第二貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一普通訊號走線，屬於該正面佈線層，用以連接該普通訊號焊墊以及該第二貫孔；以及

一第二錫球，配置於該背面佈線層上，該第二錫球耦接至該第二貫孔，用以作為該晶片組之該普通訊號的訊號接腳。

22.如申請專利範圍第 19 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該第一關鍵訊號以及該第二關鍵訊號屬於一關鍵訊號群組，該關鍵訊號群組包括：一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位址選通訊號、一資料選通訊號以及一時脈訊號。

23.如申請專利範圍第 18 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該穩定電壓係為一接地電壓或一電源電壓。

24.如申請專利範圍第 18 項所述之具有球格陣列式封裝之晶片組之佈線架構，更包括：

一第一貫孔，用以貫穿該基板，以電性連接該正面佈線層以及該背面佈線層；

一關鍵訊號走線，屬於該正面佈線層，用以連接該第一關鍵訊號焊墊以及該第一貫孔；

一第一錫球，配置於該背面佈線層上，該第一錫球耦接至該第一貫孔，用以作為該晶片組之該第一關鍵訊號的訊號接腳；以及

一掛名錫球，配置於該背面佈線層上，該掛名錫球係緊鄰該第一錫球，且不連接至任何貫孔，以使該關鍵訊號走線與其他訊號走線之最小距離大於其他訊號走線之最小距離。

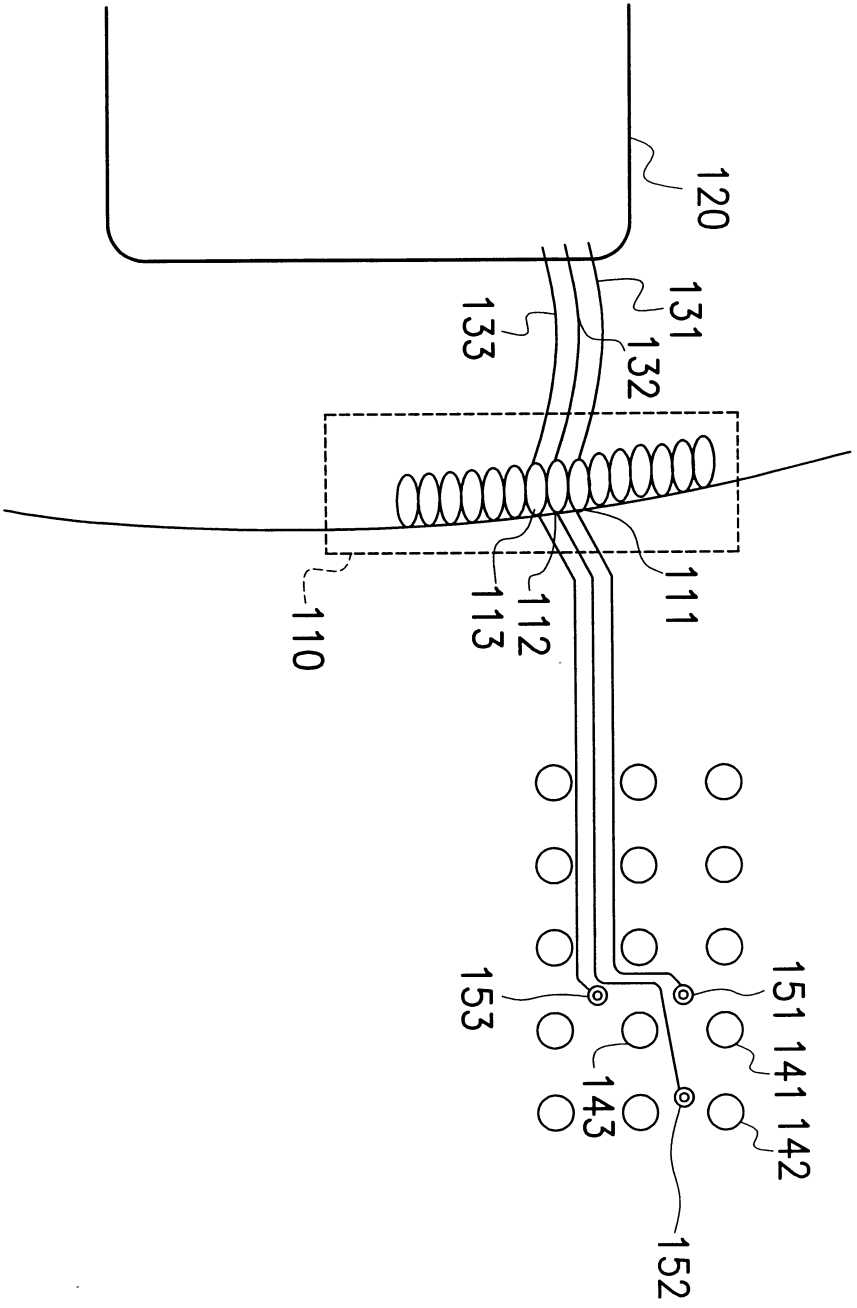
25.如申請專利範圍第 24 項所述之具有球格陣列式封裝之晶片組之佈線架構，其中該掛名錫球係定義為該晶片組之接地電壓之接腳。

(請先閱讀背面之注意事項再填寫本頁)

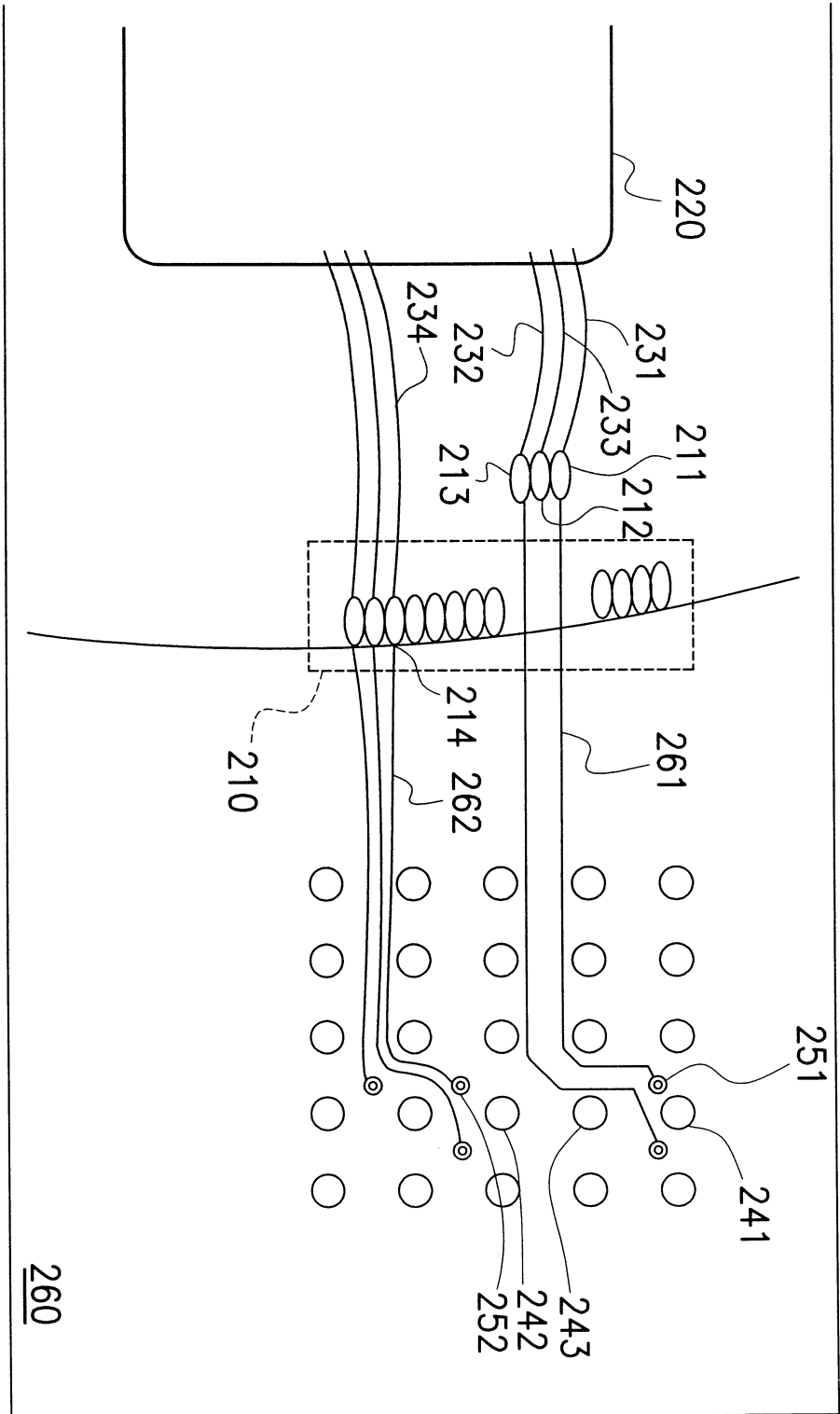
表

訂

線

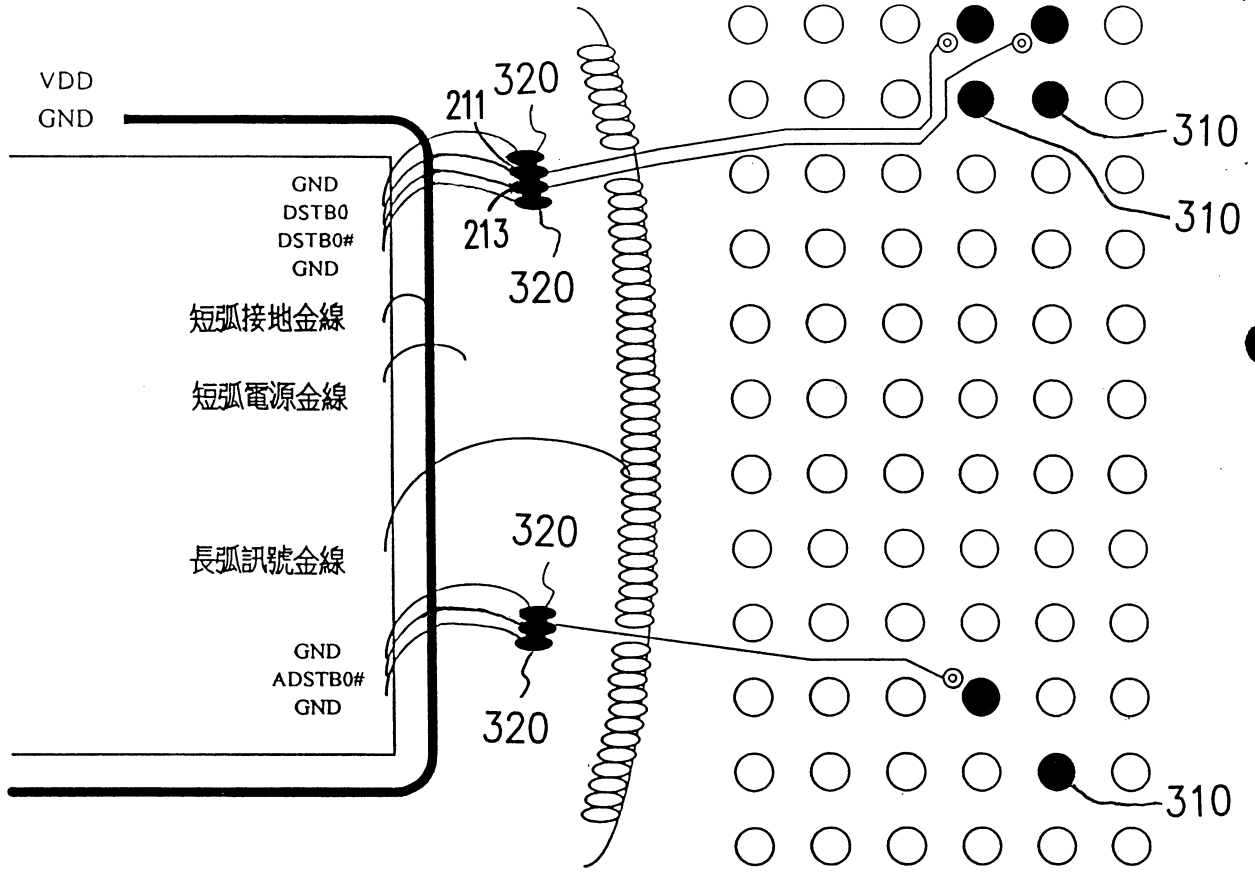


第 1 圖



第 2 圖

91年10月24日 修正  
補充



第 3 圖