

三、發明人：(共 4 人)

1. 姓名：(中文/英文)

龍翔瀾/ LUNG, HSIANG-LAN

國籍：(中文/英文) 中華民國/R.O.C.

2. 姓名：(中文/英文)

林仲漢/LAM, CHUNG HON

國籍：(中文/英文) 美國/U.S.A.

3. 姓名：(中文/英文)

楊明/YANG, MIN

國籍：(中文/英文) 美國/U.S.A.

4. 姓名：(中文/英文)

亞歷桑德羅 加布里埃爾 史克魯特/SCHROTT, ALEJANDRO GABRIEL

國籍：(中文/英文) 美國/U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

美國 US；2008/04/22；12/107,573。

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

三、發明人：(共 4 人)

1. 姓名：(中文/英文)

龍翔瀾/ LUNG, HSIANG-LAN

國籍：(中文/英文) 中華民國/R.O.C.

2. 姓名：(中文/英文)

林仲漢/LAM, CHUNG HON

國籍：(中文/英文) 美國/U.S.A.

3. 姓名：(中文/英文)

楊明/YANG, MIN

國籍：(中文/英文) 美國/U.S.A.

4. 姓名：(中文/英文)

亞歷桑德羅 加布里埃爾 史克魯特/SCHROTT, ALEJANDRO GABRIEL

國籍：(中文/英文) 美國/U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

美國 US；2008/04/22；12/107,573。

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

5 本發明係有關於使用相變化為基礎記憶材料，像是硫屬化物與其他可程式化電阻材料之高密度記憶裝置，以及製造此等裝置的製造方法。

【先前技術】

10 相變化為基礎記憶材料，如硫屬化物及類似材料之此等相變化記憶材料，可藉由施加其幅度適用於積體電路中之電流，而致使晶相變化。一般而言非晶態之特徵係其電阻高於結晶態，此電阻值可輕易測量得到而用以作為指示。這種特性則引發使用可程式化電阻材料以形成非揮發性記憶體電路等興趣，此電路可用於隨機存取讀寫。

15 從非晶態轉變至結晶態一般係為一低電流步驟。從結晶態轉變至非晶態(以下指稱為重置(reset))一般係為一高電流步驟，其包括一短暫的高電流密度脈衝以融化或破壞結晶結構，其後此相變化材料會快速冷卻，抑制相變化的過程，使得至少部份相變化結構得以維持在非晶態。需要
20 最小化造成由該結晶態轉變到該非晶態相變化之該重置電流幅度。該記憶胞使用相變化材料包含一「主動區域」在該記憶胞之該相變化材料之主體內，該區域係實際相變化發生所在。所使用的技術係為使製造該主動區域很小，使得
25 降低引起該相變化所需要的電流。同時亦使用相關技術來熱隔離該相變化記憶胞的該主動區域，使得將用來引起

相變化的電阻熱被留在該主動區域中。

欲降低重置所需的電流幅度，亦可藉由降低該記憶胞中該相變化記憶元件的大小，及/或在電極及該相變化材料間的接點區域來達成，如此可以在較小絕對電流值通過該相變化材料元件的情況下而達到較高的電流密度。

此領域發展的一種方法係致力於在一積體電路結構上形成微小孔洞，並使用微量可程式化之電阻材料填充這些微小孔洞。致力於此等微小孔洞的專利包括：於 1997 年 11 月 11 日公告之美國專利第 5,687,112 號 “Multibit Single Cell Memory Element Having Tapered Contact”、發明人為 Ovshinky；於 1998 年 8 月 4 日公告之美國專利第 5,789,277 號 “Method of Making Chalogenide [sic] Memory Device”、發明人為 Zahorik 等；於 2000 年 11 月 21 日公告之美國專利第 6,150,253 號 “Controllable Ovonic Phase-Change Semiconductor Memory Device and Methods of Fabricating the Same”、發明人為 Doan 等。

一種用以在相變化細胞中控制主動區域尺寸的方式，係設計非常小的電極以將電流傳送至一相變化材料體中。此微小電極結構將在相變化材料之類似蕈狀小區域中誘發相變化，亦即接觸部位。請參照 2002/8/22 發證給 Wicker 之美國專利 6,429,064 號 “Reduced Contact Areas of Sidewall Conductor”、2002/10/8 發證給 Gilgen 之美國專利 6,462,353 “Method for Fabricating a Small Area of Contact Between Electrodes”、2002/12/31 發證給 Lowrey 之美國專

利 6,501,111 號 “Three-Dimensional (3D) Programmable Device”、以及 2003/7/1 發證給 Harshfield 之美國專利 6,563,156 號 “Memory Elements and Methods for Making same”。

5

製造非常小電極裝置所引發的一種問題係與該非常小的電極不良接著有關，而可能造成在製程中該底電極脫落。

10 美國專利申請號第 12/016,840 號專利，申請日為 2008 年 1 月 18 日以 “Memory Cell with Memory Element Contacting an Inverted T-Shaped Bottom Electrode” 為題，提出一種具有反向 T 型之一底電極，在該底電極及記憶材料之間具有一小塊接觸面積，形成一小塊主動區域並降低該
15 記憶胞重置所需要的能量。該反向 T 型底電極亦改善了該底電極在製程中的該結構穩定度，因此提升此等裝置的製造產率。

20 因此，需要一種可靠的記憶細胞之製造方法，可用於高密度積體電路記憶裝置之記憶胞，並在該底電極的該臨界尺寸上有著良好的控制，且可解決非常小電極之結構穩定度問題。

【發明內容】

25 本發明係揭露一種記憶胞包含一底電極包括一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度。一介電層圍繞該底電極且具有一頂表面。一記憶元件於該底電極之上且包含一凹陷部位由該

介電層的該頂表面延伸與該底電極之該柱狀部位連接，其中該記憶元件之該凹陷部位具有一寬度實質相等於該底電極之該柱狀部位之該寬度。一頂電極在該記憶元件之上。

5 本發明係揭露一種生產一記憶胞的方法包含形成一底電極包含一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度。形成一介電層圍繞該底電極且具有一頂表面。形成一凹陷由該介電層的頂表面延伸至該柱狀部位的一頂表面，該凹陷具有一寬度實質相等於該底電極之該柱狀部位之該寬度。形成一記憶元件於該底電極之上且在該凹陷內包含一凹陷部位，並與該底電極之該柱狀部位的該頂表面相連接。形成一頂電極在該記憶元件之上。

15 本發明係揭露一種記憶胞包含一記憶存取層包括複數個記憶胞之存取電路包含一導電栓塞陣列延伸至該記憶存取層之一頂表面。複數個底電極，每一底電極包含一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度，其中每一底電極接觸一對應的導電栓塞。一介電層圍繞該複數個底電極並具有一頂表面。20 複數個記憶材料條於該底電極之上及做為該複數個記憶胞之記憶元件。每一記憶元件包含一凹陷部位由該介電層之該頂表面延伸至與其連接之一對應底電極的該柱狀部位，其中每一該記憶元件之該凹陷部位具有一寬度實質地相等於該對應底電極之該柱狀部位之該寬度。該裝置亦包括複數個頂電極條，每一頂電極條於一對應的記憶材料條之上。

本發明揭露一種記憶胞在該記憶元件內的該主動區域可以被製造的非常的小，因此降低重置時所需要的電流量。該小塊主動區域係該柱狀部位以及該凹陷部位之該寬度小於在該介電層之該頂表面上方的該記憶元件部位的該寬度之結果。這樣寬度上的差異可集中電流密度至該記憶元件之該凹陷部位，因而降低了需要引起該主動區域之一相變化所需的電流幅度。更著，該柱狀部位及該凹陷部位的該寬度較佳地小於用來形成該記憶胞之一製程的一最小特徵尺寸，一般來說，該製程係一微影製程。此外，該介電層亦對該主動區域提供一些熱隔離，這也幫助降低要引起一相變化所需要的電流大小。

若跟該基底部位和該柱狀部位寬度相同比較起來，該底電極之該基底部位之較大寬度提供了與該底電極較佳的接著，並降低在製程中該底電極脫落的風險。這樣改善了在製程中該底電極之結構穩定度並增加該裝置的產率。

舉凡本發明之特徵、目的及優點等將可透過下列說明申請專利範圍、說明書及所附圖式獲得充分瞭解。

【實施方式】

後續之發明說明將參照至特定結構實施例與方法。可以理解的是，本發明之範疇並非限制於特定所揭露之實施例，且本發明可利用其他特徵、元件、方法與實施例進行實施。較佳實施例係被描述以瞭解本發明，而非用以限制本發明之範疇，本發明之範疇係以申請專利範圍定義之。熟習該項技藝者可以根據後續之敘述而瞭解本發明之均等

變化。在各實施例中的類似元件將以類似標號指定之。

請參照第 1 圖，其係顯示依據本發明一實施例之一積體電路 10 的簡化方塊圖。該積體電路 10 包括一記憶陣列 11，其係使用了本發明所揭露具有階段垂直型底電極在一半導體基板之相變化記憶胞。一字元線（或列）解碼器 12 具有讀取、設置、重置模式係耦接至在該記憶陣列中 11 沿著列安置的複數個字元線 13。一位元線（或行）解碼器及驅動器 14 係耦接至在該記憶陣列中 11 沿著行安置的複數個位元線 15，以讀取、設置、重置至記憶陣列 11 中之該相變化記憶胞。位址係經由一匯流排 16 而提供至一字元線解碼器及驅動器 12 與一位元線解碼器 14。在方塊 17 中的感測放大器與資料輸入結構，包含該讀取、設置、重置模式的電流源，係經由一資料匯流排 18 而耦接至位元線解碼器 14。資料係從積體電路 10 的輸入/輸出埠、或積體電路內部與外部之其他資料來源，而經由資料輸入線 19 以將資料傳輸至方塊 17 中的資料輸入結構。在所述實施例中，其他電路 20 係包括於此積體電路 10 中，例如一泛用目的處理器或特定目的應用電路、或可提供單晶片系統功能之模組組合其係由系統於單晶片之記憶陣列所支援。資料係從方塊 17 中的感測放大器、經由資料輸出線 21、而傳輸至積體電路 10 之輸入/輸出埠或其他位於積體電路 10 內部或外部之資料目的地。

在本實施例中所使用的控制器，使用了偏壓調整狀態機構 22，並控制了偏壓調整供應電壓及電流源 23 的應用，例如讀取、程式化、抹除、抹除確認與程式化確認電壓或

用以該字元線及位元線之電流，及使用一存取控制流程來控制該字元線/源極線操作。該控制器 22 可利用特殊目的邏輯電路而應用，如熟習該項技藝者所熟知。在替代實施例中，控制器 22 包括了通用目的處理器，其可使於同一積體電路，以執行一電腦程式而控制裝置的操作。在又一實施例中，控制器 22 係由特殊目的邏輯電路與通用目的處理器組合而成。

如第 2 圖所示，該陣列 11 的每個記憶胞包括了一個存取電晶體（或在其他的存取裝置像是二極體），四個存取電晶體係以標號 24、25、26、27 顯示之，而四個相變化元件係以標號 28、29、30、31 顯示之，以及四個底電極以標號 71、72、73、74 顯示之。每個存取電晶體 24、25、26、27 的源極係共同連接至一源極線 32，而其終結於一源極線終端 33。在另一實施例中，這些選擇元件的源極線並未電連接，而是可獨立控制的。複數條字元線 13 包含字元線 34、35 係沿著第一方向平行地延伸。字元線 34、35 係與字元線解碼器 12 電性連接。存取電晶體 24、26 的閘極係連接至一共同字元線，像是字元線 34，而存取電晶體 25、27 的閘極係共同連接至字元線 35。複數條位元線 15 包含位元線 36、37 具有該相變化元件 28、29 之一端與該位元線 36 相連接。特別是相變化元件 28 係連接介於該存取電晶體 24 之汲極及該位元線 36 之間，相變化元件 29 係連接介於該存取電晶體 25 之汲極及該位元線 36 之間。類似地，相變化元件 30 連接介於該存取電晶體 26 之汲極及該位元線 37 之間，相變化元件 31 連接介於該存取電晶體 27 之汲極及該位元線 37 之間。需要注意的是，在圖中為了方便起

見，僅繪示四個記憶胞，在實務中，該陣列 11 包含數千至數百萬的此等記憶胞。同時亦可使用其他陣列結構，例如該存取裝置可為一二極體或其他轉換裝置，當不是使用第 2 圖所繪示之該電晶體時。

5

第 3 圖繪示在一底電極 56 及一頂電極 62 之間具有記憶材料層 60 一『葦狀』記憶胞先前技術之剖面圖。一導電栓塞 54 延伸穿過介電層 52 以耦接該記憶胞 50 至下方存取電路（未示）。介電層 64，包含一種或一種以上的介電層，圍繞該底電極 56、記憶材料 60、及頂電極 62。該底電極 56 具有一寬度 57 小於該頂電極 62 及該記憶材料 60 之該寬度 61。

10

在操作上，在該栓塞 54 及該頂電極 62 的電壓可以引起電流由該栓塞 54 經過該頂電極 56 及該記憶材料 60 流至該頂電極 62，或反之亦然。

15

由於寬度 57 及寬度 61 的差異在操作上該電流密度，在鄰近於該底電極 56 的該記憶材料 60 之該區域中會是最大，使得該記憶材料 60 之該主動區域 63 成為一葦狀，如第 3 圖所示。

20

由於需要最小化該底電極 54 之該寬度 57（在一些實施例中係一直徑）使得在較小的絕對電流值通過該記憶材料 60 之情況下能達到更高的電流密度。

25

然而，嘗試降低該寬度 57 時，會因為在該底電極 56

及該栓塞 54 之間較小的接觸表面而引起在電子及結構穩定度上的問題。

第 4 圖繪示解決上述所討論的問題並比起第 3 圖可以
5 改善結構穩定度之一記憶胞 400 之一剖面圖。該記憶胞 400 包含具有一基底部位 422 之一反向 T 型底電極 420 以及一柱狀部位 424 在該基底部位 422 之上。該基底部位具有一第一寬度 423 (在一些實施例中為一直徑) 以及該柱狀部位 424 具有一第二寬度 425 (在一些實施例中為一直徑), 而該第二寬度 425 小於該第一寬度 423。對於該底電極 420 而言, 該底電極 420 之該基底部位 422 的該較大的寬度 423 提供較佳的結構穩定度。

該底電極 420 之該柱狀部位 424 接觸一記憶元件 430,
15 該底電極 420 耦接該記憶元件 430 至一導電栓塞 480。該底電極 420 可以包含, 像是氮化鈦或氮化鉭。氮化鈦係為較佳的, 因為其與記憶材料元件之 GST 有良好的接觸 (如上所述), 其係為半導體製程中常用的材料, 且在 GST 轉換的高溫 (典型地介於 600 至 700°C) 下可提供良好的擴散障礙。替代地。該底電極可包含氮化鈦鋁或氮化鉭鋁, 例如包括一個以上選自下列群組之元素: 鈦、鎢、鉬、鋁、鉭、銅、鉑、銱、鎳、氮、氧、鈦及其結合。

該導電栓塞 480 延伸通過介電層 402 至下方存取電路
25 (未示), 在該所述實施例中該導電栓塞 480 包含一頑固金屬像是鎢。亦可使用其他金屬包含鈦、鉬、鋁、鉭、銅、鉑、銱、鎳和鈦。其他栓塞結構及材料亦可使用。

一頂電極 440 接觸該記憶元件 430，該頂電極 440 包含一導電材料像是上述該底電極 420 之一種或一種以上參考材料。該頂電極 440 可包含一位元線之一部位。替代地，一導電介層孔（未示）可耦接該頂電極 440 至一位元線。

介電層 402 包含一種或一種以上的介電材料層，具有一頂表面 402 並圍繞該底電極 420。該記憶元件 430 包含一凹陷部位 432 向下延伸該介電層 402 之該頂表面 404 以接觸該底電極 420 之該柱狀部位 424。該記憶元件 430 之該凹陷部位 432 係自動對準於該底電極 420 的該柱狀部位 424，且具有一寬度實質地與該柱狀部位 424 之該寬度 425 相同。在本發明所使用「實質地」一詞係為了與製造容忍度相符合。舉例來說，該記憶元件 430 可包含選自於以下群組一者或更多材料：鋳、銻、碲、硒、銻、鎳、鈹、錫、銅、鈮、鉛、硫、矽、氧、磷、砷、氮及金。

在操作上，該栓塞 480 及該頂電極 440 的電壓可以引起一電流由該栓塞 480 經過該底電極 420 及該記憶元件 430 流至該頂電極 440，反之亦然。

該主動區域 450 係該記憶元件 430 中記憶材料被引發在至少兩種固態相間轉換之該區域。可理解地，該主動區域 450 可在該所述的結構中被製造的非常地小，因而降低引起一相變化所需要的電流幅度。該柱狀部位 424 以及該凹陷部位 432 之該寬度 425 係小於在該介電層之該頂表面 404 上方的該記憶元件 430 之該部位的該寬度。該寬度 425

交加地小於用來形成該記憶胞 400 之一製程的一最小特徵尺寸，一般來說，該製程係一微影製程。寬度 425 及寬度 431 的差異集中電流密度至該記憶元件 430 之該凹陷部位 432，因而降低了需要引起該主動區域 450 之一相變化所需的電流幅度。該介電層 402 亦對該主動區域 450 提供一些熱隔離，這也幫助降低要引起一相變化所需要的電流大小。

該底電極 420 具有一反向 T 型在兩方面增加結構穩定性。首先，在該底電極 420 及該栓塞 480 間所增加的面積增加了該單元整體的強度。第二，這樣的設計將一區位的弱點（即該底電極 420 結束端點最窄部位的平面）自該底電極 420 及該栓塞 480 之間的界面處移至該底電極 420 之內。

第 5 圖繪示類似第 4 圖所述記憶胞之一第二記憶胞的剖面圖，類似的元件則以類似的標號代表之。一底電極 520 包含一基底部位 422 及一柱狀部位 524 在該基底部位 422 之上，該基底部位 422 包含一加熱材料，而該加熱材料具有大於該基底部位 422 材料之一電阻率。在操作上，該柱狀部位 524 由於其高電阻率做為一加熱器之用，對於一給定電流而引起更大的溫度改變，因而增加在該記憶元件 430 之該主動區域 450 該相變化循環的效率。在一實施例中，該基底部位包含氮化鈦，該柱狀部位可包含氮化鉭、氮化鎢或氮化鉭鋁。

記憶細胞 400、500 的實施例，包括了在記憶元件中使用相變化記憶材料，包括硫屬化物材料與其他材料。硫屬

化物包括下列四元素之任一者：氧(O)、硫(S)、硒(Se)、以及碲(Te)，形成元素週期表上第 VIA 族的部分。硫屬化物包括將一硫屬元素與一更為正電性之元素或自由基結合而得。硫屬化合物合金包括將硫屬化合物與其他物質如過渡金屬等結合。一硫屬化合物合金通常包括一個以上選自元素週期表第 IVA 族的元素，例如鍺(Ge)以及錫(Sn)。通常，硫屬化合物合金包括下列元素中一個以上的複合物：銻(Sb)、鎵(Ga)、銦(In)、以及銀(Ag)。許多以相變化為基礎之記憶材料已經被描述於技術文件中，包括下列合金：鎵/銻、銦/銻、銦/碲、銻/碲、鍺/碲、鍺/銻/碲、銦/銻/碲、鎵/碲/碲、錫/銻/碲、銦/銻/鍺、銀/銦/銻/碲、鍺/錫/銻/碲、鍺/銻/碲/碲、以及碲/鍺/銻/碲。在鍺/銻/碲合金家族中，可以嘗試大範圍的合金成分。此成分可以下列特徵式表示： $Te_aGe_bSb_{100-(a+b)}$ ，其中 a 與 b 代表了所組成元素的原子總數為 100% 時，各原子的百分比。一位研究員描述了最有用的合金係為，在沈積材料中所包含之平均碲濃度係遠低於 70%，典型地係低於 60%，並在一般型態合金中的碲含量範圍從最低 23% 至最高 58%，且最佳係介於 48% 至 58% 之碲含量。鍺的濃度係高於約 5%，且其在材料中的平均範圍係從最低 8% 至最高 30%，一般係低於 50%。最佳地，鍺的濃度範圍係介於 8% 至 40%。在此成分中所剩下的主要成分則為銻。(Ovshinky '112 專利，欄 10~11) 由另一研究者所評估的特殊合金包括 $Ge_2Sb_2Te_5$ 、 $GeSb_2Te_4$ 、以及 $GeSb_4Te_7$ 。(Noboru Yamada, "Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording", *SPIE v.3109*, pp. 28-37(1997)) 更一般地，過渡金屬如鉻(Cr)、鐵(Fe)、鎳(Ni)、鈮(Nb)、鈀(Pd)、鉑(Pt)、以及上述

之混合物或合金，可與鍺/銻/碲結合以形成一相變化合金其包括有可程式化的電阻性質。可使用的記憶材料的特殊範例，係如 Ovshinsky '112 專利中欄 11-13 所述，其範例在此係列入參考。

5

硫屬化物及其他相變化材料摻雜雜質來修飾導電性、轉換溫度、熔點及使用在摻雜硫屬化物記憶元件之其他特性。使用在摻雜硫屬化物代表性的雜質包含氮、矽、氧、二氧化矽、氮化矽、銅、銀、金、鋁、氧化鋁、鉭、氧化鉭、氮化鉭、鈦、氧化鈦。可參見美國專利第 6,800,504 號專利及美國專利申請公開號第 2005/0029502 號專利。

10

相變化材料能在此細胞主動通道區域內依其位置順序於材料為一般非晶狀態之第一結構狀態與為一般結晶固體狀態之第二結構狀態之間切換。這些材料至少為雙穩定態。此詞彙「非晶」係用以指稱一相對較無次序之結構，其較之一單晶更無次序性，而帶有可偵測之特徵如較之結晶態更高之電阻值。此詞彙「結晶態」係用以指稱一相對較有次序之結構，其較之非晶態更有次序，因此包括有可偵測的特徵例如比非晶態更低的電阻值。典型地，相變化材料可電切換至完全結晶態與完全非晶態之間所有可偵測的不同狀態。其他受到非晶態與結晶態之改變而影響之材料特中包括，原子次序、自由電子密度、以及活化能。此材料可切換成為不同的固態、或可切換成為由兩種以上固態所形成之混合物，提供從非晶態至結晶態之間的灰階部分。此材料中的電性質亦可能隨之改變。

15

20

25

相變化合金可藉由施加一電脈衝而從一種相態切換至另一相態。先前觀察指出，一較短、較大幅度的脈衝傾向於將相轉換材料的相態改變成大體為非晶態。一較長、較低幅度的脈衝傾向於將相轉換材料的相態改變成大體為結晶態。在較短、較大幅度脈衝中的能量，夠大因此足以破壞結晶結構的鍵結，同時時間夠短，因此可以防止原子再次排列成結晶態。合適的曲線係取決於經驗或模擬，特別是針對一特定的相變化合金。在本文中揭露之該相變化材料並通常被稱為 GST，可理解的是亦可以使用其他類型的相變化材料。在本發明中用來所實施的相變化唯讀記憶體(PCRAM)係 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

可用於本發明其他實施例中之其他可程式化之記憶材料包括，摻雜 N_2 之 GST、 Ge_xSb_y 、或其他以不同結晶態轉換來決定電阻之物質； $\text{Pr}_x\text{Ca}_y\text{MnO}_3$ 、 $\text{Pr}_x\text{Sr}_y\text{MnO}_3$ 、 ZrO_x ，或其他使用一電脈衝以改變電阻狀態之物質；TCNQ(7,7,8,8-tetracyanoquinodimethane)、PCBM(methanofullerene 6,6-phenyl C61-butyric acid methyl ester)、TCNQ-PCBM、Cu-TCNQ、Ag-TCNQ、 C_{60} -TCNQ、以其他物質摻雜之 TCNQ、或任何其他聚合物材料其包括有以一電脈衝而控制之雙穩定或多穩定電阻態。

利用 PVD 濺鍍或磁控濺鍍方式硫屬化物材料的一示範方法，其反應氣體為氫氣、氮氣、氧氣、及/或氬氣、壓力為 1 mTorr 至 100 mTorr。此沈積步驟一般係於室溫下進行。一長寬比為 1~5 之準直器可用以改良其填入表現。為了改善其填入表現，亦可使用數十至數百伏特之直流偏

壓。若有需要時，同時合併使用直流偏壓以及準直器亦是可行的。

5 有時需要在真空中或氮氣環境中進行一沈積後退火處理，以改良硫屬化物材料之結晶態。此退火處理的溫度典型地係介於 100°C 至 400°C，而退火時間則少於 30 分鐘。

10 該硫屬化物材料的厚度係取決於記憶胞結構的設計。一般來說，一硫屬化物具有大於 8 nm 的厚度可舉有一相變化特性使得該材料可以呈現至少兩種穩定電阻狀態。

15 第 6-16 圖繪示製造具有改善結構穩定度之一記憶胞的製造流程。

20 第 6 圖繪示提供具有一頂表面 604 之一記憶存取層 600 的第一步驟之剖面圖。該記憶存取層 600 可以由本項技術領域所熟知的標準步驟來形成，以及包含字元線 606 在一方向延伸進入並穿出第 6 圖所繪示的該剖面。該字元線 606 於一基板之上並形成該存取電晶體的該閘極。存取層 600 包含一共同源極線 610 接觸摻雜區域 601 做為該存取電晶體之該源極區域。在其他實施例中該共同源極線 610 可在該基板 608 植入一摻雜區域。該栓塞 408 延伸通過介電層 602 (一般是二氧化矽或氮化矽) 以接觸在該基板 608 內對
25 應的摻雜區域 603 做為該存取電晶體汲極區域。

接著，在該記憶存取層 600 之該頂表面 604 形成一底

電極材料層 700，以及在該底電極材料層 700 上方形成一犧牲材料層 710，而成為第 7 圖所繪示的結構。在一實施例中，該底電極材料層 700 以及該犧牲材料層 710 都分別具有 100 nm 的厚度。

5

該底電極材料層 700 以及該犧牲材料層 710 的材料係選自下述可被選擇性蝕刻能力的材料。該底電極材料層 700 可包含一種或一種以上前述第 4 圖及第 5 圖該底電極 420、450 之參考材料，而在該繪示實施例中包含一氮化鈦層。在一替代實施例中，該底電極材料層 700 包含一氮化鈦層以及一加熱材料層在該氮化鈦層之上，該加熱材料層具有大於氮化鈦之一電阻率。

10

在該所述實施例中，該犧牲材料層 710 包含矽。替代地，在其他實施例可使用氮化矽或其他該犧牲材料層 710 適合的材料。

15

接著，在該犧牲材料層 710 上形成包含罩幕元件之一蝕刻罩幕，形成第 8 圖所繪示的結構。

20

藉著使用一微影製程在該犧牲材料層 710 上圖案化一光阻層來形成該罩幕元件 800，接著剪裁該圖案化的光阻以形成具有一次微影寬度 810 之該罩幕元件 800，例如在一些實施例中小於 50 nm。舉例來說，在光阻剪裁的實施上使用一氧電漿來等向蝕刻該光阻並所小該光阻在垂直及水平方向上的尺寸。在一替代實施例中，一硬光阻層像是一氮化矽或氧化矽低溫沈積層可以使用光微影來圖案化，

25

接著藉由使用一等向性濕式蝕刻來剪裁，像是稀釋的氟化氫對於二氧化矽以及熱磷酸對於氮化矽，或等向氟或溴化氫為基礎的活性離子蝕刻。

5 接著，使用該罩幕元件 800 來非等向性蝕刻該犧牲材料層 710 及該底電極材料層 700，因此露出該記憶存取層 600 的該頂表面 604 並形成多層柱 900，如第 9 圖所示。該非等向性蝕刻可以使用像是活性離子蝕刻 RIE。如在圖式中所見一多層柱 900 包含一電極元件 920 及一犧牲元件 910 在該電極元件 920 上。

10

15

20

25

接著，移除該罩幕元件 800 以及剪裁該犧牲元件 910 來縮小該寬度，因此形成具有如第 10 圖所繪示結構之一寬度 1010 之剪裁的犧牲元件。在該所述實施例中，使用等向蝕刻製程來所小該犧牲元件 910 之該厚度及寬度以形成該剪裁的犧牲元件 1000。若該犧牲元件 910 包含矽，使用一氟或氫氧化鉀為基礎的化學乾式或濕式蝕刻可用來剪裁該犧牲元件 910。替代地，可以使用活性離子蝕刻於各種的介電材料來剪裁該犧牲元件 910。如在圖中所示，該犧牲元件 1000 具有小於該電極元件 920 的一寬度 1010，並僅於該電極元件 920 的一部份之上。因為該電極元件 920 較佳地具有一小於該最小微影特徵尺寸的一寬度，該寬度 1010 亦可小於用來形成該電極元件 920 之該最小微影特徵尺寸。在一實施例中該剪裁的犧牲元件 1000 的該寬度係約 30 nm。

接著，使用該剪裁的犧牲元件 1000 做為罩幕實施非等

向性蝕刻在該電極元件 920 以形成該底電極 420，而成為第 11 圖所繪示的結構。該非等向蝕刻形成具有一寬度 425 之該柱狀部位 424 的該底電極，而該寬度 425 係小於該基底部位 422 的該寬度 423。該底電極 420 之該基底部位 420 的該較大寬度 423 提供與該底電極 420 較佳的接著，並降低在製程中該底電極 420 脫落的風險。這樣改善了在製程中該底電極 420 之結構穩定度並增加該裝置的產率。

該非等向性蝕刻可以使用一時序模式蝕刻製程，該時序模式蝕刻可以使用一氯或氟為基礎的活性離子蝕刻製程。

在替代實施例中，該電極元件 920 包含一加熱材料層在一導電層之上，該加熱材料層可以選擇地蝕刻以形成該柱狀部位 424 使用該剪裁的犧牲元件 1000 做為蝕刻光罩。

接著，在第 11 圖繪示的結構上形成一介電層 1200 並平坦化，例如使用化學機械研磨法 CMP 以露出該剪裁的犧牲元件 1000，形成第 12 圖所繪示的結構。

接著，移除該剪裁的犧牲元件 1000 以形成凹陷 1300，形成第 12 圖所繪示的結構。在實施例中該剪裁的犧牲元件 1000 包含矽，使用可以用來移除該剪裁的犧牲元件 1000 之一氟或氫氧化鉀為基礎化學的乾式或濕式蝕刻

在第 13 圖所繪示結構上形成一記憶材料層 1400 包含該凹陷 1300，以及在該記憶材料層 1400 上形成一頂電極

材料層 1410，形成第 14 圖所繪示的結構。

5 因為第 11 圖的該剪裁的犧牲元件 1000 係用來做為蝕刻罩幕以形成該底電極 420 之該柱狀部位 424，當移除該剪裁的犧牲元件 1000 以形成該凹陷 1300 並接著填充用該記憶材料層 1400 來填充該凹陷 1300。

10 接著，圖案化該記憶材料層 1400 及該頂電極材料層 1410 以形成該記憶材料條 1500 及頂電極 1510 在該各自的記憶材料條 1500 之上，形成第 15A 圖及第 15B 圖所示之頂視圖及剖面圖。這樣圖案化的步驟可以使用傳統的光微影技術來達成，包含在該頂電極材料層 1410 上圖案化一光阻層，使用該光阻層做為一蝕刻罩幕來蝕刻，並接著移除該光阻層。如圖中所示一頂電極 1510 包含鄰近記憶胞之該頂電極 440，以及一記憶材料條 1500 包含該鄰近記憶胞的該記憶元件 430。

20 替代地，可以圖案化該記憶材料層 1400 及該頂電極材料層 1410 以形成記憶材料條和位元線條於個別的記憶材料條之上。在另一實施例中，可以圖案化該記憶材料層 1400 及該頂電極材料層來形成多層堆疊。

25 接著，在第 15 圖所繪示的結構上形成一介電層 1600，以及形成導電介層孔 1610 來耦接該頂電極 1510 至位元線 1620 形成在該介電層 1600 之上，形成第 16 圖所繪示的結構。

雖然本發明係已參照較佳實施例來加以描述，將為吾人所瞭解的是，本發明創作並未受限於其詳細描述內容。替換方式及修改樣式係已於先前描述中所建議，並且其他替換方式及修改樣式將為熟習此項技藝之人士所思及。特別是，根據本發明之結構與方法，所有具有實質上相同於本發明之構件結合而達成與本發明實質上相同結果者皆不脫離本發明之精神範疇。

任何在前文中提及之專利申請案以及印刷文本，均係列為本案之參考。

【圖式簡單說明】

第 1 圖係繪示包含使用本發明所述記憶胞之一記憶陣列的積體電路之簡單方塊圖。

第 2 圖係繪示使用本發明所述記憶胞之一記憶陣列之一部位。

第 3 圖繪示一『葦狀』記憶胞之一先前技術之一剖面圖。

第 4 圖及第 5 圖繪示比起第 3 圖之記憶胞具有改善結構穩定度的記憶胞之剖面圖。

第 6 圖至第 16 圖繪示製造具有改善結構穩定度之一記憶胞之製造流程。

【主要元件符號說明】

- 10 積體電路
- 11 記憶陣列
- 12 字元線（或列）解碼器及驅動器
- 5 13、34、35、606 字元線
- 14 位元線（或行）解碼器及驅動器
- 15、36、37 位元線
- 16 匯流排
- 17 方塊
- 10 18 資料匯流排
- 19 資料輸入線
- 20 電路
- 21 資料輸出線
- 22 偏壓調整狀態機構
- 15 23 偏壓調整供應電壓及電流源
- 24、25、26、27 存取電晶體
- 28、29、30、31 相變化元件
- 32 源極線
- 33 源極線終端
- 20 50、400、500 記憶胞
- 52 介電層
- 54 導電栓塞
- 56 底電極
- 57、61、423、425 寬度
- 25 60 記憶材料層
- 62 頂電極
- 63 主動區域

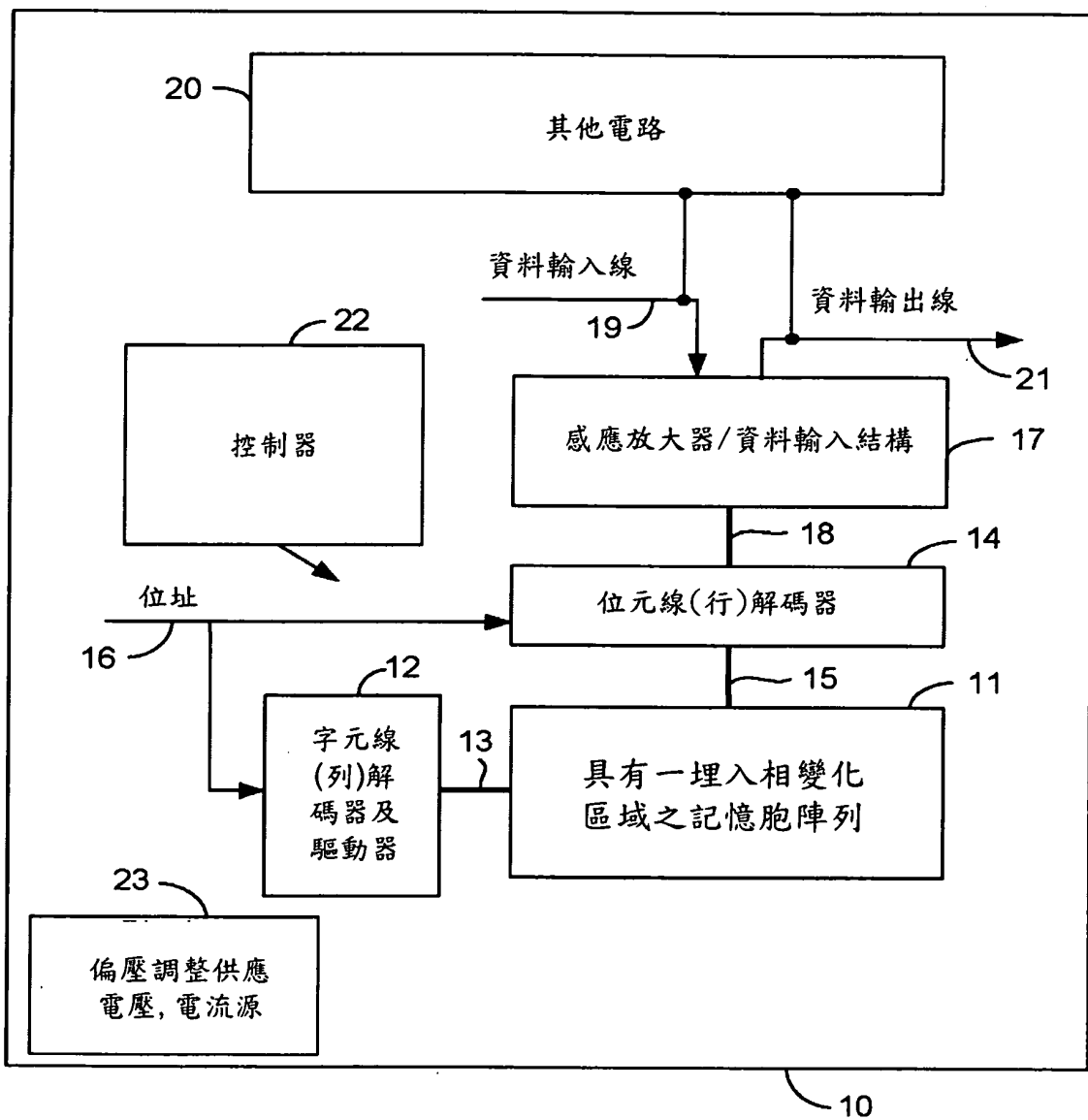
- 70、71、72、73 底電極
- 402、1600 介電層
- 404 頂表面
- 408 栓塞
- 5 422 基底部位
- 420 反向 T 型底電極
- 424、524 柱狀部位
- 430 記憶元件
- 432 凹陷部位
- 10 440 頂電極
- 450 主動區域
- 480 導電栓塞
- 600 記憶存取層
- 601、603 摻雜區域
- 15 608 基板
- 610 共同源極線
- 700 底電極材料層
- 710 犧牲材料層
- 800 罩幕元件
- 20 810 次微影寬度
- 900 多層柱
- 910、1000 犧牲元件
- 920 電極元件
- 1300 凹陷
- 25 1410 頂電極材料層
- 1500 記憶材料條
- 1510 頂電極
- 1610 導電介層孔

五、中文發明摘要：

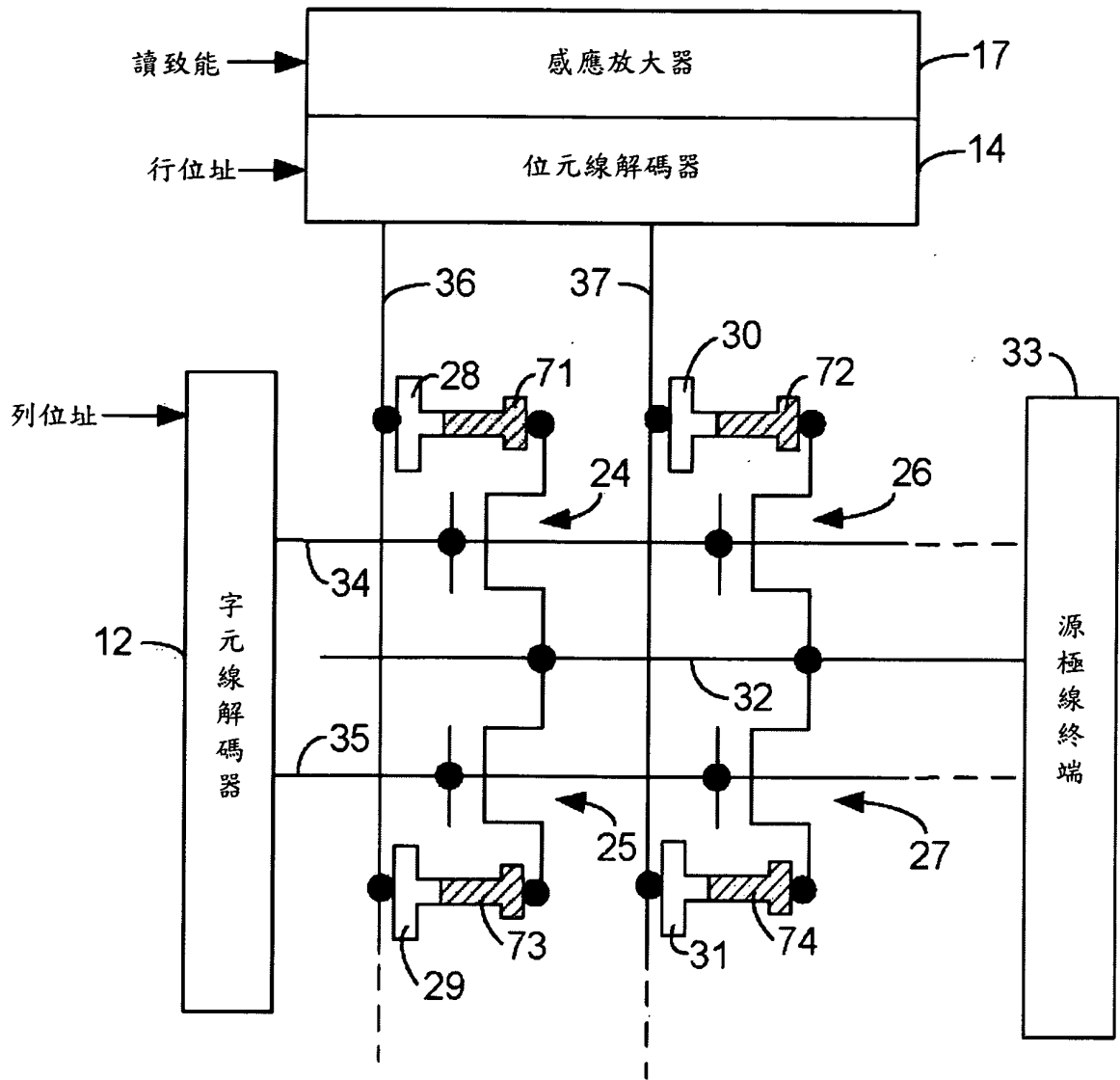
本發明係揭露製造記憶胞之方法。本發明係揭露一種記憶胞包含一底電極包括一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度。一介電層圍繞該底電極且具有一頂表面。一記憶元件於該底電極之上且包含一凹陷部位由該介電層的該頂表面延伸與該底電極之該柱狀部位連接，其中該記憶元件之該凹陷部位具有一寬度實質相等於該底電極之該柱狀部位之該寬度。一頂電極在該記憶元件之上。

六、英文發明摘要：

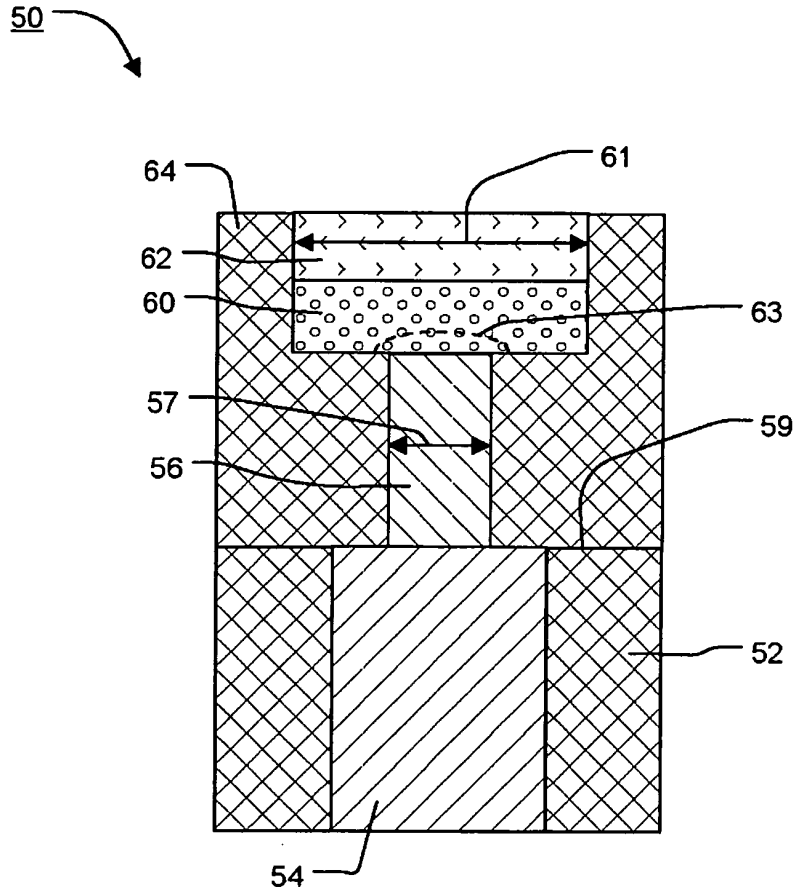
Memory cells are described along with methods for manufacturing. A memory cell as described herein includes a bottom electrode comprising a base portion and a pillar portion on the base portion, the pillar portion having a width less than that of the base portion. A dielectric surrounds the bottom electrode and has a top surface. A memory element is overlying the bottom electrode and includes a recess portion extending from the top surface of the dielectric to contact the pillar portion of the bottom electrode, wherein the recess portion of the memory element has a width substantially equal to the width of the pillar portion of the bottom electrode. A top electrode is on the memory element.



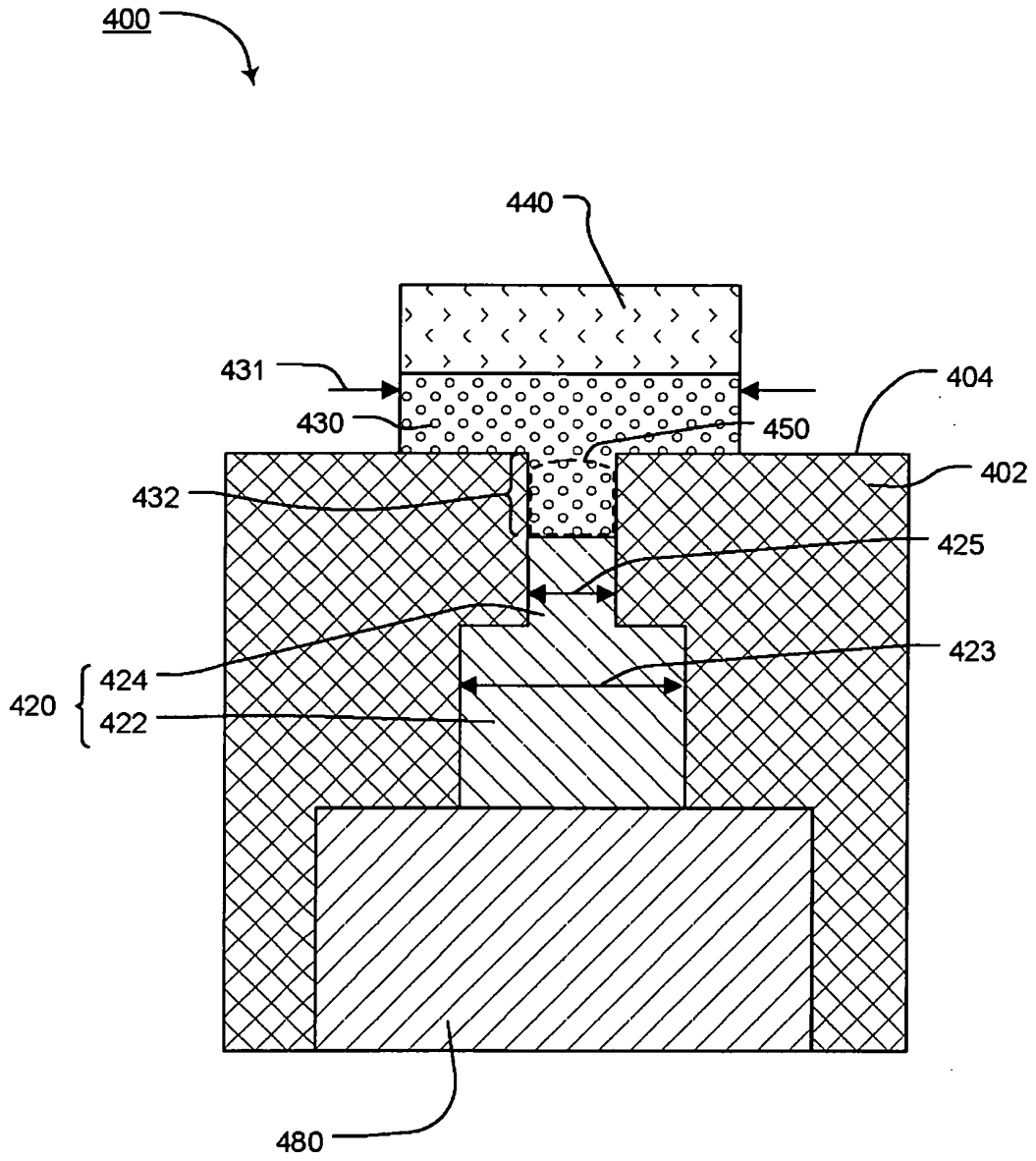
第1圖



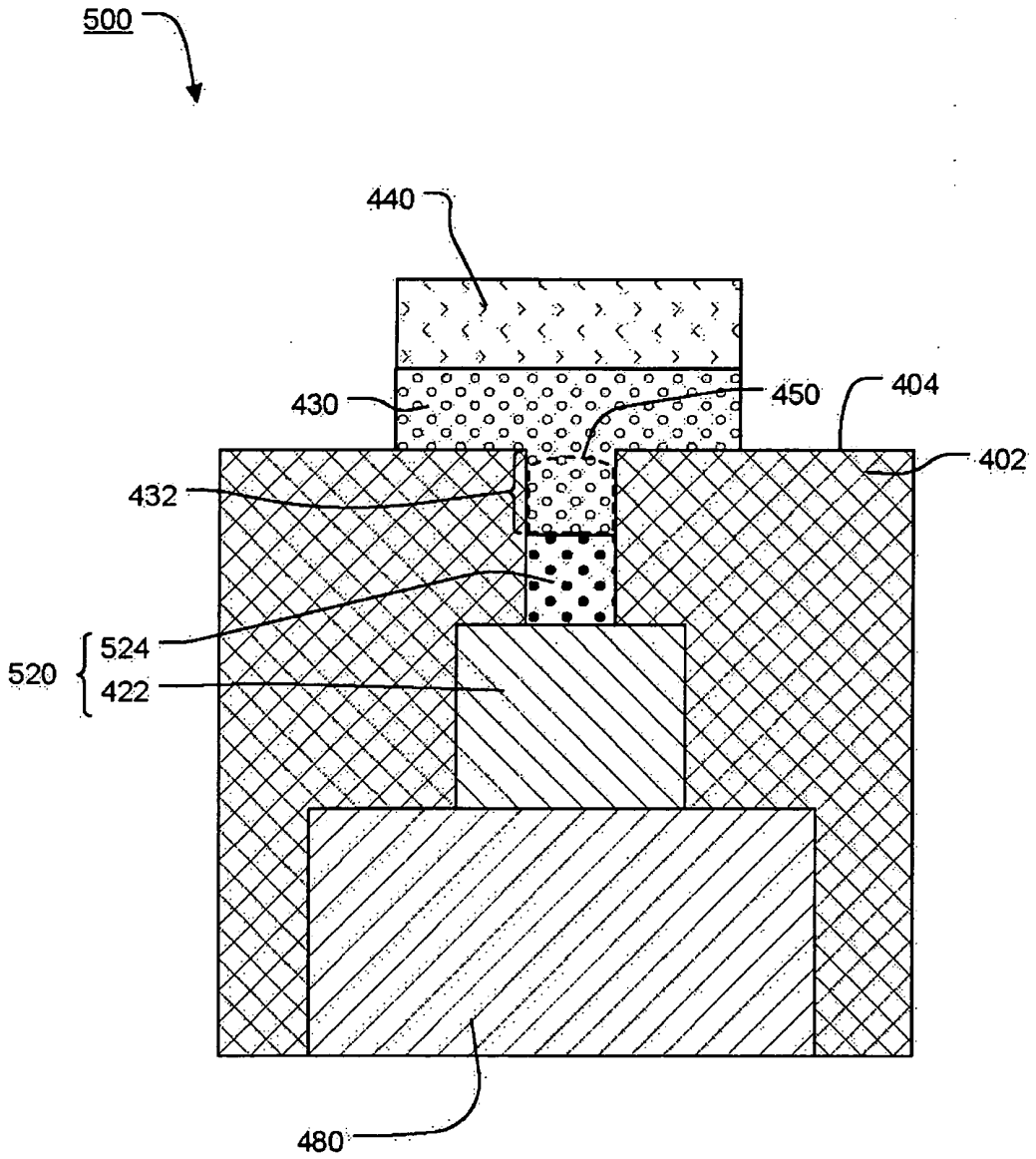
第2圖



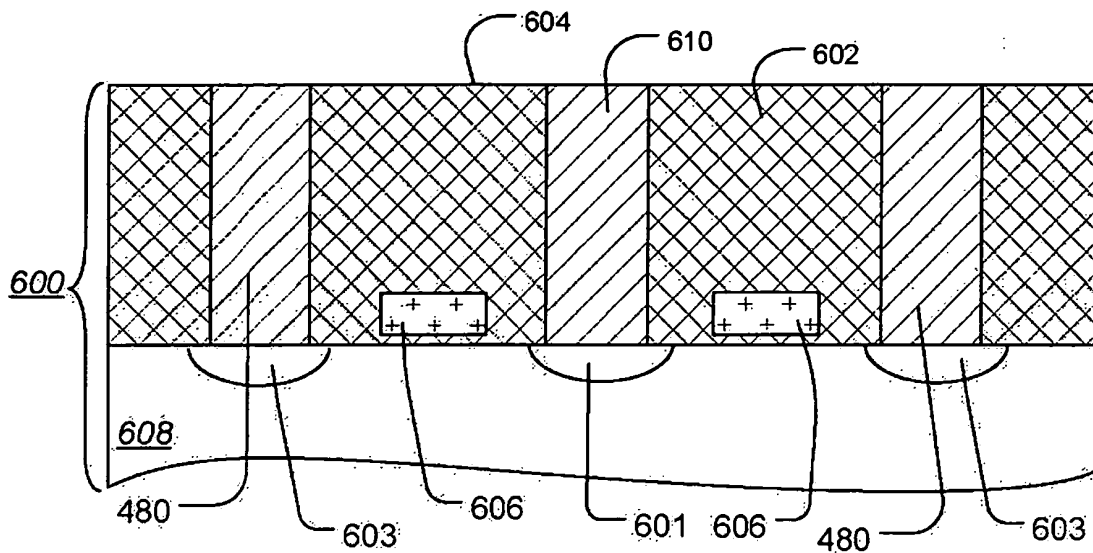
第3圖
(先前技術)



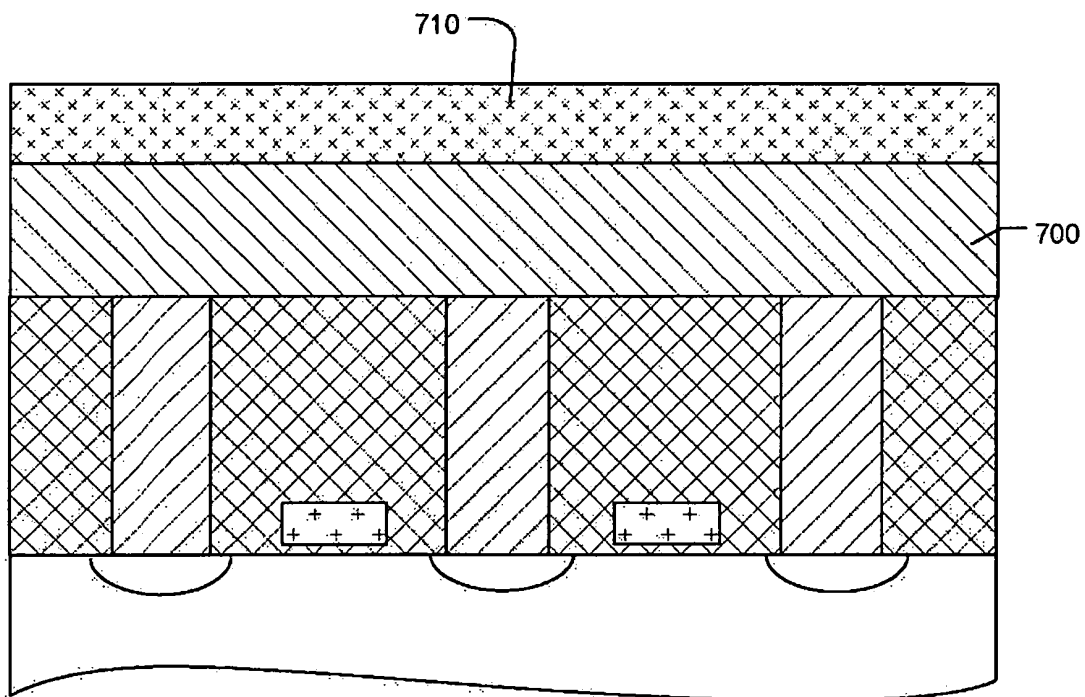
第4圖



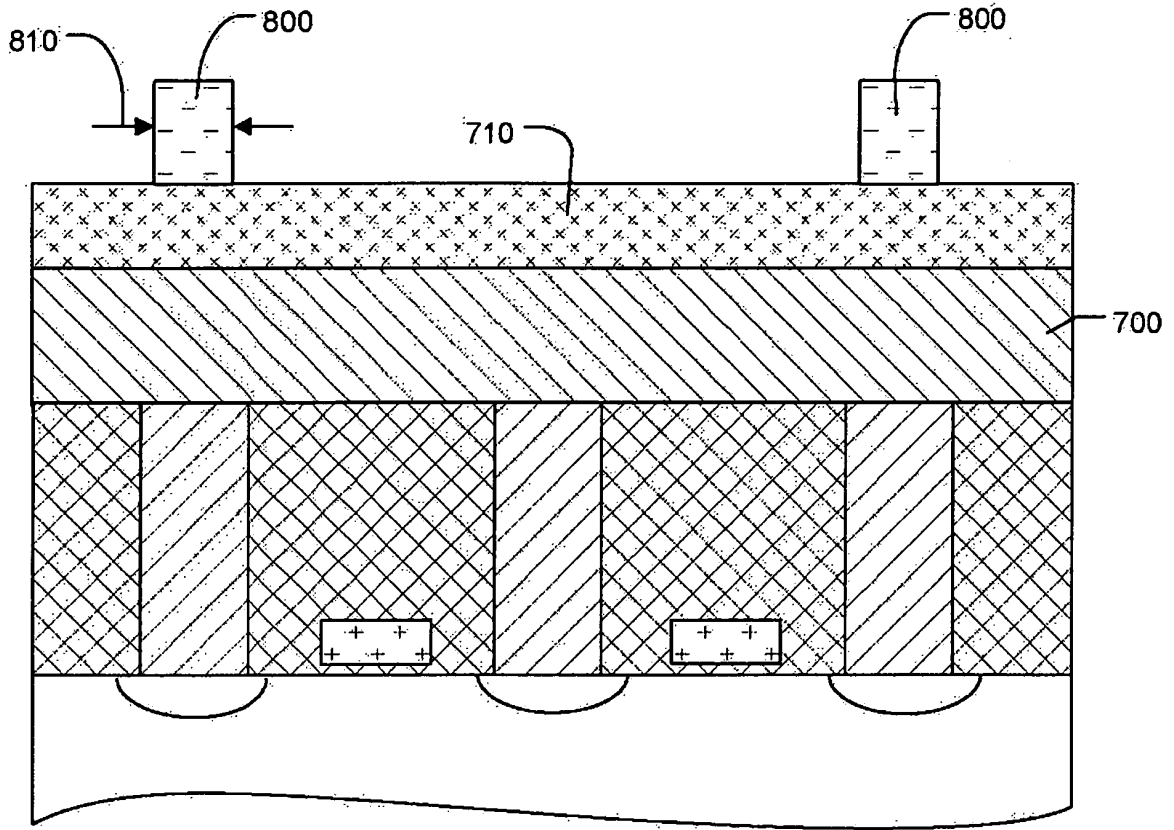
第5圖



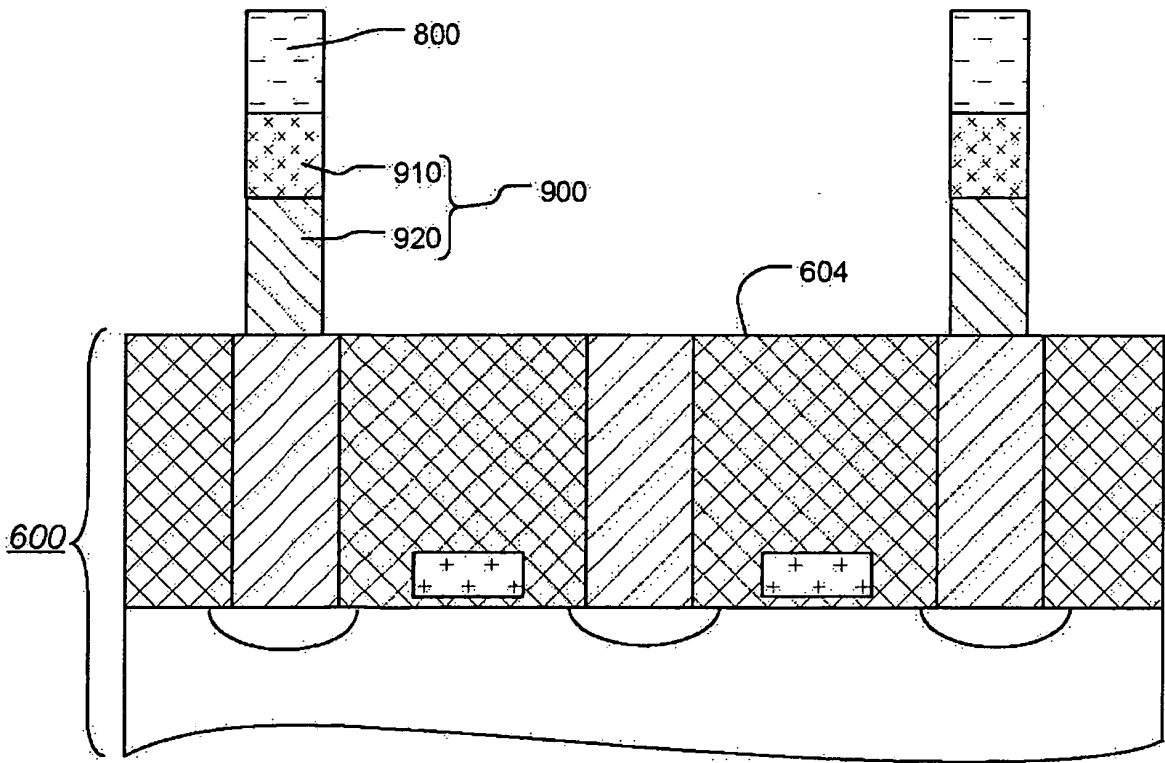
第6圖



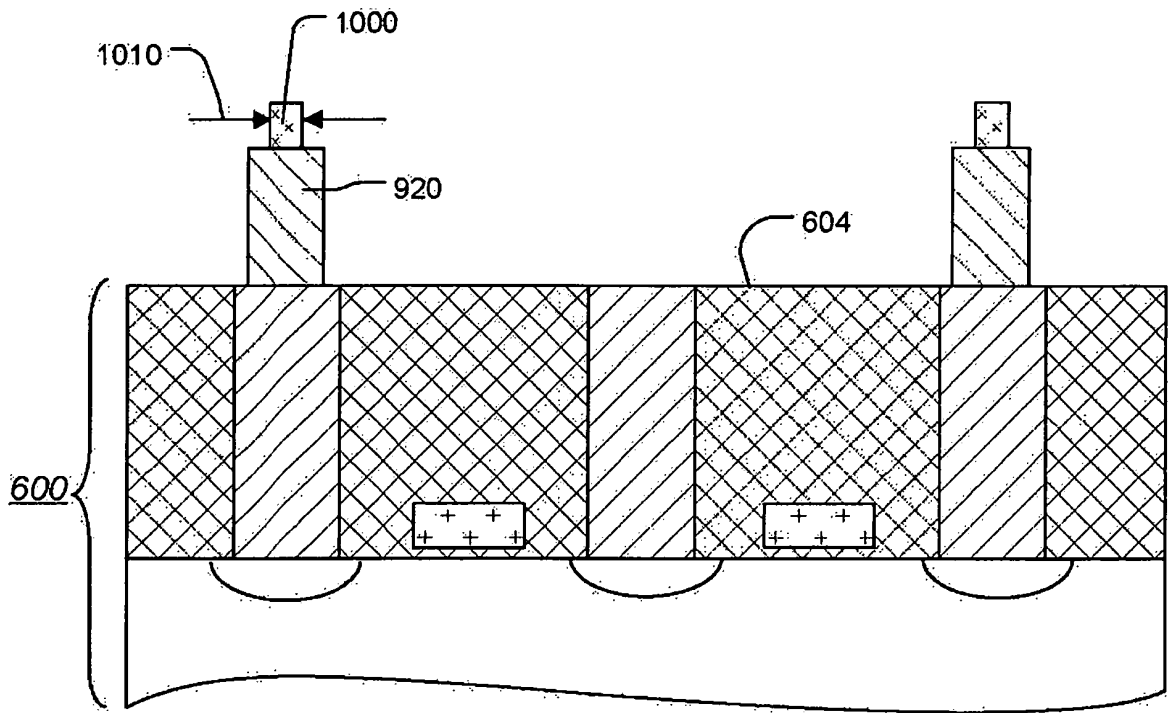
第7圖



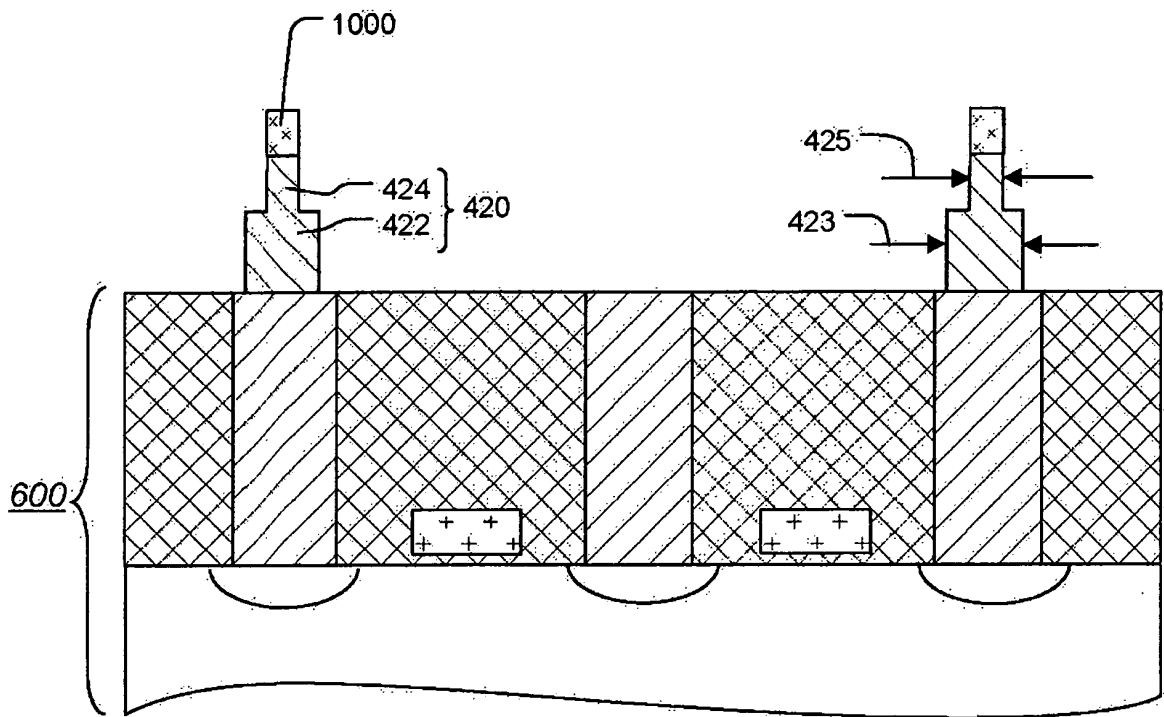
第8圖



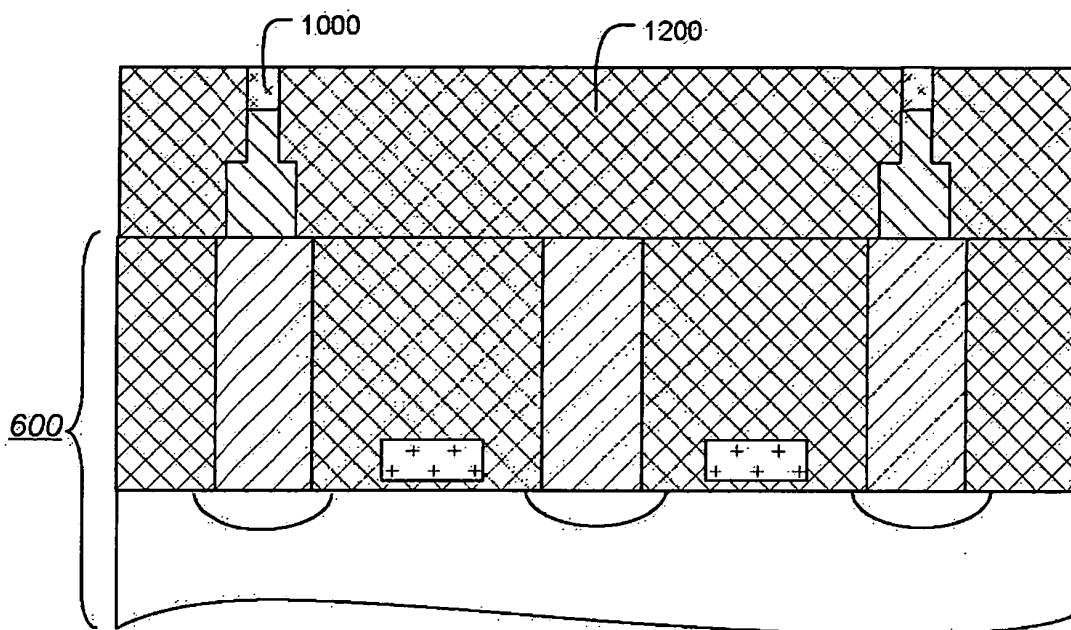
第9圖



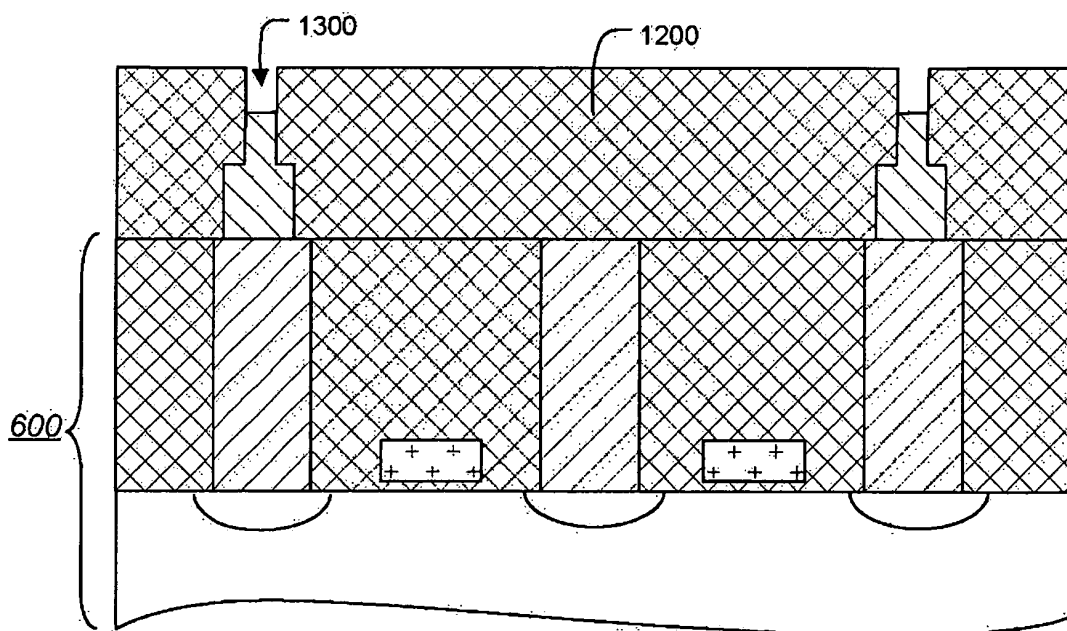
第10圖



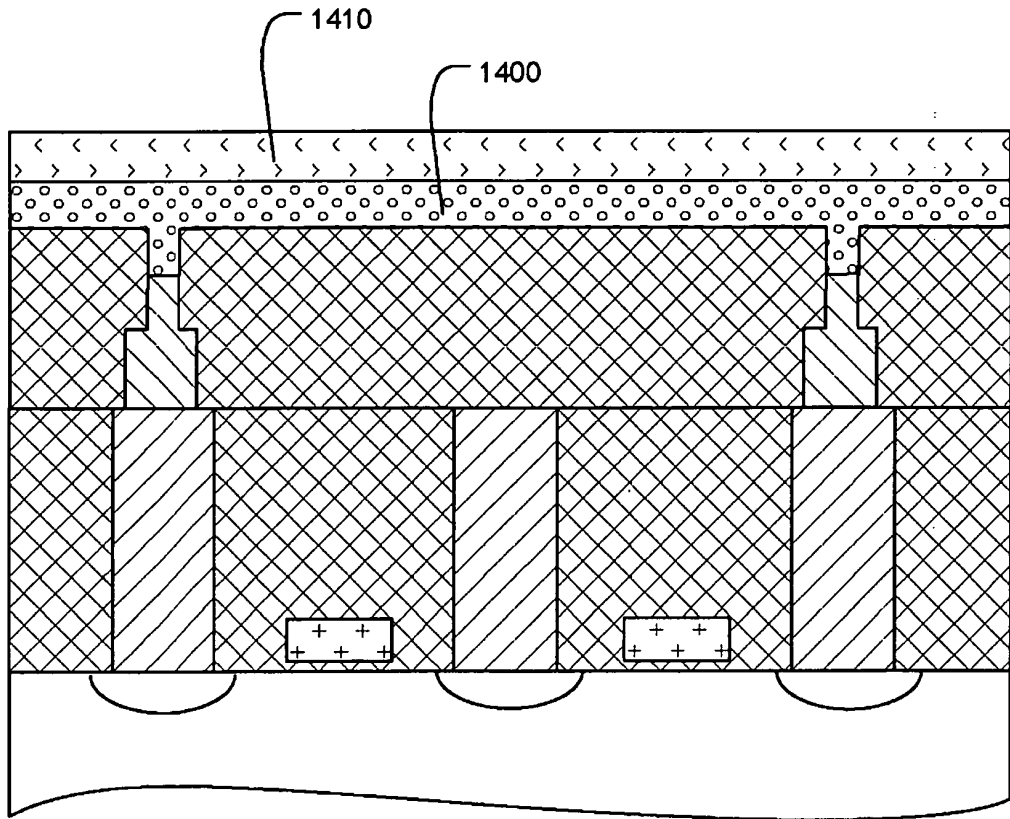
第11圖



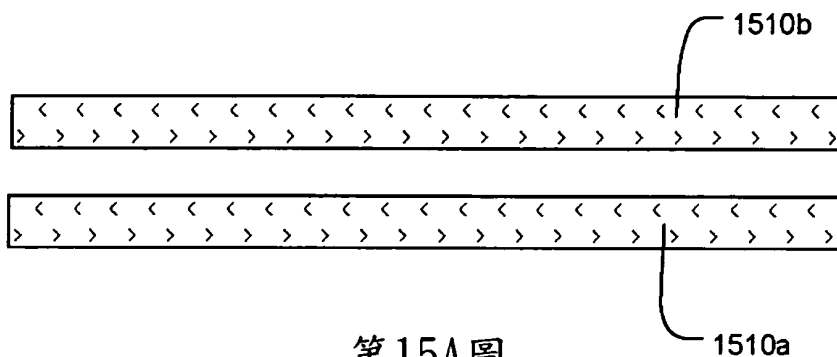
第12圖



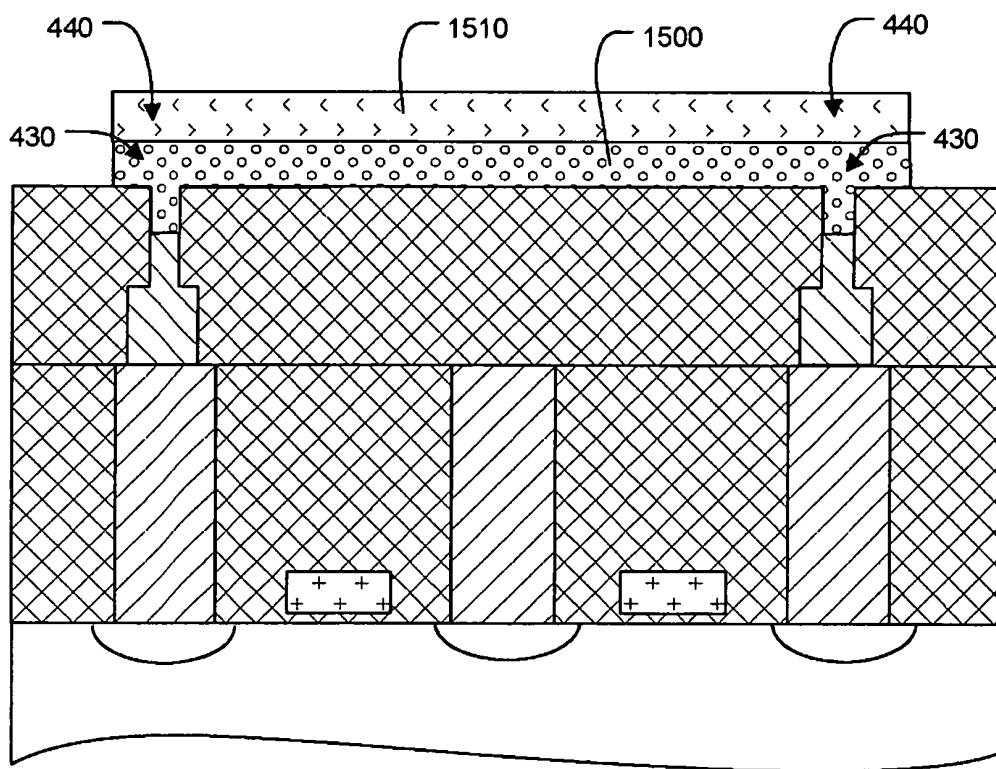
第13圖



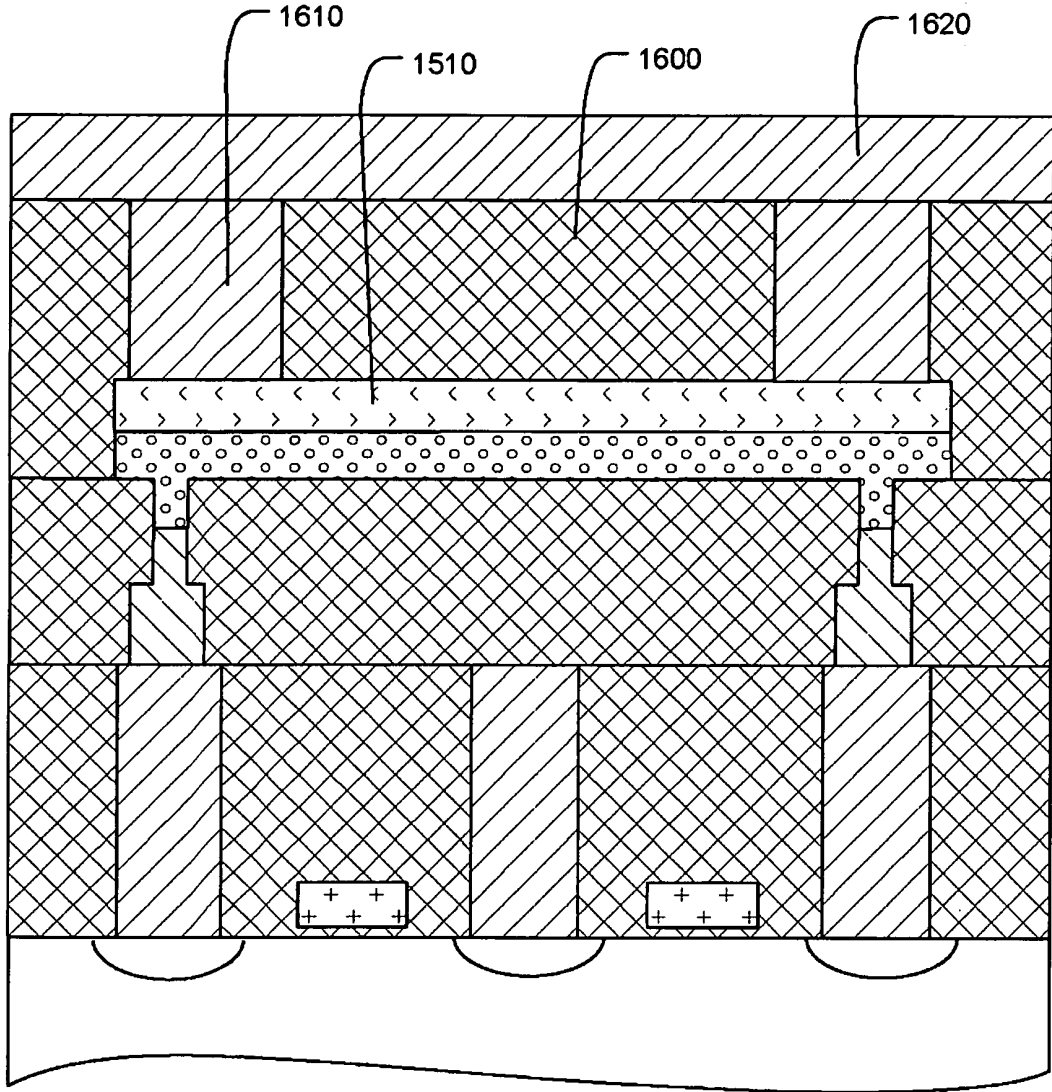
第14圖



第15A圖



第15B圖



第16圖

七、指定代表圖：

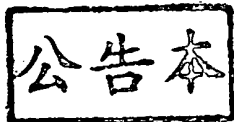
(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

- 400 記憶胞
- 402 介電層
- 404 頂表面
- 408 栓塞
- 420 反向 T 型底電極
- 422 基底部位
- 423、425、431 寬度
- 424 柱狀部位
- 430 記憶元件
- 432 凹陷部位
- 440 頂電極
- 450 主動區域
- 480 導電栓塞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無



發明專利說明書

97年10月30日修正補充頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P7117245

※申請日期：P7.5.9

※IPC 分類：H01L27/24 (2006.01)
H01L21/8239 (2006.01)

一、發明名稱：(中文/英文)

一種具有埋入相變化區域之記憶胞及其製造方法

MEMORY CELL HAVING A BURIED PHASE CHANGE REGION AND
METHOD FOR FABRICATING THE SAME

二、申請人：(共 2 人)

1. 姓名或名稱：(中文/英文) (簽章)

旺宏電子股份有限公司

MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) (簽章) 吳敏求/ WU, MIIN-CHYOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號

NO.16, LI-HSIN ROAD, SCIENCE-BASED INDUSTRIAL PARK,
HSINCHU, R.O.C.

國籍：(中文/英文) 中華民國/R.O.C

2. 姓名或名稱：(中文/英文) (簽章)

國際商業機器股份有限公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) (簽章)

琳 D. 安德森/ ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙克市新烏節路 1 號

1 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504-1722,
U.S.A.

國籍：(中文/英文) 美國/ U.S.A.

十、申請專利範圍

101年6月8日修正本

1. 一種記憶胞，包含：

一底電極包含一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度；

一介電層圍繞該底電極且具有一頂表面；

一記憶元件在該底電極之上且包含一凹陷部位由該介電層的該頂表面延伸與該底電極之該柱狀部位連接，使得介於該記憶元件與該底電極之該柱狀部位之間的一邊界係低於該介電層的該頂表面，其中該記憶元件之該凹陷部位具有一寬度實質相等於該底電極之該柱狀部位之該寬度；以及

一頂電極在該記憶元件之上。

2. 如申請專利範圍第 1 項所述之記憶胞，其中該記憶元件之該凹陷部位係自動對準於該底電極之該柱狀部位。

3. 如申請專利範圍第 1 項所述之記憶胞，其中該底電極之該柱狀部位的寬度係小於用來形成該記憶胞之一微影製程的一最小特徵尺寸。

4. 如申請專利範圍第 1 項所述之記憶胞，其中該柱狀部位包含一材料，而該材料具有大於該基底部位材料的一電阻率。

5. 如申請專利範圍第 1 項所述之記憶胞，其中每一該頂電極及該底電極包含選自以下一群組之一元素：鈦、鎢、鉬、鋁、銅、鉑、銱、鐳、鎳、氮、氧和鈦及其結合。

6. 如申請專利範圍第 1 項所述之記憶胞，其中該記憶材料係包含選自於以下群組一種或多種材料：鋳、鎘、碲、5 硒、銻、鎳、鈹、錫、銅、鈮、鉛、硫、矽、氧、磷、砷、氮及金。

7. 如申請專利範圍第 1 項所述之記憶胞，其中該底電極之該柱狀部位的寬度係小於約 30 nm。

10 8. 一種製造一記憶胞的方法，該方法包含：

形成一底電極包含一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度，其中該柱狀部位具有一第一材料其與包含於該基底部位之一第二材料並不類似；

15 形成一介電層圍繞該底電極且具有一頂表面；

形成一凹陷由該介電層的頂表面延伸至該柱狀部位的一頂表面，該凹陷具有一寬度實質相等於該底電極之該柱狀部位之該寬度；

20 形成一記憶元件該底電極之上且在該凹陷內包含一凹陷部位，並與該底電極之該柱狀部位的該頂表面相連接；以及

形成一頂電極在該記憶元件之上。

25 9. 如申請專利範圍第 8 項所述之方法，其中該凹陷係自動對準於該底電極之該柱狀部位。

10. 如申請專利範圍第 8 項所述之方法，其中該底電極

之該柱狀部位的寬度係小於用來形成該記憶胞之一微影製程的一最小特徵尺寸。

11. 如申請專利範圍第 8 項所述之方法，其中該柱狀部位包含一材料，而該材料具有大於該基底部位材料的一電阻率。

12. 如申請專利範圍第 8 項所述之方法，其中形成一底電極的該步驟包含：

形成一底電極材料層；

形成一犧牲材料層在該底電極材料層之上；

形成一蝕刻罩幕在該犧牲材料層之上；

使用該蝕刻光罩蝕刻穿過該底電極材料層，因此形成一多層柱，而該多層柱包含具有底電極材料之一電極元件，以及具有犧牲材料之一犧牲元件在該電極元件之上，且該犧牲元件具有一寬度；

縮小該犧牲元件的該寬度；

使用該縮小寬度的犧牲元件做為一蝕刻罩幕來蝕刻穿過該電極元件之一部位，因而形成該底電極。

13. 如申請專利範圍第 12 項所述之方法，其中該犧牲材料包含矽。

14. 如申請專利範圍第 12 項所述之方法，其中該犧牲材料包含氮化矽。

15. 如申請專利範圍第 12 項所述之方法，其中該縮小該

犧牲元件之該寬度包含非等向性蝕刻該犧牲元件。

16. 如申請專利範圍第 12 項所述之方法，其中形成一介電層之該步驟及形成一凹陷之該步驟包含：

5 形成該介電層在該底電極以及該縮小寬度的犧牲元件之上；

平坦化該介電層以露出該縮小寬度的犧牲元件；

10 移除該縮小寬度的犧牲元件以形成自該介電層的一頂表面延伸之該凹陷，因而露出該底電極之該柱狀部位的一頂表面。

17. 如申請專利範圍第 16 項所述之方法，其中形成該記憶元件之該步驟及形成該頂電極之該步驟包含：

15 形成一記憶材料層在該介電層之該頂表面之上及在該凹陷之內，以與該底電極之該柱狀部位的該頂表面連接；

形成一頂電極材料層在該記憶材料層之上；以及圖案化該記憶材料層及該頂電極材料層。

20 18. 一種記憶裝置，包含：

一記憶存取層包含複數個記憶胞之存取電路，該存取電路包含一導電栓塞陣列延伸至該記憶存取層之一頂表面；

25 複數個底電極，每一底電極包含一基底部位及一柱狀部位在該基底部位之上，該柱狀部位具有小於該基底部位之一寬度，其中每一底電極接觸一對應的導電栓塞，其中該柱狀部位之該寬度是小於 30 奈米；

一介電層圍繞該複數個底電極並具有一頂表面；

複數條記憶材料條在該底電極之上及做為該複數個記憶胞之記憶元件，而每一記憶元件包含一凹陷部位由該介電層之該頂表面延伸至與其連接之一對應底電極的該柱狀部位，其中每一該記憶元件之該凹陷部位具有一寬度實質地相等於該對應底電極之該柱狀部位之該寬度；以及

複數條頂電極條，每一頂電極條在一對應的記憶材料條之上。

10 19. 如申請專利範圍第 18 項所述之記憶裝置，更包含：
複數條位元線在該複數個頂電極條之上；以及

一導電介層孔之陣列耦接該頂電極條至一對應的位元線。