

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3834436号
(P3834436)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl.	F I		
H03K 19/0175 (2006.01)	H03K 19/00	I O I F	
H01L 27/04 (2006.01)	H01L 27/04	H	
H01L 21/822 (2006.01)	H03K 19/003	E	
H03K 19/003 (2006.01)			

請求項の数 2 (全 6 頁)

(21) 出願番号	特願平10-320795	(73) 特許権者	000191238
(22) 出願日	平成10年11月11日(1998.11.11)		新日本無線株式会社
(65) 公開番号	特開2000-151382(P2000-151382A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成12年5月30日(2000.5.30)	(72) 発明者	秋田 晋一
審査請求日	平成17年1月7日(2005.1.7)		埼玉県上福岡市福岡二丁目1番1号 株式会社エヌ・ジェイ・アール・セミコンダクタ内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成された集積回路の一部の配線であって、外部端子に接続されず複数の素子に共通に接続され、かつ接続される前記素子の別の端子が外部に導かれる端子に接続している共通線と、該共通線と電源線またはその他の放電専用線との間に電流を放電する素子とを有し、前記共通線に接続する複数の素子のゲートブレイクダウン電圧より前記電流を放電する素子のゲートブレイクダウン電圧の方が低いことを特徴とする半導体集積回路。

【請求項2】

前記複数の素子はMOSFET、前記共通線はバス線、前記電流を放電する素子はGNMOSであることを特徴とする請求項1記載の半導体集積回路。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電破壊を防止する保護素子を設けた半導体集積回路に関し、特に内部に大きな浮遊容量を有する配線が存在する場合に素子を保護することのできるものに関する。

【0002】

【従来の技術】

半導体集積回路の微細化は止まることなく進歩を続け、集積するゲート数も膨大なものになりつつある。一方、静電気などによる破損対策は微細化すればするほど困難になってく 20

る。従来のMM法(マシンモデル)やHBM法(人体モデル)では自動製造ライン上やフィールドでの不良発生との相関が不十分なことから、CDM(Charged Device Model)法に代表される、デバイスを帯電させてそれぞれのピンから放電して試験する方法が提唱されており、良い相関結果が報告されている。ESD保護回路も保護素子も多くの改良が提案されており、普通の入力回路や出力回路においてはその対策はほぼ固まっているといえる。

【0003】

図4はCDM法の説明図である。本図において1はIC、2は金属電極、3はリード(放電端子)、4は印加電圧源、SWは放電用のスイッチ、Zは放電経路にある物体の等価インピーダンスを示す。

10

【0004】

まず、パッケージを印加電圧源4で数千から数万ボルトで帯電させ、次に、ある1つのリード3をスイッチSWを介して外部の接地電位にショートして放電する。帯電エネルギーつまり帯電電圧が徐々に高くなると、ついには破壊に至る。その帯電エネルギーの大小でESD耐圧を計る。CDM法では充電は集積回路基板に行われ、そこから放電されると想定するのが一般的である。

【0005】

従来は内部バス線や、共通化信号線にはESD保護素子は付加されていなかった。外部端子に接続されない配線は静電気が印加される可能性はないのでその必要もなかったからである。

20

【0006】

【発明が解決しようとする課題】

しかしながら、CDM法においては内部配線が充電される構造が存在することが判ってきた。即ち、基板と間接的に接続される配線があると、そこからの放電もあり得る。従来、そのような構造であっても接続されている実回路内のFET等の放電能力が大きければ問題は顕在化しなかった。ところが集積度を上げて端子数を増加させると必然的に素子寸法は微少化することになり、静電気の放電能力と耐圧は低下し、CDM法で破壊するようになってくる。

【0007】

同時に、集積度を上げて出力端子数を増大させると、その端子を共通に制御する配線も長大化しその配線の浮遊容量も配線の面積に比例して大きくなる。因みに幅10ミクロン、長さ10ミリの配線には約10pFの容量が付加される。これは集積回路内部の標準的な10ミクロン幅のFETのゲート容量 0.01×10^{-3} pFに比べて100万倍の大きさであり、この一つのFETに放電した場合にはたやすく破壊されうる。

30

【0008】

また、MM法やHBM法では2つの端子に静電気を加えてその端子間で放電するので一義的に放電経路が確定できるが、CDM法では集積回路の一部でない外部の接地電位に放電する。そのため放電経路が複雑で特定出来ない場合がでてくる。放電経路が特定できないと、問題があったときに改善の対策が決められない。

【0009】

CDM法は、多くの報告で指摘されているように、現実の自動化製造ラインでの静電気問題を再現するのに相関性が優れている。一般的な入力構造や出力構造の場合には、CDM法における放電経路は一義的に確定することが出来、従って破壊強度の改善対策は容易に検討することができる。つまり電源配線からの放電経路を考えれば良い。

40

【0010】

ところが、内部に電源以外に大きな浮遊容量を持つ配線がある場合には、放電経路が望ましくない経路になる場合が出てくる。つまり実回路内の素子を通じて放電する。その素子の放電能力と耐圧が十分であれば破壊を避けることが出来る。しかし、集積度の増加に伴って出力回路のFETサイズは最適化され、最小化されることは必然であり、そのような実回路のトランジスタが放電経路の中に含まれるということはESD耐力を低下させるこ

50

とに繋がり、市場で脆弱さをさらすことになりかねない。

【0011】

例えば、図2のような例がある。本図はLCDドライバー出力を例にした従来例のひとつであり、 C_{VD} 、 C_{OFD} 、 C_{OND} 、 C_P は寄生容量、 D_{NS1} 、 D_{ND1} 、 D_{ND2} 、 D_{NS2} 、 D_{PS1} 、 D_{PD1} 、 D_{PD2} 、 D_{PS2} は寄生ダイオード、 R_{P1} は保護抵抗、 P_1 は保護素子、 $MN1$ 、 $MN2$ はN型MOSFET、 $MP1$ 、 $MP2$ はP型MOSFET、 P_{IN} は放電端子、 SW は放電用のスイッチを示す。

【0012】

V_{ON} はLCDのドットを点灯状態にするための信号であり、LCDパネルの大きさに応じて数10から数100のMOSFETに同時に接続される。従って通常の信号線に比べて大きな浮遊容量が付加されてしまう。CDM法や現実の自動化製造ラインではこのような大きな内部容量が充電された後、瞬間的に放電が行われる。

10

【0013】

図2において、プラスの放電経路及びマイナスの放電経路はそれぞれ(1)及び(2)となり、いずれも $MN1$ を通して放電される。このとき $MN1$ の電圧がゲートの破壊電圧を越えると $MN1$ または $MP1$ が破壊される。但し、保護素子 P_1 は内部素子の保護を目的として従来から取り付けられているものであるが、HBMや他のESD対策用の保護素子であり、 $MN1$ や $MP1$ を保護するものではない。

【0014】

$MN1$ と $MP1$ はLCDを駆動するため高い耐圧を有するので、ゲート耐圧よりも低いゲートブレイクダウン電圧(以下ブレイクダウン電圧と略称する)にすることは困難である。ちなみに15Vの高耐圧部のゲート長2ミクロンのCMOSでは $MN1$ のブレイクダウン電圧は30V、 $MP1$ は35V、 $MN1$ のゲート耐圧は29V、 $MP1$ は27Vであり、 $MN1$ のブレイクダウンで $MP1$ のゲート破壊が起きる。

20

【0015】

対策として、パッドと V_{ON} 間及びパッドと V_{OFF} 間に保護素子を付加することも考えられるが、数100ものパッドのすべてに保護素子を付加するのは、パッド面積を増大してチップ面積を非常に大きくするので現実的でない。

【0016】

本発明は、上記のような問題を解消し、CDM法によるESD耐圧を改善することを目的とする。

30

【0017】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体集積回路は、半導体基板上に形成された集積回路の一部の配線であって、外部端子に接続されず複数の素子に共通に接続され、かつ接続される前記素子の別の端子が外部に導かれる端子に接続している共通線と、該共通線と電源線またはその他の放電専用線との間に電流を放電する素子とを有し、前記共通線に接続する複数の素子のブレイクダウン電圧より前記電流を放電する素子のブレイクダウン電圧の方が低いことを特徴とする。

【0018】

なお、前記複数の素子はMOSFET、前記共通線はバス線、前記電流を放電する素子はGGNMOSとして好適である。

40

【0019】

このような構成から、実回路のトランジスタを通過しない放電経路が確定され、放電耐力が向上する。

【0020】

【発明の実施の形態】

図1は本発明の実施の形態を示す図である。本図において、図2と同一または相当するものには同一の符号を付し、 $P_2 \sim P_5$ は保護素子を示す。本図に示すように、 V_{ON} 線と V_5 電源との間に保護素子 P_2 を付加し、 V_{ON} と V_{dd} 電源との間には P_4 を付加している

50

。

【0021】

P2とP4は例えば低耐圧のGGNMOS (Gate Grounded NMOS FET)で、ゲート長1.6ミクロン、ゲート膜厚250オングストロームとし、ブレイクダウン電圧を18V程度にする。

【0022】

図3にGGNMOSの放電特性例を示す。Vsbはスナップバック電圧で、ソースドレイン間にブレイクダウン状態が発生する。V1は一次ブレイクダウンが安定している状態でVsbよりもさらに低い電圧になる。このような現象を利用できるため、GGNMOSは静電気放電やサージ電気の放電と保護に専ら採用されている。

10

【0023】

本実施の形態における放電経路は、図1に示すように、プラスの放電は(1)の経路を辿り、V_{ON}線は18V以上にはならない。一方、マイナスの放電は(2)の経路となり、V_{dd}-V_{ON}間は18Vでクランプされ、ゲート耐圧を越えるようなことは起こらない。

【0024】

一方、P3、P5はP2とP4と等価な素子で、P2とP4がV_{ON}ラインからの放電経路をつくるのに対し、V_{OFF}ラインからの放電経路をつくる。即ち、V_{OFF}ラインに発生した浮遊容量をトランジスタMN1、2、MP1、MP2を通らずに電源ラインV_{dd}に逃がす、図示一点鎖線の放電経路(3)、(4)を形成する。V_{OFF}がプラスに帯電した場合が(3)の放電経路となり、マイナスに帯電した場合が(4)の放電経路となる。

20

【0025】

以上、実施の形態について述べたが、本発明はこれに限らず発明の趣旨を逸脱しない範囲内で種々の変更が可能である。例えば、上記実施の形態では、電流を放電する素子としてGGNMOSを採用したが、特定の閾値で導通するものであれば良く、ツェナーダイオード等の他の保護素子を使用することもできる。但し、GGNMOSの方が静電気放電やサージ電気の放電と保護に適している。

【0026】

また、上記実施の形態では、1つのバス配線(共通線)につき1つの電流を放電する素子を付加したが、特に長い配線の場合、1つのみでなく、分散して複数の放電素子を付加しても良い。但し、チップ面積の増大に深刻な影響与えない程度に端子数よりも十分少ない個数とすることが肝要である。

30

【0027】

また、上記実施の形態では、電流を放電する素子を共通線と電源線の間付加したが、新たに放電用の配線(放電専用線)を設けて、これを電源線の代わりに用いても良い。

【0028】

【発明の効果】

数多くあるすべての端子にESD保護素子を追加すること無く、内部のバス配線等の共通線に一つもしくは二つ以上の放電素子を付加することでESD耐圧を改善できる。長い配線の場合、分散して複数の放電素子を付加するとより一層の効果が現れる。

40

【図面の簡単な説明】

【図1】本発明の一実施例で、内部バス配線に放電素子を付加した場合の回路と放電経路を示す。

【図2】従来例で、回路と放電経路と破壊箇所を示す。

【図3】GGNMOSのスナップバック特性を示す。

【図4】CDM法の試験回路原理図である。

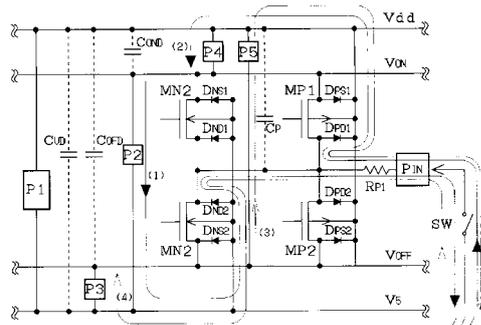
【符号の説明】

V_{dd}: 正電源、V_s: 負電源、V_{ON}: バス信号線、V_{OFF}: 別のバス信号線、P1: 従来からある保護素子、P2~P5: 新たに設けられた保護素子、MN1, MN2: NMOS FET、MP1, MP2: PMOS FET、C_{VD}、C_{OFFD}、C_{OND}、C_P: MOSFETの

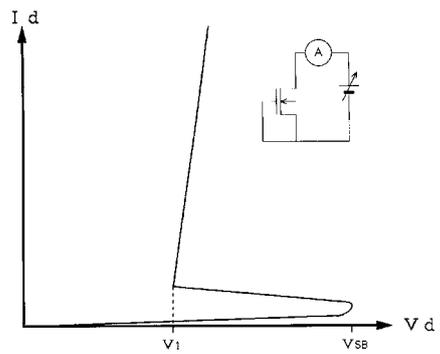
50

寄生容量、 D_{NS1} 、 D_{ND1} 、 D_{ND2} 、 D_{NS2} 、 D_{PS1} 、 D_{PD1} 、 D_{PD2} 、 D_{PS2} : MOSFETの寄生ダイオード、 R_{P1} : 保護抵抗、 P_{IN} : 放電端子、 SW : 放電用のスイッチ

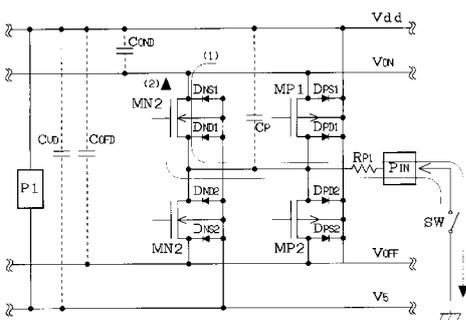
【図1】



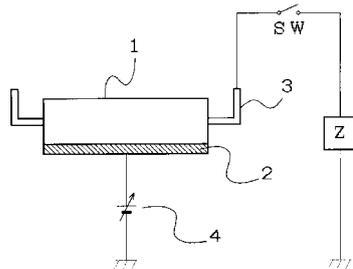
【図3】



【図2】



【図4】



フロントページの続き

- (56)参考文献 特開平7 - 211901 (JP, A)
特開平8 - 204131 (JP, A)
特開平9 - 36245 (JP, A)
特開平9 - 321225 (JP, A)
特開平10 - 214905 (JP, A)
特開平10 - 215565 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00-19/096

H01L27/04

H01L27/06-27/08