

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4655240号  
(P4655240)

(45) 発行日 平成23年3月23日(2011.3.23)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int.Cl. F I  
**G 0 6 F 17/50 (2006.01)** G O 6 F 17/50 6 6 8 C  
 G O 6 F 17/50 6 6 8 M

請求項の数 14 (全 17 頁)

<p>(21) 出願番号 特願2008-249190 (P2008-249190)                  (22) 出願日 平成20年9月26日 (2008.9.26)                  (65) 公開番号 特開2010-79737 (P2010-79737A)                  (43) 公開日 平成22年4月8日 (2010.4.8)                  審査請求日 平成20年9月26日 (2008.9.26)</p>	<p>(73) 特許権者 000004237                  日本電気株式会社                  東京都港区芝五丁目7番1号                  (74) 代理人 100102864                  弁理士 工藤 実                  (72) 発明者 小野 公揮                  東京都港区芝五丁目7番1号 日本電気株                  式会社内                  審査官 加舎 理紅子</p>
--	--

最終頁に続く

(54) 【発明の名称】 タイミング解析支援装置

(57) 【特許請求の範囲】

【請求項1】

配線の抵抗成分と容量成分とを含むSPEF (Standard Parasitic Exchange Format) ファイルを生成するRC抽出部と、  
 前記SPEF (Standard Parasitic Exchange Format) ファイルに基づいて、SDF (Standard Delay Format) ファイルを生成する遅延計算部と、

クロック・メッシュ構造のあるクロックパスについて、入力段からクロック・メッシュまでのネットリストを簡略化して修正回路モデルを生成するクロック・メッシュ計算部と、

前記修正回路モデルに基づいて、解析対象の半導体集積回路のタイミング解析を実行するタイミング解析部と

を具備し、

前記クロック・メッシュ計算部は、

ネットリスト編集ツールと、

SDFファイル編集ツールと、

SPEFファイル編集ツールと

を備え、

前記ネットリスト編集ツールは、

前記入力段を構成するインスタンスの出力ピンの後段に構成されたクロック・メッシュ

ネットと、前記クロック・メッシュネットにレシーバとして繋がるドライバの入力ピンとを特定し、前記入力ピンに新たなネットを介して擬似外部端子を接続して修正ネットリストを生成し、

前記SDFファイル編集ツールは、

前記インスタンスから前記ドライバまでの最悪遅延値と前記ドライバの入力の波形鈍りを示すクロックLatency/鈍り情報を読み出し、前記クロックLatency/鈍り情報に含まれる情報を前記修正ネットリストに付与して修正SDFファイルを生成し、

前記SPEFファイル編集ツールは、

前記修正ネットリストに基づいて、前記擬似外部端子から前記ドライバまでのネットに対して、ダミー容量とダミー抵抗を付与して修正SPEFファイルを生成し、

前記タイミング解析部は、

前記修正ネットリストと前記修正SDFファイルと前記修正SPEFファイルとに基づいて、前記半導体集積回路のタイミング解析を実行する

タイミング解析支援装置。

#### 【請求項2】

請求項1に記載のタイミング解析支援装置において、

前記タイミング解析部は、

セル遅延ライブラリとタイミング制約とを読み出し、前記修正ネットリストと前記修正SDFファイルと前記修正SPEFファイルと前記セル遅延ライブラリと前記タイミング制約とに基づいて、セットアップ・ホールド遅延違反したパス情報を含む解析結果レポートを生成する

タイミング解析支援装置。

#### 【請求項3】

請求項1または2に記載のタイミング解析支援装置において、

前記RC抽出部は、

RC抽出ライブラリと、前記半導体集積回路のレイアウトデータとに基づいて、前記半導体集積回路の寄生情報を抽出して、配線のRC情報を含む前記SPEFファイルを出力する

タイミング解析支援装置。

#### 【請求項4】

請求項1から3のいずれか1項に記載のタイミング解析支援装置において、

前記遅延計算部は、

配線メディアによる遅延時間、セル内遅延時間、同セットアップ・ホールド時間を計算して、前記SDF(Standard Delay Format)ファイルを生成する

タイミング解析支援装置。

#### 【請求項5】

請求項1から4のいずれか1項に記載のタイミング解析支援装置において、

前記ネットリスト編集ツールは、

前記入力段から前記クロック・メッシュネットに辿り着くまでの途中経路中のネットとドライバ・インスタンスを全て記憶し、前記入力ピンに前記新たなネットを介して前記擬似外部端子を接続した後、前記途中経路中のネットと前記ドライバ・インスタンスとを削除して前記修正ネットリストを生成する

タイミング解析支援装置。

#### 【請求項6】

請求項1から5のいずれか1項に記載のタイミング解析支援装置において、

前記SDFファイル編集ツールは、

読み出した前記クロックLatency/鈍り情報の記述に基づいて、前記入力段を、前記修正ネットリストの内部のドライバに繋がる擬似外部端子に読み替えながら、前記修正SDFファイルを生成する

タイミング解析支援装置。

10

20

30

40

50

## 【請求項 7】

請求項 1 から 6 のいずれか 1 項に記載のタイミング解析支援装置において、  
 前記 S P E F ファイル編集ツールは、  
 前記修正ネットリストと前記 S P E F ファイルとに基づいて、仮 S P E F ファイルを生成し、  
 前記仮 S P E F ファイルの前記擬似外部端子と前記ドライバのピンとのペア記述の擬似端子座標を、前記ドライバの入力端子座標と同じにして前記修正 S P E F ファイルを生成する  
 タイミング解析支援装置。

## 【請求項 8】

コンピュータを、半導体集積回路のタイミング解析を実行するタイミング解析支援装置として機能させるための手順を示すタイミング解析支援プログラムであって、

( a ) 配線の抵抗成分と容量成分とを含む S P E F ( S t a n d a r d P a r a s i t i c E x c h a n g e F o r m a t ) ファイルを生成するステップと、

( b ) 前記 S P E F ( S t a n d a r d P a r a s i t i c E x c h a n g e F o r m a t ) ファイルに基づいて、S D F ( S t a n d a r d D e l a y F o r m a t ) ファイルを生成するステップと、

( c ) クロック・メッシュ構造のあるクロックパスについて、入力段からクロック・メッシュまでのネットリストを簡略化して修正回路モデルを生成するステップと、

( d ) 前記修正回路モデルに基づいて、解析対象の半導体集積回路のタイミング解析を実行するステップと

を具備する手順を示し、

前記 ( c ) ステップは、

ネットリスト編集ステップと、

S D F ファイル編集ステップと、

S P E F ファイル編集ステップと

を含み、

前記ネットリスト編集ステップは、

前記入力段を構成するインスタンスの出力ピンの後段に構成されたクロック・メッシュネットと、前記クロック・メッシュネットにレシーバとして繋がるドライバの入力ピンとを特定するステップと、

前記入力ピンに新たなネットを介して擬似外部端子を接続して修正ネットリストを生成するステップと

を含み、

前記 S D F ファイル編集ステップは、

前記インスタンスから前記ドライバまでの最悪遅延値と前記ドライバの入力の波形鈍りを示すクロック L a t e n c y / 鈍り情報を読み出すステップと、

前記クロック L a t e n c y / 鈍り情報に含まれる情報を前記修正ネットリストに付与して修正 S D F ファイルを生成するステップと

を含み、

前記 S P E F ファイル編集ステップは、

前記修正ネットリストに基づいて、前記擬似外部端子から前記ドライバまでのネットに対して、ダミー容量とダミー抵抗を付与して修正 S P E F ファイルを生成するステップを含み、

前記 ( d ) ステップは、

前記修正ネットリストと前記修正 S D F ファイルと前記修正 S P E F ファイルとに基づいて、前記半導体集積回路のタイミング解析を実行するステップを含む

タイミング解析支援プログラム。

## 【請求項 9】

請求項 8 に記載のタイミング解析支援プログラムにおいて、

10

20

30

40

50

前記 ( d ) ステップは、  
セル遅延ライブラリとタイミング制約とを読み出すステップと、  
前記修正ネットリストと前記修正 S D F ファイルと前記修正 S P E F ファイルと前記セル遅延ライブラリと前記タイミング制約とに基づいて、セットアップ・ホールド遅延違反したパス情報を含む解析結果レポートを生成するステップと  
を含む  
タイミング解析支援プログラム。

【請求項 1 0】

請求項 8 または 9 に記載のタイミング解析支援プログラムにおいて、  
前記 ( a ) ステップは、  
R C 抽出ライブラリと、前記半導体集積回路のレイアウトデータとに基づいて、前記半導体集積回路の寄生情報を抽出して、配線の R C 情報を含む前記 S P E F ファイルを出力するステップを含む  
タイミング解析支援プログラム。

10

【請求項 1 1】

請求項 8 から 1 0 のいずれか 1 項に記載のタイミング解析支援プログラムにおいて、  
前記 ( b ) ステップは、  
配線メディアによる遅延時間、セル内遅延時間、同セットアップ・ホールド時間を計算して、前記 S D F ( S t a n d a r d D e l a y F o r m a t ) ファイルを生成する  
ステップを含む  
タイミング解析支援プログラム。

20

【請求項 1 2】

請求項 8 から 1 1 のいずれか 1 項に記載のタイミング解析支援プログラムにおいて、  
前記ネットリスト編集ステップは、  
前記入力段から前記クロック・メッシュネットに辿り着くまでの途中経路中のネットとドライバ・インスタンスを全て記憶するステップと、  
前記入力ピンに前記新たなネットを介して前記擬似外部端子を接続した後、前記途中経路中のネットと前記ドライバ・インスタンスとを削除して前記修正ネットリストを生成する  
ステップと  
を含む  
タイミング解析支援プログラム。

30

【請求項 1 3】

請求項 8 から 1 2 のいずれか 1 項に記載のタイミング解析支援プログラムにおいて、  
前記 S D F ファイル編集ステップは、  
読み出した前記クロック L a t e n c y / 鈍り情報の記述に基づいて、前記入力段を、前記修正ネットリストの内部のドライバに繋がる擬似外部端子に読み替えながら、前記修正 S D F ファイルを生成するステップを含む  
タイミング解析支援プログラム。

【請求項 1 4】

請求項 8 から 1 3 のいずれか 1 項に記載のタイミング解析支援プログラムにおいて、  
前記 S P E F ファイル編集ツールは、  
前記修正ネットリストと前記 S P E F ファイルとに基づいて、仮 S P E F ファイルを生成するステップと、  
前記仮 S P E F ファイルの前記擬似外部端子と前記ドライバのピンとのペア記述の擬似端子座標を、前記ドライバの入力端子座標と同じにして前記修正 S P E F ファイルを生成するステップと  
を含む  
タイミング解析支援プログラム。

40

【発明の詳細な説明】

【技術分野】

50

## 【0001】

本発明は、クロック・メッシュ構造を含むクロックパスを有するLSIの遅延を検証するタイミング解析支援装置に関する。

## 【背景技術】

## 【0002】

LSIのクロック分配方式として、クロック・ツリー(clock tree)方式が知られている。クロック・ツリー方式は、木の枝(ツリー)状にクロック信号を分配する技術である。図1は、クロック・ツリー方式でクロックを分配するLSIの構成を示す回路図である。図1のLSIにおいて、クロック信号の到着時間の差(スキュー)が小さくなるように、回路を設計することが好ましい(例えば、特許文献1、2参照)。特許文献1には、論理単位の素子の配置広がり(距離)を考慮した配線負荷モデルを用い最適化した論理回路を生成する集積回路設計支援装置に関する技術が記載されている。また、特許文献2には、2つ以上の素子を一つの素子にまとめてネットリストを簡略化する技術が記載されている。

10

## 【0003】

クロック・ツリー方式のLSIでは、そのため、製造バラツキを考慮したSKEW計算が行われている。一般的に、クロック・ツリー方式のLSIは、配置広がり(距離)が大きければ遅延バラツキが大きくなり、段数が大きければ遅延バラツキが小さくなる。逆に、配置広がり(距離)が小さければ遅延バラツキが小さくなり、段数が小さければ遅延バラツキが大きくなる。このような相関があるため、スタティック・タイミング解析(STA)ツールでは、配置広がり(距離)と段数との2次元テーブル(ライブラリ)から、遅延バラツキ係数を決定し、下記の式を用いてSKEW計算をモデル化している。

20

## 【0004】

Setup skew:

送信クロック遅延 - バラツキ係数 ( $< 1.0$ )  $\times$  受信クロック遅延

Hold skew:

送信クロック遅延 - バラツキ係数 ( $> 1.0$ )  $\times$  受信クロック遅延

このとき、その製造バラツキを考慮したSKEW計算については、送信クロックと受信クロックの共通パスを認識して、その共通パス以降のクロックドライバの配置広がり(距離)を考慮する。クロック共通パスにおいては、バラツキを考慮する必要がない。そのため、共通パス分岐点(以下、CRPR(Clock Reconvergence Pessimism Removal)分岐点と記載する)から後の配置広がりや段数、クロック遅延について計算する。

30

## 【0005】

たとえば、第1フリップフロップFF1と第2フリップフロップFF2の間のパスのクロックを、上流に「一意に」トレースすると、第1CRPR分岐点までが共通パスと認識できる。また、第1フリップフロップFF1と第2フリップフロップFF2の間では、段数が1段で、配置広がり(距離)は第1範囲となる。第1フリップフロップFF1と第3フリップフロップFF3の間のパスのクロックを、上流に「一意に」トレースすると、第2CRPR分岐点までが共通パスと認識できる。そして、第1フリップフロップFF1と第3フリップフロップFF3の間では、段数が3段で、配置広がり(距離)が第2範囲となる。

40

## 【0006】

クロック・ツリー方式は、レイアウト設計の自由度が高い。しかし、規模が大きい回路ではクロック信号の到着時間の差(スキュー)を小さくすることが困難な場合がある。回路規模が大きいLSIにおいて、スキューを小さくするクロック分配方式として、クロック・メッシュ(clock mesh)方式が知られている(例えば、特許文献3、4参照)。クロック・メッシュ方式は、クロック遅延差を小さくし、チップ内製造バラツキによるクロック遅延変動を低減することが可能であり、規模が大きい回路に対してもスキュー(SKEW)を小さくすることが可能となる。そのため、ハイエンドLSIにおけるクロック構造において、メッシュ・アーキテクチャを用いたものが普及してきている。図

50

2は、クロック・メッシュ方式のLSIの構成を示す回路図である。図2を参照すると、そのLSIでは、碁盤の目(メッシュ)状にクロック信号が分配されている。

【特許文献1】特開平11-232310号公報

【特許文献2】特開2007-078536号公報

【特許文献3】特開平03-232267号公報

【特許文献4】特開2003-282712号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の図1に示されているように、通常のクロック・ツリー分配では、データラインはバスを除いて通常シングル・ドライバであり、あるネットやセルのファンイン(ドライバ)側を辿ると必ず一意のセルに到達する。これに対して、クロックバスにメッシュ構造があると共通バスが認識できず正確な配置広がりや特定する事ができない問題が生じる。クロック・メッシュ構造ではファンイン側を辿るとドライバが一意に決まらず特殊なアルゴリズムやプログラム上の配慮が必要となる。このように、クロック・メッシュ構造は、マルチ・ドライバ構成となるので、一般的なCADツールでの扱いが難しい。

【0008】

スタティック・タイミング解析(STA)ツールにおいても例外ではない。図2に示されているようなLSIにおいて、メッシュ部に関しては、チップ内製造バラツキによる遅延変動の計算を行うツールが存在していない。したがって、バラツキを反映した計算モデルによる高精度なタイミング解析を行うことが困難な場合がある。たとえば、PLLからメッシュ段までをトランジスタレベルのネットリストに切り出して、配線メディア、トランジスタの製造バラツキ分をランダム要素にしたモンテカルロSPICEシミュレーション解析により計測した遅延を使う方法も考えられるが、実行時間の観点から現実的でない。

【課題を解決するための手段】

【0009】

配線の抵抗成分と容量成分とを含むSPEF(Standard Parasitic Exchange Format)ファイル生成するRC抽出部と、そのSPEF(Standard Parasitic Exchange Format)ファイルに基づいて、SDF(Standard Delay Format)ファイル生成する遅延計算部と、クロック・メッシュ構造のあるクロックバスについて、入力段からクロック・メッシュまでのネットリストを簡略化して修正回路モデルを生成するクロック・メッシュ計算部と、その修正回路モデルに基づいて、解析対象の半導体集積回路のタイミング解析を実行するタイミング解析部とを具備するタイミング解析支援装置を構成する。

【発明の効果】

【0010】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、クロック・メッシュ構造のあるクロックバスについて、PLLからメッシュまでのネットリストを簡略化し、PLLからメッシュのレシーバとなるドライバ(L1)までの製造バラツキによる遅延変動を、各ドライバL1の位置に依存する計算モデルとすることにより、既存のSTAシステムよりも高精度なタイミング解析を実行できる効果がある。な効果がある。

【0011】

修正ネットリストを用いることで、CRPR分岐点を、ドライバL1或いは擬似外部端子としてタイミング解析を行う。また、配置広がりや修正SPEFを用いることで、ドライバL1とフリップフロップFFとの距離に応じた配置広がりやを考慮してバラツキ遅延を計算できる。したがって、メッシュがチップ全面に配られていても、その大きな広がりや不問となる。

【発明を実施するための最良の形態】

10

20

30

40

50

## 【 0 0 1 2 】

以下、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 1 3 】

図3は、本実施形態のタイミング解析装置10の構成を例示するブロックである。タイミング解析装置10は、情報処理装置1と、入力装置2と、出力装置3とを含んでいる。情報処理装置1は、プログラムに示される手順に従って、情報処理を高速に行う装置(コンピュータ)である。情報処理装置1は、入力、記憶、演算、制御および出力の5つの基本機能を備えている。入力装置2は、情報処理装置1にデータを入力するマンマシンインターフェースである。入力装置2の代表としては、例えば、キーボード、マウス、ペンタブレット、タッチパネルなどが例示される。出力装置3は、情報処理装置1の処理結果を外部に出力するマンマシンインターフェースである。出力装置3の代表として、ディスプレイやプリンタなどが例示される。

10

## 【 0 0 1 4 】

情報処理装置1は、プログラム制御により動作するコンピュータであり、CPU4と、メモリ5と、大容量記憶装置6を備え、それらはバス7を介して接続されている。CPU4は、中央演算処理装置とも呼ばれ、情報処理装置1に備えられた各種装置の制御やデータの処理を行う。CPU4は、入力装置2などを介して供給されるデータを解釈して演算し、その演算結果を出力装置3などに出力する。

20

## 【 0 0 1 5 】

メモリ5は、DRAMやSRAMなどに代表される半導体記憶装置である。メモリ5は、CPU4の命令にตอบสนองしてデータの書き込みを行う。また、メモリ5は、CPU4の命令にตอบสนองしてデータの読み出しを行う。なお、本実施形態のメモリ5は、RAMに限定されることは無い。例えば、EEPROMやフラッシュメモリなどであってもよい。

## 【 0 0 1 6 】

大容量記憶装置6は、HDDなどに代表される情報を永続的に記憶する記憶装置である。大容量記憶装置6は、外部から供給される電源が遮断した場合であっても、情報を保持しつづける機能を備えている。なお、本実施形態の大容量記憶装置6は、HDDに限定されることは無い。例えば、EEPROMやフラッシュメモリなどであってもよい。

30

## 【 0 0 1 7 】

大容量記憶装置6は、タイミング解析支援プログラム8と、レイアウトデータ11と、SPEF(Standard Parasitic Exchange Format)12と、ネットリスト13と、SDF14と、クロックLatency/鈍り情報15と、修正ネットリスト16と、修正SPEF17と、修正SDF18と、タイミング制約19と、解析結果レポート20と、RC抽出ライブラリ21、セル遅延ライブラリ22を含んでいる。

## 【 0 0 1 8 】

タイミング解析支援プログラム8は、設計対象の半導体集積回路のタイミング解析を行う手順を示している。本実施形態においては、CPU4がタイミング解析支援プログラム8に示される手順で演算やデータ処理を実行する。それによって、情報処理装置1は、タイミング解析装置10として機能する。具体的には、情報処理装置1は、大容量記憶装置6から読み出されたタイミング解析支援プログラム8に示される手順に従って、後述するRC抽出ツール23、遅延計算ツール24、クロック・メッシュ修正ツール25およびタイミング解析ツール29として機能する。

40

## 【 0 0 1 9 】

レイアウトデータ11、ネットリスト13、タイミング制約19、RC抽出ライブラリ21、セル遅延ライブラリ22は、タイミング解析装置10への入力データである。

## 【 0 0 2 0 】

レイアウトデータ11は、配置・配線後のレイアウト情報を格納している。ネットリス

50

ト13は、レイアウトデータ11に対応し論理的な接続関係を表す情報を格納している。タイミング制約19は、検証回路のクロック周期の定義、ジッタを代表とする固定SKEW定義、マルチ・サイクルパス（複数サイクルの遅延が許されるパス）などのタイミング例外指定を格納している。

【0021】

RC抽出ライブラリ21は、リーフ・セルの形状、セル内メタル図形情報、ターゲット半導体プロセスにおける配線層毎の容量・抵抗特性を格納している。セル遅延ライブラリ22は、入出力端子間遅延情報と、順序素子の場合はセットアップ時間、ホールド時間を格納している。

【0022】

また、SPEF (Standard Parasitic Exchange Format) 12、SDF 14、クロックLatency / 鈍り情報15、修正ネットリスト16、修正SPEF 17、修正SDF 18は、タイミング解析装置10の中間データである。

【0023】

SPEF (Standard Parasitic Exchange Format) 12は、寄生情報が抽出された配線の抵抗、容量（カップリング容量）を格納している。SDF 14は、セル内のトランジスタ動作によるセル遅延と、配線遅延を格納している。クロックLatency / 鈍り情報15は、PLLからメッシュのレシーバであるドライバ（レシーバ回路L1）入力までの最悪遅延値とレシーバ回路L1入力の波形鈍りを格納しており、フォーマットは一般的なSTAシステムがデザインに対してアノテートできる内容である。

【0024】

修正ネットリスト16は、ネットリスト13を編集した内容を格納している。修正SPEF 17は、SPEF (Standard Parasitic Exchange Format) 12を編集した内容を格納している。修正SDF 18は、SDF 14を編集した内容を格納している。解析結果レポート20は、最終出力結果であり、タイミング解析によりセットアップ・ホールド遅延違反したパス情報を格納している。

【0025】

図4は、タイミング解析装置10を構成する機能ブロックとデータとの関連を例示するブロック図である。タイミング解析装置10は、RC抽出ツール23と、遅延計算ツール24、クロック・メッシュ修正ツール25と、タイミング解析ツール29とを含んでいる。また、クロック・メッシュ修正ツール25は、SDF編集ツール26と、SPEF編集ツール27と、ネットリスト編集ツール28とを含んでいる。

【0026】

RC抽出ツール23は、RC抽出ライブラリ21とレイアウトデータ11を入力し、寄生情報を抽出してSPEF (Standard Parasitic Exchange Format) 12に配線のRC情報を出力する。遅延計算ツール24は、セル遅延ライブラリ22とネットリスト13とSPEF (Standard Parasitic Exchange Format) 12を入力し、配線メディアによる遅延時間、セル内遅延時間、同セットアップ・ホールド時間を計算して、SDF 14に出力する。遅延計算ツール24は、このとき、後段に設けられたクロック・メッシュ修正ツール25で用いられる形式で、PLLからL1入力までの最悪遅延値とL1入力ピンの波形鈍りを、クロックLatency / 鈍り情報15として出力する。

【0027】

クロック・メッシュ修正ツール25は、ネットリスト13などのデータを読み込み、接続をトレースし、ECO（接続論理変更）を実行して、修正ネットリスト16、修正SPEF 17、および修正SDF 18を出力する機能を有するSTAツールで構成されている。なお、クロック・メッシュ修正ツール25は、SDF編集ツール26と、SPEF編集ツール27と、ネットリスト編集ツール28とを含んでいる。これらの機能ブロックの詳

10

20

30

40

50



細な動作に関しては、後述する。

【0028】

タイミング解析ツール29は、製造バラツキによる遅延変動を考慮したタイミング解析を実行して、その実行結果を、セットアップ・ホールド遅延違反やSKEWなどを示す解析結果レポート20として出力する。

【0029】

以下に、図面を参照して、本実施形態の動作について説明を行う。以下では、本実施形態のタイミング解析装置10におけるクロック・メッシュ修正ツール25に関して、その動作を詳細に説明していく。図5は、ネットリスト編集ツール28の動作を例示するフローチャートである。ステップS101において、ネットリスト編集ツール28は、PLL 10

【0030】

ステップS102において、そのPLL出力ピンからクロック・ツリーを、幅優先で探索しながら、クロック・メッシュを構成しているネット(クロック・メッシュネット)をサーチする。クロック・メッシュネットは、マルチ・ドライバとなっている。そのため、ある探索ネットのドライバ数が、2以上となっているかで判定できる。また、ステップS102において、クロック・メッシュネットに辿り着くまでの途中経路中のネットや、ドライバ・インスタンスを、後の動作に備えて全て記憶しておく。

【0031】

ステップS103において、ステップS102の動作によって得られたクロック・メッシュネットに、レシーバとして繋がるドライバ(以下、レシーバ回路L1と記載する)の一覧を取得して記憶する。 20

【0032】

ステップS104において、擬似外部端子とネットを構成し、ステップS103の動作で得られたレシーバ回路L1の一覧の入力ピンを、順次接続していく。ステップS105において、ステップS102の動作で記憶済みのネット、インスタンスを削除する。その後、ステップS106において、編集されたネットリストを修正ネットリスト16として出力する。

【0033】

図6は、SDF編集ツール26の動作を例示するフローチャートである。ステップS201において、SDF編集ツール26は、修正ネットリスト16に対して、読み出したクロックLatency/鈍り情報15を参照して、そのクロックLatency/鈍り情報15に含まれる情報を修正ネットリスト16付与する。この時、クロックLatency/鈍り情報15は、PLLから、複数のレシーバ回路L1を端点とした記述となっている。そのため、PLLを修正ネットリスト16の内の複数のレシーバ回路L1に繋がる擬似外部端子に読み替えながら入力する。そして、ステップS202において、SDF編集ツール26は、修正SDF18を出力する。 30

【0034】

図7は、SPEF編集ツール27の動作を例示するフローチャートである。ステップS301において、SPEF編集ツール27は、修正ネットリスト16に基づいて、擬似外部端子から複数のレシーバ回路L1へのネットのそれぞれに対して、ダミーの小さい容量・抵抗値を付与する。ここにおいて、後段のタイミング解析ツール29へは、遅延計算済みの修正SDF18が入力され、その値が使われる。そのため、SPEF(Standard Parasitic Exchange Format)12の内部の抵抗、容量の値が、遅延計算に使われることはない。 40

【0035】

ステップS302において、ここで一旦、SPEF(Standard Parasitic Exchange Format)12を仮SPEF30として出力する。ステップS303において、タイミング解析ツール29によって、製造バラツキに起因するSKEWの計算をする時に、レシーバ回路L1の後段の配置広がりのみを考慮させる目的で 50

、仮SPEF30の擬似外部端子と複数のレシーバ回路L1のピンのペア記述の擬似端子座標を、レシーバ回路L1の入力端子座標と同じにする。

【0036】

ステップS304において、編集内容を修正SPEF17として出力する。尚、ステップS303の処理やステップS304の処理を、STAツールなどで行うことなく、例えば、ストリームエディタなどで実行しても良い。その後、タイミング解析ツール29は、セル遅延ライブラリ22、修正ネットリスト16、修正SPEF17、修正SDF18、タイミング制約19を読み込み、製造バラツキによる遅延変動を考慮したタイミング解析を実行してセットアップ・ホールド遅延違反やSKEWなどを解析結果レポート20として出力する。

10

【0037】

ここで、上述してきた本実施形態のタイミング解析装置10の動作について、具体的に説明を行う。図8は、以下の説明において、タイミング解析の対象となる解析対象回路31の構成を例示する回路図である。解析対象回路31は、PLL(Phase Lock Loop)32と、クロック・ツリー領域33と、クロック・メッシュ領域34と、複数のフリップフロップ(第1フリップフロップFF1~第3フリップフロップFF3)を含んでいる。

【0038】

クロック・ツリー領域33は、第1インスタンスG11、第2インスタンスG12、第3インスタンスG21、第4インスタンスG22、第5インスタンスG23、第6インスタンスG24を含んでいる。クロック・メッシュ領域34は、クロック・メッシュネット35と、複数のレシーバ回路L1(第1レシーバ回路L1\_\_1、第2レシーバ回路L1\_\_2、第3レシーバ回路L1\_\_3)を含んでいる。

20

【0039】

上述の解析対象回路31のような接続イメージのネットリスト、レイアウトデータがタイミング解析装置10に与えられ、RC抽出ツール23、遅延計算ツール24により順次処理されたとする。図9は、遅延計算ツール24により出力されたクロックLatency/鈍り情報15のフォーマットを例示するリストである。図9を参照すると、クロックLatency/鈍り情報15のDelay行は、-fromのピンから-toのピンまでのLatency遅延値を示す。Tran行は、-pinのピンでの波形鈍りを示す。なお、この記述は、本実施形態におけるクロックLatency/鈍り情報15の構成を制限するものではない。

30

【0040】

上述の図5のフローチャートで例示したように、ネットリスト編集ツール28は、セル遅延ライブラリ22、ネットリスト13、SDF14、SPEF(Standard Parasitic Exchange Format)12を読み込み、ステップS101での処理を実行する。PLLをサーチすると、解析対象回路31に示される接続イメージより、PLL(Phase Lock Loop)32がサーチ結果として出力される。

【0041】

ステップS102の処理では、クロック・ツリー領域33を、幅優先で探索しながら、クロック・メッシュ領域34をサーチするとクロック・メッシュネット35がサーチ結果として得られる。また、記憶された途中経路の情報は、ネットが第1ネットNG1、第2ネットNG21、第3ネットNG22、クロック・メッシュネット35であり、インスタンスが、第1インスタンスG11、第2インスタンスG12、第3インスタンスG21、第4インスタンスG22、第5インスタンスG23、第6インスタンスG24となる。

40

【0042】

次に、ネットリスト編集ツール28は、上述のステップS104の処理を実行する。ネットリスト編集ツール28は、クロック・メッシュネット35の後段に配置されたレシーバであるドライバ・リストとして、第1レシーバ回路L1\_\_1、第2レシーバ回路L1\_\_

50

2、第3レシーバ回路L1\_\_3を得る。その第1レシーバ回路L1\_\_1、第2レシーバ回路L1\_\_2および第3レシーバ回路L1\_\_3に対して、それぞれ擬似外部端子第1擬似端子E1、第2擬似端子E2、第3擬似端子E3とネット(第1擬似ネットNE1、第2擬似ネットNE2、第3擬似ネットNE3)を新規に発生させてドライバ入力端子に順次接続する。

#### 【0043】

次にネットリスト編集ツール28は、PLL(Phase Lock Loop)32と、記憶済みのネット(第1ネットNG1、第2ネットNG21、第3ネットNG22およびクロック・メッシュネット35と、インスタンス(第1インスタンスG11、第2インスタンスG12、第3インスタンスG21、第4インスタンスG22、第5インスタンスG23、第6インスタンスG24)を削除する。そして、編集されたネットリスト13を修正ネットリスト16として出力する。図10は、その修正ネットリスト16の接続イメージを例示する回路図である。

10

#### 【0044】

その後、処理はSDF編集ツール26に移る。SDF編集ツール26は、上述のステップS201の処理を実行するためにクロックLatency/鈍り情報15を読み込む。このとき、SDF編集ツール26は、クロックLatency/鈍り情報15のTran行をそのまま読み込む。Delay行は、ツール内で-t oのピンからファンイン側にトレースすると、一意に擬似外部端子が得られる。従って、SDF編集ツール26は、-from指定を、当該擬似外部端子に読み替えながら入力する。図11は、読み替えたファイル(クロックLatency/鈍り情報15a)を例示するリストである。その後、SDF編集ツール26は、修正SDF18を出力する。上述の図10には、修正SDF18のタイミング・アーカイブが例示されている。

20

#### 【0045】

その後、処理はSPEF編集ツール27に移る。SPEF編集ツール27は、修正ネットリスト16に対して、擬似外部端子から複数のレシーバ回路L1(第1レシーバ回路L1\_\_1、第2レシーバ回路L1\_\_2、第3レシーバ回路L1\_\_3)のネットのそれぞれに対して、ダミーの小さい容量・抵抗値を付与する。ここで、SPEF編集ツール27は、一旦、SPEF(Standard Parasitic Exchange Format)12を、仮SPEF30として出力する。図12は、仮SPEF30のイメージを例示する回路図である。

30

#### 【0046】

SPEF編集ツール27は、仮SPEF30の擬似外部端子と、複数のレシーバ回路L1のピンペア記述の擬似端子座標を、レシーバ回路L1入力端子座標と同じにする。そして、その編集内容を、修正SPEF17として出力する。図13は、修正SPEF17のイメージを例示する回路図である。

#### 【0047】

タイミング解析ツール29は、セル遅延ライブラリ22、修正ネットリスト16、修正SPEF17、修正SDF18、タイミング制約19を読み込み、製造バラツキによる遅延変動を考慮したタイミング解析を実行してセットアップ・ホールド遅延違反やSKEWなどを解析結果レポート20として出力する。

40

#### 【0048】

上述のように、本実施形態のタイミング解析装置10は、クロック・メッシュ構造のあるクロックパスについて、PLLからメッシュまでのネットリストを簡略化し、PLLからメッシュのレシーバとなるドライバ(L1)までの製造バラツキによる遅延変動を、各L1の位置に依存する計算モデルとすることにより、既存のSTAシステムにより高精度なタイミング解析を実行することができる。

#### 【0049】

本実施形態のタイミング解析装置10は、修正ネットリスト16によりCRPR分岐点は、レシーバ回路L1、或いは、擬似外部端子となり、配置広がり修正SPEF17に

50

より、レシーバ回路L1とフリップフロップの距離に応じた配置広がりとなり、それらを考慮してバラツキ遅延を計算できる。そのため、メッシュがチップ全面に配置されていても、その大きな広がり依存することなくタイミング解析を行うことが可能となる。

【0050】

以上、本願発明の実施の形態を具体的に説明した。本願発明は上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【図面の簡単な説明】

【0051】

【図1】図1は、クロック・ツリー方式でクロックを分配するLSIの構成を示す回路図である。

10

【図2】図2は、クロック・メッシュ方式のLSIの構成を示す回路図である。

【図3】図3は、本実施形態のタイミング解析装置10の構成を例示するブロックである。

【図4】図4は、タイミング解析装置10を構成する機能ブロックとデータとの関連を例示するブロック図である。

【図5】図5は、ネットリスト編集ツール28の動作を例示するフローチャートである。

【図6】図6は、SDF編集ツール26の動作を例示するフローチャートである。

【図7】図7は、SPEF編集ツール27の動作を例示するフローチャートである。

【図8】図8は、タイミング解析の対象となる解析対象回路31の構成を例示する回路図である。

20

【図9】図9は、遅延計算ツール24により出力されたクロックLatency/鈍り情報15のフォーマットを例示するリストである。

【図10】図10は、修正ネットリスト16の接続イメージを例示する回路図である。

【図11】図11は、読み替えたファイル(クロックLatency/鈍り情報15a)を例示するリストである。

【図12】図12は、仮SPEF30のイメージを例示する回路図である。

【図13】図13は、修正SPEF17のイメージを例示する回路図である。

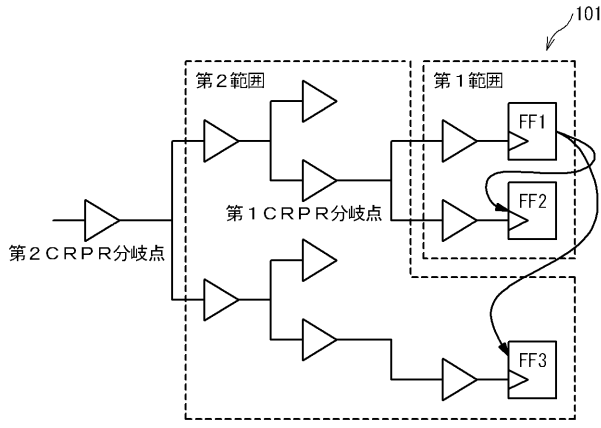
【符号の説明】

【0052】

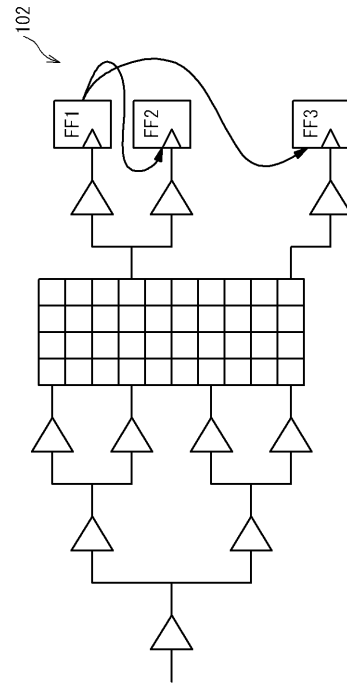
- 1 ... 情報処理装置 30
- 2 ... 入力装置
- 3 ... 出力装置
- 4 ... CPU
- 5 ... メモリ
- 6 ... 大容量記憶装置
- 7 ... バス
- 8 ... タイミング解析支援プログラム
- 10 ... タイミング解析装置
- 11 ... レイアウトデータ
- 12 ... SPEF (Standard Parasitic Exchange Format) 40
- 13 ... ネットリスト
- 14 ... SDF
- 15 ... クロックLatency/鈍り情報
- 15a ... クロックLatency/鈍り情報
- 16 ... 修正ネットリスト
- 17 ... 修正SPEF
- 18 ... 修正SDF
- 19 ... タイミング制約
- 20 ... 解析結果レポート 50

2 1 ... R C 抽出ライブラリ	
2 2 ...セル遅延ライブラリ	
2 3 ... R C 抽出ツール	
2 4 ...遅延計算ツール	
2 5 ...クロック・メッシュ修正ツール	
2 6 ... S D F 編集ツール	
2 7 ... S P E F 編集ツール	
2 8 ...ネットリスト編集ツール	
2 9 ...タイミング解析ツール	
3 0 ...仮 S P E F	10
3 1 ...解析対象回路	
3 2 ... P L L ( P h a s e L o c k L o o p )	
3 3 ...クロック・ツリー領域	
3 4 ...クロック・メッシュ領域	
3 5 ...クロック・メッシュネット	
G 1 1 ...第 1 インスタンス	
G 1 2 ...第 2 インスタンス	
G 2 1 ...第 3 インスタンス	
G 2 2 ...第 4 インスタンス	
G 2 3 ...第 5 インスタンス	20
G 2 4 ...第 6 インスタンス	
N G 1 ...第 1 ネット	
N G 2 1 ...第 2 ネット	
N G 2 2 ...第 3 ネット	
L 1 ...レシーバ回路	
L 1 _ 1 ...第 1 レシーバ回路	
L 1 _ 2 ...第 2 レシーバ回路	
L 1 _ 3 ...第 3 レシーバ回路	
F F 1 ...第 1 フリップフロップ	
F F 2 ...第 2 フリップフロップ	30
F F 3 ...第 3 フリップフロップ	
E 1 ...第 1 擬似端子	
E 2 ...第 2 擬似端子	
E 3 ...第 3 擬似端子	
N E 1 ...第 1 擬似ネット	
N E 2 ...第 2 擬似ネット	
N E 3 ...第 3 擬似ネット	
1 0 1 ...クロック・ツリー L S I	
1 0 2 ...クロック・メッシュ L S I	

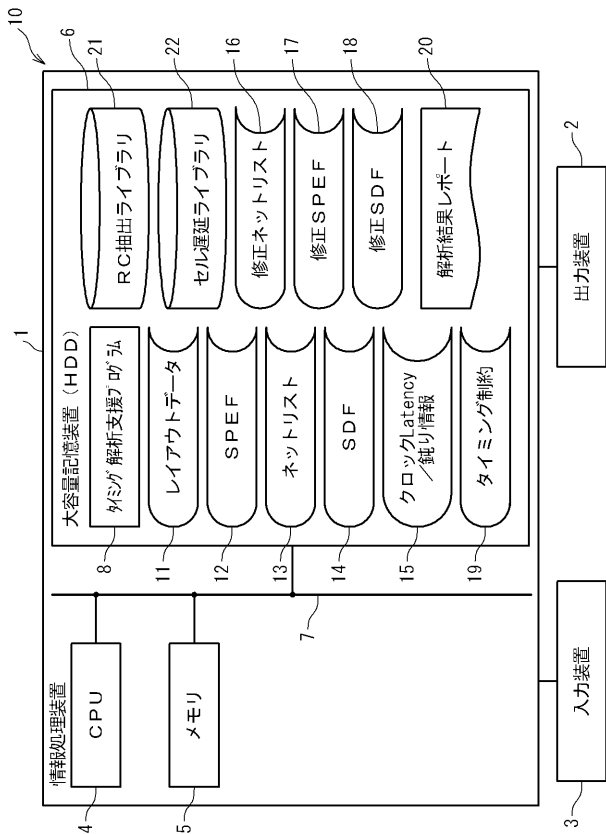
【図1】



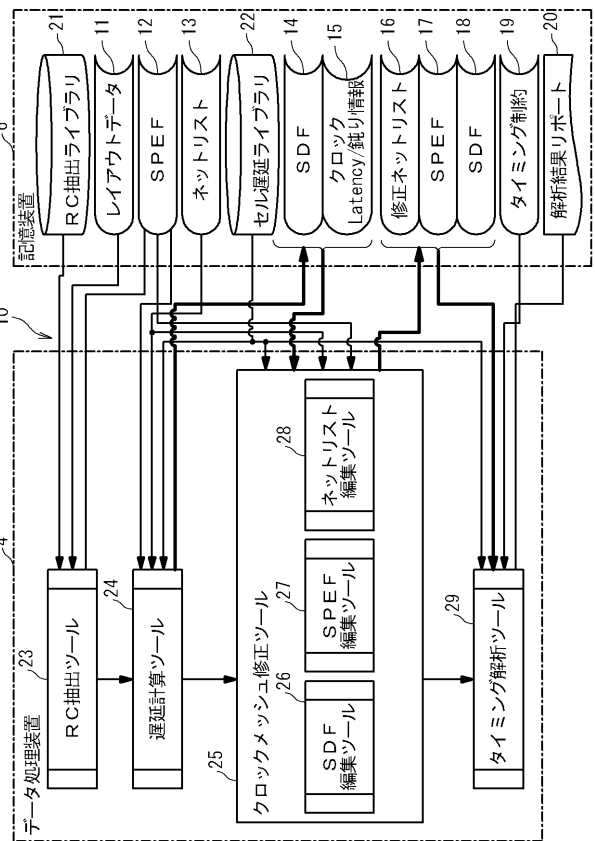
【図2】



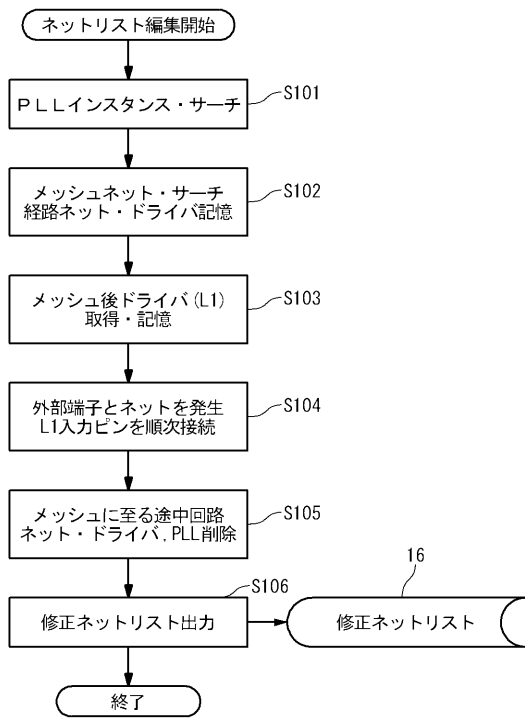
【図3】



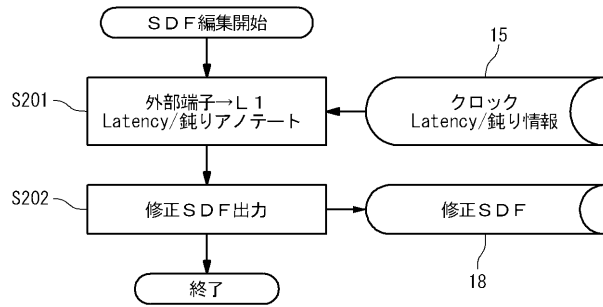
【図4】



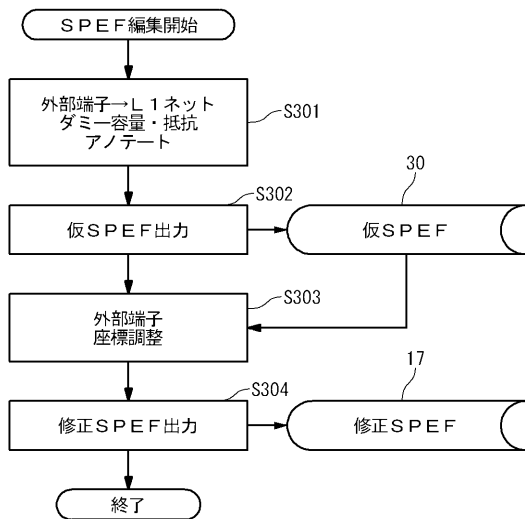
【図5】



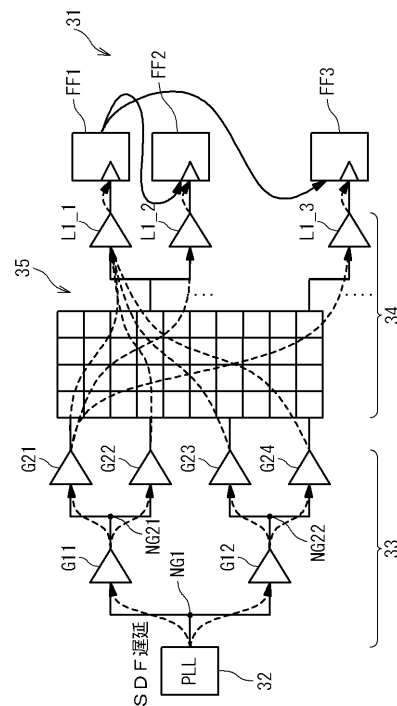
【図6】



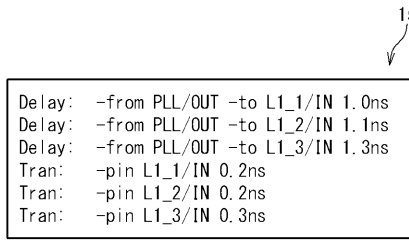
【図7】



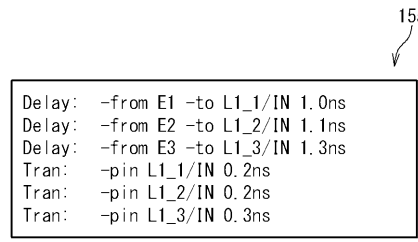
【図8】



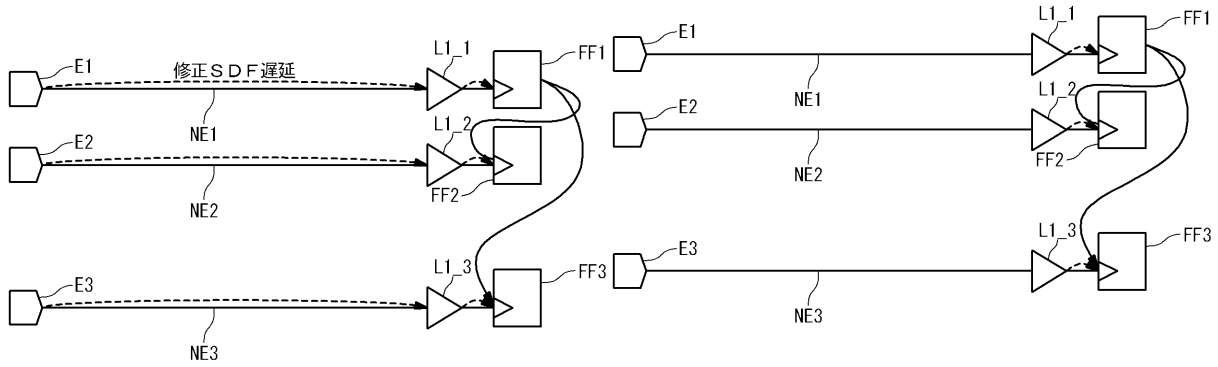
【図 9】



【図 11】

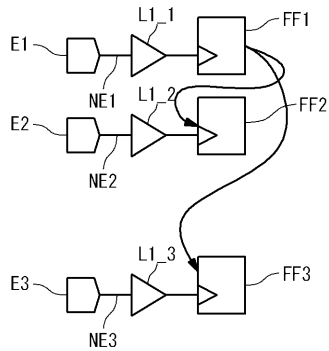


【図 10】



【図 12】

【図 13】





---

フロントページの続き

(56)参考文献 特開2008-152329(JP,A)

大嶋孝幸 他, クロックメッシュ用の遅延ライブラリを使用したストラクチャードASIC向け  
遅延計算手法, DAシンポジウム 2005 情報処理学会シンポジウムシリーズ, 2005年  
8月24日, Vol. 2005, No. 9, p. 181 - 186

(58)調査した分野(Int.Cl., DB名)

G06F 17/50