



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월02일  
(11) 등록번호 10-1727748  
(24) 등록일자 2017년04월11일

(51) 국제특허분류(Int. Cl.)  
H02H 7/18 (2006.01) H01M 10/44 (2006.01)  
H02J 7/00 (2006.01)  
(21) 출원번호 10-2010-0011924  
(22) 출원일자 2010년02월09일  
심사청구일자 2014년10월16일  
(65) 공개번호 10-2010-0092887  
(43) 공개일자 2010년08월23일  
(30) 우선권주장  
JP-P-2009-031379 2009년02월13일 일본(JP)  
(56) 선행기술조사문헌  
JP2001307782 A  
JP2008193887 A

(73) 특허권자  
에스아이아이 세미컨덕터 가부시키가이샤  
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지  
(72) 발명자  
츠무라 가즈히로  
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지  
세이코 인스트루 가부시키가이샤 내  
(74) 대리인  
한양특허법인

전체 청구항 수 : 총 2 항

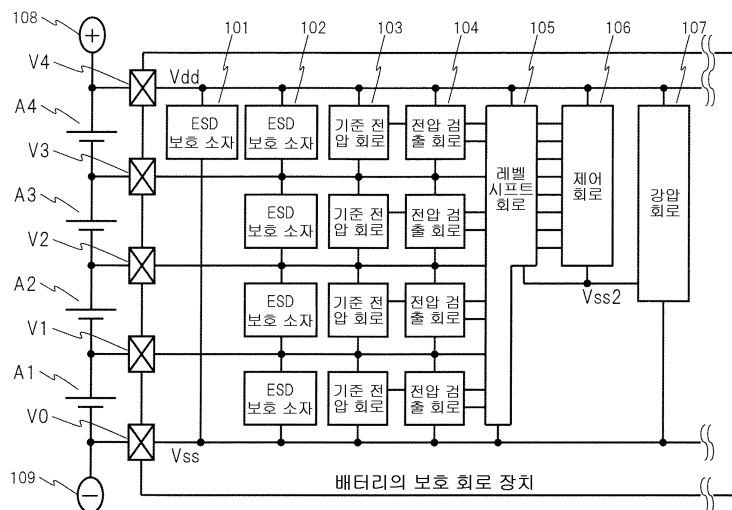
심사관 : 이재부

(54) 발명의 명칭 배터리의 보호 회로 장치

(57) 요약

복수의 2차 전지를 직렬로 연결한 배터리의 보호 회로 장치의 면적을 축소하고 저비용화하기 위해, 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치에 있어서, 기준 전압 회로, 전압 검출 회로의 전원 단자를 피검출 2차 전지의 양극, 접지 단자를 피검출 2차 전지의 음극에 각각 접속하며, 상기 회로를 구성하는 소자의 내압을 배터리 전체의 전압보다 낮게 한다.

대표도 - 도1



**명세서**

**청구범위**

**청구항 1**

충전과 방전이 가능한 2차 전지가 직렬로 복수개 연결된 배터리를 보호하기 위한 보호 회로 장치에 있어서,

상기 2차 전지의 각각에 대해 설치된 기준 전압 회로 및 전압 검출 회로와,

상기 2차 전지의 각각의 전압을 검출하여, 상기 기준 전압 회로로부터의 기준 전압과 비교하여 상기 2차 전지의 각각의 과충전상태, 과방전상태를 검지하는 상기 전압 검출 회로로부터의 각각의 출력이 동시에 입력되는, 전원 전압 및 그라운드 레벨 사이에 설치된 레벨 시프트 회로, 및

상기 레벨 시프트 회로로부터의 각각의 출력을 동시에 입력받는, 상기 전원 전압을 강압, 혹은 상기 그라운드 레벨을 승압함으로써 동작 전압대를 좁게 한 제어 회로를 갖고,

상기 기준 전압 회로와 상기 전압 검출 회로의 각각의 전원 단자가 상기 2차 전지의 각각의 양극에, 각각의 접지 단자가 상기 2차 전지의 각각의 음극에 접속되며,

상기 기준 전압 회로와 상기 전압 검출 회로를 구성하는 소자의 내압이, 상기 2차 전지 1개의 전압보다 높고, 또한 상기 배터리 전체의 전압보다 낮은 것을 특징으로 하는 배터리의 보호 회로 장치.

**청구항 2**

청구항 1에 있어서,

적어도 상기 2차 전지가 접속되는 전압 검출용 단자 각각의 사이에 배치된 제1 ESD 보호 소자와,

직렬 접속된 상기 2차 전지의 가장 높은 전위의 단자와 가장 낮은 전위의 단자 사이에 배치된 제2 ESD 보호 소자를 더 갖고,

상기 제1 ESD 보호 소자의 내압은 상기 2차 전지 1개의 전압보다 높고, 또한 상기 배터리 전체의 전압보다 낮으며,

상기 제2 ESD 보호 소자의 내압은 상기 배터리 전체의 전압보다 높은 것을 특징으로 하는 배터리의 보호 회로 장치.

**청구항 3**

삭제

**청구항 4**

삭제

**발명의 설명**

**기술분야**

[0001] 본 발명은 배터리의 과충전 및 과방전을 방지하기 위한 배터리의 보호 회로 장치에 관한 것이다.

**배경기술**

[0002] 리튬이온 2차 전지와 같은 2차 전지는 과방전 상태, 과충전 상태가 되는 것을 방지하기 위한 배터리의 보호 회로 장치를 필요로 하고 있다. 복수의 2차 전지를 직렬로 연결한 배터리에 있어서는, 전체 전압의 검출만으로는, 2차 전지 하나 하나의 특성 편차 때문에, 어떤 2차 전지가 과충전 상태, 과방전 상태가 될 위험이 있으므로, 2차 전지 하나 하나의 전압을 검출하여, 배터리를 구성하는 2차 전지의 단 1개라도 과방전 상태, 과충전 상태가 되지 않도록 도모되고 있다(예를 들면, 특허문헌 1의 도 3을 참조).

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) [특허문헌1]일본국특허3291530호공보

**발명의 내용**

**해결하려는 과제**

- [0004] 리튬이온 2차 전지와 같은 2차 전지를 복수개 직렬로 연결한 배터리는, 2차 전지의 개수만큼 전압이 높아진다. 그 때문에 배터리의 보호 회로 장치를 구성하는 소자는, 그 전압이 인가되어도 파괴되지 않도록 내압을 높게 할 필요가 있다. 반도체 소자는, 내압을 높게 하면 일반적으로 소자, 소자 분리 영역의 사이즈가 커진다.
- [0005] 따라서, 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치는 2차 전지의 개수가 증가하는 것에 의한 회로의 증대뿐만 아니라, 그 회로를 구성하는 반도체 소자 하나 하나의 사이즈가 커지므로, 보호 회로 장치 전체의 사이즈가 커진다.
- [0006] 복수의 2차 전지를 직렬로 연결한 배터리의 보호 회로에 대한 특허는 지금까지도 다수 출원되어 있지만, 그 회로를 구성하는 반도체 소자의 내압에 대해 명확하게 서술한 것은 거의 없다. 예를 들면, 특허문헌 1의 도 3에 도시된 바와 같은 회로에 있어서는, 웰의 전위를 어디로 하고, 그 소자의 내압은 어느 정도인지를 나타내는 기술은 없다. 도면으로부터 추정되는 것은, G2, G3의 노어 게이트가 동일하므로, COMP1~4의 비교 회로는 보호 회로 전체의 그라운드와 전원의 사이에 설치되어 있는 것이다. 요컨대, 직렬로 연결된 전체의 전압이 인가될 가능성이 있고, 소자의 내압은 직렬로 연결된 전체의 전압 분만큼 필요해진다. 이 예의 경우, 상기와 같이 2차 전지 1개의 경우와 비해, 내압이 2배 필요해지므로, 그 내압을 만족하기 위해 소자 사이즈는 커진다.
- [0007] 이 예에서는 2차 전지 2개이므로 2배이면 되지만, 10개 직렬로 연결한 경우는 10배의 내압이 필요해진다. 요컨대, 직렬로 연결하는 2차 전지의 개수가 증대하면 할수록, 필요한 내압은 증대하고, 소자 사이즈는 보다 커진다. 따라서, 배터리의 보호 회로 장치는 보다 커진다.
- [0008] 또, 반도체 소자는 일반적으로 제조 시의 프로세스 편차 때문에, 그 특성이 불균일해진다. 이 때문에, 통상 트리밍 회로가 장착되어 있다. 이 편차는 일반적으로 내압이 높아질수록 커지므로, 내압이 높을수록 트리밍하지 않으면 안 되는 범위가 넓어져, 트리밍 회로가 증대하고, 배터리의 보호 회로 장치의 면적이 커진다.
- [0009] 또, 소자 특성의 편차가 크면 온도가 변화했을 때의 검출 전압이 보다 크게 어긋난다. 이것은 검출 전압의 정밀도의 저하로 이어진다. 이와 같이 소자 특성의 편차가 크면 여러 가지 특성의 정밀도가 저하한다. 이들을 보정하기 위한 회로를 장착하면 보호 회로 장치의 면적이 커진다.
- [0010] 이상과 같이, 복수의 2차 전지를 직렬로 연결한 배터리의 보호 회로 장치의 면적은 커진다. 반도체 장치에 있어서, 면적의 증대는 비용 증대로 직결된다. 따라서, 배터리의 보호 회로 장치를 염가로 제공할 수 없다는 문제가 있었다.

**과제의 해결 수단**

- [0011] 상기 과제를 해결하기 위해 본 발명의 배터리의 보호 회로 장치에서는 다음의 수단을 채용한다.
- [0012] 충전과 방전이 가능한 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치에 있어서, 각 2차 전지의 전압을 검출하기 위한 기준 전압을 발생하는 각 기준 전압 회로의 전원 단자가 각 피검출 2차 전지의 양극에, 접지 단자가 각 피검출 2차 전지의 음극에 접속되며, 상기 기준 전압 회로를 구성하는 소자의 내압이, 2차 전지 1개의 전압보다 높고, 또한 배터리 전체의 전압보다 낮은 것을 특징으로 한다.
- [0013] 배터리의 보호 회로 장치에 있어서, 각 2차 전지의 전압을 검출하고, 기준 전압과 비교하여 상기 2차 전지의 과충전 상태, 과방전 상태를 검지하는 각 전압 검출 회로의 전원 단자가 각 피검출 2차 전지의 양극에, 접지 단자가 각 피검출 2차 전지의 음극에 접속되며, 상기 전압 검출 회로를 구성하는 소자의 내압이, 2차 전지 1개의 전압보다 높고, 또한 배터리 전체의 전압보다 낮은 것을 특징으로 한다.
- [0014] 배터리의 보호 회로 장치에 있어서, 각 2차 전지의 전압을 검출하고, 기준 전압과 비교하여 상기 2차 전지의 과

충전 상태, 과방전 상태를 검지하는 전압 검출 회로로부터의 출력을 레벨 시프트 회로에 입력하며, 전원 전압을 강압, 혹은 그라운드 레벨을 승압함으로써 동작 전압대를 좁게 한 제어 회로에 레벨 시프트 회로로부터의 출력을 입력하는 회로 구성에 있어서, 상기 기준 전압 회로, 전압 검출 회로의 전원 단자가 각 피검출 2차 전지의 양극에, 접지 단자가 각 피검출 2차 전지의 음극에 접속되며, 상기 기준 전압 회로, 전압 검출 회로를 구성하는 소자의 내압이, 2차 전지 1개의 전압보다 높고, 또한 배터리 전체의 전압보다 낮은 것을 특징으로 한다.

[0015] 배터리의 보호 회로 장치에 있어서, 적어도 각 2차 전지가 접속되는 전압 검출용 단자 각각의 사이, 및 직렬 접속된 2차 전지의 가장 높은 전위의 단자와 가장 낮은 전위의 단자 사이에 ESD 보호 소자를 가지며, 전자의 각 전압 검출용 단자간의 ESD 보호 소자의 내압은, 2차 전지 1개의 전압보다 높고, 또한 배터리 전체의 전압보다 낮으며, 후자의 ESD 보호 소자의 내압은 배터리 전체의 전압보다 높은 것을 특징으로 한다.

[0016] 배터리의 보호 회로 장치에 있어서, 기준 전압 회로, 전압 검출 회로의 전원 단자, 접지 단자가 피검출 2차 전지를 포함하는 복수의 직렬로 접속된 2차 전지의 양단에 접속되며, 상기 회로를 구성하는 소자의 내압이, 배터리 전체의 전압보다 낮은 것을 특징으로 한다.

**발명의 효과**

[0017] 본 발명에 따르면, 2차 전지를 직렬로 다수 접속한 배터리의 보호 회로에 있어서도, 기준 전압 회로, 전압 검출 회로, 제어 회로를 구성하는 소자의 필요 내압을 2차 전지 1개분의 전압으로 할 수 있다. 또, 2차 전지를 직렬로 다수 접속한 배터리의 보호 회로에 있어서도, 2차 전지의 전압을 검출하기 위한 단자에 연결되는 ESD 보호 소자의 필요 내압을 2차 전지 1개분의 전압으로 할 수 있다. 이와 같이 2차 전지의 개수가 증대해도 필요한 내압이 증대하지 않으므로, 상기 소자의 사이즈를 종래 기술에 비해 작게 할 수 있다.

[0018] 또, 소자의 내압이 낮아지면, 내압이 높은 경우에 비해, 소자의 편차를 작게 할 수 있다. 이것은 트리밍 회로의 축소로 이어진다.

[0019] 또, 소자의 편차가 작아지면, 온도 변화에 의한 검출 전압의 어긋남도 작아지는 등의 정밀도 향상 효과도 얻을 수 있으므로, 이들 보정용 회로가 불필요해진다.

[0020] 이상과 같이, 본 발명에 따르면, 2차 전지를 직렬로 다수 접속한 배터리의 보호 회로에 있어서도, 상기 회로를 구성하는 소자의 내압을 2차 전지 1개일 때와 동일하게 할 수 있으므로, 종래 기술에 비해, 배터리의 보호 회로 장치를 작게 할 수 있다. 요컨대, 상기 과제를 해결할 수 있다.

**도면의 간단한 설명**

[0021] 도 1은 2차 전지를 4개 직렬로 접속한 배터리에 있어서, 본 발명을 실시하기 위한 최량의 형태를 나타내는 배터리의 보호 회로 장치를 도시한 도면이다.

도 2는 기준 전압 회로를 도시한 도면이다.

도 3은 2차 전지(A2)의 전압 검출 회로를 도시한 도면이다.

도 4는 2차 전지(A2)의 전압 검출 회로의 종래예를 도시한 도면이다.

도 5는 트리밍 회로를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0022] 도 1에 따라 2차 전지를 4개 직렬로 접속한 배터리의 보호 회로 장치의 경우에 대해 설명한다. 2차 전지 A1~A4의 각각에 접속하는 배터리의 보호 회로 장치의 전압 검출용 단자를 V0~V4로 한다. V0은 최하단에서 Vss, V4는 최상단에서 Vdd라고 부른다. 또, Vdd는 배터리의 양극 단자(108)와, Vss는 음극 단자(109)와 동일 전위이다.

[0023] V0~V1, V1~V2, V2~V3, V3~V4의 단자간에, 전압 검출용 단자간 ESD 보호 소자(102), 기준 전압 회로(103) 및 전압 검출 회로(104)를 각각 배치한다. 또, Vdd~Vss간에 Vdd~Vss간 ESD 보호 소자(101)를 배치한다. 강압 회로(107)는 Vdd를 기준으로 하여 새로운 접지 라인 Vss2를 만든다. 기준 전압을 기초로 각 2차 전지의 전압을 전압 검출 회로(104)로 검출하여, 그 결과를 레벨 시프트 회로(105)에 보내고, 레벨 시프트 회로는 신호를 Vdd~Vss2의 전압 진폭으로 변환하여, 제어 회로(106)에 보낸다. 제어 회로(106)는 Vdd~Vss2의 전압 범위에서 동작한다.

- [0024] 기준 전압 회로(103)의 일례를 도 2에 나타낸다. 이와 같이 정전류용 디프레션형 N채널 트랜지스터(111)와 N채널 트랜지스터(112)를 종렬 접속함으로써, 접지 단자를 기준으로 한 기준 전압을 얻을 수 있다.
- [0025] 이 회로의 전원 단자는 피검출 2차 전지의 양극에, 접지 단자는 피검출 2차 전지의 음극에 연결된다. 도 1에 나타낸 바와 같이 기준 전압 회로(103)는 2차 전지에 맞추어 직렬 접속되므로, 2차 전지(A1)를 검출하기 위한 기준 전압 회로의 전원 단자는, 1개 상단의 2차 전지(A2)를 검출하기 위한 기준 전압 회로의 접지 단자와 공통이 된다. 이와 같이 하단의 전원 단자는 1개 상단의 접지 단자와 공통이 된다.
- [0026] 다음에 2차 전지(A2)의 전압 검출 회로의 일례를 도 3에 나타낸다. 여기에서 A2를 선택한 것에는 의미는 없고, 단순히 설명을 알기 쉽게 하기 위해서이다. 이것은 V1~V2간에 배치된 저항 R1, R2, R3에 의해 분할된 전압과, 상기의 기준 전압을 비교하여, V1~V2간의 전위차, 요컨대 전지(A2)의 전압이 어떤 값보다 큰지 작은지에 따라 출력이 반전되는 회로로, 일반적으로 비교 회로라고 불리는 것이다. 여기에서는, 이것을 그 역할로부터 전압 검출 회로라고 부른다.
- [0027] 이 회로는 전류를 되돌려 보내기 위한 P채널 트랜지스터(113), 비교 회로에 흐르는 전류를 제어하기 위해 Ibias를 Gate 전위로 하는 N채널 트랜지스터(114), 비교하는 2개의 입력 신호를 받는 N채널 트랜지스터(115)로 이루어진다.
- [0028] 이 회로의 전원 단자는 피검출 2차 전지(A2)의 양극 요컨대 V2에, 접지 단자는 피검출 2차 전지(A2)의 음극 요컨대 V1에 연결된다. 도 1에 나타낸 바와 같이 전압 검출 회로(104)는 2차 전지에 맞추어 직렬 접속되므로, 2차 전지(A2)를 검출하기 위한 전압 검출 회로의 전원 단자는, 1개 상단의 2차 전지(A3)를 검출하기 위한 전압 검출 회로의 접지 단자와 공통이 된다. 이와 같이 하단의 전원 단자는 1개 상단의 접지 단자와 공통이 된다.
- [0029] 이상, 여기에서는 V1~V2간의 기준 전압 회로 및 전압 검출 회로에 대해 서술하였지만, 도 2의 회로는 기준 전압을 발생하는 회로의 일례이고, 도 3의 회로는 기준 전압과 비교하여 2차 전지의 전압을 검출하는 회로의 일례이며, 이 회로에 한정되는 것은 아니다.
- [0030] 다음에 강압 회로에 대해 서술한다. 도 1은 N형 Wafer를 이용하고, N웰을 공통 전위로 하며, N웰은 Vdd 전위로 하고 있는 경우를 그리고 있다. 이 경우, 강압 회로는 Vdd를 기준으로 하여 예를 들면 Vss2=Vdd-3V와 같은 Vss2 레벨을 출력한다. 제어 회로는 이 강압 회로에서 좁게 한 Vss2~Vdd의 전압 범위에서 동작한다. 여기에서는 Vdd를 기준으로 하였지만, Vss를 기준으로 해도 된다.
- [0031] 각 전압 검출 회로로부터의 출력 신호는, 상기의 회로 구성 때문에, V0~V1간으로부터는 Lo=V0, Hi=V1, V1~V2간으로부터는 Lo=V1, Hi=V2와 같이 각각 상이한 진폭 전압이 된다. 그래서 레벨 시프트 회로에서 Vss2~Vdd간의 진폭 전압을 갖는 신호로 정형한 후에 제어 회로(106)에 입력한다.
- [0032] 상기 구성의 경우, 각 전압 검출용 단자간의 ESD 보호 소자(102), 기준 전압 회로(103), 전압 검출 회로(104), 제어 회로(106)는 2차 전지 1개분의 내압을 갖는 소자로 형성할 수 있다. 종래는 2차 전지 4개 직렬의 경우, 2차 전지 4개분, 요컨대, 4배의 내압을 갖는 소자를 필요로 하고 있었다. 종래 기술의 경우, 직렬로 접속되는 2차 전지의 수가 증가하면 그 만큼 소자의 필요 내압이 상승한다. 그에 비해, 본 발명의 경우, 상기 회로를 구성하는 소자의 필요 내압은, 2차 전지를 몇 개 직렬로 접속해도 2차 전지 1개분의 전압이다.
- [0033] 따라서, 본 발명에 따르면, 상기 회로를 구성하는 소자의 내압을 낮게 억제할 수 있으므로, 소자 사이즈를 작게 할 수 있다. 소자 사이즈가 작다는 것은, 배터리의 보호 회로 장치 전체의 사이즈가 작은 것과 등가이므로, 비용 저감으로 이어진다. 요컨대, 상기 과제를 해결할 수 있다.
- [0034] 여기에서, 배터리의 전압이 변하지 않는데도, 소자의 필요 내압을 낮출 수 있는 이유에 대해 설명한다. 종래의 회로 구성의 경우, 반도체 기판에 설치된 웰과 각 소자의 드레인간에 걸리는 전압이 최대 배터리의 전압으로 되어 있었다. 본 발명의 경우, 각 단자간의 회로를 구성하는 소자의 웰 전위를 각 단자간의 전위로 하고 있으므로, 웰과 각 소자의 드레인간에 걸리는 전압은 최대라도 2차 전지 1개분이 되고, 그 대신에, 웰과 기판간에 전압이 걸리게 된다. 이 경우, 1개의 웰 중에 복수의 소자를 넣어, 웰마다 전원 전압분의 내압을 확보하면 되게 되므로, 종래와 같이 소자마다 전원 전압분의 내압을 확보하는 경우에 비해 면적을 축소할 수 있다.
- [0035] 리튬이온 2차 전지의 경우, N형 기판을 이용하는 경우가 많으므로, 이 경우에 대해 도 4에 따라 설명한다. 도 4는 2차 전지(A2)의 전압 검출 회로의 종래예이다. 종래 기술의 경우, P채널 트랜지스터를 형성하는 N웰이 기판과 동극성이므로 P채널 트랜지스터의 N웰의 전위를 Vdd로 하는 것이 일반적이다. 그 때문에 예를 들면, A1의 전지의 전압 검출 회로에 걸리는 전압은 최대로 전원 전압과 동일해지고, 소자의 내압이 전원 전압 분만큼 필요

해진다.

- [0036] 도 4에서는 N채널을 형성하는 P웰의 전위를  $V_{ss}$ 로 한 경우에 대해 그리고 있지만, P웰은 N형 기판으로부터 전기적으로 분리하는 것이 가능하므로, 도 3과 같이  $V_1$ 로 해도 된다.  $V_1$ 로 하는 경우는, 이 전압 검출 회로의 2개의 전원 단자는  $V_{dd}$ 가, 접지 단자는  $V_1$ 이 되고, 전압 검출 회로로부터의 출력 전압이  $V_{dd} \sim V_1$ 의 범위가 되므로 레벨 시프트 회로가 필요해진다. 한편, 도 4의 경우, 전압 검출 회로의 전원 단자는  $V_{dd}$ 가, 접지 단자는  $V_{ss}$ 가 되고, 전압 검출 회로로부터의 출력 전압이  $V_{dd} \sim V_{ss}$ 의 범위가 되므로 레벨 시프트 회로는 필요 없어진다.
- [0037] 또, P채널 트랜지스터를 형성하는 N웰을 P형 매설층, 혹은 절연층 등을 이용하여 기판과 분리함으로써, 상기의 회로 구성을 실현하는 것도 가능하다. 이 경우, 종래 기술에 비해 N웰~N형 기판을 전기적으로 분리하기 위한 영역을 취할 필요가 새롭게 생기므로, 이 점에서는 면적 증대로 이어지지만, 그 이상의 면적 축소 효과를 얻을 수 있다.
- [0038] 도 3의 저항  $R_1 \sim 3$ 은, 기능적으로는 도 3과 같으면 되지만, 실제로는 프로세스 변동에 따라 소자 특성에 편차가 생기므로, 도 5와 같은 트리밍 회로를 포함하는 구성이 된다. 이것은 저항(117)과 이것에 병렬로 배치된 퓨즈(116)로 구성된 것이다. 소자 특성에 편차가 생기면 기준 전압이 불균일해지거나, 비교 회로의 2입력 사이에 오프셋 전압이 생기거나 한다. 트리밍 회로는, 이러한 편차가 있어도, 퓨즈(116)를 끊거나, 끊지 않거나 하는 것으로 저항  $R_1 \sim 3$ 에 의한 전압의 분할비를 조정함으로써, 배터리의 보호 회로 장치의 과충전 전압, 과방전 전압을 일정하게 유지하는 기능을 갖는다.
- [0039] 일반적으로 저내압의 소자는 고내압의 소자에 비해, 프로세스 변동에 따른 소자 특성의 편차가 작은 경향이 있다. 소자 특성의 편차가 작으면 작을수록, 대응하지 않으면 안 되는 저항의 분할비의 범위는 좁아지므로, 필요한 저항과 퓨즈는 적어도 된다. 따라서 본 발명에 의해, 트리밍 회로도 작게 하는 것이 가능하다.
- [0040] 여기에서 서술한 트리밍 회로는 저항과 퓨즈에 의한 것이지만, 이것에 한정되는 것은 아니다. 트리밍 회로에는 퓨즈 대신에 기억 소자를 이용하는 것 등 여러 가지 방식이 있지만, 어느 것이나 대응하지 않으면 안 되는 저항의 분할비가 좁아지면 트리밍 회로를 작게 할 수 있으므로 동일한 효과가 얻어진다.
- [0041] 또, 소자 특성의 편차가 작아짐으로써, 상기의 트리밍 회로뿐만 아니라, 다양한 보정 회로가 불필요해지거나, 전압 검출 정밀도가 상승하거나 하는 등의 효과도 얻어진다.
- [0042] 다음에 ESD 보호 소자에 대해 서술한다. 도 1에 나타낸 바와 같이,  $V_{dd} \sim V_{ss}$ 간에  $V_{dd} \sim V_{ss}$ 간 ESD 보호 소자(101)가 들어간다. 또,  $V_0 \sim V_4$  각각의 사이에 전압 검출용 단자간 ESD 보호 소자(102)가 들어간다. 이들 ESD 보호 소자에는 일반적으로 다이오드나 노멀리 오프의 N형 트랜지스터가 이용된다.
- [0043]  $V_{dd} \sim V_{ss}$ 간 ESD 보호 소자(101)의 내압은 배터리 전체의 전압 이상이 아니면 안되지만, 전압 검출용 단자간 ESD 보호 소자(102)의 내압은 2차 전지 1개분 이상이면 된다. 또, 내부 회로를 지키지 않으면 안 되므로, 내부 회로보다 빨리 브레이크 다운할 필요가 있다. 여기에서 서술하고 있는 보호 소자의 내압이란 다이오드로 보호 소자를 형성하고 있는 경우, 그 역방향 브레이크 다운 내압을 말한다.
- [0044] 예를 들면, 2차 전지 1개의 전압을 4V로 하면, 기준 전압 회로, 전압 검출 회로를 구성하는 소자의 내압은 4V 이상이 아니면 안 되므로, 소자의 내압을 6V로 한 경우, 전압 검출용 단자간 ESD 보호 소자의 내압은 4V와 6V의 사이가 되지 않으면 안 된다.
- [0045] 종래 기술의 경우, 상기와 같이 정전압 회로, 전압 검출 회로의 2개의 전원 라인이 피검출 2차 전지의 양단에 접속되어 있지 않고, 한쪽 혹은 양쪽이  $V_{dd}$  또는  $V_{ss}$ 에 접속되어 있었으므로, 내부 회로를 지키기 위해서는, ESD 보호 소자를 전압 검출용의 각 단자~ $V_{dd}$ 와 각 단자~ $V_{ss}$ 의 사이에 배치할 필요가 있었다. 혹은, 각 단자와  $V_{dd}$  또는  $V_{ss}$ 의 한쪽의 사이, 및  $V_{dd} \sim V_{ss}$ 의 사이에 배치할 필요가 있었다. 이 경우, ESD 보호 소자의 내압은, 그 사이에 있는 2차 전지의 전압 이상 필요하다. 따라서, 본 발명에 의해 ESD 보호 소자의 내압을 낮게 억제할 수 있으므로, ESD 보호 소자의 사이즈를 작게 할 수 있다.
- [0046] 배터리의 보호 회로 장치는, 일반적으로 상기의 회로 외에 충전이나 방전을 ON/OFF하거나, 과전류를 검출하거나 하기 위한 회로나 입출력 단자를 갖는다. 또, 이들 이외에도 다양한 기능을 실현하기 위한 회로를 갖는 것이 존재하지만, 본 발명은 이들에 대해 아무런 특징을 갖지 않으므로 설명을 생략한다. 또, 도 1에서는 2차 전지를 4개 직렬로 연결하고 있지만, 이 개수에는 의미가 없다. 몇 개 직렬로 연결한 경우라도 본 발명을 적용하는 것이 가능하다.

- [0047] [실시예 1]
- [0048] 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치에 있어서, 각 2차 전지 각각의 전압을 검출하기 위한 기준 전압을 발생하는 기준 전압 회로를 도 1에 나타낸 바와 같이, 직렬로 연결된 각 2차 전지간에 각각 배치한다.
- [0049] 이들 기준 전압 회로의 일례를 도 2에 따라 설명한다. 도 2는 전지(A2)의 전압을 검출하기 위한 기준 전압 회로이다. 다른 전지를 검출하기 위한 기준 전압 회로도 동일하므로, 여기에서 A2에는 특별히 의미는 없고, 단순한 일례이다. 도 2와 같이 정전류용 디프레션형 N채널 트랜지스터(111)와 N채널 트랜지스터(112)를 종렬 접속함으로써, V1을 기준으로 한 기준 전압을 얻을 수 있다.
- [0050] 이 회로의 2개의 전원 라인의 고전압측을 피검출 2차 전지(A2)의 양극인 V2에, 저전압측을 피검출 2차 전지(A2)의 음극인 V1에 접속한다. 여기에서 회로의 전원 라인이라고 부르고 있는 것은, 이상의 구성을 채용함으로써, 기준 전압 회로를 2차 전지 1개분의 내압을 갖는 소자로 형성하는 것이 가능해진다. 이와 같이 기준 전압 회로를 구성하는 소자의 필요 내압을 종래 기술에 비해 낮게 억제할 수 있으므로, 면적을 작게 할 수 있다.
- [0051] 본 발명은 기준 전압 회로의 2개의 전원 라인을 피검출 2차 전지의 양단에 접속하는 것이 중요하고, 기준 전압 회로의 방식은 도 2 이외에도 여러 가지 있지만, 그 방식에는 의미가 없다. 따라서, 본 발명은 도 2의 기준 전압 회로에 한정되는 것은 아니다. 또, 도 1에서는 전지 4개 직렬에 대해 그리고 있지만, 이 개수에도 의미가 없다. 2차 전지를 몇 개 직렬로 연결한 경우라도, 상기 기준 전압 회로를 구성하는 소자에 필요한 내압은 2차 전지 1개분이다.
- [0052] [실시예 2]
- [0053] 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치에 있어서, 각 2차 전지 각각의 전압을 검출하고, 기준 전압과 비교하여 상기 2차 전지의 과충전 상태, 과방전 상태를 검지하는 전압 검출 회로를 도 1에 나타낸 바와 같이, 직렬로 연결된 각 2차 전지간에 각각 배치한다.
- [0054] 이들 전압 검출 회로의 일례를 도 3에 따라 설명한다. 도 3은 전지(A2)의 전압을 검출하기 위한 전압 검출 회로이다. 다른 전지를 검출하기 위한 전압 검출 회로도 동일하므로, 여기에서 A2에는 특별히 의미는 없고, 단순한 일례이다.
- [0055] 도 3의 전압 검출 회로는, V1~V2간에 배치된 저항 R1, R2, R3에 의해 분할된 전압과, 상기의 기준 전압을 비교하여, V1~V2간의 전위차, 요컨대 전지(A2)의 전압이 어떤 값보다 큰지 작은지에 따라 출력이 반전되는 회로이다. 이것은, 일반적으로 비교 회로라고 불리는 것과 동일하지만, 여기에서는, 이것을 그 역할로부터 전압 검출 회로라고 부른다. 이 회로는 전류를 되돌려 보내기 위한 P채널 트랜지스터(113), 비교 회로에 흐르는 전류를 제어하기 위해 Ibias를 Gate 전위로 하는 N채널 트랜지스터(114), 비교하는 2개의 입력 신호를 받는 N채널 트랜지스터(115)로 이루어진다. 이 회로의 2개의 전원 라인의 고전압측을 피검출 2차 전지(A2)의 양극인 V2에, 저전압측을 피검출 2차 전지(A2)의 음극인 V1에 접속한다.
- [0056] 비교 회로는 도 3과 같이 2개 탑재되고, 비교하는 전압도 R1~3으로 분할된 상이한 전압이다. 이것은 과충전 검지용의 검출 전압과, 과방전 검출용의 검출 전압이 상이하기 때문이다.
- [0057] 이상의 구성을 채용함으로써, 전압 검출 회로를 2차 전지 1개분의 내압을 갖는 소자로 형성하는 것이 가능해진다. 이와 같이 전압 검출 회로를 구성하는 소자의 필요 내압을 종래 기술에 비해 낮게 억제할 수 있으므로, 면적을 작게 할 수 있다.
- [0058] 본 발명은 전압 검출 회로의 2개의 전원 라인을 피검출 2차 전지의 양단에 접속하는 것이 중요하고, 전압 검출 회로의 방식은 도 3 이외에도 여러 가지 있지만, 그 방식에는 의미가 없다. 따라서, 본 발명은 도 3의 전압 검출 회로에 한정되는 것은 아니다. 또, 도 1에서는 전지 4개 직렬에 대해 그리고 있지만, 이 개수에도 의미가 없다. 2차 전지를 몇 개 직렬로 연결한 경우라도, 상기 전압 검출 회로를 구성하는 소자에 필요한 내압은 2차 전지 1개분이다.
- [0059] [실시예 3]
- [0060] 2차 전지를 복수개 직렬로 연결한 배터리의 보호 회로 장치에 있어서, 도 1과 같이 각 2차 전지가 접속되는 전압 검출용의 단자 각각의 사이, 및 직렬 접속된 2차 전지의 가장 높은 전위 Vdd와 가장 낮은 전위 Vss의 사이에

ESD 보호 소자를 배치한다.

- [0061] 전자의 각 단자간 ESD 보호 소자(102)의 내압은, 2차 전지 1개분의 전압 이상이면 되고, 후자의 Vdd~Vss간 ESD 보호 소자(101)의 내압은 배터리 전체의 전압보다 높게 할 필요가 있다. 또, 내부 회로를 지키지 않으면 안 되므로, 내부 회로보다 빨리 브레이크 다운할 필요가 있다. 이들 ESD 보호 소자에는 일반적으로 다이오드나 노멀리 오프의 N형 트랜지스터가 이용된다. 여기에서 서술하고 있는 보호 소자의 내압이란 다이오드로 보호 소자를 형성하고 있는 경우, 그 역방향 브레이크 다운 내압을 말한다.
- [0062] 종래 기술의 경우, 상기와 같이 정전압 회로, 전압 검출 회로의 2개의 전원 라인이 피검출 2차 전지의 양단에 접속되어 있지 않고, 한쪽 혹은 양쪽이 Vdd 또는 Vss에 접속되어 있었으므로, 이 회로를 ESD로부터 지키기 위해서는, ESD 보호 소자를 전압 검출용의 각 단자~Vdd와 각 단자~Vss의 사이에 배치할 필요가 있었다. 혹은, 각 단자와 Vdd 또는 Vss의 한쪽의 사이, 및 Vdd~Vss의 사이에 배치할 필요가 있었다. 이 경우, ESD 보호 소자의 내압은, 그 사이에 있는 2차 전지의 전압 이상 필요하다. 따라서, 본 발명에 의해 ESD 보호 소자의 내압을 종래 기술보다 낮게 억제할 수 있으므로, 소자 사이즈를 작게 할 수 있다.
- [0063] 여기에서는, 본 발명에 관한 단자의 ESD 보호 소자에 대해 서술하였다. 실제 배터리의 보호 회로 장치에는, 그 밖에도 단자를 가지므로, 상기 이외의 ESD 보호 소자도 갖지만, 본 발명에는 관계가 없으므로 설명을 생략하였다.
- [0064] [실시예 4]
- [0065] 지금까지의 예에서는 피검출 2차 전지 1개의 양단에 각 회로의 전원 단자와 접지 단자를 접속하고 있었지만, 이 방식의 경우, 적어도 직렬로 연결한 2차 전지의 개수만큼 분리된 웰이 필요해진다. 2차 전지의 전압과 개수에 따라서는 피검출 2차 전지를 포함하는 몇 개의 전지를 모아, 그 양단에 각 회로의 전원 단자와 접지 단자를 접속한 쪽이, 면적의 면에서 유리한 경우가 있을 수 있다. 이 경우, 회로를 구성하는 소자의 필요 내압은 모든 피검출 2차 전지의 개수분의 전압이 되므로, 1개의 경우보다 높아지지만, 상기와 같이 전위가 상이한 웰의 개수가 감소하므로, 전체적으로 면적을 축소할 수 있는 경우가 있다.

**부호의 설명**

- [0066] 101 : Vdd~Vss간 ESD 보호 소자
- 102 : 전압 검출용 단자간 ESD 보호 소자
- 103 : 기준 전압 회로
- 104 : 전압 검출 회로
- 105 : 레벨 시프트 회로
- 106 : 제어 회로
- 107 : 강압 회로
- 108 : 배터리의 양극 단자
- 109 : 배터리의 음극 단자
- 111 : 디프레션형 N채널 트랜지스터
- 112 : N채널 트랜지스터
- 113 : P채널 트랜지스터
- 114 : N채널 트랜지스터
- 115 : N채널 트랜지스터
- 116 : 퓨즈
- 117 : 저항
- A1, A2, A3, A4 : 2차 전지

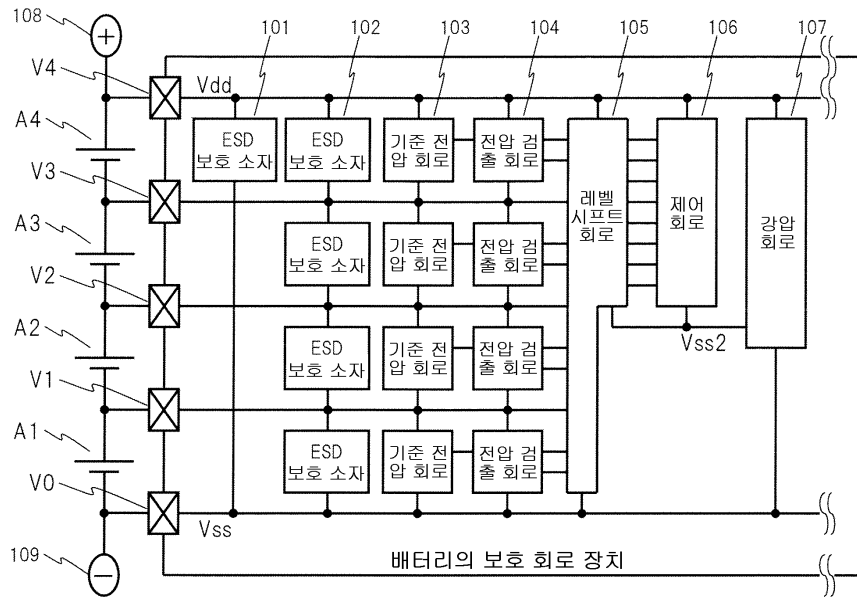


V0, V1, V2, V3, V4 : 전압 검출용 단자

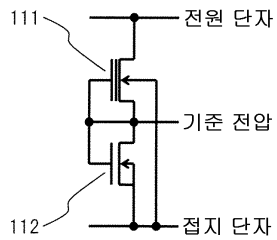
R1, R2, R3 : 저항

도면

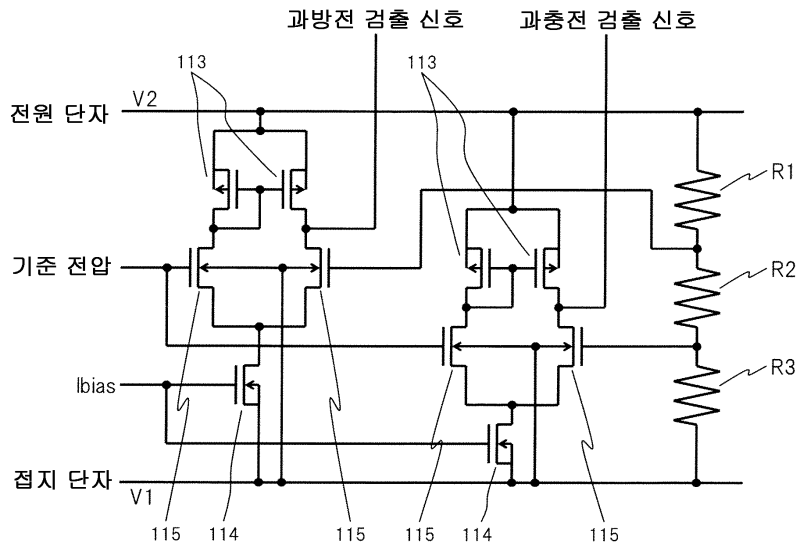
도면1



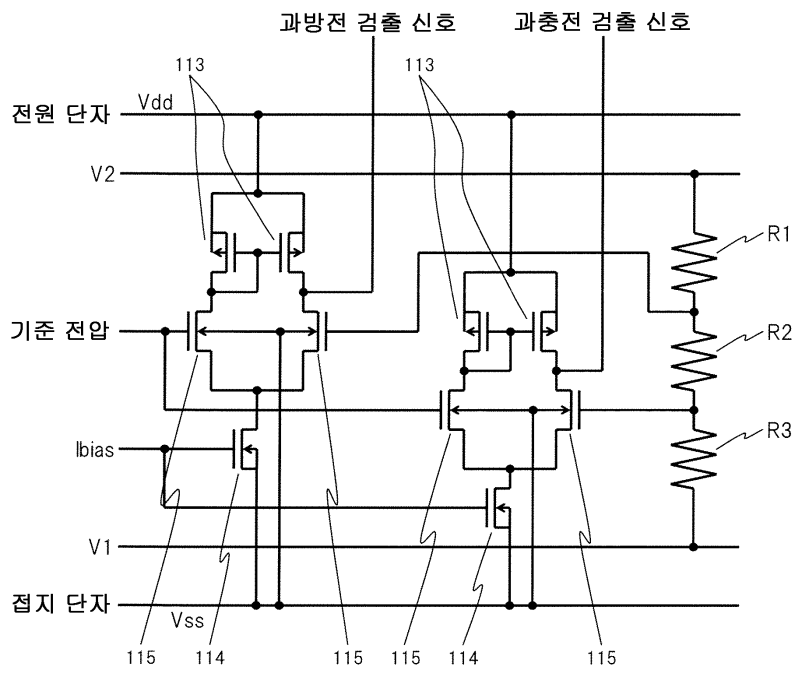
도면2



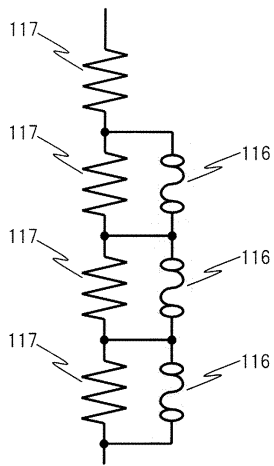
도면3



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

2차 전자

【변경후】

2차 전지