



(12) 发明专利

(10) 授权公告号 CN 1519930 B

(45) 授权公告日 2010.04.21

(21) 申请号 200410003233.3

US 5763939 A, 1998.06.09, 说明书第3栏第34行至第5栏第57行及附图2和3.

(22) 申请日 2004.02.02

审查员 房华龙

(30) 优先权数据

2003-029841 2003.02.06 JP

(73) 专利权人 精工爱普生株式会社

地址 日本东京

(72) 发明人 泽本俊宏

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 李香兰

(51) Int. Cl.

H01L 25/065(2006.01)

H01L 25/00(2006.01)

H01L 23/12(2006.01)

H01L 23/48(2006.01)

H01L 21/50(2006.01)

(56) 对比文件

JP 9-148482 A, 1997.06.06, 全文.

US 5222014 A, 1993.06.22, 全文.

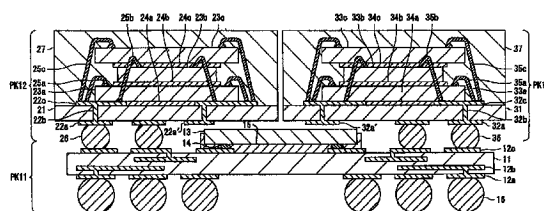
权利要求书 3 页 说明书 11 页 附图 7 页

(54) 发明名称

半导体器件、电子设备及它们的制造方法和电子仪器

(57) 摘要

一种半导体器件、电子设备及它们的制造方法和电子仪器,通过将突出电极(24), (36) 分别结合于在承载基板(11)上设置的连接台(12c), 承载基板(21), (31)的端部分别配置在半导体芯片(13)上,将承载基板(21), (31)分别安装在承载基板(11)上。根据本发明实现不同种类组件的三维安装结构。



1. 一种半导体器件,其特征在于包括:
矩形的承载基板;
搭载在上述承载基板上的半导体芯片;
沿着在上述承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域;
沿着在与上述第一顶点相对的上述承载基板的第二顶点处相交的至少 2 个边设置的突出电极群。

2. 一种半导体器件,其特征在于包括:
矩形的承载基板;
搭载在上述承载基板上的半导体芯片;
沿着上述承载基板的至少第一边设置的突出电极的未配置区域;
沿着与上述第一边相对的上述承载基板的第二边和与上述第二边相交的至少第三边设置的突出电极群。

3. 根据权利要求 2 所述的半导体器件,其特征在于上述突出电极群按 π 字状配置。

4. 一种半导体器件,其特征在于包括:
承载基板;
避开以搭在上述承载基板的端部上的方式配置的半导体芯片的搭载区域,来配置在上述承载基板上的突出电极。

5. 一种半导体器件,其特征在于包括:

承载基板;
搭载在上述承载基板上的半导体芯片;
设置在上述承载基板上的多个连接台电极;
配置在上述多个连接台电极的一部分上的突出电极。

6. 一种半导体器件,其特征在于包括:

第一承载基板;
搭载在上述第一承载基板上的第一半导体芯片;
矩形的第二承载基板;
搭载在上述第二承载基板上的第二半导体芯片;
沿着在上述第二承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域;

沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少 2 个边设置的,将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

7. 一种半导体器件,其特征在于包括:

第一承载基板;
搭载在上述第一承载基板上的第一半导体芯片;
矩形的第二承载基板;
搭载在上述第二承载基板上的第二半导体芯片;
沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域;
沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第

三边设置的,将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

8. 一种半导体器件,其特征在于包括:

第一承载基板;

搭载在上述第一承载基板上的第一半导体芯片;

矩形的第二半导体芯片;

沿着在上述第二半导体芯片的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域;

沿着在与上述第一顶点相对的上述第二半导体芯片的第二顶点处相交的至少 2 个边设置的,将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

9. 一种半导体器件,其特征在于包括:

第一承载基板;

搭载在上述第一承载基板上的第一半导体芯片;

矩形的第二半导体芯片;

沿着上述第二半导体芯片的至少第一边设置的突出电极的未配置区域;

沿着与上述第一边相对的上述第二半导体芯片的第二边和与上述第二边相交的至少第三边设置的,将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

10. 一种电子设备,其特征在于包括:

第一承载基板;

搭载在上述第一承载基板上的第一电子部件;

矩形的第二承载基板;

搭载在上述第二承载基板上的第二电子部件;

沿着在上述第二承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域;

沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少 2 个边设置的,将上述第一电子部件配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

11. 一种电子设备,其特征在于包括:

第一承载基板;

搭载在上述第一承载基板上的第一电子部件;

矩形的第二承载基板;

搭载在上述第二承载基板上的第二电子部件;

沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域;

沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第三边设置的,将上述第一电子部件配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

12. 一种电子仪器,其特征在于包括:

第一承载基板；
搭载在上述第一承载基板上的第一半导体芯片；
矩形的第二承载基板；
搭载在上述第二承载基板上的第二半导体芯片；
沿着在上述第二承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域；

沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少 2 个边设置的，将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群；

搭载上述第一承载基板的母基板。

13. 一种电子仪器，其特征在于包括：

第一承载基板；
搭载在上述第一承载基板上的第一半导体芯片；
矩形的第二承载基板；
搭载在上述第二承载基板上的第二半导体芯片；
沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域；
沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第三边设置的，将上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群；

搭载上述第一承载基板的母基板。

14. 一种半导体器件的制造方法，其特征在于包括：

在第一承载基板上安装第一半导体芯片的工序；
在第二承载基板上安装第二半导体芯片的工序；
避开上述第二承载基板的至少一边的周围来在上述第二承载基板上形成突出电极群的工序；

上述第二承载基板的至少一边配置在上述第一半导体芯片上、上述突出电极群结合于第一承载基板的工序。

15. 一种半导体器件的制造方法，其特征在于包括：

在第一承载基板上安装第一半导体芯片的工序；
在第二承载基板上安装第二半导体芯片的工序；
避开上述第二承载基板的至少一顶点的周围来在上述第二承载基板上形成突出电极群的工序；

上述第二承载基板的至少一顶点配置在上述第一半导体芯片上、上述突出电极群结合于第一承载基板的工序。

半导体器件、电子设备及它们的制造方法和电子仪器

技术领域

[0001] 本发明涉及半导体器件、电子设备、电子仪器、半导体器件的制造方法和电子设备的制造方法,尤其适用于半导体组件等的层叠结构中。

背景技术

[0002] 原来的半导体器件中,为实现半导体芯片安装时的节省空间,例如特开平10-284683号公报所公开的那样,有边插入同种类的承载基板边三维安装半导体芯片的方法。

[0003] 但是,在边插入同种类的承载基板边三维安装半导体芯片的方法中,难以层叠不同种类组件,由于难以层叠不同种类芯片,出现不能提高节省空间的有效性的问题。

发明内容

[0004] 因此本发明的目的是提供可实现不同种类组件的三维安装结构的半导体器件、电子设备、电子仪器、半导体器件的制造方法和电子设备的制造方法。

[0005] 为解决上述问题,根据本发明的一个形态的半导体器件,其特征在于包括:具有包含相邻的2边的第一区域和以一个对角线为边界与上述第一区域相邻、和上述第一区域外形对称的第二区域的矩形承载基板;搭载在上述承载基板上的半导体芯片;沿着上述第一区域的上述2边按L字状设置的第一突出电极群;配置在上述第二区域以使得其与上述第一突出电极群的配置不对称的第二突出电极群。

[0006] 由此,可将突出电极群单面配置在承载基板上,经突出电极群支持承载基板,并且可在突出电极群的形成面侧上设置沿着承载基板的至少一边的突出电极的未配置区域。

[0007] 因此,端部配置在第一承载基板上安装的第一半导体芯片上、安装第二半导体芯片的第二承载基板可支持在第一承载基板上,可抑制高度增加,并且可层叠不同种类组件。

[0008] 根据本发明的一个形态的半导体器件,其特征在于包括:矩形的承载基板;搭载在上述承载基板上的半导体芯片;沿着在上述承载基板的第一顶点处相交的至少2个边设置的突出电极的未配置区域;沿着在与上述第一顶点相对的上述承载基板的第二顶点处相交的至少2个边设置的突出电极群。

[0009] 由此,可将顶点配置在第一承载基板上安装的第一半导体芯片上、安装第二半导体芯片的第二承载基板支持在第一承载基板上,可在同一第一半导体芯片上配置多个承载基板,从而可进一步缩小安装面积。

[0010] 根据本发明的一个形态的半导体器件,其特征在于包括:矩形的承载基板;搭载在上述承载基板上的半导体芯片;沿着上述承载基板的至少第一边设置的突出电极的未配置区域;沿着与上述第一边相对的上述承载基板的第二边和与上述第二边相交的至少第三边设置的突出电极群。

[0011] 由此,可将边配置在第一承载基板上安装的第一半导体芯片上、安装第二半导体芯片的第二承载基板支持在第一承载基板上,可在同一第一半导体芯片上配置多个承载基

板,从而可进一步缩小安装面积。

[0012] 根据本发明的一个形态的半导体器件,其特征在于上述突出电极群按 π 字状配置。

[0013] 由此,即便承载基板的端部配置在半导体芯片上的情况下,也可由承载基板的至少4个角支持承载基板,可层叠不同种类组件,并且可稳定保持承载基板。

[0014] 根据本发明的一个形态的半导体器件,其特征在于包括:承载基板;避开占据上述承载基板的端部配置的半导体芯片的搭载区域,来配置在上述承载基板上的突出电极。

[0015] 由此,可支持承载基板的端部配置在半导体芯片上的承载基板。因此,可在同一半导体芯片上配置多个承载基板,可层叠不同种类组件,并且可缩小安装面积。

[0016] 根据本发明的一个形态的半导体器件,其特征在于包括:承载基板;搭载在上述承载基板上的半导体芯片;设置在上述承载基板上的多个连接台电极;配置在上述多个连接台电极的一部分上的突出电极。

[0017] 由此,即便连接台电极根据规定规格配置在承载基板上的情况下,可跨规定范围去除突出电极引起的突出部。因此,可实现承载基板的通用化,并且可在半导体芯片上配置承载基板的端部,抑制制造工序的复杂化,并且可在同一半导体芯片上配置多个承载基板。

[0018] 根据本发明的一个形态的半导体器件,其特征在于包括:第一承载基板;搭载在上述第一承载基板上的第一半导体芯片;矩形的第二承载基板;搭载在上述第二承载基板上的第二半导体芯片;沿着在上述第二承载基板的第一顶点处相交的至少2个边设置的突出电极的未配置区域;沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少2个边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0019] 由此,第二承载基板的顶点配置在第一半导体芯片上、安装第二半导体芯片的第二承载基板可支持在第一承载基板上,可在同一第一半导体芯片上配置多个第二承载基板,从而可层叠不同种类芯片,并且可缩小安装面积。

[0020] 另外,根据本发明的一个形态的半导体器件,其特征在于包括:第一承载基板;搭载在上述第一承载基板上的第一半导体芯片;矩形状的第二承载基板;搭载在上述第二承载基板上的第二半导体芯片;沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域;沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第三边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0021] 由此,第二承载基板的边配置在第一半导体芯片上、安装第二半导体芯片的第二承载基板可支持在第一承载基板上,在同一第一半导体芯片上可配置多个第二承载基板,从而可层叠不同种类的芯片,并且可缩小安装面积。

[0022] 根据本发明的一个形态的半导体器件,其特征在于包括:第一承载基板;搭载在上述第一承载基板上的第一半导体芯片;矩形状的第二半导体芯片;沿着在上述第二半导体芯片的第一顶点处相交的至少2个边设置的突出电极的未配置区域;沿着在与上述第一顶点相对的上述第二半导体芯片的第二顶点处相交的至少2个边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0023] 由此,可不在第一半导体芯片和第二半导体芯片之间插入承载基板,将第二半导

体芯片的顶点配置在第一半导体芯片上的第二半导体芯片支持在第一承载基板上。从而，可抑制半导体芯片层叠时的高度增加，并且可在同一第一半导体芯片上配置多个第二半导体芯片，可层叠不同种类芯片，并且可缩小安装面积。

[0024] 根据本发明的一个形态的半导体器件，其特征在于包括：第一承载基板；搭载在上述第一承载基板上的第一半导体芯片；矩形状的第二半导体芯片；沿着上述第二半导体芯片的至少第一边设置的突出电极的未配置区域；沿着与上述第一边相对的上述第二半导体芯片的第二边和与上述第二边相交的至少第三边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0025] 由此，可不在第一半导体芯片和第二半导体芯片之间插入承载基板，将第二半导体芯片的边配置在第一半导体芯片上的第二半导体芯片支持在第一承载基板上，可抑制半导体芯片层叠时的高度增加，并且可在同一第一半导体芯片上配置多个第二半导体芯片。

[0026] 另外，根据本发明的一个形态的电子设备，其特征在于包括：第一承载基板；搭载在上述第一承载基板上的第一电子部件；矩形状的第二承载基板；搭载在上述第二承载基板上的第二电子部件；沿着在上述第二承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域；沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少 2 个边设置、上述第一电子部件配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0027] 由此，可将顶点配置在第一电子部件上、安装了第二电子部件的第二承载基板支持在第一承载基板上，可在同一第一电子部件上配置多个承载基板，从而进一步缩小安装面积。

[0028] 另外，根据本发明的一个形态的电子设备，其特征在于包括：第一承载基板；搭载在上述第一承载基板上的第一电子部件；矩形状的第二承载基板；搭载在上述第二承载基板上的第二电子部件；沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域；沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第三边设置、上述第一电子部件配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群。

[0029] 由此，可将边配置在第一电子部件上、安装了第二电子部件的第二承载基板支持在第一承载基板上，可在同一第一电子部件上配置多个承载基板，从而进一步缩小安装面积。

[0030] 根据本发明的一个形态的电子仪器，其特征在于包括：第一承载基板；搭载在上述第一承载基板上的第一半导体芯片；矩形状的第二承载基板；搭载在上述第二承载基板上的第二半导体芯片；沿着在上述第二承载基板的第一顶点处相交的至少 2 个边设置的突出电极的未配置区域；沿着在与上述第一顶点相对的上述第二承载基板的第二顶点处相交的至少 2 个边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群；搭载上述第一承载基板的母基板。

[0031] 由此，可将顶点配置在第一半导体芯片上的多个第二承载基板支持在第一承载基板上，可提高电子仪器的功能性，并且使电子仪器小型化、轻量化。

[0032] 根据本发明的一个形态的电子仪器，其特征在于包括：第一承载基板；搭载在上述第一承载基板上的第一半导体芯片；矩形状的第二承载基板；搭载在上述第二承载基板

上的第二半导体芯片；沿着上述第二承载基板的至少第一边设置的突出电极的未配置区域；沿着与上述第一边相对的上述第二承载基板的第二边和与上述第二边相交的至少第三边设置、上述第一半导体芯片配置在上述突出电极的未配置区域下面、结合于上述第一承载基板上的突出电极群；搭载上述第一承载基板的母基板。

[0033] 由此，可将边配置在第一半导体芯片上的多个第二承载基板支持在第一承载基板上，可提高电子仪器的功能性，并且使电子仪器小型化、轻量化。

[0034] 根据本发明的一个形态的半导体器件的制造方法，其特征在于包括：在第一承载基板上安装第一半导体芯片的工序；在第二承载基板上安装第二半导体芯片的工序；避开上述第二承载基板的至少一边的周围来在上述第二承载基板上形成突出电极群的工序；上述第二承载基板的至少一边配置在上述第一半导体芯片上、上述突出电极群结合于第一承载基板的工序。

[0035] 由此，通过将突出电极群结合在第一承载基板上，可将顶点配置在第一半导体芯片上的第二承载基板支持在第一承载基板上。因此，通过调整突出电极群的配置位置可层叠不同种类芯片，抑制制造工序的复杂化，并且提高节省空间的有效性。

[0036] 根据本发明的一个形态的半导体器件的制造方法，其特征在于包括：在第一承载基板上安装第一半导体芯片的工序；在第二承载基板上安装第二半导体芯片的工序；避开上述第二承载基板的至少一顶点的周围来在上述第二承载基板上形成突出电极群的工序；上述第二承载基板的至少一顶点配置在上述第一半导体芯片上、上述突出电极群结合于第一承载基板的工序。

[0037] 由此，通过将突出电极群结合在第一承载基板上，可将边配置在第一半导体芯片上的第二承载基板支持在第一承载基板上。因此，通过调整突出电极群的配置位置可层叠不同种类芯片，抑制制造工序的复杂化，并且提高节省空间的有效性。

附图说明

[0038] 图 1 是表示第一实施例的半导体器件的结构的截面图；

[0039] 图 2 是表示第二实施例的突出电极的配置方法的平面图；

[0040] 图 3 是表示第三实施例的突出电极的配置方法的平面图；

[0041] 图 4 是表示第四实施例的突出电极的配置方法的平面图；

[0042] 图 5 是表示第五实施例的突出电极的配置方法的平面图；

[0043] 图 6 是表示第六实施例的突出电极的配置方法的平面图；

[0044] 图 7 是表示第七实施例的突出电极的配置方法的平面图；

[0045] 图 8 是表示第八实施例的半导体器件的制造方法的截面图；

[0046] 图 9 是表示第九实施例的半导体器件的结构的截面图；

[0047] 图 10 是表示第十实施例的半导体器件的结构的截面图；

[0048] 图 11 是表示第十一实施例的半导体器件的结构的截面图。

具体实施方式

[0049] 下面参考附图说明本发明的实施例的半导体器件、电子设备和它们的制造方法。

[0050] 图 1 是表示第一实施例的半导体器件的结构的截面图。该第一实施例是，在通过

ACF 结合安装半导体芯片（或半导体模）13 的半导体组件 PK11 上，分别层叠线焊连接堆叠结构的半导体芯片（或半导体模）23a ~ 23c 的半导体组件 PK12 和线焊连接堆叠结构的半导体芯片（或半导体模）33a ~ 33c 的半导体组件 PK13。

[0051] 图 1 中，半导体组件 PK11 上设置承载基板 11，承载基板 11 的两面上分别形成连接台 12a, 12c 的同时，承载基板 11 内形成内部布线 12b。并且，承载基板 11 上倒片安装半导体芯片 13，半导体芯片 13 上设置有用于倒片安装的突出电极 14。并且，半导体芯片 13 上设置的突出电极 14 经各向异性导电片 15ACF（各向异性导电膜）结合于连接台 12c 上。另外，在承载基板 11 的背面设置的连接台 12a 上设置有用于将承载基板 11 安装于母基板上的突出电极 16。

[0052] 这里，通过 ACF 结合把半导体芯片 13 安装在承载基板 11 上，使得不需要用于线焊、模压密封的空间，可实现三维安装时的空间节省，并且可实现将半导体芯片 13 结合在承载基板 11 上时的低温化，可降低实际使用时的承载基板 11 的翘曲。

[0053] 另一方面，半导体组件 PK12、PK13 上分别设置有承载基板 21, 31。并且，承载基板 21, 31 的背面上分别形成连接台 22a, 22a', 32a, 32a'，同时承载基板 21, 31 的表面上分别形成连接台 22c, 32c，承载基板 21, 31 内分别形成有内部布线 22b, 32b。这里，连接台 22a, 32a 上分别配置突出电极 24, 36，连接台 22a', 32a' 不配置突出电极 24, 36，原样留下来。

[0054] 并且，承载基板 21, 31 上分别经粘合层 24a, 34a 各自面朝上安装半导体芯片 23a, 33a，半导体芯片 23a, 33a 分别经导电性线 25a, 35a 各自线焊连接连接台 22c, 32c。另外，半导体芯片 23a, 33a 上避开导电性线 25a, 35a 分别面朝上安装半导体芯片 23b, 33b，半导体芯片 23b, 33b 分别经粘合层 24b, 34b 各自固定在半导体芯片 23a, 33a 上，同时分别经导电性线 25b, 35b 各自线焊连接连接台 22c, 32c。此外，半导体芯片 23b, 33b 上避开导电性线 25b, 35b 分别面朝上安装半导体芯片 23c, 33c，半导体芯片 23c, 33c 分别经粘合层 24c, 34c 各自固定在半导体芯片 23b, 33b 上，同时分别经导电性线 25c, 35c 各自线焊连接连接台 22c, 32c。

[0055] 另外，在承载基板 21, 31 的背面分别设置的连接台 22a, 32a 上分别设置将承载基板 21, 31 分别保持在半导体芯片 13 上、分别将承载基板 21, 31 安装在承载基板 11 上的突出电极 24, 36。这里，突出电极 24, 36 最好避开半导体芯片 13 的配置区、存在于承载基板 21, 31 的至少 4 个角上。由此，承载基板 21, 31 的端部分别配置在半导体芯片 13 上、分别将承载基板 21, 31 安装在承载基板 11 上的情况下，也可在承载基板 11 上稳定保持承载基板 21, 31。

[0056] 另外，通过将未配置突出电极 24, 36 的剩余下来的连接台 22a', 32a' 分别设置在承载基板 21, 31 上，可调整突出电极 24, 36 的配置位置。因此，即便变更承载基板 11 上安装的半导体芯片 13 的种类和大小的情况下，可不变更承载基板 21, 31 的构成，重新配置突出电极 24, 36，可实现承载基板 21, 31 的通用化。

[0057] 并且，通过在承载基板 11 上设置的连接台 12c 上分别结合突出电极 24, 36，可将承载基板 21, 31 的端部分别配置在半导体芯片 13 上，将承载基板 21, 31 分别安装在承载基板 11 上。由此，可在同一半导体芯片 13 上配置多个半导体组件 PK12, PK13，可缩小安装面积，并且实现不同种类半导体芯片 13, 23a ~ 23c, 33a ~ 33c 的三维安装。

[0058] 这里，作为半导体芯片 13，例如是 CPU 等的逻辑运算元件，作为半导体芯片 23a ~

23c, 33a ~ 33c, 例如是 DRAM, SRAM, EEPROM, 闪存储器等的存储元件。由此, 可抑制安装面积的增大, 并且实现各种功能, 同时可容易实现存储元件的堆叠结构, 容易增加存储容量。

[0059] 将承载基板 21, 31 分别安装在承载基板 11 上的情况下, 承载基板 21, 31 的背面可紧密结合于半导体芯片 13 上, 承载基板 21, 31 的背面可离开半导体芯片 13。

[0060] 承载基板 21 和承载基板 31 可以是侧壁紧密结合, 也可以是侧壁离开。这里, 通过紧密结合承载基板 21 和承载基板 31 的侧壁可提高半导体组件 PK11 上安装的半导体组件 PK12, PK13 的安装密度, 实现节省空间。另一方面, 通过分离承载基板 21 和承载基板 31 的侧壁可使半导体芯片 13 产生的热从半导体组件 PK12, PK13 之间的间隙逃离, 提高半导体芯片 13 产生的热的散热性。

[0061] 在半导体芯片 23a ~ 23c, 33a ~ 33c 的安装面侧的承载基板 21, 31 的整个一面上分别设置密封树脂 27, 37, 通过该密封树脂 27, 37 分别密封半导体芯片 23a ~ 23c, 33a ~ 33c。用密封树脂 27, 37 分别密封半导体芯片 23a ~ 23c, 33a ~ 33c 时, 例如可通过使用环氧树脂等的热固化树脂的模压成型等进行。

[0062] 作为承载基板 11, 21, 31, 例如可使用两面基板、多层布线基板、叠放基板、带基板或膜基板等, 作为承载基板 11, 21, 31 的材质, 可使用例如聚酰胺树脂、玻璃环氧树脂、BT 树脂、芳族聚酰胺和环氧树脂的共聚物或陶瓷等。作为突出电极 14, 24, 36, 可使用例如 Au 块、用焊锡材料等覆盖的 Cu 块或 Ni 块、或焊锡球等, 作为导电性线 25a ~ 25c, 35a ~ 35c, 可使用例如 Au 线、Al 线等。另外, 上述实施例中, 说明了为将承载基板 21, 31 分别安装在承载基板 11 上, 将突出电极 24, 36 分别安装在承载基板 24, 36 的连接台 22a, 32a 上的方法, 但可将突出电极 24, 36 设置在承载基板 11 的连接台 12c 上。

[0063] 上述实施例中, 说明了通过 ACF 结合将半导体芯片 13 安装在承载基板 11 上的方法, 但可使用例如 NCF (非导电膜) 结合等的其他粘合剂结合, 也可使用焊锡结合和合金结合等的金属结合。说明了将半导体芯片 23a ~ 23c, 33a ~ 33c 分别安装在承载基板 21, 31 上的情况下, 使用线焊连接方法, 但可将半导体芯片 23a ~ 23c, 33a ~ 33c 倒片安装在承载基板 21, 31 上。另外, 上述实施例中, 举例说明了在承载基板 11 上仅安装 1 个半导体芯片 13 的方法, 但可在承载基板 11 上安装多个半导体芯片。

[0064] 半导体组件 PK11, PK12, PK13 之间的间隙中可填充树脂。由此, 可提高半导体组件 PK11, PK12, PK13 的耐冲击性, 即便突出电极 26, 36 的根基上集中残余应力的情况下, 可防止突出电极 26, 36 中诱发裂纹, 从而提高半导体组件 PK11, PK12, PK13 的可靠性。

[0065] 图 2 是表示本发明的第二实施例的突出电极的配置方法的平面图。该第二实施例是将承载基板 42a ~ 42d 作 4 分割地配置在半导体芯片 41 上。

[0066] 图 2 中, 承载基板 42a ~ 42d 上沿着在各承载基板 42a ~ 42d 的顶点 A1 ~ D1 处分别相交的 2 个边分别按 L 字状配置突出电极 43a ~ 43d。并且, 沿着在与承载基板 42a ~ 42d 的顶点 A1 ~ D1 分别相对的顶点 A1' ~ D1' 处相交的 2 个边, 分别设置突出电极 43a ~ 43d 的未配置区域。

[0067] 并且, 承载基板 42a ~ 42d 的顶点 A1' ~ D1' 分别配置在半导体芯片 41 上, 承载基板 42a ~ 42d 上设置的突出电极 43a ~ 43d 结合于搭载半导体芯片 41 的下层基板上。由此, 通过调整突出电极 43a ~ 43d 的配置位置可在同一半导体芯片 41 上配置多个承载基板 42a ~ 42d, 可抑制制造工序的复杂化, 并且提高节省空间的有效性。

[0068] 图 3 是表示本发明的第三实施例的突出电极的配置方法的平面图。该第三实施例在半导体芯片 51 上 2 分割地配置承载基板 52a, 52b。

[0069] 图 3 中, 承载基板 52a, 52b 上沿着各承载基板 52a, 52b 的边 A2, B2 和与边 A2, B2 分别相交的边分别按 π 字状配置突出电极 53a, 53b。并且, 沿着与承载基板 52a, 52b 的边 A2, B2 分别相对的边 A2', B2' 分别设置突出电极 53a, 53b 的未配置区域。

[0070] 并且, 承载基板 52a, 52b 的边 A2', B2' 分别配置在半导体芯片 51 上, 承载基板 52a, 52b 上设置的突出电极 53a, 53b 结合于搭载半导体芯片 51 的下层基板上。由此, 通过调整突出电极 53a, 53b 的配置位置可在同一半导体芯片 51 上配置多个承载基板 52a, 52b, 可抑制制造工序的复杂化, 并且提高节省空间的有效性。

[0071] 图 4 是表示本发明的第四实施例的突出电极的配置方法的平面图。该第四实施例是将承载基板 62a ~ 62c 作 3 分割地配置在半导体芯片 61 上。

[0072] 图 4 中, 在承载基板 62a 的周围, 避开承载基板 62a 的边 A3 的周围配置突出电极 63a。另外, 在承载基板 62b, 62c 的周围, 分别避开各承载基板 62b, 62c 的顶点 B3, C3 的周围分别配置突出电极 63b, 63c。

[0073] 并且, 承载基板 62a 的边 A3 配置在半导体芯片 61 上, 承载基板 62a 上设置的突出电极 63a 结合于搭载半导体芯片 61 的下层基板上。承载基板 62b, 62c 的顶点 B3, C3 分别配置在半导体芯片 61 上, 承载基板 62b, 62c 上设置的突出电极 63b, 63c 结合于搭载半导体芯片 61 的下层基板上。

[0074] 由此, 通过调整突出电极 63a ~ 63c 的配置位置, 可在同一半导体芯片 61 上配置大小或种类不同的多个承载基板 62a ~ 62c, 可抑制制造工序的复杂化, 并且提高节省空间的有效性。

[0075] 图 5 是表示本发明的第五实施例的突出电极的配置方法的平面图。该第五实施例是将承载基板 72a ~ 72c 作 3 分割地配置在半导体芯片 71 上以使得承载基板 72b 跨在半导体芯片 71 上。

[0076] 图 5 中, 在承载基板 72a, 72c 上沿着各承载基板 72a, 72c 的边 A4, C4 和与边 A4, C4 分别相交的边, 按 π 字状分别配置突出电极 73a, 73c。并且沿着分别与承载基板 72a, 72c 的边 A4, C4 相对的边 A4', C4' 分别设置突出电极 73a, 73c 的未配置区域。另一方面, 承载基板 72b 上沿着承载基板 72b 的彼此相对的边 B4, B4' 配置突出电极 73b, 在边 B4, B4' 之间设置突出电极 73b 的未配置区域。

[0077] 并且, 承载基板 72a, 72c 的边 A4', C4' 分别配置在半导体芯片 71 上, 承载基板 72a, 72c 上分别设置的突出电极 73a, 73c 结合于搭载半导体芯片 71 的下层基板上。并且, 承载基板 72b 上设置的突出电极 73b 结合于搭载半导体芯片 71 的下层基板上, 以使承载基板 72b 跨在半导体芯片 71 上。

[0078] 由此, 即便在 3 分割地将承载基板 72a ~ 72c 配置在半导体芯片 71 上时, 可分别支持各承载基板 72a ~ 72c 的 4 个角, 并且可在同一半导体芯片 71 上配置多个承载基板 72a ~ 72c, 可抑制制造工序的复杂化, 并且可提高节省空间的有效性。

[0079] 图 6 是表示本发明的第六实施例的突出电极的配置方法的平面图。该第六实施例是将承载基板 82a ~ 82d 和半导体芯片 81 的方向不同地将承载基板 82a ~ 82d 作 4 分割配置在半导体芯片 81 上。

[0080] 图6中,承载基板82a~82d上避开各承载基板82a~82d的顶点A5~D5周围分别配置突出电极83a~83d。并且例如,在半导体芯片81相对承载基板82a~82d以45度倾斜的状态下,将承载基板82a~82d的顶点A5~D5分别配置在半导体芯片81上,将突出电极83a~83d结合于搭载半导体芯片81的下层基板上。由此,通过调整突出电极83a~83d的配置位置可在同一半导体芯片81上改变方向地配置多个承载基板82a~82d,可抑制制造工序的复杂化,并且提高节省空间的有效性。

[0081] 图7是表示本发明的第七实施例的突出电极的配置方法的平面图。该第七实施例是将半导体芯片91a~91d作4分割地配置在承载基板92上。

[0082] 图7中,承载基板92上分别避开承载基板92的顶点A6~D6周围配置突出电极93。并且,将承载基板92配置在半导体芯片91a~91d上,使突出电极93结合于搭载半导体芯片91a~91d的下层基板上。由此,通过调整突出电极93的配置位置可在多个半导体芯片91a~91d上配置同一承载基板92,可抑制制造工序的复杂化,并且提高节省空间的有效性。

[0083] 图8是表示本发明的第八实施例的半导体器件的制造方法的截面图。该第八实施例,通过把端部放置在半导体芯片103上的方式,将半导体组件PK22,PK23安装在半导体组件PK21上。

[0084] 图8(a)中,半导体组件PK21上设置承载基板101,承载基板101的两面上分别形成有连接台102a,102b。并且,承载基板101上倒片安装半导体芯片103,半导体芯片103上设置用于倒片安装的突出电极104。并且,半导体芯片103上设置的突出电极104经各向异性导电片105,ACF结合在连接台102b上。

[0085] 另一方面,半导体组件PK22、PK23上分别设置承载基板111,121,承载基板111,121的背面上分别形成连接台112,122,连接台112,122上分别设置焊锡球等的突出电极113,123。另外,承载基板111,121上分别安装半导体芯片,安装了半导体芯片的承载基板111,121的整个一面分别由密封树脂114,124进行密封。此外,承载基板111,121上可安装线焊连接的半导体芯片,也可倒片安装半导体芯片,也可安装半导体芯片的层叠结构。

[0086] 并且,半导体组件PK21上分别层叠半导体组件PK22、PK23的情况下,向承载基板101的连接台102b上供给焊剂焊药(flux)或焊锡膏。

[0087] 接着如图8(b)所示,在半导体组件PK21上彼此分离地安装半导体组件PK22、PK23,进行回流处理,使得将突出电极113,123分别结合于连接台102b上。

[0088] 由此,通过调整承载基板111,121上配置的突出电极113,123的配置位置,可在同一半导体芯片103上配置多个半导体组件PK22、PK23,抑制制造工序的复杂化,并且可缩小安装面积。通过在半导体组件PK21上分别层叠半导体组件PK22、PK23,可仅选择安装检查过的合格品的半导体组件PK21,PK22,PK23,可提高制造成品率。

[0089] 接着如图8(c)所示,在承载基板101的背面设置的连接台102a上形成用于将承载基板101安装在母基板上的突出电极106。

[0090] 图9是表示本发明的第九实施例的半导体器件的结构的截面图。该第九实施例是通过将半导体芯片221,231的端部分别配置在半导体芯片213上,将半导体芯片213,221,231分别倒片安装在承载基板211上。

[0091] 图9中,在承载基板211的两面上分别形成连接台212a,212c,同时承载基板211

内形成有内部布线 212b。并且,承载基板 211 上倒片安装半导体芯片 213,半导体芯片 213 上设置有用于倒片安装的突出电极 214。而且,半导体芯片 213 上设置的突出电极 214 经各向异性导电片 215,ACF 结合于连接台 212c 上。将半导体芯片 213 安装在承载基板 211 上时,除了使用 ACF 结合的方法,此外也可使用例如 NCF 结合等的其他粘合剂结合,可使用焊锡结合、合金结合等的金属结合。另外,在承载基板 211 背面上设置的连接台 2412a 上设置有将承载基板 211 安装在母基板上的突出电极 216。

[0092] 另一方面,半导体芯片 221,231 上分别设置电极垫 222,232 的同时,电极垫 222,232 分别露出地分别设置有绝缘膜 223,233。并且,电极垫 222,233 上分别设置有,用于以半导体芯片 221,231 的端部分别保持在半导体芯片 213 上的方式分别倒片安装半导体芯片 221,231 的突出电极 224,234。

[0093] 这里,突出电极 224,234 可分别避开半导体芯片 213 的搭载区域来配置,例如,可以将突出电极 224,234 分别按 π 字状、L 字状或 G 字状排列。并且承载基板 211 上设置的连接台 212c 上分别结合突出电极 224,234,半导体芯片 221,231 的端部分别配置在半导体芯片 213 上,半导体芯片 221,231 分别倒片安装在承载基板 211 上。

[0094] 由此,即便在半导体芯片 213,221,231 的种类或大小不同的情况下,可不在半导体芯片 213,221,231 之间插入承载基板,且可将半导体芯片 221,231 倒片安装在半导体芯片 213 上。因此,可抑制半导体芯片 213,221,231 层叠时的高度增加,并且缩小安装面积,提高节省空间的有效性。

[0095] 另外,将半导体芯片 221,231 安装在承载基板 211 上时,半导体芯片 221,231 可紧密结合于半导体芯片 213 上,半导体芯片 221,231 也可从半导体芯片 213 离开。另外,将半导体芯片 221,231 安装在承载基板 211 上时,可使用例如 ACF 结合、NCF 结合等的粘合剂结合,也可使用焊锡结合、合金结合等的金属结合。作为突出电极 212,214,224,234,可使用金块、用焊锡材料等覆盖的 Cu 块或 Ni 块、或焊锡球等。另外,半导体芯片 221,231 和承载基板 211 之间的间隙中可填充密封树脂。

[0096] 图 10 是表示本发明的第十实施例的半导体器件的结构的截面图。该第十实施例中,以堆叠结构的半导体芯片 321a ~ 321c,331a ~ 331c 的端部分别配置在半导体芯片 313 上的方式,将堆叠结构的半导体芯片 321a ~ 321c,331a ~ 331c 倒片安装在承载基板 311 上。

[0097] 图 10 中,承载基板 311 两面上分别形成连接台 312a,312c 的同时,承载基板 311 内形成有内部布线 312b。并且,承载基板 311 上倒片安装半导体芯片 313,半导体芯片 313 上设置有用于倒片安装的突出电极 314。而且,半导体芯片 313 上设置的突出电极 314 经各向异性导电片 315,ACF 结合于连接台 312c 上。另外,将半导体芯片 313 安装在承载基板 311 上时,除了使用 ACF 结合的方法,此外也可使用例如 NCF 结合等的其他粘合剂结合,可使用焊锡结合、合金结合等的金属结合。此外,承载基板 311 背面上设置的连接台 312a 上设置有用于将承载基板 311 安装在母基板上的突出电极 316。

[0098] 另一方面,半导体芯片 321a ~ 321c,331a ~ 331c 上分别设置电极垫 322a ~ 322c,332a ~ 332c 的同时,各电极垫 322a ~ 322c,332a ~ 332c 分别露出地,分别设置有绝缘膜 323a ~ 323c,333a ~ 333c。并且,半导体芯片 321a ~ 321c,331a ~ 331c 上例如对应各电极垫 322a ~ 322c,332a ~ 332c 的位置分别形成贯通孔 324a ~ 324c,334a ~ 334c,各贯通

孔 324a ~ 324c, 334a ~ 334c 内分别经绝缘膜 325a ~ 325c, 335a ~ 335c 和导电膜 326a ~ 326c, 336a ~ 336c 各自形成有贯通电极 327a ~ 327c, 337a ~ 337c。并且分别形成了贯通电极 327a ~ 327c, 337a ~ 337c 的半导体芯片 321a ~ 321c, 331a ~ 331c 分别经贯通电极 327a ~ 327c, 337a ~ 337c 层叠, 在半导体芯片 321a ~ 321c, 331a ~ 331c 之间的间隙中分别注入有树脂 328a, 328b, 338a, 338b。

[0099] 并且, 半导体芯片 321a, 331a 上分别形成的各贯通电极 327a, 337a 上分别设置有突出电极 329, 339, 以便于以半导体芯片 321a ~ 321c, 331a ~ 331c 的层叠结构的端部分别保持在半导体芯片 313 上的方式, 分别倒片安装半导体芯片 321a ~ 321c, 331a ~ 331c 的层叠结构。

[0100] 这里, 突出电极 329, 339 可避开半导体芯片 313 的搭载区域配置, 例如将突出电极 329, 339 分别按 π 字状、L 字状、G 字状排列。并且承载基板 311 上设置的连接台 312c 上分别结合突出电极 329, 339, 以堆叠结构的半导体芯片 321a ~ 321c, 331a ~ 331c 的端部分别配置在半导体芯片 313 上的方式, 堆叠结构的半导体芯片 321a ~ 321c, 331a ~ 331c 分别倒片安装在承载基板 311 上。

[0101] 由此, 可不在半导体芯片 321a ~ 321c, 331a ~ 331c 的层叠结构和半导体芯片 313 之间插入承载基板, 并将半导体芯片 321a ~ 321c, 331a ~ 331c 的层叠结构分别倒片安装在半导体芯片 313 上, 可抑制层叠时高度增加, 并且可层叠多个和半导体芯片 313 不同种类的半导体芯片 321a ~ 321c, 331a ~ 331c。

[0102] 将半导体芯片 321a ~ 321c, 331a ~ 331c 的层叠结构安装在承载基板 311 上时, 可使用例如 ACF 结合、NCF 结合等的粘合剂结合, 也可使用焊锡结合、合金结合等的金属结合。作为突出电极 314, 314, 329, 329, 可使用例如金块、用焊锡等覆盖的 Cu 块或 Ni 块、或焊锡球等。上述实施例中, 说明了将半导体芯片 321a ~ 321c, 331a ~ 331c 的 3 层结构分别安装在承载基板 311 上的方法, 但在承载基板 311 上安装的半导体芯片的层叠结构可以是 2 层或 4 层以上。半导体芯片 321a, 331a 和承载基板 311 之间的间隙中可填充密封树脂。

[0103] 图 11 是表示本发明的第十一实施例的半导体器件的结构截面图。该第十一实施例是以多个 W-CSP (晶片级 - 芯片大小组件) 的端部分别配置在半导体芯片 413 上的方式, 将 W-CSP 安装在承载基板 411 上。

[0104] 图 11 中, 在半导体组件 PK31 上设置承载基板 411, 在承载基板 411 的两面上分别形成连接台 412a, 412c 的同时, 承载基板 411 内形成有内部布线 412b。并且, 承载基板 411 上倒片安装半导体芯片 413, 半导体芯片 413 上设置有用于倒片安装的突出电极 414。而且, 半导体芯片 413 上设置的突出电极 414 经各向异性导电片 415, ACF 结合于连接台 412c 上。此外, 承载基板 411 背面上设置的连接台 412a 上设置有将承载基板 411 安装在母基板上的突出电极 416。

[0105] 另一方面, 在半导体组件 PK32, PK33 上分别设置半导体芯片 421, 431, 各半导体芯片 421, 431 上分别设置电极垫 422, 432 的同时, 各电极垫 422, 432 分别露出地, 分别设置绝缘膜 423, 433。并且, 各半导体芯片 421, 431 上, 各电极垫 422, 432 分别露出地, 分别形成应力缓和层 424, 435, 各电极垫 422, 432 上分别形成有在应力缓和层 424, 435 上分别延伸的再配置布线 425, 435。并且各再配置布线 425, 435 上分别形成焊接抗蚀剂膜 426, 436, 各焊接抗蚀剂膜 426, 436 上在各应力缓和层 424, 435 中分别形成使再配置布线 425, 435 露出的开

口部 427, 437。并且经各开口部 427, 437 分别露出的再配置布线 425, 435 上分别设置将半导体芯片 421, 431 的端部分别保持在半导体芯片 413 上、各半导体芯片 421, 431 分别面朝下安装在承载基板 411 上的突出电极 428, 438。

[0106] 这里, 突出电极 428, 438 可避开半导体芯片 413 的搭载区域配置, 例如将突出电极 428, 438 分别按 π 字状、L 字状、G 字状排列。并且承载基板 411 上设置的连接台 412c 上分别结合突出电极 428, 438, 以半导体芯片 421, 431 的端部分别配置在半导体芯片 413 上的方式, 半导体组件 PK32, PK33 分别安装在承载基板 411 上。

[0107] 由此, 可将 W-CSP 层叠在倒片安装半导体芯片 413 的承载基板 411 上, 即便在半导体芯片 413, 421, 431 的种类或大小不同的情况下, 也不用在半导体芯片 413, 421, 431 之间插入承载基板, 可将半导体芯片 421, 431 三维安装在半导体芯片 413 上。因此, 可抑制半导体芯片 413, 421, 431 层叠时高度增加, 并且缩小安装面积, 提高节省空间的有效性。

[0108] 将半导体组件 PK32, PK33 安装在承载基板 411 上时, 半导体组件 PK32, PK33 可紧密结合于半导体芯片 413, 半导体组件 PK32, PK33 也可从半导体芯片 413 离开。另外, 将半导体组件 PK32, PK33 安装在承载基板 411 上时, 可使用例如 ACF 结合、NCF 结合等的粘合剂结合, 也可使用焊锡结合、合金结合等的金属结合。作为突出电极 414, 416, 428, 438, 可使用金块、用焊锡等覆盖的 Cu 块或 Ni 块、或焊锡球等。

[0109] 上述的半导体器件和电子设备可适用于例如液晶显示装置、便携电话、便携信息终端、摄像机、MD (Mini Disc) 播放器等的电子仪器, 可提高电子仪器的性能, 并且实现电子仪器的小型化、轻量化。

[0110] 上述实施例中, 举例说明了安装半导体芯片或半导体组件的方法, 但本发明不限于安装半导体芯片或半导体组件的方法, 例如可安装弹性表面波 (SAW) 元件等的陶瓷元件、光调制器和光开关等的光学元件、磁传感器或生物传感器等的各种传感器类等。

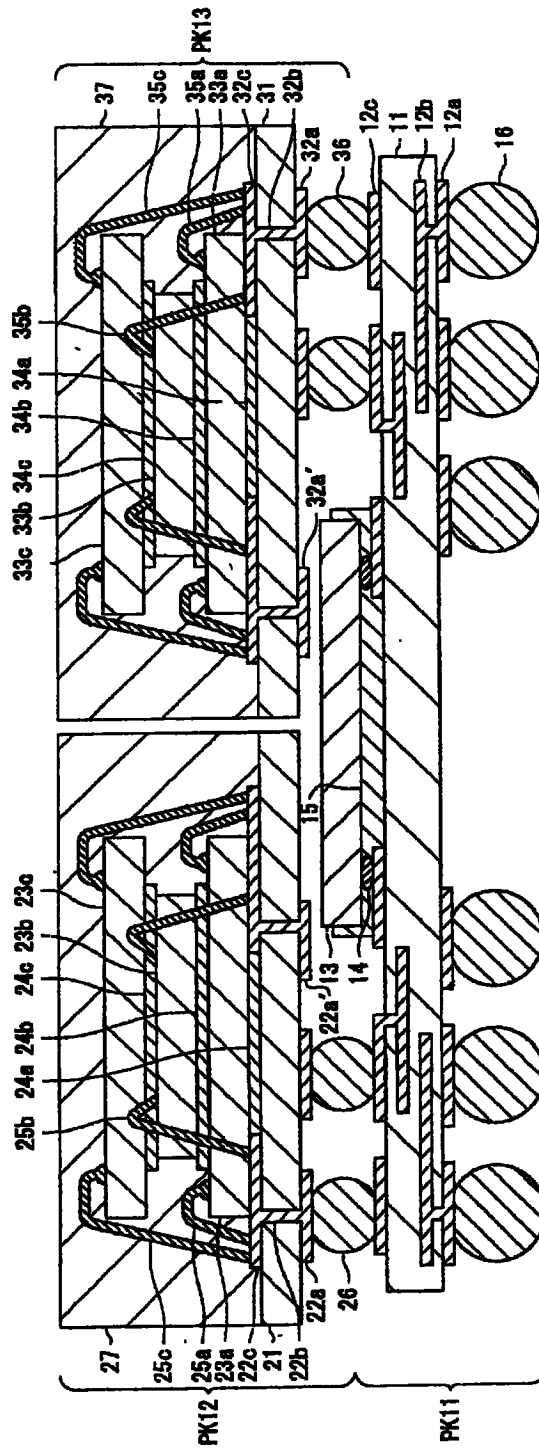


图 1

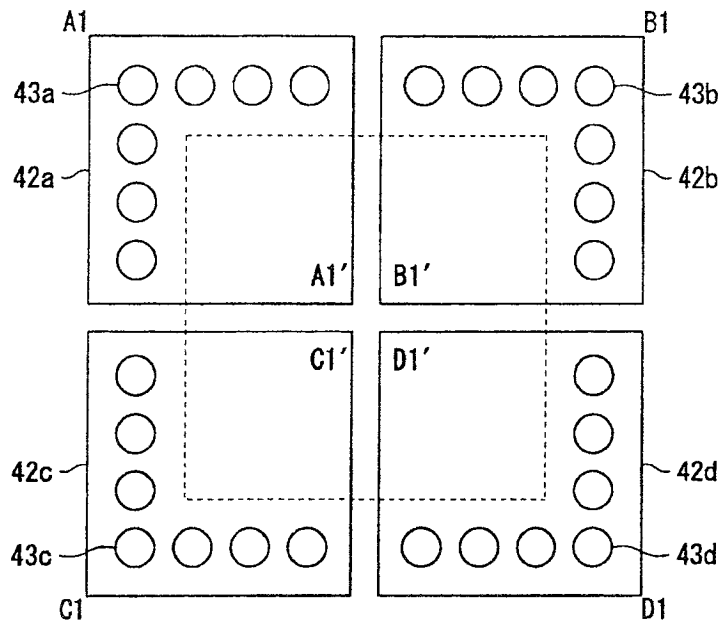


图 2

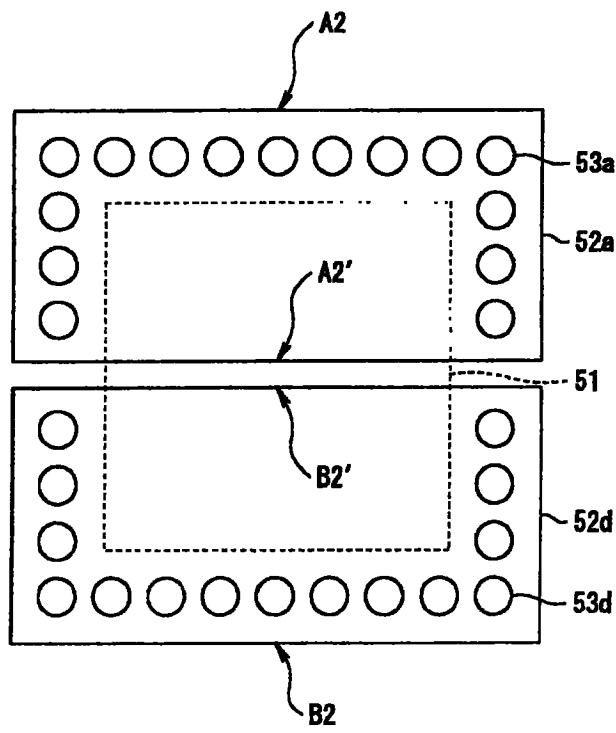


图 3

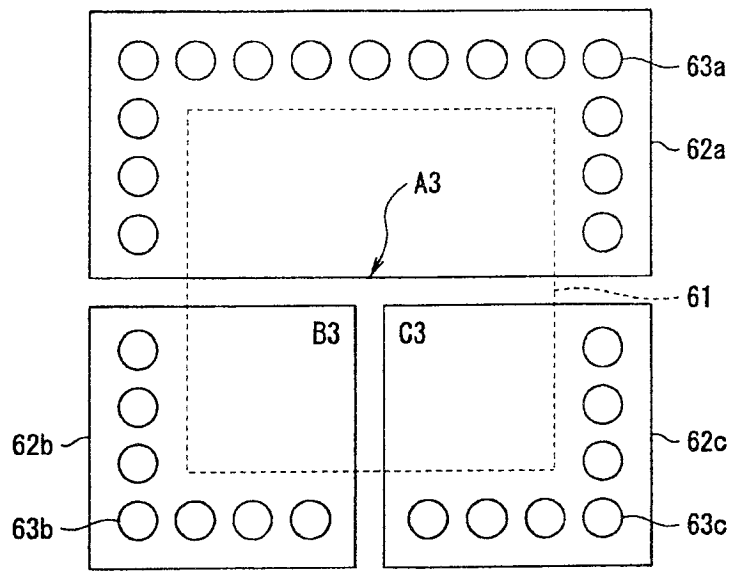


图 4

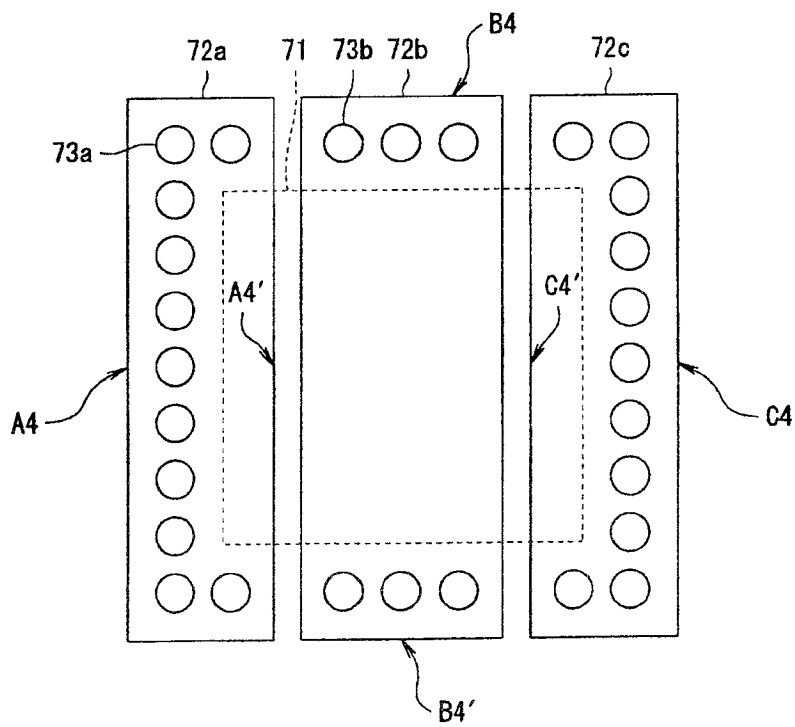


图 5

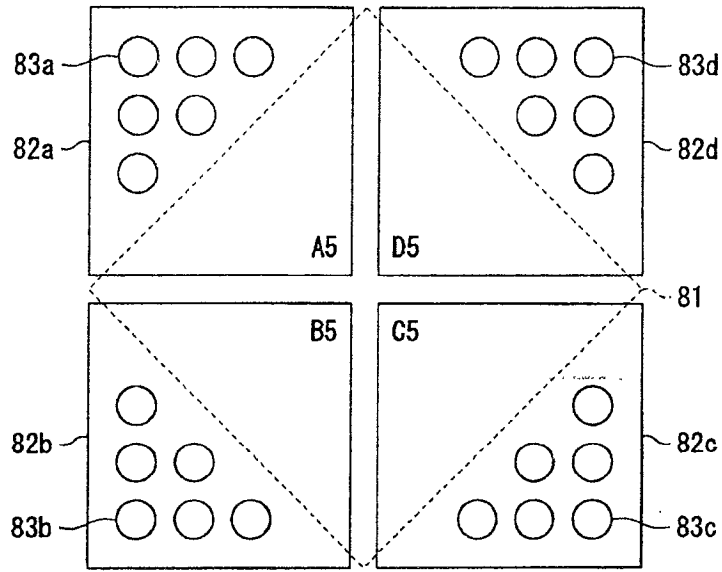


图 6

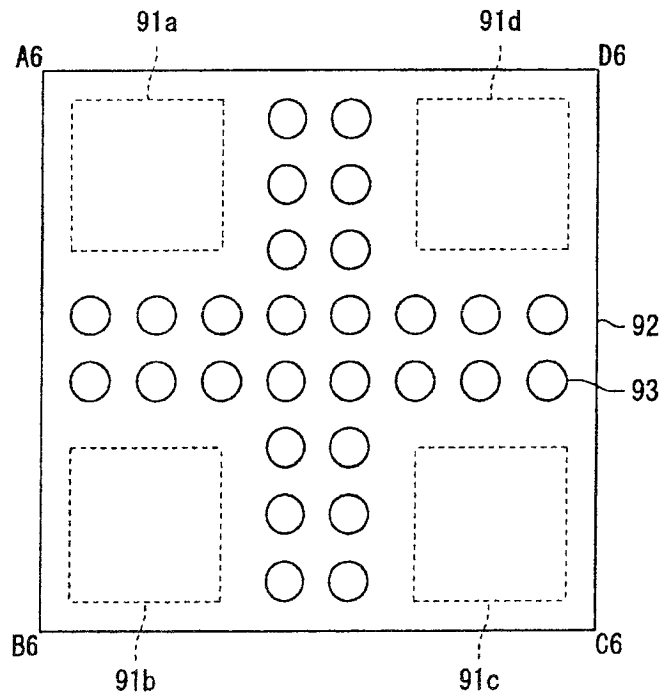


图 7

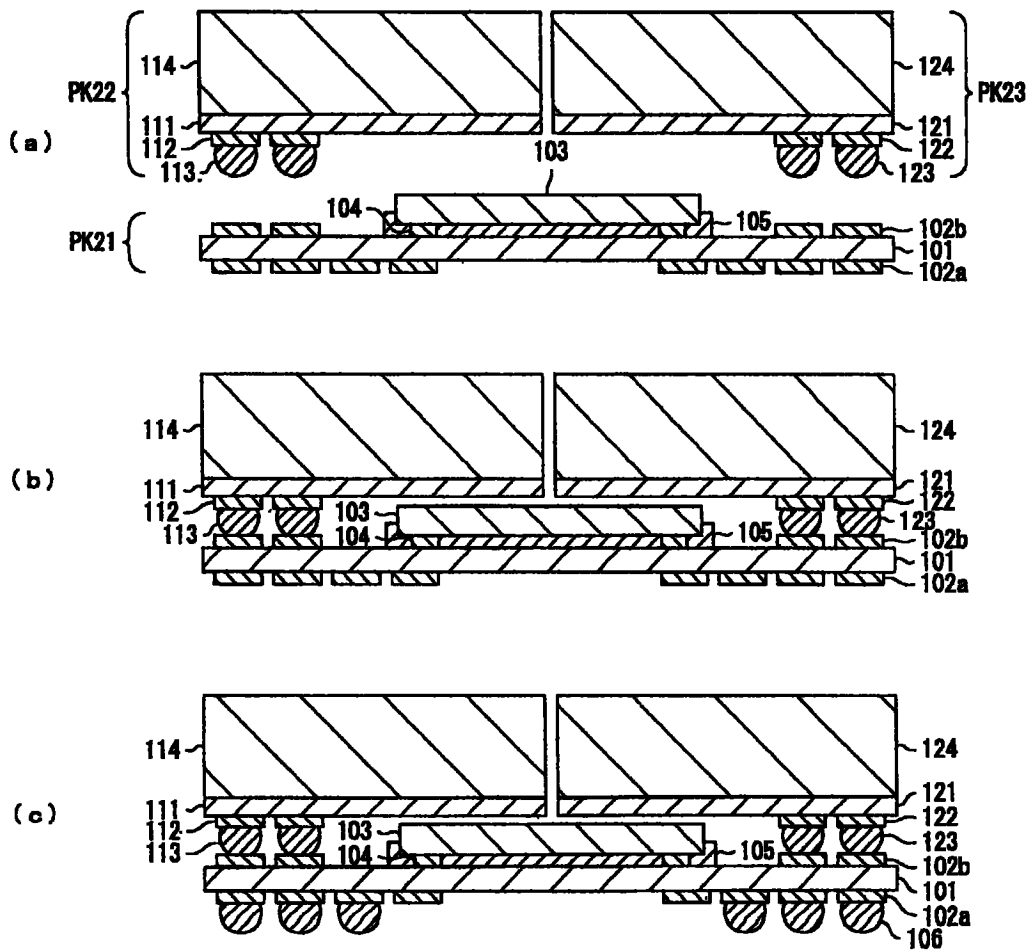


图 8

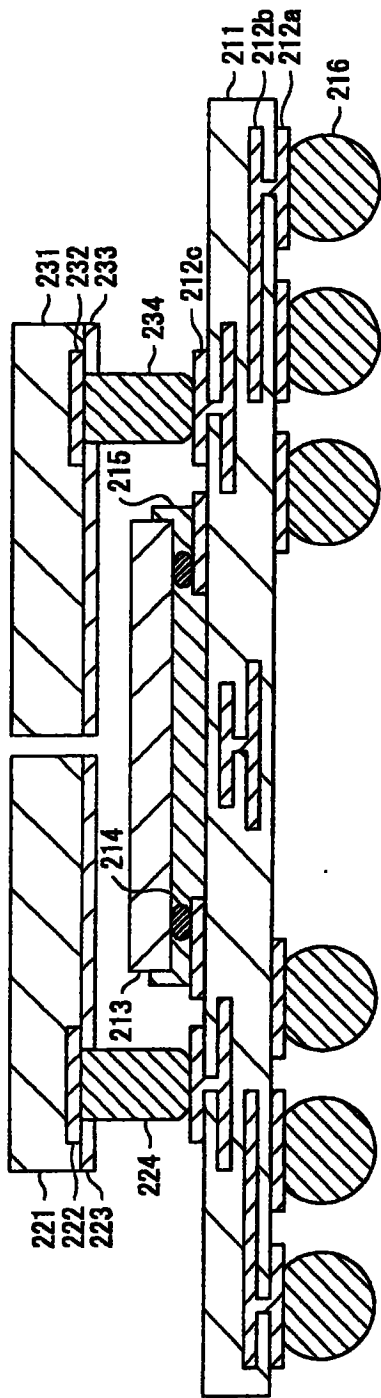


图 9

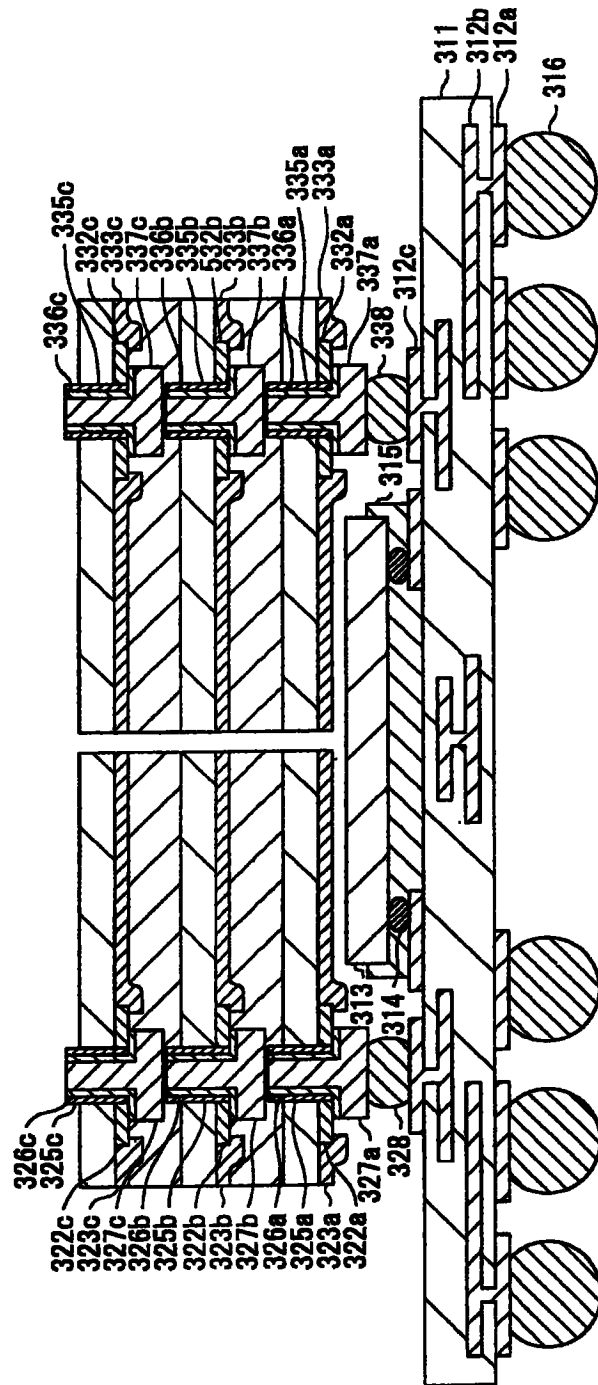


图 10

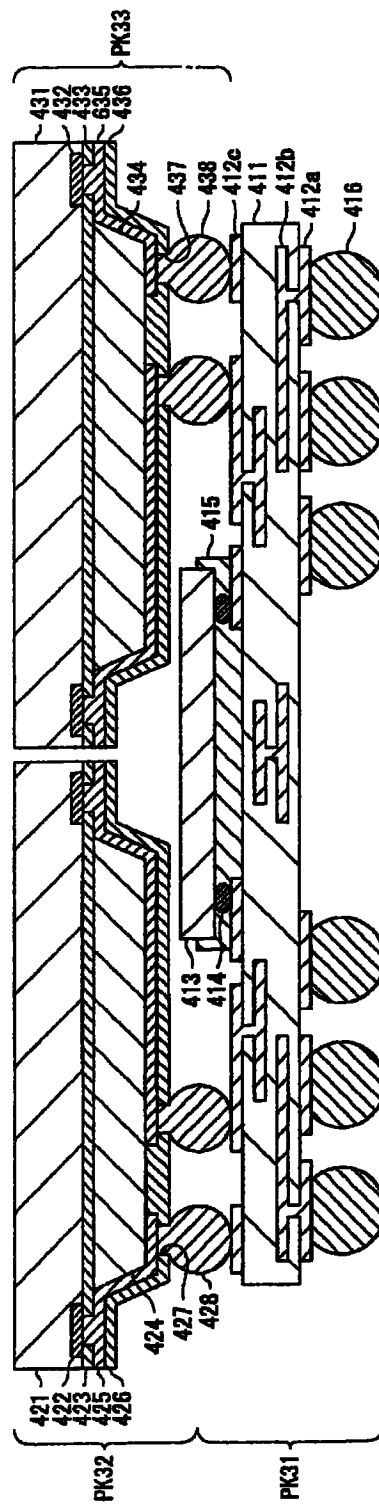


图 11