



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I711145 B

(45) 公告日：中華民國 109 (2020) 年 11 月 21 日

(21) 申請案號：108125362

(22) 申請日：中華民國 108 (2019) 年 07 月 18 日

(51) Int. Cl. : *H01L23/522 (2006.01)**H01L23/528 (2006.01)**H01L21/60 (2006.01)*

(30) 優先權：2019/04/23 美國

16/391,309

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72) 發明人：陳英儒 CHEN, YING-JU (TW)；陳憲偉 CHEN, HSIEN-WEI (TW)；陳明發 CHEN,
MING-FA (TW)

(74) 代理人：卓俊傑

(56) 參考文獻：

TW 201131719A

TW 201701443A

TW 201824483A

TW 201826403A

審查人員：林佑霖

申請專利範圍項數：10 項 圖式數：29 共 85 頁

(54) 名稱

封裝結構及其製造方法

(57) 摘要

一種封裝結構包括半導體晶粒、重佈線路結構及連接墊。重佈線路結構位於半導體晶粒上且電連接到半導體晶粒。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案，其中阻障膜的表面與重佈線路結構的外表面實質上齊平。

A package structure includes a semiconductor die, a redistribution circuit structure, and a connection pad. The redistribution circuit structure is located on and electrically connected to the semiconductor die. The connection pad is embedded in and electrically connected to the redistribution circuit structure, and the connection pad includes a barrier film and a conductive pattern underlying thereto, where a surface of the barrier film is substantially levelled with an outer surface of the redistribution circuit structure.

指定代表圖：



I711145

【發明摘要】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】 PACKAGE STRUCTURE AND METHOD OF
MANUFACTURING THE SAME

【中文】一種封裝結構包括半導體晶粒、重佈線路結構及連接墊。重佈線路結構位於半導體晶粒上且電連接到半導體晶粒。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案，其中阻障膜的表面與重佈線路結構的外表面實質上齊平。

【英文】 A package structure includes a semiconductor die, a redistribution circuit structure, and a connection pad. The redistribution circuit structure is located on and electrically connected to the semiconductor die. The connection pad is embedded in and electrically connected to the redistribution circuit structure, and the connection pad includes a barrier film and a conductive pattern underlying thereto, where a surface of the barrier film is substantially levelled with an outer surface of the redistribution circuit structure.

【指定代表圖】圖14

【代表圖之符號簡單說明】

212：載體

214：剝離層

120：連接墊

122：阻障晶種圖案

124：導電墊

130：重佈線路結構

132、132-1、132-2、132-3：介電層

132a、132b：介電材料

134、134-1、134-2、134-3：圖案化導電層

134a、134b：金屬圖案

134s：晶種層圖案

134t：導電溝渠

134v：通孔

140：半導體晶粒

141：半導體基底

142：導電墊

143、160：鈍化層

150：絕緣包封體

170：保護層

180：阻障晶種圖案

190：導電端子

192、194：導電元件

E1：虛線框

O3、O4：開口

P1：封裝結構

S150：表面

S141a：主動表面

S141b：背側表面

X、Y、Z：方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】 PACKAGE STRUCTURE AND METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本揭露實施例是有關於一種封裝結構及其製造方法。

【先前技術】

【0002】 半導體裝置及積體電路通常是在單個半導體晶圓上製造。晶圓的晶粒可以晶圓級（wafer level）來與其他半導體裝置或晶粒一起進行處理及封裝，且已針對晶圓級封裝（wafer level packaging）開發了各種技術。另外，這種封裝可在切割之後被進一步整合到半導體基底或載體。因此，每一個封裝內的導電端子與內部元件（例如，重佈線路結構）之間的電連接的可靠性變得重要。

【發明內容】

【0003】 本揭露實施例提供一種封裝結構包括半導體晶粒、重佈線路結構及連接墊。重佈線路結構位於半導體晶粒上且電連接到半導體晶粒。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案，其中阻障膜的表面與重佈線路結構的外表面實質上齊平。

【0004】 本揭露實施例提供一種封裝結構包括重佈線路結構、半導體晶粒、連接墊、鈍化層、介電層及導電端子。半導體晶粒位於重佈線路結構的第一外表面上且電連接到重佈線路結構。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案。阻障膜的表面與重佈線路結構的第二外表面實質上齊平，且第二外表面與第一外表面相對。鈍化層及介電層依序位於第二外表面上且各自局部地覆蓋連接墊。導電端子位於連接墊上且電連接到連接墊。

【0005】 本揭露實施例提供一種製造封裝結構的方法包括以下步驟：提供載體；在載體上安置連接墊，連接墊包括阻障膜及堆疊在阻障膜上的導電圖案；在載體上形成重佈線路結構，並將連接墊嵌入在重佈線路結構中，其中阻障膜的表面與重佈線路結構的外表面共面；在重佈線路結構上安裝半導體晶粒；將半導體晶粒包封在絕緣材料中；剝離載體以暴露出連接墊；在連接墊上依序形成鈍化層及介電層，以覆蓋被所述重佈線路結構暴露出的連接墊的部分；以及在被鈍化層及介電層暴露出的連接墊上安置導電端子。

【圖式簡單說明】

【0006】 結合附圖閱讀以下詳細描述會最佳地理解本揭露的各個態樣。應注意，根據本行業中的標準慣例，各種特徵未按比例繪製。事實上，出於論述清楚起見，可任意地增大或減小各種特徵的尺寸。

圖 1 至圖 14 示出根據本公開一些實施例的封裝結構的製造方法中的各種階段的示意性剖視圖。

圖 15 示出圖 14 中所繪示封裝結構的一部分的放大示意性剖視圖。

圖 16 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。

圖 17 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。

圖 18 示出圖 17 中所繪示封裝結構的一部分的放大示意性剖視圖。

圖 19 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。

圖 20 示出圖 19 中所繪示封裝結構的一部分的放大示意性剖視圖。

圖 21 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。

圖 22 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。

圖 23 至圖 29 示出根據本公開一些實施例的封裝結構的製造方法中的各種階段的示意性剖視圖。

【實施方式】

【0007】 以下揭露內容提供用於實施所提供標的物的不同特徵的許多不同實施例或實例。下文描述組件及佈置的特定實例以簡化本揭露。當然，此等特定實例僅為實例且不意欲為限制性的。舉例而言，在以下描述中，第一特徵在第二特徵上方或第二特徵上方上

形成可包含第一特徵與第二特徵直接接觸地形成的實施例，且亦可包含可在第一特徵與第二特徵之間形成額外特徵以使得第一特徵與第二特徵可不直接接觸的實施例。另外，本揭露可在各種實施例中重複附圖標號及/或字母。此重複是出於簡單及清楚的目的，且本身並不指示所論述各種實施例與/或組態之間的關係。

【0008】 此外，為易於描述，可在本文中使用諸如「在...下面 (beneath)」、「在...下方 (below)」、「下部 (lower)」、「在...上面 (over)」、「在...上方 (above)」、「上部 (upper)」及類似者的空間相對術語來描述如諸圖中所示出的一個元件或特徵與另一元件或特徵的關係。除諸圖中所描繪的定向以外，空間相對術語意欲涵蓋元件於使用或操作中的不同定向。裝置可以其他方式定向（旋轉90度或處於其他定向），且本文中所使用的空間相對描述詞可同樣相應地進行解譯。

【0009】 另外，為易於說明，本文中可使用例如“第一”、“第二”、“第三”等用語來闡述圖中所示的相似或不同的元件或特徵，且這些用語可依據存在的次序或說明的上下文而互換地使用。

【0010】 還可包括其他特徵及製程。舉例來說，可包括測試結構，以說明對三維 (three-dimensional, 3D) 封裝或三維積體電路 (three-dimensional integrated circuit, 3DIC) 裝置進行驗證測試。所述測試結構可例如包括在重佈線層中或在基底上形成的測試墊，以使得能夠對 3D 封裝或 3DIC 進行測試、對探針和/或探針卡 (probe card) 進行使用等。可對中間結構以及最終結構執行驗證測試。另外，本文中所公開的結構及方法可結合包括對已知良好晶粒 (known good die) 進行中間驗證的測試方法來使用，以提高良率

(yield) 並降低成本。

【0011】 圖 1 至圖 14 示出根據本公開一些實施例的封裝結構的製造方法中的各種階段的示意性剖視圖。圖 15 示出圖 14 中所繪示封裝結構的一部分的放大示意性剖視圖，其中所述封裝結構的所述一部分是由圖 14 中所示虛線框 E1 標明。在一些實施例中，所述製造方法是晶圓級封裝製程的一部分。應注意，本文中所述的製程步驟涵蓋用於製作封裝結構的製造製程的一部分。實施例旨在提供進一步的解釋，而不是用於限制本公開的範圍。在圖 1 至圖 14 中，示出多於一個（半導體）晶片或晶粒以代表晶圓的多個（半導體）晶片或晶粒，且示出一個（半導體）封裝結構以代表在（半導體）製造方法之後獲得的多個（半導體）封裝結構，然而本公開不限於此。在其他實施例中，示出一個或多於一個（半導體）晶片或晶粒以代表晶圓的多個（半導體）晶片或晶粒，且示出一個或多於一個（半導體）封裝以代表在（半導體）製造方法之後獲得的多個（半導體）封裝結構，本公開不限於此。

【0012】 參照圖 1，在一些實施例中，提供載體 112。在一些實施例中，載體 112 可為玻璃載體或任何適合於為半導體封裝的製造方法承載半導體晶圓或重構晶圓（reconstituted wafer）的載體。在一些實施例中，載體 112 塗布有剝離層 114（如圖 1 中所示）。剝離層 114 的材料可為任何適合於對載體 112 進行接合及將載體 112 從安置在載體 112 上的上方層或任何晶圓剝離的材料。

【0013】 在一些實施例中，剝離層 114 可包括由介電材料製成的介電材料層，所述介電材料包括任何適合的聚合物系介電材料（例如，苯並環丁烯（benzocyclobutene，BCB）、聚苯並噁唑

(polybenzoxazole, PBO))。在替代實施例中，剝離層 114 可包括由例如光熱轉換 (light-to-heat-conversion, LTHC) 釋放塗布膜等環氧樹脂系熱釋放材料製成的介電材料層，環氧樹脂系熱釋放材料會在受熱時失去其粘著性質。在又一替代實施例中，剝離層 114 可包括由紫外 (ultra-violet, UV) 膠製成的介電材料層，UV 膠會在被暴露至 UV 光時失去其粘著性質。在某些實施例中，剝離層 114 可作為液體進行分配 (dispense) 並進行固化，或者可為被疊層到載體 112 上的疊層體膜 (laminated film)，或者可為類似形式。與接觸載體 112 的底表面相對的剝離層 114 的頂表面可被整平 (levelled) 且可具有高共面度 (high degree of coplanarity)。在某些實施例中，剝離層 114 為例如具有良好耐化學性的光熱轉換層，且這種層能夠透過施加雷射輻照 (laser irradiation) 實現從載體 112 進行室溫剝離，然而本公開不限於此。

【0014】 在替代實施例中，可在剝離層 114 上塗布緩衝層 (圖中未示出)，其中剝離層 114 夾置在緩衝層與載體 112 之間，且緩衝層的頂表面可進一步提供高共面度。在一些實施例中，緩衝層可為介電材料層。在一些實施例中，緩衝層可為聚合物層，所述聚合物層是由聚醯亞胺 (polyimide, PI)、PBO、BCB 或任何其他適合的聚合物系介電材料製成。在一些實施例中，緩衝層可為味之素構成膜 (Ajinomoto Buildup Film, ABF)、阻焊膜 (Solder Resist film, SR) 等。換句話說，緩衝層是可選的且可基於需要及設計佈局而被省略；本公開不限於此。

【0015】 繼續參照圖 1，在一些實施例中，在剝離層 114 上及載體 112 之上形成晶種層材料 122a。舉例來說，晶種層材料 122a 以由

金屬或金屬合金材料製成的毯覆層 (blanket layer) 的方式共形地安置在剝離層 114 上，本公開不限於此。在一些實施例中，晶種層材料 122a 可為單個層或包括由不同材料形成的多個子層 (sub-layers) 的複合層。在一些實施例中，晶種層材料 122a 可包含鈦、銅、鉬、鎢、氮化鈦、鎢化鈦、其組合等。舉例來說，晶種層材料 122a 可包括鈦層以及位於鈦層之上的銅層。在一些實施例中，晶種層材料 122a 是透過化學氣相沉積 (chemical vapor deposition, CVD)、物理氣相沉積 (physical vapor deposition, PVD)、原子層沉積 (atomic layer deposition, ALD)、高密度等離子體化學氣相沉積 (high density plasma CVD, HDPCVD) 或其組合形成。在本說明通篇中，用語“銅”旨在包括實質上純的元素銅、含有不可避免的雜質的銅以及含有少量例如鈮、銢、錫、鋅、錳、鉻、鈦、銻、鋇、鉑、鎂、鋁或銦等元素的銅合金等。

【0016】 在一些實施例中，如圖 1 中所示，在晶種層材料 122a 上及載體 112 之上形成多個導電墊 124。在一些實施例中，導電墊 124 可為透過電鍍 (electroplating) 或沉積 (deposition) 形成的圖案化鋁層 (例如，鋁墊)。舉例來說，如圖 1 中所示，導電墊 124 沿堆疊方向 (例如，方向 Z) 直接安置在晶種層材料 122a 上且沿 X-Y 平面分佈在晶種層材料 122a 的表面之上。舉例來說，方向 X 及方向 Y 垂直於方向 Z，且方向 X 與方向 Y 不同。導電墊 124 的數目不限於此，且可基於需要來指定及選擇。舉例來說，導電墊 124 的數目可為一個或多於一個。如圖 1 中所示，導電墊 124 彼此分離且彼此間隔開。

【0017】 參照圖 2，在一些實施例中，接著透過移除未被導電墊 124

覆蓋的晶種層材料 122a 的部分而分別形成直接位於導電墊 124 之下的多個阻障晶種圖案 122。在一些實施例中，使用導電墊 124 作為罩幕，透過蝕刻製程（etching process）移除未被導電墊 124 覆蓋的晶種層材料 122a 的部分來形成阻障晶種圖案 122。舉例來說，蝕刻製程可包括幹法蝕刻（dry etching）、濕法蝕刻（wet etching）或其組合。換句話說，例如使用導電墊 124（用作蝕刻罩幕）蝕刻晶種層材料 122a 以形成阻障晶種圖案 122。由此，沿堆疊方向（例如，方向 Z）在載體 112 上的垂直投影中，一個導電墊 124 的投影面積與直接位於所述一個導電墊 124 之下的相應一個阻障晶種圖案 122 的投影面積實質上相同。也就是說，在方向 Z 上，導電墊 124 各自與相應一個阻障晶種圖案 122 完全交疊。在一些實施例中，導電墊 124 中的每一者的側壁與阻障晶種圖案 122 中相應一者的側壁對準。在本文中，阻障晶種圖案 122 的數目不受限制，且可基於需要來指定及選擇，其中阻障晶種圖案 122 的數目可透過控制導電墊 124 的數目來調節。舉例來說，如圖 2 中所示，阻障晶種圖案 122 各自電連接到導電墊 124 中相應的一者。在本公開中，阻障晶種圖案 122 中的每一者及與其物理地連接的相應一個導電墊 124 被一起稱作連接墊 120。

【0018】 參照圖 3 至圖 8，在一些實施例中，在連接墊 120 上及載體 112 之上形成重佈線路結構 130。在一些實施例中，重佈線路結構 130 包括交替排列的一個或多於一個介電層 132（例如，介電層 132-1、介電層 132-2 及介電層 132-3）以及一個或多於一個圖案化導電層 134（例如，圖案化導電層 134-1、圖案化導電層 134-2 及圖案化導電層 134-3）。然而，在本公開中，介電層 132 的數目及

圖案化導電層 134 的數目不限於圖 3 至圖 8。舉例來說，介電層 132 的數目及圖案化導電層 134 的數目可基於需要及設計佈局獨立地為一個或多於一個。

【0019】 如圖 3 中所示，在一些實施例中，在連接墊 120 上及載體 112 之上形成介電層 132-1。在一些實施例中，介電層 132-1 覆蓋並包覆連接墊 120。如圖 3 中所示，對於每一個連接墊 120，導電圖案 124 被介電層 132-1 及阻障晶種圖案 122 環繞，且與剝離層 114 接觸的阻障晶種圖案 122 的表面 S122b 上不存在有介電層 132-1，而阻障晶種圖案 122 的側壁 S122s 被介電層 132-1 包覆，其中導電圖案 124 的表面 S124b 物理地接觸阻障晶種圖案 122 的表面 S122t。詳細來說，連接墊 120 的頂表面（例如，導電圖案 124 的表面 S124t）及側壁（例如，導電圖案 124 的側壁 S124s 及阻障晶種圖案 122 的側壁 S122s）物理地接觸介電層 132-1，而連接墊 120 的底表面（例如，阻障晶種圖案 122 的表面 S122b）上不存在有介電層 132-1。換句話說，如圖 3 中所示，在一些實施例中，每一個連接墊 120 嵌入在介電層 132-1 中，連接墊 120 的一個表面（例如，表面 S122b）被介電層 132-1 暴露出，其中阻障晶種圖案 122 的表面 S122b 與介電層 132-1 的表面 S132-1b 實質上齊平且共面（coplanar）（圖 12）。

【0020】 在一些實施例中，介電層 132-1 包括依序堆疊的介電材料 132a 及介電材料 132b。在一些實施例中，介電材料 132a 及介電材料 132b 可包括氧化矽、氮化矽、聚合物或其組合，且是透過例如旋轉塗布（spin coating）、CVD 等適合的製程沉積介電材料並接著對介電材料執行平坦化製程（planarization process）而形成。

在一些實施例中，介電材料 132a 與介電材料 132b 的形成及材料可彼此相同或彼此不同，本公開不限於此。

【0021】 在替代實施例中，在介電材料 132a 與介電材料 132b 之間、介電材料 132a 與連接墊 120 之間或者其組合之間可存在附加介電材料（圖中未示出）。舉例來說，附加介電材料的材料及形成可與介電材料 132a 及介電材料 132b 相同或相似，且因此本文中不再予以贅述。在一些實施例中，介電材料 132a、介電材料 132b 與附加介電材料的功能及材料可彼此相同或彼此不同，本公開不限於此。舉例來說，附加介電材料可為氮化矽且用於蝕刻終止層，而介電材料 132a 及 132b 可為氧化矽且用於接合。

【0022】 參照圖 3 及圖 4，在介電層 132-1 中形成多個開口 O1 及多個開口 O2。在一些實施例中，開口 O1 貫穿介電層 132-1 以暴露出連接墊 120，而開口 O2 形成在介電層 132-1 中而不暴露出連接墊 120。開口 O1 各自可為（但不限於）雙鑲嵌開口（*dual damascene opening*）。也就是說，開口 O1 各自包括較窄的通孔孔洞 O1v 及位於較窄的通孔孔洞 O1v 之上的較寬的溝渠孔洞 O1t。在一些實施例中，按照以下步驟（稱作溝渠優先製程（*trench first process*））形成開口 O1。透過微影製程及蝕刻製程將介電材料 132b 圖案化以在介電材料 132b 中形成溝渠孔洞 O1t。溝渠孔洞 O1t 的定位位置對應於連接墊 120 的定位位置。接下來，透過微影製程及蝕刻製程將介電材料 132a 圖案化以在介電材料 132a 中形成通孔孔洞 O1v。通孔孔洞 O1v 的定位位置對應于溝渠孔洞 O1t 的定位位置及連接墊 120 的定位位置。如圖 4 中所示，通孔孔洞 O1v 沿方向 Z 分別在空間上與溝渠孔洞 O1t 連通以形成開口 O1。在一

些實施例中，較窄的通孔孔洞 O1v 的底部寬度（或面積）小於導電圖案 124 的表面 S124t 的寬度（或面積）。在一些替代實施例中，較窄的通孔孔洞 O1v 的底部寬度（或面積）等於導電圖案 124 的表面 S124t 的寬度（或面積）。舉例來說，如圖 4 中所示，每一個開口 O1 對應於相應一個連接墊 120，且暴露出所述相應一個連接墊 120 的導電圖案 124 的表面 S124t 的至少部分。

【0023】 另一方面，在一些實施例中，開口 O2 可為（但不限於）單鑲嵌開口（single damascene opening）。舉例來說，開口 O2 各自可被稱作透過將介電材料 132b 圖案化以暴露出介電材料 132a 而形成的溝渠。在一些實施例中，開口 O2 的定位位置對應於連接墊 120 的定位位置，然而本公開不限於此。在其他實施例中，開口 O2 的定位位置不對應於連接墊 120 的定位位置。在又一些其他實施例中，一些開口 O2 的定位位置對應於連接墊 120 的定位位置，且一些開口 O2 的定位位置則不對應於連接墊 120 的定位位置。舉例來說，如圖 4 中所示，開口 O2 貫穿介電材料 132b 以暴露出介電材料 132a 的表面 S132a。

【0024】 在一些實施例中，可在相同的步驟處形成開口 O2 以及開口 O1 的溝渠孔洞 O1t。在一些實施例中，可在不同的步驟處形成開口 O2 以及開口 O1 的溝渠孔洞 O1t。開口 O1 及開口 O2 的數目在本文中不受限制，且可基於需要及設計佈局來指定及選擇。舉例來說，開口 O1 及開口 O2 的數目可為一個或多於一個，然而本公開不限於此。在另一個實例中，開口 O1 的數目可為一個或多於一個，且開口 O2 的數目可為零。

【0025】 在介電材料 132a 與介電材料 132b 之間以及介電材料

132a 與連接墊 120 之間存在附加介電材料（用作蝕刻停止層）的替代實施例中，還可透過蝕刻製程蝕刻介電材料 132a 與介電材料 132b 之間的附加介電材料以形成暴露出介電材料 132a 的溝渠孔洞 O1t，且還可透過蝕刻製程蝕刻介電材料 132a 與連接墊 120 之間的附加介電材料以形成暴露出連接墊 120 的通孔孔洞 O1v。在附加介電材料的蝕刻製程期間，附加介電材料對介電材料 132a 和/或 132b 的蝕刻選擇性（etching selectivity）是顯著高的，因此在不移除介電材料 132a 及介電材料 132b（例如，介電材料 132a 及介電材料 132b 的移除程度是顯著小的且因此為可忽略的）的情況下執行附加介電材料的蝕刻製程。

【0026】如圖 5 中所示，在一些實施例中，在介電層 132-1 上及載體 112 之上形成晶種層材料 SL。在一些實施例中，晶種層材料 SL 直接形成在介電層 132-1 上且進一步延伸到形成在介電層 132-1 中的開口 O1 及開口 O2 中。在一些實施例中，晶種層材料 SL 被形成為與具有開口 O1 及開口 O2 的介電層 132-1 的輪廓共形，且均勻地覆蓋開口 O1 及開口 O2 的側壁及底表面以及介電層 132-1 的表面 S132-1t。換句話說，開口 O1 的側壁及底表面以及開口 O2 的側壁及底表面完全被晶種層材料 SL 覆蓋。舉例來說，如圖 5 中所示，位於開口 O1 內的部分晶種層材料 SL 物理地接觸透過開口 O1 而暴露出的連接墊 120。晶種層材料 SL 的材料及形成與圖 1 中所述晶種層材料 122a 的材料及形成實質上相同或相似，且因此為簡明起見，本文中不再予以贅述。在一個實施例中，晶種層材料 SL 的材料與晶種層材料 122a 的材料相同，然而本公開不限於此。在替代實施例中，晶種層材料 SL 的材料可與晶種層材料 122a 的材

料不同。此外，共形的晶種層材料 SL 可說明降低重佈線路結構 130 的電阻並改善重佈線路結構 130 的電性質。

【0027】 如圖 6 中所示，在一些實施例中，在晶種層材料 SL 上及在介電層 132-1 之上形成金屬材料 ML 以填充形成在介電層 132-1 中的開口 O1 及開口 O2。在一些實施例中，金屬材料 ML 可為銅、鎳、鋁、金、銀、鎢、其合金或其組合，且可透過電化學鍍覆製程 (electro-chemical plating process)、CVD、PVD 等形成。然而，應理解，本公開的範圍不限於以上所公開的材料及說明。

【0028】 在一些實施例中，參照圖 6 及圖 7，執行平坦化製程以移除位於介電層 132-1 的表面 S132-1t 上方的部分金屬材料 ML 及位於介電層 132-1 的表面 S132-1t 上方的部分晶種層材料 SL。在一些實施例中，移除位於介電層 132-1 的表面 S132-1t 上方的金屬材料 ML 及晶種層材料 SL，直到暴露出介電層 132-1 的表面 S132-1t 為止。在移除位於介電層 132-1 的表面 S132-1t 上方的金屬材料 ML 及晶種層材料 SL 之後，形成多個金屬圖案 134a 及多個金屬圖案 134b，金屬圖案 134a 各自具有填充在開口 O1 內的晶種層圖案 134s、通孔 134v 及導電溝渠 134t，金屬圖案 134b 各自具有填充在開口 O2 內的晶種層圖案 134s 及導電溝渠 134t。在一些實施例中，對於每一個金屬圖案 134a，晶種層圖案 134s、通孔 134v 及導電溝渠 134t 彼此電耦合。在一些實施例中，對於每一個金屬圖案 134b，晶種層圖案 134s 與導電溝渠 134t 彼此電耦合。在一些實施例中，平坦化製程包括化學機械拋光 (chemical-mechanical polishing, CMP) 製程、機械研磨製程 (mechanical grinding process)、飛切製程 (fly cutting process) 或回蝕製程 (etching back

process) 或其組合。

【0029】 在連接墊 120 嵌入在介電材料 132a 中的一些實施例中，介電材料 132a 的厚度 H132 介於約 0.5 微米 (μm) 至約 $10\mu\text{m}$ 範圍內。在一些實施例中，導電圖案 124 的厚度 H124 介於約 5 千埃 ($\text{k}\text{\AA}$) 至約 $40\text{k}\text{\AA}$ 範圍內。舉例來說，介電材料 132a 的厚度 H132 介於約 $0.5\mu\text{m}$ 至約 $1.5\mu\text{m}$ 範圍內，而導電圖案 124 的厚度 H124 小於或實質上等於約 $14\text{k}\text{\AA}$ 。另舉一例，介電材料 132a 的厚度 H132 介於約 $1.5\mu\text{m}$ 至約 $2.5\mu\text{m}$ 範圍內，而導電圖案 124 的厚度 H124 大於或實質上等於約 $14\text{k}\text{\AA}$ 。本公開不特別限於此。另外，阻障晶種圖案 122 的厚度 H122 介於約 200 埃 (\AA) 至約 2000\AA 範圍內；本公開不限於此。

【0030】 如圖 7 中所示，在一些實施例中，在對金屬材料 ML 及晶種層材料 SL 執行平坦化製程之後形成圖案化導電層 134-1。舉例來說，圖案化導電層 134-1 包括形成在開口 O1 中的多個金屬圖案 134a 及形成在開口 O2 中的多個金屬圖案 134b (如圖 7 中所示)，然而本公開不限於此。在一個實施例中，圖案化導電層 134-1 可包括一個或多於一個形成在開口 O1 中的金屬圖案 134a 和/或一個或多於一個形成在開口 O2 中的金屬圖案 134b。在替代實施例中，圖案化導電層 134-1 可包括一個或多於一個形成在開口 O1 中的金屬圖案 134a 且不包括形成在開口 O2 中的金屬圖案 134b。

【0031】 在一些實施例中，金屬圖案 134a 可為雙鑲嵌結構且與位於金屬圖案 134a 之下的連接墊 120 物理地連接，且金屬圖案 134b 可為單鑲嵌結構且形成在介電材料 132a 之上。換句話說，金屬圖案 134a 可包括凸塊通孔 (bump via) 及位於凸塊通孔之上的凸塊

金屬線 (bump metal line) (例如，凸塊導電溝渠)，且金屬圖案 134b 可包括凸塊金屬線。在本公開中，在圖案化導電層 134-1 內，金屬圖案 134a 與金屬圖案 134b 可不彼此電連接或者可至少部分地彼此電連接。在本公開中，介電層 132-1 及圖案化導電層 134-1 被一起稱作重佈線路結構 130 的第一構成層 (first build-up layer)，其中第一構成層具有高共面度以便於形成隨後形成的特徵 (例如膜層 (例如，附加構成層) 或裝置 (例如，半導體晶粒或晶片))。舉例來說，如圖 7 中所示，圖案化導電層 134-1 的金屬圖案 134a 電連接到連接墊 120。

【0032】 如圖 8 中所示，在一些實施例中，在第一構成層 (包括介電層 132-1 及圖案化導電層 134-1) 上依序形成介電層 132-2、圖案化導電層 134-2、介電層 132-3 及圖案化導電層 134-3，以形成重佈線路結構 130。介電層 132-2 及 132-3 的形成及材料與介電層 132-1 的形成及材料相同或相似，且圖案化導電層 134-2 及 134-3 的形成及材料與圖案化導電層 134-1 的形成及材料相同或相似，且因此為簡明起見，本文中不再予以贅述。

【0033】 在一些實施例中，圖案化導電層 134-2 物理地連接到圖案化導電層 134-1，且圖案化導電層 134-3 物理地連接到圖案化導電層 134-2。換句話說，重佈線路結構 130 內的圖案化導電層 134-1、134-2 及 134-3 彼此電連接。舉例來說，各自形成在圖案化導電層 134-1、圖案化導電層 134-2 及圖案化導電層 134-3 中的金屬圖案 134a 和/或金屬圖案 134b 的數目可為相同的或不同的，本公開不限於此。

【0034】 在本公開中，圖 8 中所繪示介電層 132-2 及圖案化導電

層 134-2 被一起稱作重佈線路結構 130 的第二構成層(second build-up layer)，且圖 8 中所繪示介電層 132-3 及圖案化導電層 134-3 被一起稱作重佈線路結構 130 的第三構成層 (third build-up layer)。在一些實施例中，如圖 8 中所示，第二構成層及第三構成層可與圖 3 至圖 7 中所述第一構成層 (包括介電層 132-1 及圖案化導電層 134-1) 實質上相同或相似。然而，本公開不限於此；在替代實施例中，第二構成層及第三構成層可與第一構成層不同。在本公開中，重佈線路結構 130 中所包括的構成層的數目不受限制。在一個實施例中，重佈線路結構 130 中所包括的構成層(build-up layer) 的數目可為一個或多於一個。舉例來說，如圖 8 中所示，重佈線路結構 130 物理地連接到且電連接到連接墊 120。

【0035】 參照圖 9，在一些實施例中，提供至少一個半導體晶粒 140。此後，出於例示目的，在圖 9 中示出兩個半導體晶粒 140；本公開不限於此。在其他實施例中，半導體晶粒 140 的數目可基於需要及設計佈局而為一個或多於一個。舉例來說，如圖 9 中所示，將半導體晶粒 140 拾取並放置在重佈線路結構 130 (例如，重佈線路結構 130 的表面 S132-3t) 上。

【0036】 在一些實施例中，半導體晶粒 140 各自包括：半導體基底 141，具有主動表面 S141a 及與主動表面 S141a 相對的背側表面 S141b；多個導電墊 142，形成在主動表面 S141a 上；鈍化層 143，安置在導電墊 142 上且局部地暴露出導電墊 142；後鈍化層 144，安置在鈍化層 143 上且局部地暴露出導電墊 142；多個連接通孔 145，安置在導電墊 142 上；以及保護層 146，覆蓋後鈍化層 144 並包覆連接通孔 145 的側壁。換句話說，分佈在半導體基底 141 的

主動表面 S141a 上的導電墊 142 被鈍化層 143 的接觸開口及後鈍化層 144 的接觸開口局部地暴露出，以物理地連接到連接通孔 145。

【0037】 在一些實施例中，半導體基底 141 的材料可包括矽基底，矽基底包括形成在其中的主動元件（例如，電晶體和/或記憶體（例如 n 通道金屬氧化物半導體（n-channel metal oxide semiconductor，NMOS）和/或 p 通道金屬氧化物半導體（p-channel metal oxide semiconductor，PMOS）裝置等））和/或被動元件（例如，電阻器、電容器、電感器等）。在替代實施例中，半導體基底 141 可為塊狀矽基底（bulk silicon substrate），例如由單晶矽構成的塊狀基底、經摻雜矽基底、未經摻雜矽基底或絕緣體上有矽（silicon on insulator，SOI）基底，其中經摻雜矽基底的摻雜劑可為 N 型摻雜劑、P 型摻雜劑或其組合。本公開不限於此。

【0038】 在一些實施例中，導電墊 142 可為鋁墊或其他適合的金屬墊。舉例來說，連接通孔 145 可為銅柱、銅合金柱或其它適合的金屬柱。在一些實施例中，鈍化層 143、後鈍化層 144 和/或保護層 146 可為 PBO 層、聚醯亞胺（PI）層或其它適合的聚合物。在某些實施例中，鈍化層 143、後鈍化層 144 和/或保護層 146 可由例如氧化矽、氮化矽、氮氧化矽或任何適合的介電材料等無機材料製成。在一個實施例中，鈍化層 143、後鈍化層 144 和/或保護層 146 的材料可相同。在替代實施例中，鈍化層 143、後鈍化層 144 和/或保護層 146 的材料可彼此不同，本公開不限於此。

【0039】 繼續參照圖 9，在一些實施例中，透過混合接合（hybrid bonding）（透過混合接合介面 IF）將半導體晶粒 140 接合到重佈

線路結構 130。舉例來說，混合接合製程可包括親水熔融接合製程 (hydrophilic fusion bonding process) 或疏水熔融接合製程 (hydrophobic fusion bonding process)。在一些實施例中，半導體晶粒 140 中的每一者的連接通孔 145 物理地接合到重佈線路結構 130 的圖案化導電層 134 的最頂層 (例如，圖案化導電層 134-3)，圖案化導電層 134 的所述最頂層被介電層 132 的最頂層 (例如，介電層 132-3) 暴露出來，且重佈線路結構 130 的介電層 132-3 的部分不被半導體晶粒 140 覆蓋。舉例來說，如圖 9 中所示，半導體晶粒 140 物理地連接到且電連接到重佈線路結構 130。在一些實施例中，半導體晶粒 140 各自透過重佈線路結構 130 而電連接到連接墊 120 中的一些連接墊 120。在本公開中，半導體晶粒 140 透過重佈線路結構 130 而彼此電連通。

【0040】 在一些實施例中，本文中所述半導體晶粒 140 中的每一者可被稱作晶片或積體電路 (integrated circuit, IC)。在一些實施例中，半導體晶粒 140 可包括為相同類型的晶片或為不同類型的晶片。舉例來說，半導體晶粒 140 包括無線及射頻 (radio frequency, RF) 晶片。舉例來說，在替代實施例中，半導體晶粒 140 包括數位晶片、類比晶片或混合信號晶片，例如應用專用積體電路 (“application-specific integrated circuit, ASIC”) 晶片、感測器晶片、無線及射頻 (RF) 晶片、記憶體晶片、邏輯晶片、電壓調節器晶片或其組合。在替代實施例中，半導體晶粒 140 中的一個或全部可被稱作組合型晶片或組合型積體電路。舉例來說，半導體晶粒 140 中的至少一者可為同時包括 RF 晶片與數位晶片二者的無線保真 (wireless fidelity, WiFi) 晶片。本公開不限於此。

【0041】 參照圖 10，在一些實施例中，在半導體晶粒 140 之上共形地形成絕緣材料 150a，其中半導體晶粒 140 被包封在絕緣材料 150a 中，且被半導體晶粒 140 暴露出來的重佈線路結構 130 被絕緣材料 150a 覆蓋。在一些實施例中，如圖 10 中所示，半導體晶粒 140 中的每一者的背側表面 S141b 及側壁被絕緣材料 150a 環繞及覆蓋。在一些實施例中，絕緣材料 150a 可為氧化物（例如氧化矽等）。在一些實施例中，可透過沉積形成絕緣材料 150a。如圖 10 中所示，半導體晶粒 140 及重佈線路結構 130 不被絕緣材料 150a 以可觸及方式露出。

【0042】 參照圖 11，在一些實施例中，對絕緣材料 150a 執行平坦化步驟以形成暴露出半導體晶粒 140 的背側表面 S141b 的絕緣包封體 150。在某些實施例中，如圖 11 中所示，在平坦化之後，半導體晶粒 140 的背側表面 S141b 被絕緣包封體 150 的表面 S150 暴露出來。也就是說，半導體晶粒 140 的背側表面 S141b 例如變得與絕緣包封體 150 的表面 S150 實質上齊平。換句話說，半導體晶粒 140 的背側表面 S141b 與絕緣包封體 150 的表面 S150 彼此實質上共面。在一些實施例中，如圖 11 中所示，半導體晶粒 140 被絕緣包封體 150 以可觸及方式露出。

【0043】 舉例來說，可透過機械研磨或 CMP 製程對絕緣材料 150a 進行平坦化。在平坦化步驟之後，可選地執行清潔步驟，例如以清潔來移除從平坦化步驟產生的殘留物。然而，本公開不限於此，且可透過任何其他適合的方法執行平坦化步驟。在一些替代實施例中，在對絕緣材料 150a 進行平坦化期間，半導體晶粒 140 的半導體基底 141 也可被平坦化。在某些實施例中，可例如對包覆模制

(over-mold)絕緣材料 150a 執行平坦化步驟以齊平半導體晶粒 140 的背側表面 S141b 及絕緣包封體 150 的表面 S150。由此，半導體晶粒 140 的背側表面 S141b 與絕緣包封體 150 的表面 S150 具有高共面度，以便於進行後續製程步驟。

【0044】 參照圖 12，在一些實施例中，將圖 11 中所繪示的整個結構翻轉（上下翻倒）並放置在塗布有剝離層 214 的載體 212 上，並將載體 112 從連接墊 120 及重佈線路結構 130 剝離。在一些實施例中，連接墊 120（例如，阻障晶種圖案 122）及重佈線路結構 130（例如，介電層 132-1 的介電材料 132a）因剝離層 114 而輕易地與載體 112 分離，且連接墊 120（例如，阻障晶種圖案 122 的表面 S122b）及重佈線路結構 130（例如，介電層 132-1 的表面 S132-1b）被暴露出。在一些實施例中，透過剝離製程將載體 112 從連接墊 120 及重佈線路結構 130 拆離，並移除載體 112 及剝離層 114。

【0045】 在一些實施例中，載體 212 的材料與載體 112 的材料可相同，然而本公開不限於此。在替代實施例中，載體 212 的材料可與載體 112 的材料不同。在一些實施例中，剝離層 214 的材料及形成可與剝離層 114 的材料及形成相同或不同，本公開不限於此。

【0046】 參照圖 13，在一些實施例中，在重佈線路結構 130 上形成鈍化層 160，且鈍化層 160 至少局部地暴露出連接墊 120。在一些實施例中，鈍化層 160 形成在重佈線路結構 130 上以完全覆蓋介電層 132-1 的表面 S132-1b 且形成在連接墊 120 上，其中形成在鈍化層 160 中的多個開口 O3 局部地暴露出被重佈線路結構 130 以可觸及方式露出的連接墊 120 的阻障晶種圖案 122 的表面 S122b。如圖 13 中所示，連接墊 120 的尺寸 W122 大於開口 O3 的尺寸

WO3。換句話說，連接墊 120 的阻障晶種圖案 122 中的每一者的部分物理地接觸鈍化層 160（例如，在圖 15 中所繪示的區域 R1 內）。在一些實施例中，鈍化層 160 沿堆疊方向（例如，方向 Z）與阻障晶種圖案 122 及導電墊 124 交疊（例如，在圖 15 中所繪示的區域 R1 內）。在一些實施例中，鈍化層 160 可為透過旋轉塗布或沉積所形成的 PBO 層、PI 層或其它適合的聚合物層，而開口 O3 可透過蝕刻在鈍化層 160 中形成。然而，應理解，本公開的範圍不限於以上所公開的材料及說明。

【0047】 繼續參照圖 13，在一些實施例中，在鈍化層 160 上形成介電層 170，且介電層 170 至少局部地暴露出被鈍化層 160 暴露出來的連接墊 120。在一些實施例中，介電層 170 形成在鈍化層 160 上且完全覆蓋鈍化層 160，並延伸到開口 O3 中，而透過開口 O3 以可觸及方式暴露出的連接墊 120 的部分透過形成在介電層 170 中的多個開口 O4 進一步暴露出。也就是說，開口 O4 的定位位置分別對應於開口 O3 的定位位置。在一些實施例中，連接墊 120 的尺寸 W122 大於開口 O4 的尺寸 WO4，且開口 O3 的尺寸 WO3 大於開口 O4 的尺寸 WO4。在一些實施例中，連接墊 120 的阻障晶種圖案 122 中的每一者的部分物理地接觸介電層 170（例如，在圖 15 中所繪示的區域 R2 內）。在一些實施例中，介電層 170 沿堆疊方向（例如，方向 Z）與阻障晶種圖案 122 及導電墊 124 交疊（例如，在圖 15 中所繪示的區域 R1 及區域 R2 內）。在一些實施例中，介電層 170 可包含例如透過旋轉塗布或沉積所形成的氧化矽、氮化矽、氮氧化矽或任何適合的介電材料等無機材料，而開口 O4 可透過蝕刻形成在介電層 170 中。然而，應理解，本公開的範圍不限

於以上所公開的材料及說明。

【0048】 開口 O3 及開口 O4 的數目及形狀可例如對應于隨後形成的導電結構（例如導電球或導電柱）的數目及形狀，本公開不限於此。

【0049】 參照圖 14，在一些實施例中，在介電層 170 上依序形成多個阻障晶種圖案 180 及多個導電端子 190，其中阻障晶種圖案 180 夾置在介電層 170 與導電端子 190 之間。在一些實施例中，阻障晶種圖案 180 各自位於導電端子 190 中相應的一者與介電層 170 之間。由於阻障晶種圖案 180，導電端子 190 與介電層 170 之間的粘著力增強。在一些實施例中，阻障晶種圖案 180 直接位於介電層 170 上並進一步延伸到形成在介電層 170 中的開口 O4 中，以物理地接觸且電接觸被形成在介電層 170 中的開口 O4 暴露出來的連接墊 120 的部分阻障晶種圖案 122。在一些實施例中，連接墊 120 的阻障晶種圖案 122 中的每一者的一部分是物理地接觸阻障晶種圖案 180 中上覆在所述一部分上的相應一者（例如，在圖 15 中所繪示的區域 R3 內）。在一些實施例中，阻障晶種圖案 180 各自沿堆疊方向（例如，方向 Z）與連接墊 120 中相應一者的阻障晶種圖案 122 及導電墊 124 分別交疊（例如，在圖 15 中所繪示的區域 R1、區域 R2 及區域 R3 內）。

【0050】 如圖 14 中所示，在一些實施例中，阻障晶種圖案 180 透過連接墊 120 電連接到重佈線路結構 130。在一些實施例中，導電端子 190 透過阻障晶種圖案 180 及連接墊 120 電連接到重佈線路結構 130。在一些實施例中，導電端子 190 中的一些導電端子 190 透過阻障晶種圖案 180、連接墊 120 及重佈線路結構 130 電連接到

半導體晶粒 140 中的至少一者。

【0051】 在一些實施例中，可透過以下步驟形成阻障晶種圖案 180 及導電端子 190，然而本公開不限於此。舉例來說，在圖 13 中所繪示的結構上共形地形成晶種層材料（圖中未示出），且所述晶種層材料延伸到開口 O4 中。在晶種層材料上形成其中形成有多個開口的抗蝕劑層（圖中未示出），以暴露出與開口 O4 的定位位置對應的晶種層材料的部分。透過鍍覆製程在晶種層材料上、形成在介電層 170 中的開口 O4 中及形成在抗蝕劑層中的開口中，形成多個導電元件 192。透過分配（dispensing），在導電元件 192 上分別安置多個導電元件 194，以形成多個導電端子 190。透過可接受的灰化製程（ashing process）和/或光阻剝除製程（photoresist stripping process）移除抗蝕劑層。接著，透過一個或多於一個蝕刻製程，使用導電端子 190 作為蝕刻罩幕將晶種層材料圖案化，以形成多個阻障晶種圖案 180。在一些實施例中，導電元件 192 的材料可包括銅、銅合金等；且導電元件 194 的材料可包括焊料等。然而，本公開不限於此，以上方法及製程可根據需要被任何其它適合的方法及製程代替。

【0052】 如圖 14 中所示，舉例來說，沿著重佈線路結構 130 與半導體晶粒 140 的堆疊方向（例如，方向 Z）在載體 212 上的垂直投影中，一個導電端子 190 的投影面積與位於所述一個導電端子 190 之下的相應一個阻障晶種圖案 180 的投影面積分別實質上相同。也就是說，在方向 Z 上，於 X-Y 平面上的垂直投影中，導電端子 190 各自與位於導電端子 190 之下的阻障晶種圖案 180 完全交疊。在一些實施例中，一個阻障晶種圖案 180 的側壁與相應一個導電

端子 190 的側壁對準。

【0053】 在一些替代實施例中，導電端子 190 為例如微凸塊 (micro bump, μ -bump)、晶片連接件 (例如，受控塌陷晶片連接 (controlled collapse chip connection, C4) 凸塊)、球柵陣列 (ball grid array, BGA) 球、焊球或其它連接件。導電端子 190 的數目不限於本公開，且可基於開口 O3 及開口 O4 的數目來指定及選擇。當使用焊料時，所述焊料可包括共晶焊料 (eutectic solder) 或非共晶焊料 (non-eutectic solder)。焊料可包含鉛或者為無鉛的，且可包含 Sn-Ag、Sn-Cu、Sn-Ag-Cu 等。在本公開中，對於一個實施例，導電端子 190 可被稱作用於與另一個封裝連接的導電連接件；或者對於另一個實施例，導電端子 190 可被稱作用於輸入/輸出電信號和/或功率信號的導電端子。

【0054】 在一些實施例中，在形成導電端子 190 及阻障晶種圖案 180 之後，接著執行切割 (單體化) 製程，以將具有多個封裝結構 P1 的晶圓切割成各自分開且分離的多個封裝結構 P1。在一個實施例中，所述切割製程是包括機械刀片鋸切 (mechanical blade sawing) 或雷射切割 (laser cutting) 的晶圓切割製程。至此，封裝結構 P1 的製造便告完成。藉由連接墊 120 的配置，使得阻障晶種圖案 180/導電端子 190 與透過重佈線路結構 130 電連接到半導體晶粒 140 的連接墊 120 之間的未對準 (misalignment) 情況得到大幅抑制，從而提高了封裝結構 P1 的可靠性及良率。換句話說，透過連接墊 120 的形成方式，而輕易地實現分別在鈍化層 160 及介電層 170 中形成開口 O3 及開口 O4 以精確地暴露出連接墊 120 來電連接到導電端子 190 (或其它外部半導體裝置)，從而提高了封

裝結構 P1 的可靠性及良率。

【0055】 在一些實施例中，如圖 14 中所示，載體 212 保留在封裝結構 P1 中以用作封裝結構 P1 的散熱元件，其中載體 212 為例如矽 (Si) 基底。在這種實施例中，載體 212 可進一步用於翹曲控制 (warpage control)。然而，本公開不限於此，在替代實施例中，可將載體 212 進一步從封裝結構 P1 移除。

【0056】 在又一些替代實施例中，除導電端子 190 之外，在圖 14 中，也可在阻障晶種圖案 180 上安置附加半導體裝置 (圖中未示出)，以電耦合半導體晶粒 140 中的至少一者。在一些實施例中，附加半導體裝置可包括被動元件或主動元件。在本公開中，附加半導體裝置的數目不受限制，且可基於需要及設計佈局來指定。

【0057】 在替代實施例中，可省略圖 14 中所繪示的封裝結構 P1 中的導電元件 194 以形成導電端子 190 (參見如圖 16 中所示的封裝結構 P1')。在這種實施例中，封裝結構 P1' 的導電端子 190 可包括金屬杆/柱，例如銅杆/柱或其它金屬杆/柱。

【0058】 圖 17 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。圖 18 示出圖 17 中所繪示封裝結構的一部分的放大示意性剖視圖，其中所述封裝結構的所述一部分是由圖 17 中所繪示的虛線框 E2 標明。與先前所述的元件相似或實質上相同的元件將使用相同的參考編號，且本文中將不再對相同元件的某些細節或說明 (例如，材料、形成製程、定位配置等) 予以贅述。參照圖 14 及圖 17 至圖 18，圖 17 及圖 18 中所繪示的封裝結構 P2 相似於圖 14 中所繪示的封裝結構 P1；不同之處在於，在封裝結構 P2 中，連接墊 120 被連接墊 120' (參見圖 18) 代替。

【0059】 如圖 17 中所示，在一些實施例中，在形成在介電層 170 中的開口 O4 的形成期間，連接墊 120 的部分阻障晶種圖案 122 也被移除以形成具有開口 O5 的連接墊 120'。在一些實施例中，連接墊 120' 各自具有阻障晶種圖案 122' 及堆疊在阻障晶種圖案 122' 上的導電墊 124，其中導電墊 124 透過形成在阻障晶種圖案 122' 中的開口 O5 局部地暴露出。換句話說，形成在介電層 170 中的開口 O4 各自在空間上與形成在阻障晶種圖案 122' 中的相應一個開口 O5 連通，使得連接墊 120' 的導電墊 124 透過形成在連接墊 120' 的阻障晶種圖案 122' 中的開口 O5 暴露出，以分別連接隨後形成的阻障晶種墊 180。也就是說，對於每一個連接墊 120'，導電墊 124 的表面 S124b 透過形成在相應一個阻障晶種圖案 122' 中的一個開口 O5 及形成在介電層 170 中的相應一個開口 O4 暴露出。舉例來說，阻障晶種圖案 180 分別連接到連接墊 120'。如圖 17 及圖 18 中所示，阻障晶種圖案 180 中的每一者物理地連接到且電連接到連接墊 120' 中相應的一者（例如，位於開口 O5 內的阻障晶種圖案 122' 的側壁及被形成在阻障晶種圖案 122' 中的開口 O5 所暴露出來的導電墊 124 的表面 S124b）。

【0060】 如圖 18 中所示，在一些實施例中，在區域 R1 內，連接墊 120' 的阻障晶種圖案 122' 中的每一者的部分物理地接觸鈍化層 160。在一些實施例中，鈍化層 160 沿堆疊方向（例如，方向 Z）與阻障晶種圖案 122' 及導電墊 124 交疊（例如，在區域 R1 內）。如圖 18 中所示，在一些實施例中，在區域 R2 內，連接墊 120' 的阻障晶種圖案 122' 中的每一者的部分物理地接觸介電層 170。在一些實施例中，介電層 170 沿堆疊方向（例如，方向 Z）與阻障晶

種圖案 122' 及導電墊 124 交疊(例如,在圖 18 中所繪示的區域 R1 及區域 R2 內)。在一些實施例中,在區域 R3 內,導電墊 124 中的每一者的部分(例如,透過開口 O5 暴露出的表面 S124b)物理地接觸上覆在所述部分上的阻障晶種圖案 180 中相應的一者。在一些實施例中,阻障晶種圖案 180 沿堆疊方向(例如,方向 Z)分別與阻障晶種圖案 122' (例如,在圖 18 中所繪示的區域 R1 及區域 R2 內)及導電墊 124 交疊(例如,在圖 18 中所繪示的區域 R1、區域 R2 及區域 R3 內)。

【0061】 圖 19 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。圖 20 示出圖 19 中所繪示封裝結構的一部分的放大示意性剖視圖,其中所述封裝結構的所述一部分是由圖 19 中所繪示的虛線框 E3 標明。與先前所述的元件相似或實質上相同的元件將使用相同的參考編號,且本文中將不再對相同元件的某些細節或說明(例如,材料、形成製程、定位配置等)予以贅述。參照圖 14 及圖 19 至圖 20,圖 19 及圖 20 中所繪示的封裝結構 P3 相似於圖 14 中所繪示的封裝結構 P1;不同之處在於,在封裝結構 P3 中,連接墊 120 被連接墊 120'' (參見圖 20) 代替。

【0062】 如圖 19 中所示,在一些實施例中,在形成在鈍化層 160 中的開口 O3 的形成期間,連接墊 120 的部分阻障晶種圖案 122 也被移除以形成具有開口 O6 的連接墊 120''。在一些實施例中,連接墊 120'' 各自具有阻障晶種圖案 122'' 及堆疊在阻障晶種圖案 122'' 上的導電墊 124,其中導電墊 124 透過形成在阻障晶種圖案 122'' 中的開口 O6 局部地暴露出。換句話說,形成在鈍化層 160 中的開口 O3 各自在空間上與形成在阻障晶種圖案 122'' 中的相應一

個開口 O6 連通，使得連接墊 120'' 的導電墊 124 透過形成在連接墊 120'' 的阻障晶種圖案 122'' 中的開口 O6 暴露出，以分別連接隨後形成的阻障晶種圖案 180。

【0063】 利用這種配置，形成在介電層 170 中的開口 O4 進一步延伸到形成在阻障晶種圖案 122'' 中的開口 O6 中，以暴露出連接墊 120'' 的導電墊 124。舉例來說，阻障晶種圖案 180 分別連接到連接墊 120''。如圖 19 及圖 20 中所示，阻障晶種圖案 180 中的每一者物理地連接到且電連接到連接墊 120'' 中相應的一者（例如，被形成在介電層 170 中的開口 O4 暴露出來的導電墊 124 的表面 S124b）。

【0064】 如圖 20 中所示，在一些實施例中，在區域 R1 內，連接墊 120'' 的阻障晶種圖案 122'' 中的每一者的部分物理地接觸鈍化層 160。在一些實施例中，鈍化層 160 沿堆疊方向（例如，方向 Z）與阻障晶種圖案 122'' 及導電墊 124 交疊（例如，在區域 R1 內）。如圖 20 中所示，在一些實施例中，在區域 R2 內，導電墊 124 中的每一者的部分（例如，透過開口 O6 暴露出的表面 S124b）物理地接觸介電層 170。在一些實施例中，介電層 170 沿堆疊方向（例如，方向 Z）與阻障晶種圖案 122'' 交疊（例如，在圖 20 中所繪示的區域 R1 內）且與導電墊 124 交疊（例如，在圖 20 中所繪示的區域 R1 及區域 R2 內）。如圖 20 中所示，在一些實施例中，在區域 R3 內，導電墊 124 中的每一者的部分（例如，透過開口 O4 暴露出的表面 S124b）物理地接觸上覆在所述部分上的阻障晶種圖案 180 中相應的一者。在一些實施例中，阻障晶種圖案 180 沿堆疊方向（例如，方向 Z）分別與阻障晶種圖案 122'' 交疊（例如，在圖

20 中所繪示的區域 R1 內) 且與導電墊 124 交疊 (例如, 在圖 20 中所繪示的區域 R1、區域 R2 及區域 R3 內)。

【0065】 本公開不限於此; 在替代實施例中, 圖 17 中所繪示的封裝結構 P2 中的導電元件 194 和/或圖 19 中所繪示的封裝結構 P3 的導電元件 194 也可被省略 (相似於圖 16 所示封裝結構 P1' 中所繪示的導電端子 190)。

【0066】 在一些替代實施例中, 基於設計佈局及需要, 封裝結構 P1、P1'、P2 及 P3 可進一步透過導電端子 190 和/或其他附加連接件而安裝有電路基底 (circuit substrate)、中介體 (interposer)、附加封裝 (additional package)、晶片/晶粒或其他電子裝置, 以形成堆疊封裝結構 (stacked package structure)。作為例示, 提供以下多個實例 (例如, 圖 21 所示封裝結構 P4 及圖 22 所示封裝結構 P5 (封裝結構 P1 的應用) 以及圖 23 至圖 29 所示封裝結構 P6 (封裝結構 P1' 的應用)), 但本公開不限於此。

【0067】 圖 21 示出根據本公開一些其他實施例的封裝結構的示意性剖視圖。與先前所述的元件相似或實質上相同的元件將使用相同的參考編號, 且本文中將不再對相同元件的某些細節或說明 (例如, 材料、形成製程、定位配置等) 予以贅述。

【0068】 參照圖 21, 在一些實施例中, 提供基底 500。在一些實施例中, 基底 500 包括多個接觸墊 510、多個接觸墊 520、多個金屬化層 530 及多個通孔 (圖中未示出)。在一些實施例中, 接觸墊 510 與接觸墊 520 分別分佈在基底 500 的兩個相對側上, 且被暴露出以與隨後形成的元件/特徵電連接。在一些實施例中, 金屬化層 530 及通孔嵌入在基底 500 中且一起提供基底 500 的佈線功能, 其中

金屬化層 530 及通孔電連接到接觸墊 510 及接觸墊 520。也就是說，接觸墊 510 中的至少一些接觸墊 510 透過金屬化層 530 及通孔電連接到接觸墊 520 中的一些接觸墊 520。在一些實施例中，接觸墊 510 及接觸墊 520 可包括金屬墊或金屬合金墊。在一些實施例中，金屬化層 530 及通孔的材料可與金屬材料 ML 的材料實質上相同或相似，且因此為簡明起見，本文中不再予以贅述。

【0069】 在一些實施例中，如圖 21 中所示，圖 14 中所繪示的封裝結構 P1 透過導電端子 190 物理地連接接觸墊 510，而接合到基底 500，以形成具有堆疊結構的封裝結構 P4，其中封裝結構 P1 物理地連接到且電連接到基底 500。圖 1 至圖 15 中闡述了封裝結構 P1 的細節，且因此本文中不再予以贅述。在一些實施例中，基底 500 被稱作電路基底，例如有機柔性基底（organic flexible substrate）或印刷電路板（printed circuit board）。在這種實施例中，導電端子 190 為例如晶片連接件或 BGA 球。

【0070】 在一些實施例中，在基底 500 上分別形成多個導電端子 600。舉例來說，如圖 21 中所示，導電端子 600 連接到基底 500 的接觸墊 520。換句話說，導電端子 600 透過接觸墊 520 電連接到基底 500。透過接觸墊 510 及接觸墊 520，導電端子 600 中的一些導電端子 600 電連接到封裝結構 P1（例如，封裝結構 P1 中所包括的半導體晶粒 140）。在一些實施例中，導電端子 600 為例如焊球或 BGA 球。在一些實施例中，封裝結構 P1 透過利用倒裝晶片接合（flip chip bonding）將導電端子 190 與基底 500 的接觸墊 510 物理地連接而接合到基底 500。

【0071】 圖 22 示出根據本公開一些其他實施例的封裝結構的示意

性剖視圖。與先前所述的元件相似或實質上相同的元件將使用相同的參考編號，且本文中將不再對相同元件的某些細節或說明（例如，材料、形成製程、定位配置等）予以贅述。

【0072】 參照圖 22，在一些實施例中，提供電路元件 200。在一些實施例中，電路元件 200 包括芯體部 210、多個通孔 220、重佈線路結構 230、重佈線路結構 240、多個接合墊 254a、多個接合墊 254b、焊料罩幕層 252a 及焊料罩幕層 252b。

【0073】 在一些實施例中，芯體部 210 可包括塊狀矽基底，例如由單晶矽構成的塊狀基底、經摻雜矽基底、未經摻雜矽基底或 SOI 基底，其中經摻雜矽基底的摻雜劑可為 N 型摻雜劑、P 型摻雜劑或其組合。在一些實施例中，通孔 220 是貫穿芯體部 210 的矽穿孔（through silicon via）。在本公開中，電路元件 200 被稱作中介體（參見圖 22）。

【0074】 如圖 22 中所示，在一些實施例中，重佈線路結構 230 與重佈線路結構 240 分別安置在芯體部 210 的兩個相對側上。在一些實施例中，重佈線路結構 230 和/或重佈線路結構 240 電連接到貫穿芯體部 210 的通孔 220。如圖 22 中所示，在一些實施例中，嵌有通孔 220 的芯體部 210 位於重佈線路結構 230 與重佈線路結構 240 之間。透過通孔 220，重佈線路結構 230 與重佈線路結構 240 彼此電連接。

【0075】 在一些實施例中，重佈線路結構 230 包括依序交替形成的一個或多個介電層 232 及一個或多個金屬化層 234，其中一個金屬化層 234 夾置在兩個介電層 232 之間。如圖 22 中所示，金屬化層 234 的最頂層的頂表面的部分分別透過形成在介電層 232 的最

頂層中的開口暴露出以與其它導電特徵連接，且金屬化層 234 的最底層的底表面的部分分別透過形成在介電層 232 的最底層中的開口暴露出以與通孔 220 連接。重佈線路結構 230 中所包括的金屬化層及介電層的數目不限於此，且可基於需要來指定及選擇。

【0076】 在一些實施例中，重佈線路結構 240 包括依序交替形成的一個或多個介電層 242 及一個或多個金屬化層 244，其中一個金屬化層 244 夾置在兩個介電層 242 之間。如圖 22 中所示，金屬化層 244 的最頂層的頂表面的部分分別透過形成在介電層 242 的最頂層中的開口暴露出以與通孔 220 連接，且金屬化層 244 的最底層的底表面的部分分別透過形成在介電層 242 的最底層中的開口暴露出以與其他導電特徵連接。重佈線路結構 240 中所包括的金屬化層及介電層的數目不限於此，且可基於需要來指定及選擇。

【0077】 在某些實施例中，介電層 232 及介電層 242 的材料可為可使用微影和/或蝕刻製程來圖案化的 PI、PBO、BCB、例如氮化矽等氮化物、例如氧化矽等氧化物、磷矽酸鹽玻璃 (phosphosilicate glass, PSG)、硼矽酸鹽玻璃 (borosilicate glass, BSG)、硼磷矽酸鹽玻璃 (boro-phospho-silicate glass, BPSG)、其組合等。在一些實施例中，介電層 232 及介電層 242 是透過例如旋轉塗布、CVD、等離子體增強型化學氣相沉積 (plasma-enhanced CVD, PECVD) 等適合的製作技術形成。本公開不限於此。在一個實施例中，介電層 232 的材料與介電層 242 的材料可相同。在替代實施例中，介電層 232 的材料與介電層 242 的材料可不同。

【0078】 在某些實施例中，金屬化層 234 及金屬化層 244 的材料可由透過電鍍或沉積形成的導電材料 (例如鋁、鈦、銅、鎳、鎢和

/或其合金)製成，所述導電材料可使用微影及蝕刻製程來圖案化。在一些實施例中，金屬化層 234 及金屬化層 244 可為圖案化銅層或其他適合的圖案化金屬層。在一個實施例中，金屬化層 234 的材料與金屬化層 244 的材料可相同。在替代實施例中，金屬化層 234 的材料與金屬化層 244 的材料可不同。

【0079】 在一些實施例中，接合墊 254a 安置在重佈線路結構 230 的表面上，且物理地連接到透過形成在介電層 232 的最頂層中的開口暴露出的金屬化層 234 的最頂層的頂表面的部分，其中透過形成在重佈線路結構 230 的(安置有接合墊 254a 的)表面上的焊料罩幕層 252a，接合墊 254a 彼此物理地分離。透過重佈線路結構 230，接合墊 254a 電連接到嵌入在芯體部 210 中的通孔 220。

【0080】 在一些實施例中，接合墊 254b 安置在重佈線路結構 240 的表面上，且物理地連接到透過形成在介電層 242 的最底層中的開口暴露出的金屬化層 244 的最底層的底表面的部分，其中透過形成在重佈線路結構 240 的(安置有接合墊 254b 的)表面上的焊料罩幕層 252b，接合墊 254b 彼此物理地分離。透過重佈線路結構 240，接合墊 254b 電連接到嵌入在芯體部 210 中的通孔 220。

【0081】 舉例來說，如圖 22 中所示，接合墊 254a 電連接到重佈線路結構 230，且接合墊 254b 電連接到重佈線路結構 240。在一些實施例中，接合墊 254a 及接合墊 254b 可包括凸塊下金屬(under bump metallurgy, UBM)，然而本公開不限於此。舉例來說，如圖 22 中所示，接合墊 254a 與接合墊 254b 透過通孔 220、重佈線路結構 230 及重佈線路結構 240 彼此電連接。

【0082】 在替代實施例中，可從電路元件 200 省略重佈線路結構

230 及重佈線路結構 240 中的一者或兩者，本公開不限於此。也就是說，電路元件 200 可例如包括芯體部 210、多個通孔 220、多個接合墊 254a、多個接合墊 254b、焊料罩幕層 252a 及焊料罩幕層 252b，其中接合墊 254a 與接合墊 254b 透過通孔 220 彼此電連接。

【0083】 在一些實施例中，在接合墊 254b 上分別形成多個導電端子 400。舉例來說，如圖 22 中所示，導電端子 400 物理地連接到接合墊 254b。換句話說，導電端子 400 透過接合墊 254b 電連接到電路元件 200。透過接合墊 254b，導電端子 400 中的一些導電端子 400 電連接到接合墊 254a 中的一些接合墊 254a。在一些實施例中，導電端子 400 為例如晶片連接件或 BGA 球。

【0084】 繼續參照圖 22，在一些實施例中，提供圖 14 中所繪示的封裝結構 P1 並將封裝結構 P1 接合到電路元件 200，且電路元件 200 接合到基底 500 以形成具有堆疊結構的封裝結構 P5。圖 1 至圖 15 中闡述了封裝結構 P1 的細節，且圖 21 中闡述了基底 500 的細節，且因此本文中不再予以贅述。在一些實施例中，封裝結構 P1 透過將導電端子 190 與電路元件 200 的接合墊 254a 連接而物理地連接到電路元件 200，且電路元件 200 透過將導電端子 400 與基底 500 的接觸墊 510 連接而物理地連接到基底 500。換句話說，封裝結構 P1 透過導電端子 190 及接合墊 254a 電連接到電路元件 200，電路元件 200 透過導電端子 400 及接觸墊 510 電連接到基底 500，使得封裝結構 P1 透過導電端子 190、接合墊 254a、導電端子 400 及接觸墊 510 電連接到基底 500。在這種實施例中，導電端子 190 為例如微凸塊，而導電端子 400 為晶片連接件，且導電端子 600 為焊球或 BGA 球。在某些實施例中，圖 22 中所繪示的封裝結構 P5

可透過基底上晶圓上晶片（**chip on wafer on substrate**，**CoWoS**）封裝製程形成。

【0085】 在一些實施例中，在電路元件 200 上最佳地形成有底部填充膠（**underfill**）300。舉例來說，如圖 22 中所示，底部填充膠 300 至少填充封裝結構 P1 與電路元件 200 之間間隙，且包覆導電端子 190 的側壁。在一些替代實施例中，封裝結構 P1 的側壁可被底部填充膠 300 進一步覆蓋，本公開不限於此。舉例來說，底部填充膠 300 可為任何可接受的材料，例如聚合物、環氧樹脂、模制底部填充膠等。在一個實施例中，底部填充膠 300 可透過底部填充膠分配（**underfill dispensing**）或任何其他適合的方法來形成。底部填充膠 300 使得封裝結構 P1 與電路元件 200 之間的接合強度增強，從而提高了封裝結構 P5 的可靠性。

【0086】 圖 23 至圖 29 示出根據本公開一些實施例的封裝結構的製造方法中的各種階段的示意性剖視圖。與先前所述的元件相似或實質上相同的元件將使用相同的參考編號，且本文中將不再對相同元件的某些細節或說明（例如，材料、形成製程、定位配置等）予以贅述。

【0087】 參照圖 23，在一些實施例中，提供上面形成有剝離層 DB 及絕緣層 IN 的載體 C。在一些實施例中，剝離層 DB 位於載體 C 與絕緣層 IN 之間。在一些實施例中，舉例來說，載體 C 為玻璃基底，剝離層 DB 為形成在玻璃基底上的 LTHC 釋放層，且絕緣層 IN 為形成在剝離層 DB 上的 PBO 層。應注意，在一些替代實施例中，所述形成絕緣層 IN 是可選的。還應注意，根據本公開，載體 C、剝離層 DB 及絕緣層 IN 的材料不限於本文中所公開的材料。

【0088】 在一些實施例中，在提供上面形成有剝離層 DB 及絕緣層 IN 的載體 C 之後，在絕緣層 IN 上形成多個導電柱 CP。在一些實施例中，透過微影、鍍覆及光阻剝除製程在載體 C 之上（例如，直接在絕緣層 IN 上）形成導電柱 CP。在一些替代實施例中，透過其他製程預先製作導電柱 CP 並將導電柱 CP 安裝在載體 C 之上。舉例來說，導電柱 CP 包括銅杆或其他金屬杆。

【0089】 繼續參照圖 23，在一些實施例中，可將圖 16 中所繪示的封裝結構 P1'拾取並放置在由載體 C 所承載的絕緣層 IN 上。在一些實施例中，封裝結構 P1'透過晶粒貼合膜（die attach film）、粘著膏（adhesion paste）等貼合或粘著在絕緣層 IN 上。在一些實施例中，如圖 23 中所示，封裝結構 P1'可具有比導電柱 CP 的高度小的厚度。然而，本公開不限於此。在替代實施例中，封裝結構 P1'的厚度可大於或實質上等於導電柱 CP 的高度。如圖 23 中所示，可在形成導電柱 CP 之後將封裝結構 P1'拾取並放置在絕緣層 IN 上。然而，本公開不限於此。在替代實施例中，可在形成導電柱 CP 之前將封裝結構 P1'拾取並放置在絕緣層 IN 上。

【0090】 參照圖 24，在載體 C 之上（例如，在絕緣層 IN 上）形成絕緣包封體 710，以包封封裝結構 P1'及導電柱 CP。換句話說，封裝結構 P1'及導電柱 CP 被絕緣包封體 710 覆蓋且嵌入在絕緣包封體 710 中。在一些實施例中，絕緣包封體 710 為透過模制製程形成的模制化合物（molding compound），且絕緣包封體 710 的材料可包括環氧樹脂或其他適合的樹脂。舉例來說，絕緣包封體 710 可為含有化學填料的環氧樹脂。如圖 24 中所示，封裝結構 P1'及導電柱 CP 不被絕緣包封體 710 以可觸及方式露出。

【0091】 參照圖 24 及圖 25，在一些實施例中，將絕緣包封體 710、導電柱 CP 及封裝結構 P1'平坦化，直到封裝結構 P1'的頂表面 S1（例如，導電端子 190 的頂表面）及導電柱 CP 的頂表面 S3 暴露出為止。在將絕緣包封體 710 平坦化之後，在載體 C 之上（例如，在絕緣層 IN 上）形成平坦化絕緣包封體 710'。在絕緣包封體 710 的平坦化製程期間，封裝結構 P1'的導電端子 190 也被平坦化。在一些實施例中，在絕緣包封體 710 及封裝結構 P1'的導電端子 190 的平坦化製程期間，導電柱 CP 的一部分也被平坦化。舉例來說，可透過機械研磨或 CMP 來形成平坦化絕緣包封體 710'。在平坦化製程之後，可選地執行清潔步驟，例如以清潔來移除從平坦化步驟產生的殘留物。然而，本公開不限於此，且可透過任何其他適合的方法執行平坦化步驟。

【0092】 在一些實施例中，如圖 25 中所示，平坦化絕緣包封體 710'物理地接觸封裝結構 P1'的側壁 S2 及導電柱 CP 的側壁 S4。換句話說，封裝結構 P1'及導電柱 CP 大部分嵌入在平坦化絕緣包封體 710'中，僅封裝結構 P1'的頂表面 S1 及導電柱 CP 的頂表面 S3 被以可觸及方式暴露出。在某些實施例中，封裝結構 P1'的頂表面 S1 及導電柱 CP 的頂表面 S3 與平坦化絕緣包封體 710'的頂表面 S710 實質上齊平。換句話說，封裝結構 P1'的頂表面 S1 及導電柱 CP 的頂表面 S3 與平坦化絕緣包封體 710'的頂表面 S710 實質上共面。

【0093】 參照圖 26，在一些實施例中，在形成平坦化絕緣包封體 710'之後，在平坦化絕緣包封體 710'上形成重佈線路結構 720。在一些實施例中，重佈線路結構 720 形成在封裝結構 P1'的頂表面 S1、導電柱 CP 的頂表面 S3 及平坦化絕緣包封體 710'的頂表面

S710 上。在某些實施例中，重佈線路結構 720 被製作成與位於之下的一個或多個連接件電連接。此處，前述一個或多個連接件可為封裝結構 P1' 的導電端子 190 及嵌入在平坦化絕緣包封體 710' 中的導電柱 CP。換句話說，重佈線路結構 720 電連接到封裝結構 P1' 的導電端子 190 以及導電柱 CP。

【0094】 繼續參照圖 26，在一些實施例中，重佈線路結構 720 包括交替堆疊的多個層間介電層 722 與多個重佈線導電層 724，且重佈線導電層 724 電連接到封裝結構 P1' 的導電端子 190 及嵌入在平坦化絕緣包封體 710' 中的導電柱 CP。如圖 26 中所示，在一些實施例中，封裝結構 P1' 的頂表面 S1 及導電柱 CP 的頂表面 S3 接觸重佈線路結構 720。在此種實施例中，封裝結構 P1' 的頂表面 S1 及導電柱 CP 的頂表面 S3 物理地接觸重佈線導電層 724 中位於最底層的一者。在一些實施例，封裝結構 P1' 的頂表面 S1 及導電柱 CP 的頂表面 S3 被最底層的層間介電層 222 局部地覆蓋。在某些實施例中，最頂層的重佈線導電層 224 可包括多個接墊。在這種實施例中，上述接墊可包括用於球安裝的多個球下金屬(under-ball metallurgy, UBM) 圖案 U1 和/或用於安裝附加半導體裝置(例如被動元件或主動元件)的多個連接墊(圖中未示出)。根據本公開，球下金屬圖案 U1 的數目不受限制。根據本公開，層間介電層 722 及重佈線導電層 724 的數目不受限制。

【0095】 如圖 26 中所示，在一些實施例中，在形成重佈線路結構 720 之後，在球下金屬圖案 U1 上分別放置多個導電端子 730。在一些實施例中，導電端子 730 可透過植球製程(ball placement process) 放置在球下金屬圖案 U1 上。在一些實施例中，透過重佈

線路結構 720 及球下金屬圖案 U1，導電端子 730 中的一些導電端子 730 分別電連接到封裝結構 P1'及導電柱 CP。在某些實施例中，導電端子 730 中的一些導電端子 730 可為電浮置（electrically floated）或為電接地（electrically grounded），本公開不限於此。

【0096】 在一些替代實施例中，附加半導體裝置可透過焊接製程（soldering process）設置並安裝在球下金屬圖案 U1 上。在一些實施例中，透過重佈線路結構 720 及球下金屬圖案 U1，導電端子 730 中的一些導電端子 730 電連接到附加半導體裝置。

【0097】 參照圖 26 及圖 27，在一些實施例中，在形成重佈線路結構 720 及導電端子 730 之後，將絕緣層 IN、平坦化絕緣包封體 710'及封裝結構 P1'從由載體 C 所承載的剝離層 DB 剝離，從而使得絕緣層 IN 與載體 C 分離。在剝離層 DB 為 LTHC 釋放層的實施例中，可使用 UV 雷射輻照，以方便從載體 C 脫除絕緣層 IN。

【0098】 如圖 27 中所示，在一些實施例中，可進一步將絕緣層 IN 圖案化，從而使得在絕緣層 IN 中形成多個接觸開口 O，以暴露出導電柱 CP 的底表面 S5。接觸開口 O 的數目可對應於導電柱 CP 的數目，本公開不限於此。在一些實施例中，絕緣層 IN 中的接觸開口 O 是透過雷射鑽孔製程（laser drilling process）或其他適合的製程形成。

【0099】 參照圖 28，在一些實施例中，在絕緣層 IN 中形成接觸開口 O 之後，在被接觸開口 O 而暴露出的導電柱 CP 的底表面 S5 上分別形成多個導電球 740。並且，可例如對導電球 740 進行回焊（reflow）以與導電柱 CP 的底表面 S5 接合。如圖 28 中所示，在形成導電端子 730 及導電球 740 之後，具有雙側端子（dual-

terminals) 的積體扇外型 (integrated fan-out, InFO) 封裝的封裝結構 P1' 的形成便告完成。在一些實施例中，透過重佈線路結構 720 及導電柱 CP，導電球 740 中的一些導電球 740 電連接到封裝結構 P1'。在一些實施例中，透過重佈線路結構 720 及導電柱 CP，導電球 740 中的一些導電球 740 電連接到導電端子 730。在一些實施例中，透過重佈線路結構 720 及導電柱 CP，導電球 740 中的一些導電球 740 電連接到附加半導體裝置。在某些實施例中，導電球 740 中的一些導電球 740 可為電浮置或為電接地，本公開不限於此。

【0100】 參照圖 29，在一些實施例中，提供封裝體 800 並將封裝體 800 接合到圖 28 中所繪示的結構以形成具有堆疊結構的封裝結構 P6。在一些實施例中，封裝體 800 具有基底 810、多個半導體晶粒 820a 及 820b、多個接合線 830a 及 830b、多個導電墊 840、多個導電墊 850、絕緣包封體 860 及多個接合焊球 (圖中未示出)。舉例來說，如圖 29 中所示，提供具有連接膜 DA1 的半導體晶粒 820a 及具有連接膜 DA2 的半導體晶粒 820b 並將半導體晶粒 820a 及半導體晶粒 820b 安置在基底 810 上。在一些實施例中，連接膜 DA1 位於半導體晶粒 220a 與基底 810 之間，且連接膜 DA2 位於半導體晶粒 220a 與半導體晶粒 220b 之間。在一些實施例中，由於連接膜 DA1 及連接膜 DA2 分別設置在半導體晶粒 820 與基底 810 之間以及半導體晶粒 820a 與半導體晶粒 820b 之間，因此半導體晶粒 820a、820b 穩定地粘著到基底 810。在一些實施例中，連接膜 DA1、DA2 可為例如晶粒貼合膜、由粘著劑或環氧樹脂製成的層等。

【0101】 舉例來說，半導體晶粒 820a 及半導體晶粒 820b 安裝在

基底 810 的一個表面（例如，表面 S6）上。在一些實施例中，半導體晶粒 820a 及半導體晶粒 820b 可為邏輯晶片（例如，中央處理單元（central processing unit）、微控制器等）、記憶體晶片（例如，動態隨機存取記憶體（dynamic random access memory, DRAM）晶片、靜態隨機存取記憶體（static random access memory, SRAM）晶片等）、電力管理晶片（例如，電力管理積體電路（power management integrated circuit, PMIC）晶片）、射頻（RF）晶片、感測器晶片、信號處理晶片（例如，數位信號處理（digital signal processing, DSP）晶片）、前端晶片（例如，類比前端（analog front-end, AFE）晶片）、類似的晶片或其組合。舉例來說，如圖 29 中所示，半導體晶粒 820a 及半導體晶粒 820b 為 DRAM 晶片。在一個實施例中，半導體晶粒 820a 與半導體晶粒 820b 可相同。然而，本公開不限於此；在替代實施例中，半導體晶粒 820a 與半導體晶粒 820b 可彼此不同。

【0102】 在一些實施例中，接合線 830a 及接合線 830b 分別用於在半導體晶粒 820a、820b 與位於基底 810 的表面 S6 上的導電墊 840（例如接合墊）的一些導電墊 840 之間提供電連接。接合線 830a 及接合線 830b 使得半導體晶粒 820a 及半導體晶粒 820b 電連接到基底 810。

【0103】 在一些實施例中，絕緣包封體 860 形成在基底 810 的表面 S6 上以包封半導體晶粒 820a、820b、接合線 830a、830b 以及導電墊 840，從而保護這些元件。在一些實施例中，絕緣包封體 860 的材料與絕緣包封體 710/平坦化絕緣包封體 710' 相同，且因此本文中不再予以贅述。在一個實施例中，絕緣包封體 860 的材料與

絕緣包封體 710/平坦化絕緣包封體 710'不同，本公開不限於此。

【0104】 在一些實施例中，可使用嵌入在基底 810 中的內連線（圖中未示出）或絕緣體穿孔（圖中未示出）在導電墊 840 與位於基底 810 的另一個表面（例如，與表面 S6 相對的表面 S7）上的導電墊 850（例如接合墊）之間提供電連接。在某些實施例中，除導電墊 840 中的一些導電墊 840 及接合線 830a、830b 之外，導電墊 850 中的一些導電墊 850 也透過這些絕緣體穿孔或內連線（圖中未示出）電連接到半導體晶粒 820a 及半導體晶粒 820b。

【0105】 在一些實施例中，封裝體 800 的導電墊 850 與導電柱 CP 透過夾置其間的多個接頭（joint）900 電連接，其中接頭 900 是透過將形成在封裝體 800 的導電墊 850 上的焊料球（圖中未示出）與圖 28 中所繪示結構的導電球 740 相接合而形成。舉例來說，如圖 29 中所示，接頭 900 物理地連接到圖 28 中所繪示結構的導電柱 CP 及封裝體 800 的導電墊 850。在一些實施例中，透過導電柱 CP、接頭 900 及導電墊 850，重佈線路結構 720 電連接到封裝體 800 的基底 810。在一些實施例中，透過重佈線路結構 720、導電柱 CP、接頭 900 及導電墊 850，導電端子 730 中的一些導電端子 730 電連接到封裝體 800 的基底 810。在一些實施例中，透過重佈線路結構 720、導電柱 CP、接頭 900 及導電墊 850，封裝結構 P1' 電連接到封裝體 800 的基底 810。也就是說，封裝結構 P1' 與封裝體 800 透過夾置其間的接頭 900 而電連接且物理地連接，其中半導體晶粒 820a、820b 電相通（electrically communicate）到封裝結構 P1'。換句話說，半導體晶粒 820a、820b 與封裝結構 P1' 的半導體晶粒 140 電連通。在本公開中，接頭 900 可被稱作用於連接到

兩個封裝體（例如，圖 28 中所繪示其中包裝有封裝結構 P1' 的結構以及圖 29 中所繪示的封裝體 800）的焊料接頭。

【0106】 另外，舉例來說，如圖 29 中所示，底部填充膠 UF 填充在多個接頭 900 之間間隙且包封接頭 900。在一個實施例中，可透過底部填充膠分配或任何其他適合的方法來形成底部填充膠 UF。在一些實施例中，底部填充膠 UF 的材料可與絕緣包封體 710/平坦化絕緣包封體 710' 的材料、絕緣包封體 860 的材料和/或圖 22 中所述底部填充膠 300 的材料相同或不同，本公開不限於此。底部填充膠 UF 使得封裝結構 P6 的接合強度增強。

【0107】 另外，圖 14 中所繪示封裝結構 P1、圖 17 中所繪示封裝結構 P2 或圖 19 中所繪示封裝結構 P3 可以用以替換封裝結構 P1'，本公開不限於此。在替代實施例中，在圖 23 中，可將一個或多於一個封裝結構 P1'（和/或一個或多於一個封裝結構 P1 至 P3）拾取並放置在絕緣層 IN 上，且可將以可移除方式接合到絕緣層 IN 的多個封裝結構 P1'（和/或多個封裝結構 P1 至 P3）排列成陣列。當放置在絕緣層 IN 上的多個封裝結構 P1'（和/或多個封裝結構 P1 至 P3）排列成陣列時，可將導電柱 CP 劃分成與多個封裝結構 P1'（和/或多個封裝結構 P1 至 P3）的數目對應的多個群組。

【0108】 根據一些實施例，一種封裝結構包括半導體晶粒、重佈線路結構及連接墊。重佈線路結構位於半導體晶粒上且電連接到半導體晶粒。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案，其中阻障膜的表面與重佈線路結構的外表面實質上齊平。

【0109】 根據一些實施例，在所述的封裝結構中，所述連接墊包括

第一區、第二區及第三區，所述第二區位於所述第一區與所述第三區之間，且所述第三區被所述第二區及所述第一區環繞，其中所述封裝結構還包括：鈍化層，位於所述重佈線路結構上且至少局部地覆蓋所述連接墊；介電層，位於所述鈍化層上且局部地覆蓋所述連接墊；以及導電端子，位於所述連接墊上且電連接到所述連接墊。根據一些實施例，在所述的封裝結構中，所述阻障膜在所述連接墊的所述第一區、所述第二區及所述第三區內物理地接觸所述導電圖案，其中所述鈍化層物理地接觸位於所述連接墊的所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述連接墊的所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述連接墊的所述第三區內的所述阻障膜的部分。根據一些實施例，在所述的封裝結構中，所述阻障膜在所述連接墊的所述第一區及所述第二區內物理地接觸所述導電圖案，其中所述鈍化層物理地接觸位於所述連接墊的所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述連接墊的所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述連接墊的所述第三區內的所述導電圖案的部分。根據一些實施例，在所述的封裝結構中，所述阻障膜物理地接觸位於所述連接墊的所述第一區內的所述導電圖案，其中所述鈍化層物理地接觸位於所述連接墊的所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述連接墊的所述第二區內的所述導電圖案的部分，且所述導電端子物理地接觸位於所述連接墊的所述第三區內的所述導電圖案的部分。根據一些實施例，在所述的封裝結構中，在所述連接墊的所述第三區內、所述阻障膜與所述導電圖案的堆疊方向上，所

述阻障膜不與所述導電圖案交疊。根據一些實施例，在所述的封裝結構中，在所述連接墊的所述第二區及所述第三區內、所述阻障膜與所述導電圖案的堆疊方向上，所述阻障膜不與所述導電圖案交疊。根據一些實施例，在所述的封裝結構中，所述阻障膜的至少部分夾置在所述鈍化層與所述導電圖案之間。根據一些實施例，所述的封裝結構還包括：絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上。根據一些實施例，所述的封裝結構還包括：絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上；電路基底，接合至所述重佈線路結構上且電連接到所述重佈線路結構，所述重佈線路結構夾置在所述電路基底與所述半導體晶粒之間。根據一些實施例，所述的封裝結構還包括：絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上；電路基底，結合在所述重佈線路結構上且電連接到所述重佈線路結構，所述重佈線路結構夾置在所述電路基底與所述半導體晶粒之間；以及中介體，具有貫穿所述中介體的多個穿孔，接合至所述重佈線路結構及所述電路基底上且電連接到所述重佈線路結構及所述電路基底。

【0110】 根據一些實施例，一種封裝結構包括重佈線路結構、半導體晶粒、連接墊、鈍化層、介電層及導電端子。半導體晶粒位於重佈線路結構的第一外表面上且電連接到重佈線路結構。連接墊嵌入在重佈線路結構中且電連接到重佈線路結構，且連接墊包括阻障膜及位於阻障膜之下的導電圖案。阻障膜的表面與重佈線路結構的第二外表面實質上齊平，且第二外表面與第一外表面對。鈍化層及介電層依序位於第二外表面上且各自局部地覆蓋連接墊。導電端子位於連接墊上且電連接到連接墊。

【0111】 根據一些實施例，在所述的封裝結構中，所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，其中所述阻障膜在所述連接墊的所述第一區、所述第二區及所述第三區內物理地接觸所述導電圖案，其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述第三區內的所述阻障膜的部分。根據一些實施例，在所述的封裝結構中，所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，其中所述阻障膜在所述連接墊的所述第一區及所述第二區內物理地接觸所述導電圖案，其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述第三區內的所述導電圖案的部分。根據一些實施例，在所述的封裝結構中，所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，其中所述阻障膜在所述連接墊的所述第一區內物理地接觸所述導電圖案，其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述導電圖案的部分，且所述導電端子物理地接觸位於所述第三區內的所述導電圖案的部分。根據一些實施例，在所述的封裝結構中，所述導電端子包括導電部及夾置在所述導電部與所述阻障膜之間的阻障部，且所述阻障部物理地接觸所述阻障膜。

【0112】 根據一些實施例，一種製造封裝結構的方法包括以下步驟：提供載體；在載體上安置連接墊，連接墊包括阻障膜及堆疊在阻障膜上的導電圖案；在載體上形成重佈線路結構，並將連接墊嵌入在重佈線路結構中，其中阻障膜的表面與重佈線路結構的外表面共面；在重佈線路結構上安裝半導體晶粒；將半導體晶粒包封在絕緣材料中；剝離載體以暴露出連接墊；在連接墊上依序形成鈍化層及介電層，以覆蓋被所述重佈線路結構暴露出的連接墊的部分；以及在被鈍化層及介電層暴露出的連接墊上安置導電端子。

【0113】 根據一些實施例，在所述的製造封裝結構的方法中，所述連接墊包括第一區、第二區及第三區，且所述第二區夾置在所述第一區與所述第三區之間，在所述連接墊上依序形成所述鈍化層及所述介電層包括：在所述連接墊上形成所述鈍化層，並將所述鈍化層圖案化以在所述第二區及所述第三區之上具有第一開口，所述鈍化層在所述第一區內物理地接觸所述阻障膜；以及在所述連接墊上形成所述介電層，並將所述介電層圖案化以在所述第三區之上具有第二開口，所述介電層在所述第二區內物理地接觸所述阻障膜，其中所述導電端子在所述第三區內物理地接觸所述阻障膜。

根據一些實施例，在所述的製造封裝結構的方法中，所述連接墊包括第一區、第二區及第三區，且所述第二區夾置在所述第一區與所述第三區之間，在所述連接墊上依序形成所述鈍化層及所述介電層包括：在所述連接墊上形成所述鈍化層，並將所述鈍化層圖案化以在所述第二區及所述第三區之上具有第一開口，所述鈍化層在所述第一區內物理地接觸所述阻障膜；以及在所述連接墊上形成所述介電層，並將所述介電層圖案化以在所述第三區之上具有第

二開口，所述介電層在所述第二區內物理地接觸所述阻障膜，其中將所述介電層圖案化以具有所述第二開口還包括移除與所述連接墊的所述第三區對應的所述阻障膜的部分，其中所述導電端子在所述第三區內物理地接觸所述導電圖案。根據一些實施例，在所述的製造封裝結構的方法中，所述連接墊包括第一區、第二區及第三區，且所述第二區夾置在所述第一區與所述第三區之間，在所述連接墊上依序形成所述鈍化層及所述介電層包括：在所述連接墊上形成所述鈍化層，並將所述鈍化層圖案化以在所述第二區及所述第三區之上具有第一開口，所述鈍化層在所述第一區內物理地接觸所述阻障膜，其中將所述鈍化層圖案化以具有所述第一開口還包括移除與所述連接墊的所述第二區及所述第三區對應的所述阻障膜的部分；以及在所述連接墊上形成所述介電層，並將所述介電層圖案化以在所述第三區之上具有第二開口，所述介電層在所述第二區內物理地接觸所述導電圖案，其中所述導電端子在所述連接墊的所述第三區內物理地接觸所述導電圖案。

【0114】 前文概述若干實施例的特徵以使得所屬領域中具通常知識者可較佳地理解本揭露的態樣。所屬領域中具通常知識者應瞭解，其可易於使用本揭露內容作為設計或修改用於實現本文中所引入實施例的相同目的及/或達成相同優點的其他方法及結構的基礎。所屬領域中具通常知識者亦應認識到，此類等效構造並不脫離本揭露的精神及範疇，且所屬領域中具通常知識者可在不脫離本揭露的精神及範疇的情況下於本文中作出各種改變、替代以及更改。

【符號說明】

【0115】

112、212、C：載體

114、214、DB：剝離層

120、120'、120''：連接墊

122、122'、122''：阻障晶種圖案

122a、SL：晶種層材料

124：導電墊

130、230、240、720：重佈線路結構

132、132-1、132-2、132-3、170、232、242：介電層

132a、132b：介電材料

134、134-1、134-2、134-3：圖案化導電層

134a、134b：金屬圖案

134s：晶種層圖案

134t：導電溝渠

134v、220：通孔

140、820a、820b：半導體晶粒

141：半導體基底

142、840、850：導電墊

143、160：鈍化層

144：後鈍化層

145：連接通孔

146：保護層

150、710、860：絕緣包封體

150a：絕緣材料
180：阻障晶種圖案
190、400、600、730：導電端子
192、194：導電元件
200：電路元件
210：芯體部
234、244、530：金屬化層
252a、252b：焊料罩幕層
254a、254b：接合墊
300、UF：底部填充膠
500、810：基底
510、520：接觸墊
710'：平坦化絕緣包封體
722：層間介電層
724：重佈線導電層
740：導電球
800：封裝體
830a、830b：接合線
900：接頭
CP：導電柱
DA1、DA2：連接膜
E1、E2、E3：虛線框
H122、H124、H132：厚度
IF：混合接合介面

IN：絕緣層

ML：金屬材料

O：接觸開口

O1、O2、O3、O4、O5、O6：開口

O1t：溝渠孔洞

O1v：通孔孔洞

P1、P1'、P2、P3、P4、P5、P6：封裝結構

R1、R2、R3：區域

S1、S3、S710：頂表面

S2、S4、S122s、S124s：側壁

S5：底表面

S6、S7、S122b、S122t、S124b、S124t、S132-1b、S132-1t、
S132-3t、S132a、S150：表面

S141a：主動表面

S141b：背側表面

U1：球下金屬圖案

W122、WO3、WO4：尺寸

X、Y、Z：方向

【發明申請專利範圍】

【第1項】 一種封裝結構，包括：

半導體晶粒；

重佈線路結構，位於所述半導體晶粒上且透過混合接合介面而電連接到所述半導體晶粒；以及

連接墊，嵌入在所述重佈線路結構中且電連接到所述重佈線路結構，所述連接墊包括阻障膜及位於所述阻障膜之下的導電圖案，其中所述阻障膜的表面與所述重佈線路結構的外表面實質上齊平。

【第2項】 如申請專利範圍第 1 項所述的封裝結構，其中所述連接墊包括第一區、第二區及第三區，所述第二區位於所述第一區與所述第三區之間，且所述第三區被所述第二區及所述第一區環繞，

其中所述封裝結構更包括：

鈍化層，位於所述重佈線路結構上且至少局部地覆蓋所述連接墊；

介電層，位於所述鈍化層上且局部地覆蓋所述連接墊；以及

導電端子，位於所述連接墊上且電連接到所述連接墊。

【第3項】 如申請專利範圍第 1 項所述的封裝結構，更包括：

絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上。

【第4項】 如申請專利範圍第 1 項所述的封裝結構，更包括：

絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上；

電路基底，接合至所述重佈線路結構上且電連接到所述重佈線路結構，所述重佈線路結構夾置在所述電路基底與所述半導體

晶粒之間。

【第5項】如申請專利範圍第1項所述的封裝結構，更包括：

絕緣材料，包封所述半導體晶粒且位於所述重佈線路結構上；

電路基底，結合在所述重佈線路結構上且電連接到所述重佈線路結構，所述重佈線路結構夾置在所述電路基底與所述半導體晶粒之間；以及

中介體，具有貫穿所述中介體的多個穿孔，接合至所述重佈線路結構及所述電路基底上且電連接到所述重佈線路結構及所述電路基底。

【第6項】一種封裝結構，包括：

重佈線路結構；

半導體晶粒，位於所述重佈線路結構的第一外表面上且透過混合接合介面而電連接到所述重佈線路結構；

連接墊，嵌入在所述重佈線路結構中且電連接到所述重佈線路結構，所述連接墊包括阻障膜及位於所述阻障膜之下的導電圖案，其中所述阻障膜的表面與所述重佈線路結構的第二外表面實質上齊平，且所述第二外表面與所述第一外表面相對；

鈍化層及介電層，依序位於所述第二外表面上且各自局部地覆蓋所述連接墊；以及

導電端子，位於所述連接墊上且電連接到所述連接墊。

【第7項】如申請專利範圍第6項所述的封裝結構，其中所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，

其中所述阻障膜在所述連接墊的所述第一區、所述第二區及

所述第三區內物理地接觸所述導電圖案，

其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述第三區內的所述阻障膜的部分。

【第8項】 如申請專利範圍第6項所述的封裝結構，其中所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，

其中所述阻障膜在所述連接墊的所述第一區及所述第二區內物理地接觸所述導電圖案，

其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述阻障膜的部分，且所述導電端子物理地接觸位於所述第三區內的所述導電圖案的部分。

【第9項】 如申請專利範圍第6項所述的封裝結構，其中所述連接墊包括第一區、第二區及第三區，且所述第二區位於所述第一區與所述第三區之間並被所述第一區及所述第三區環繞，

其中所述阻障膜在所述連接墊的所述第一區內物理地接觸所述導電圖案，

其中所述鈍化層物理地接觸位於所述第一區內的所述阻障膜的部分，所述介電層物理地接觸位於所述第二區內的所述導電圖案的部分，且所述導電端子物理地接觸位於所述第三區內的所述導電圖案的部分。

【第10項】 一種製造封裝結構的方法，包括：

提供載體；

在所述載體上安置連接墊，所述連接墊包括阻障膜及堆疊在所述阻障膜上的導電圖案；

在所述載體上形成重佈線路結構，並將所述連接墊嵌入在所述重佈線路結構中，其中所述阻障膜的表面與所述重佈線路結構的外表面共面；

透過混合接合，在所述重佈線路結構上安裝半導體晶粒；

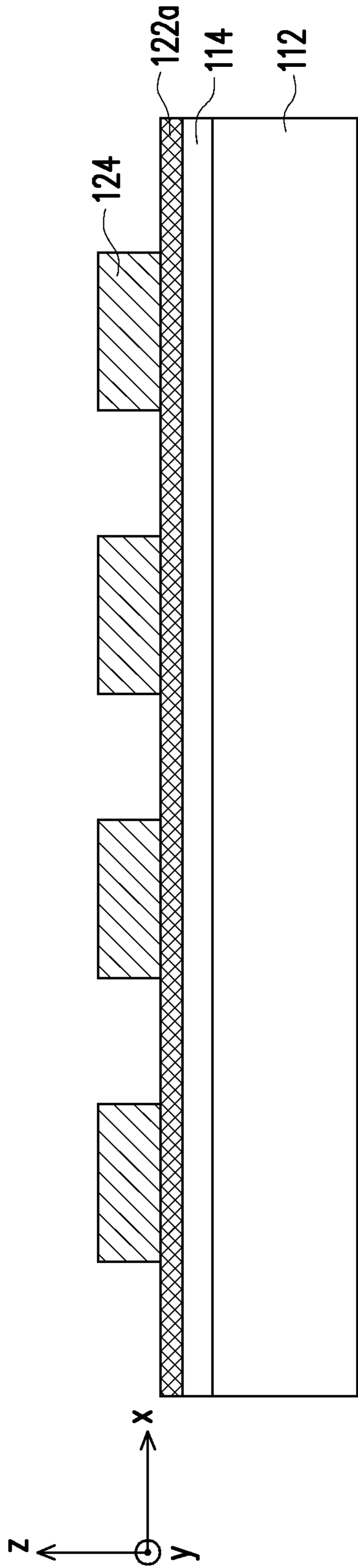
將所述半導體晶粒包封在絕緣材料中；

剝離所述載體以暴露出所述連接墊；

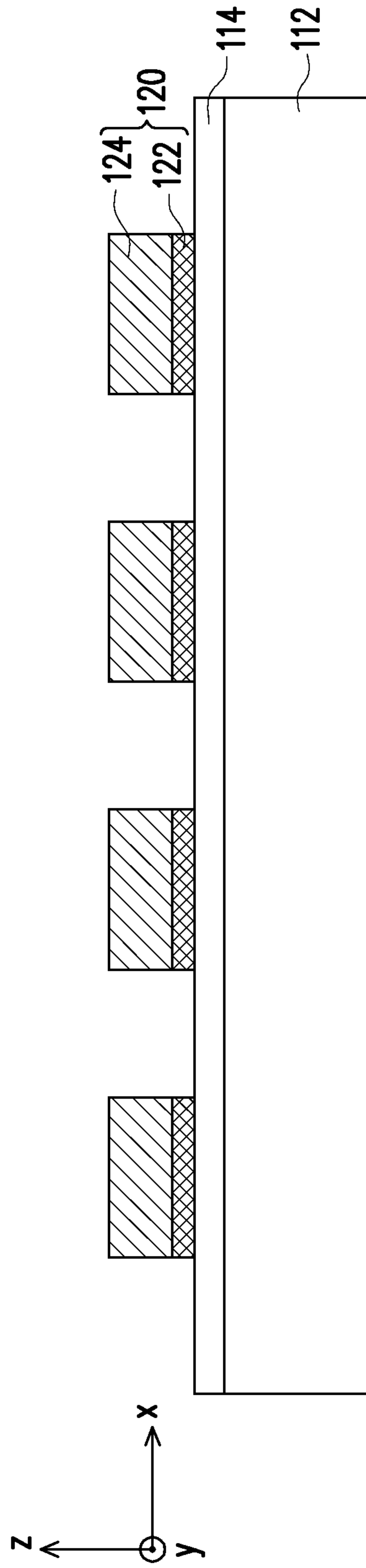
在所述連接墊上依序形成鈍化層及介電層，以覆蓋被所述重佈線路結構暴露出的所述連接墊的部分；以及

在被所述鈍化層及所述介電層暴露出的所述連接墊上安置導電端子。

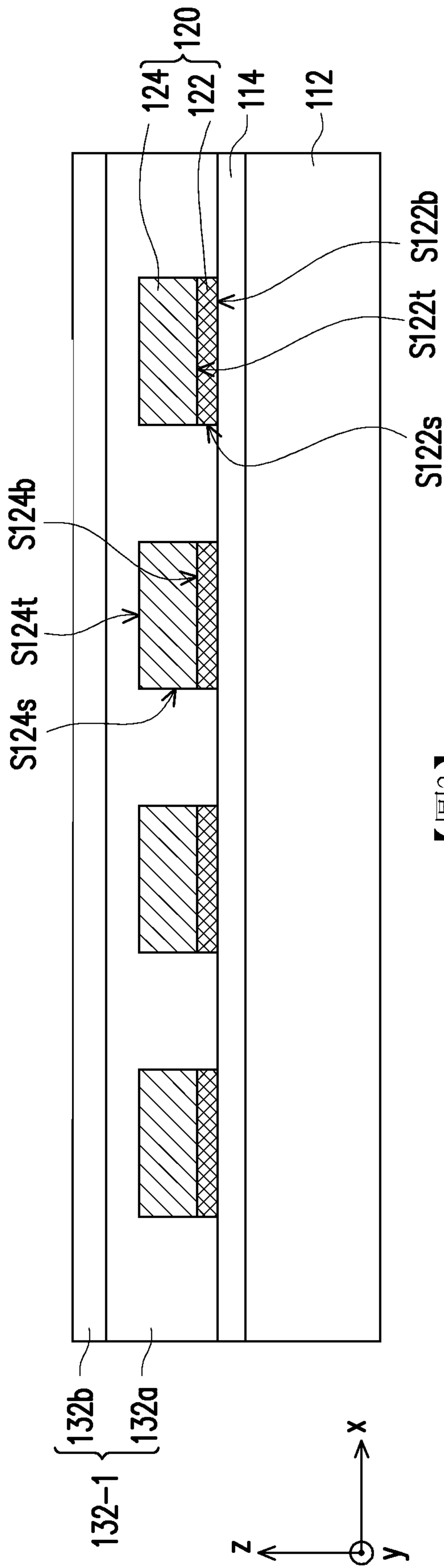
【發明圖式】



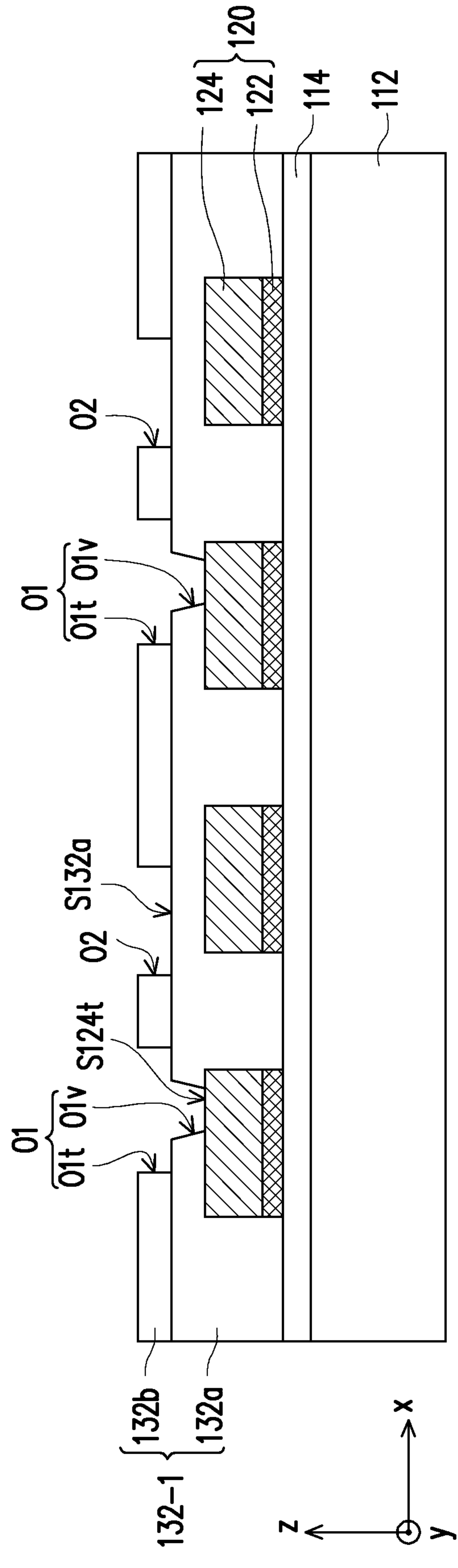
【圖1】



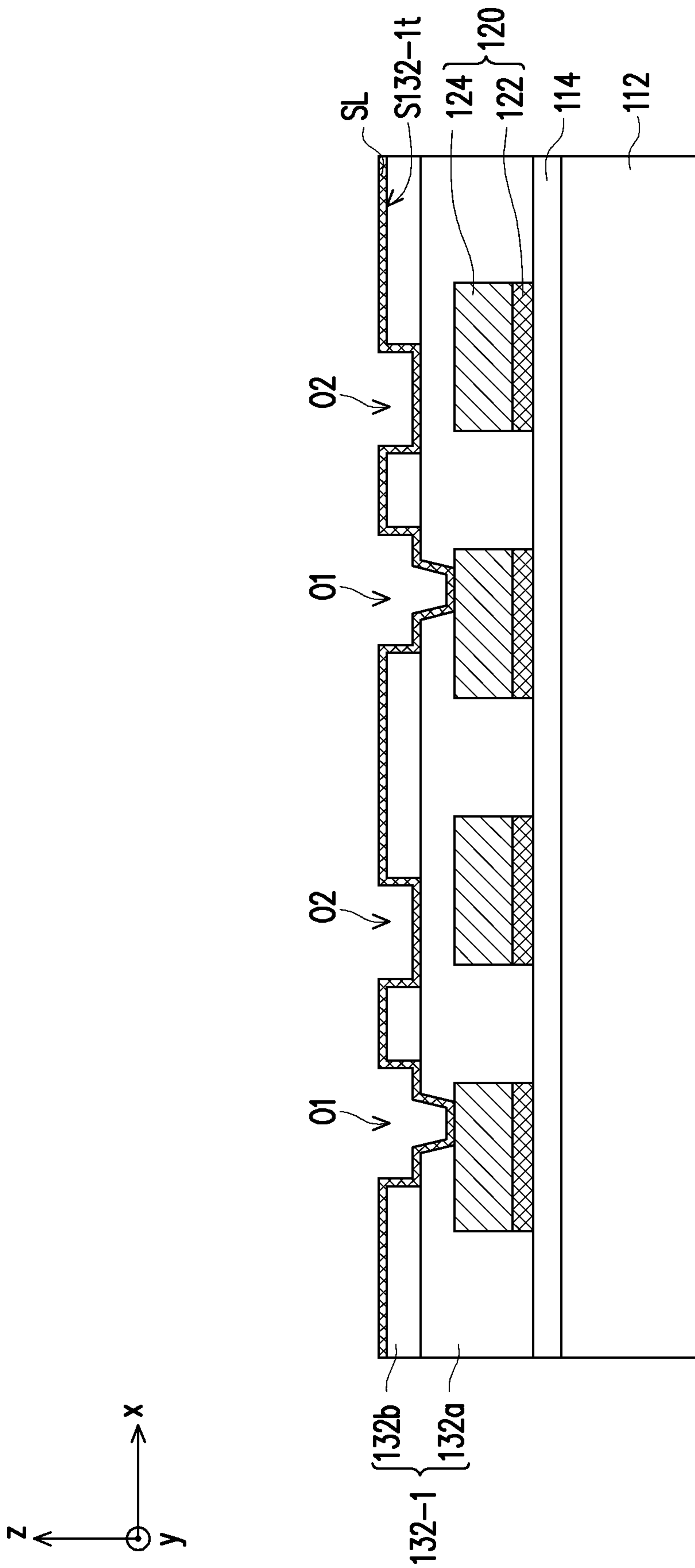
【圖2】



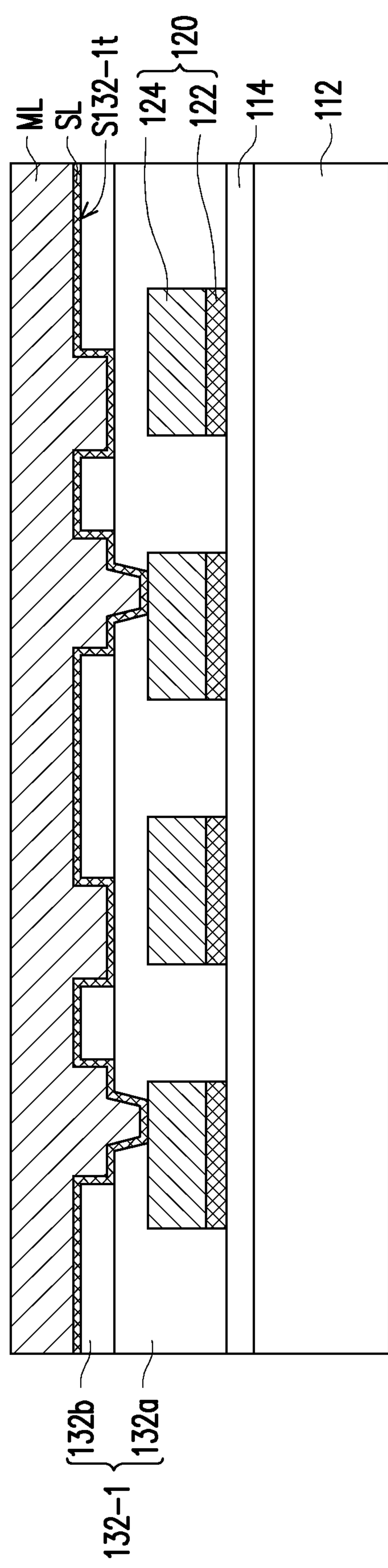
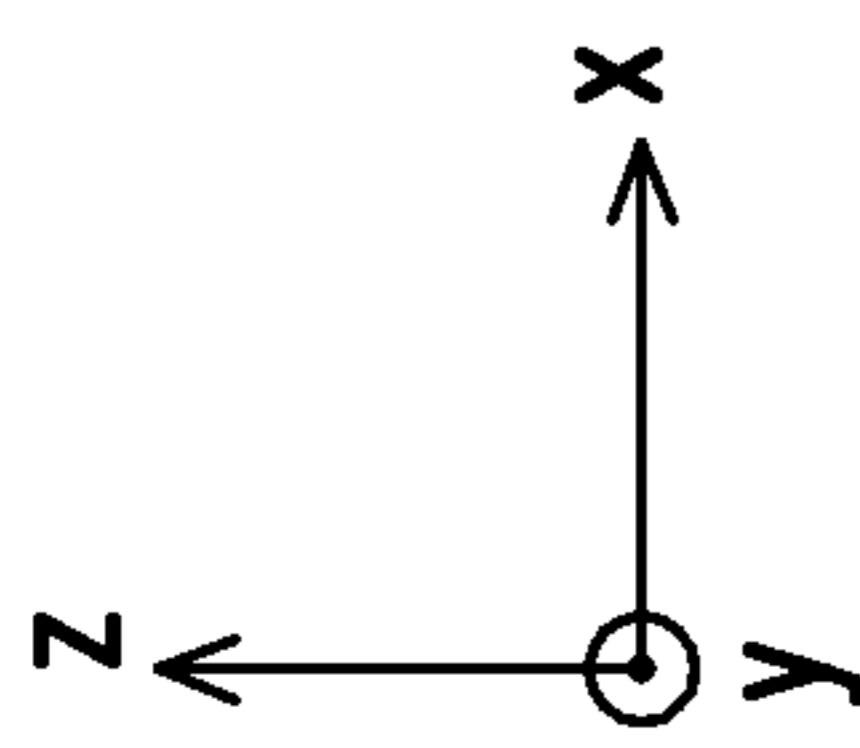
【圖3】



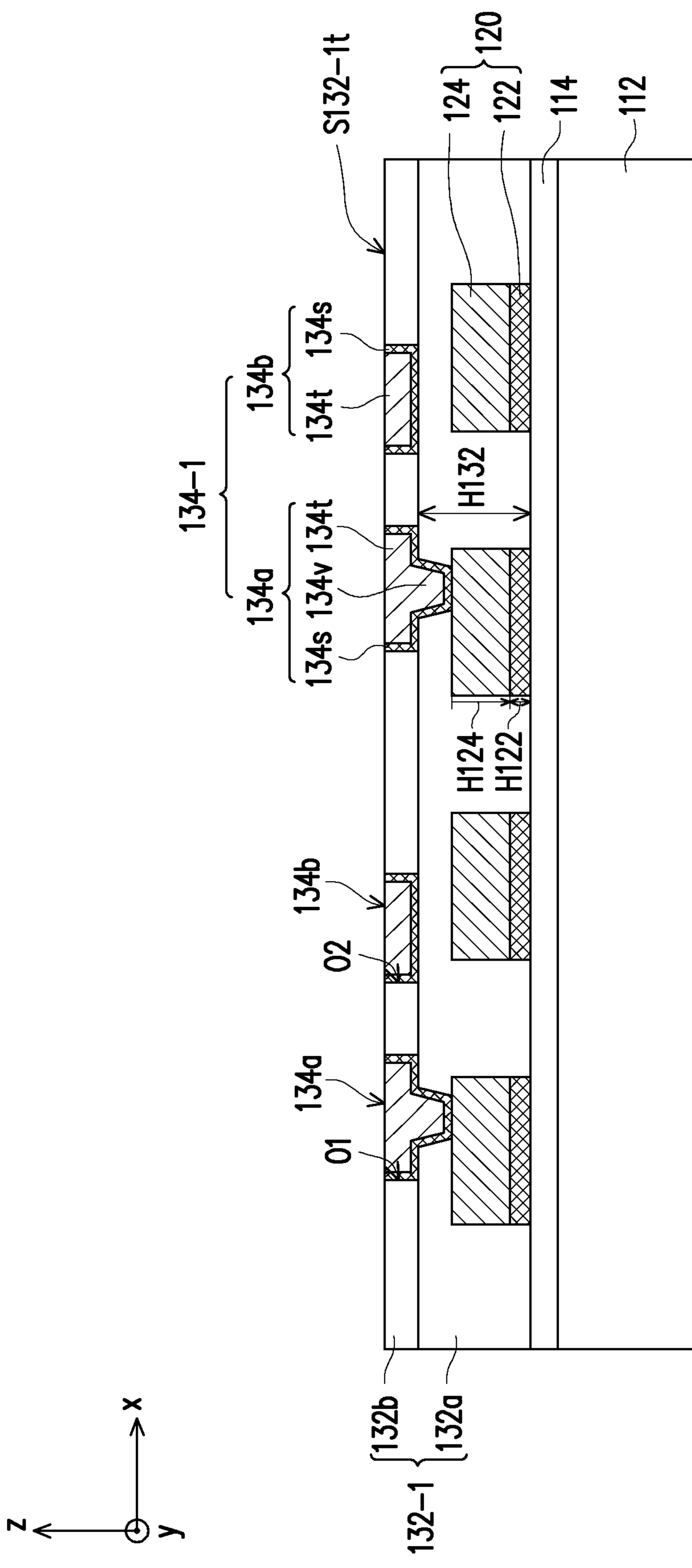
【圖4】



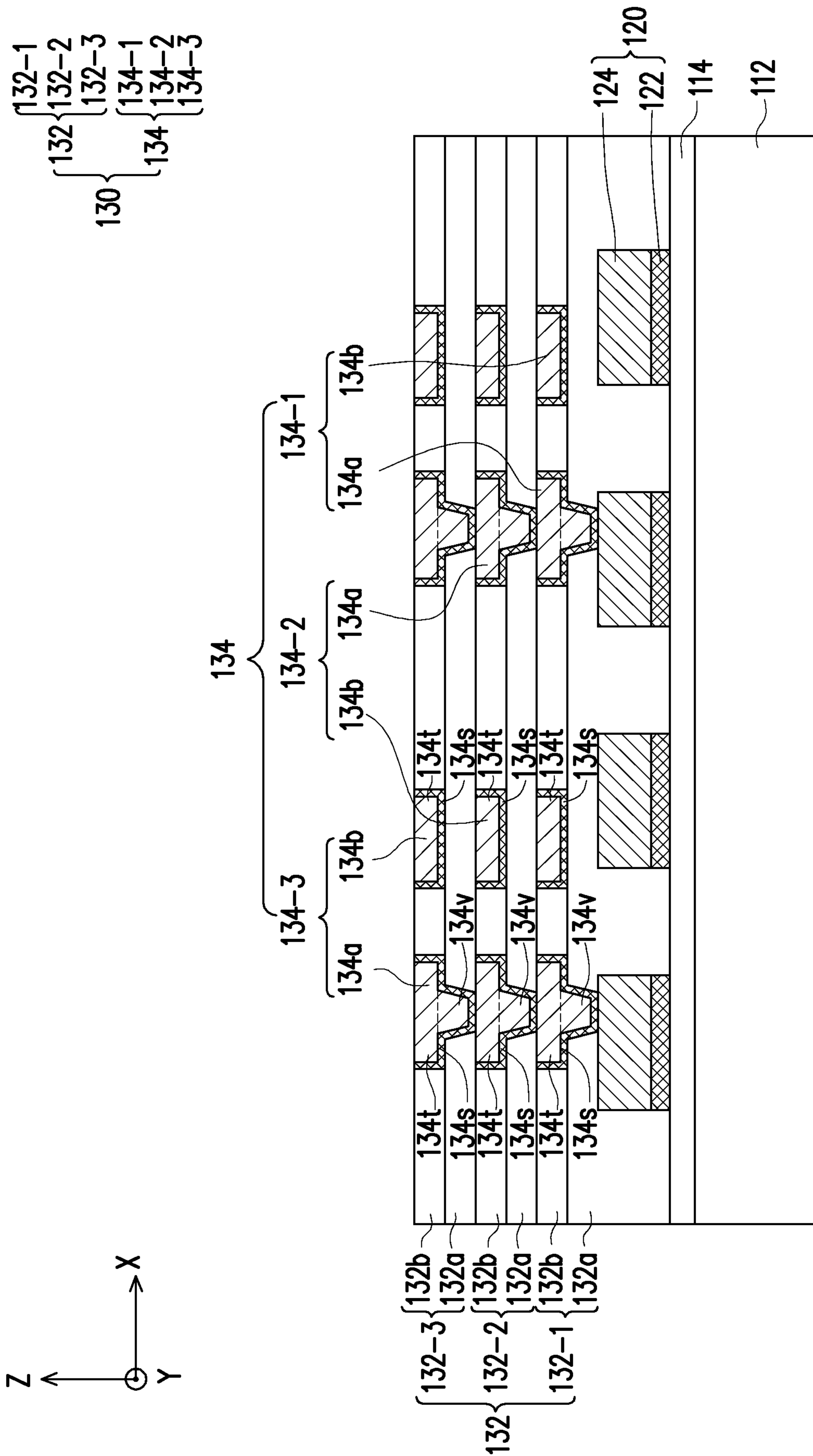
【圖5】



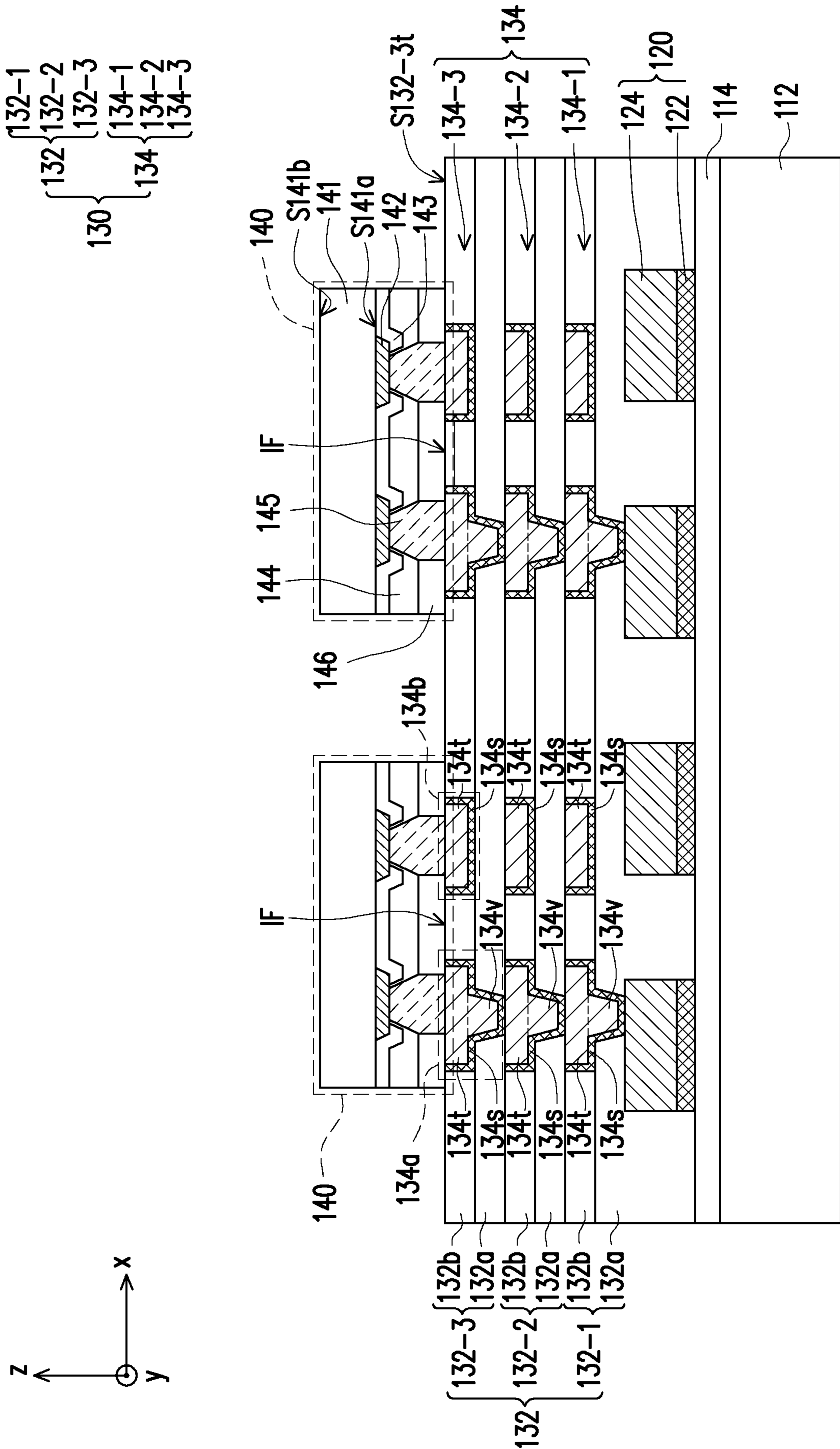
【圖6】



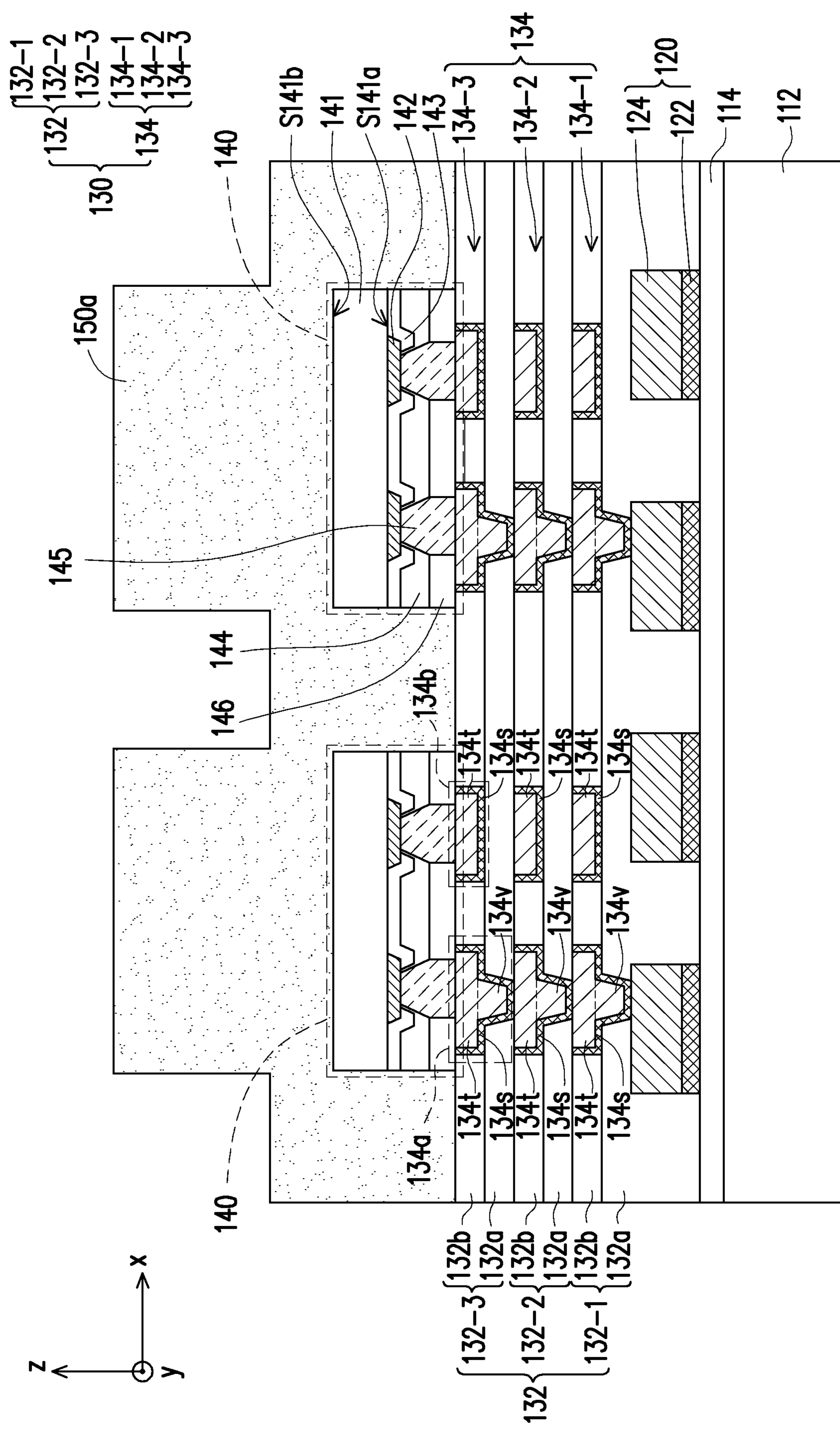
【圖7】



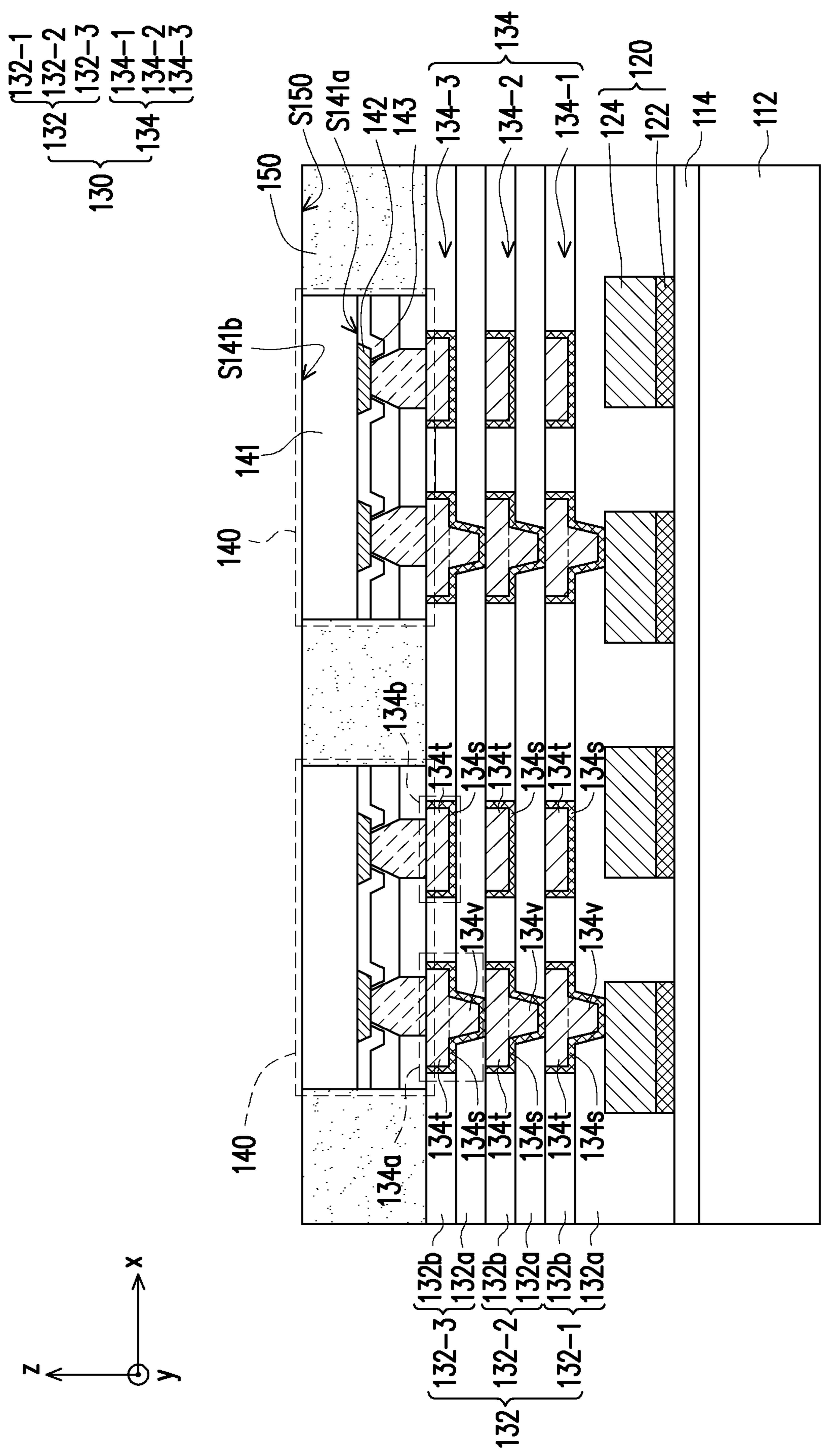
【圖8】



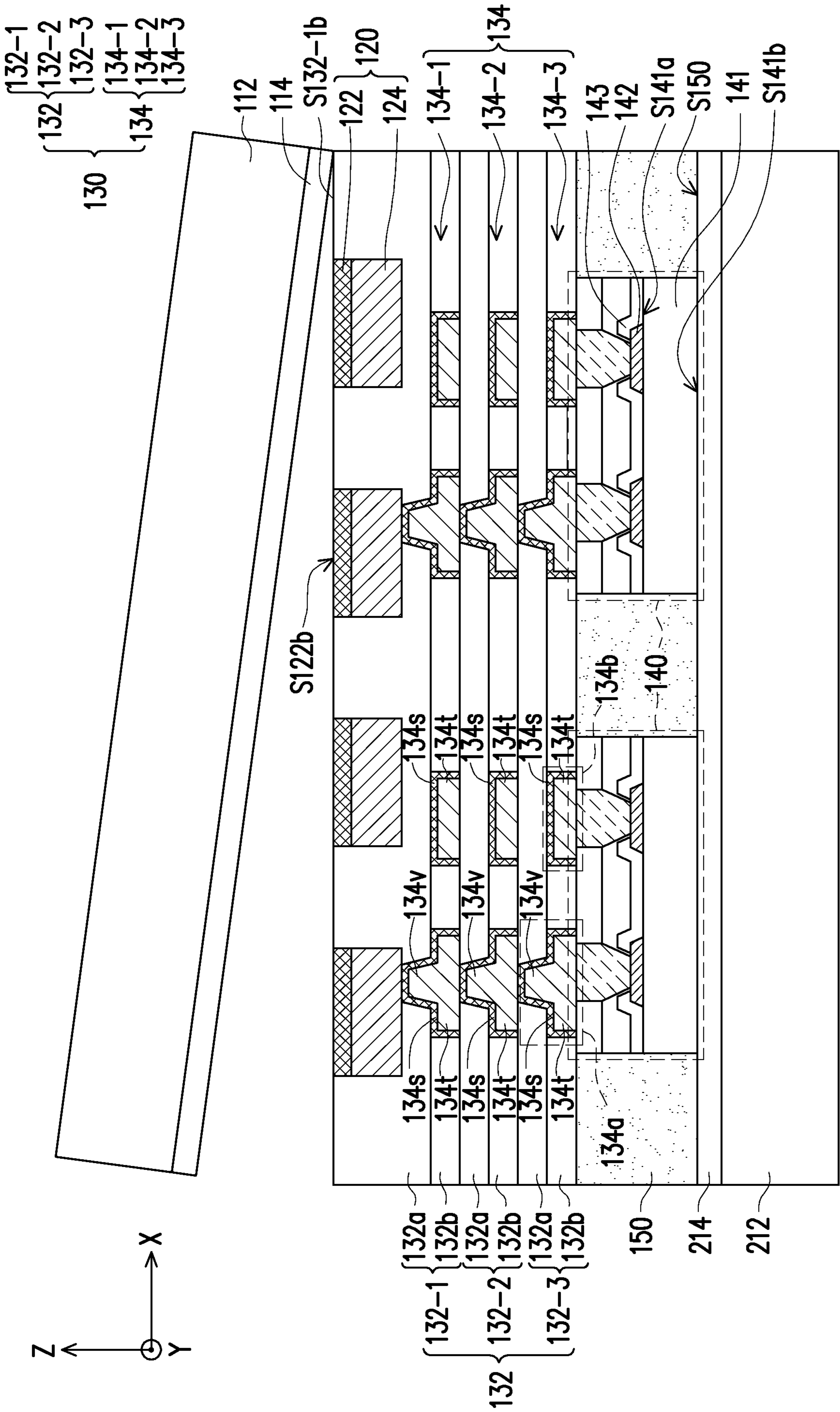
【圖9】



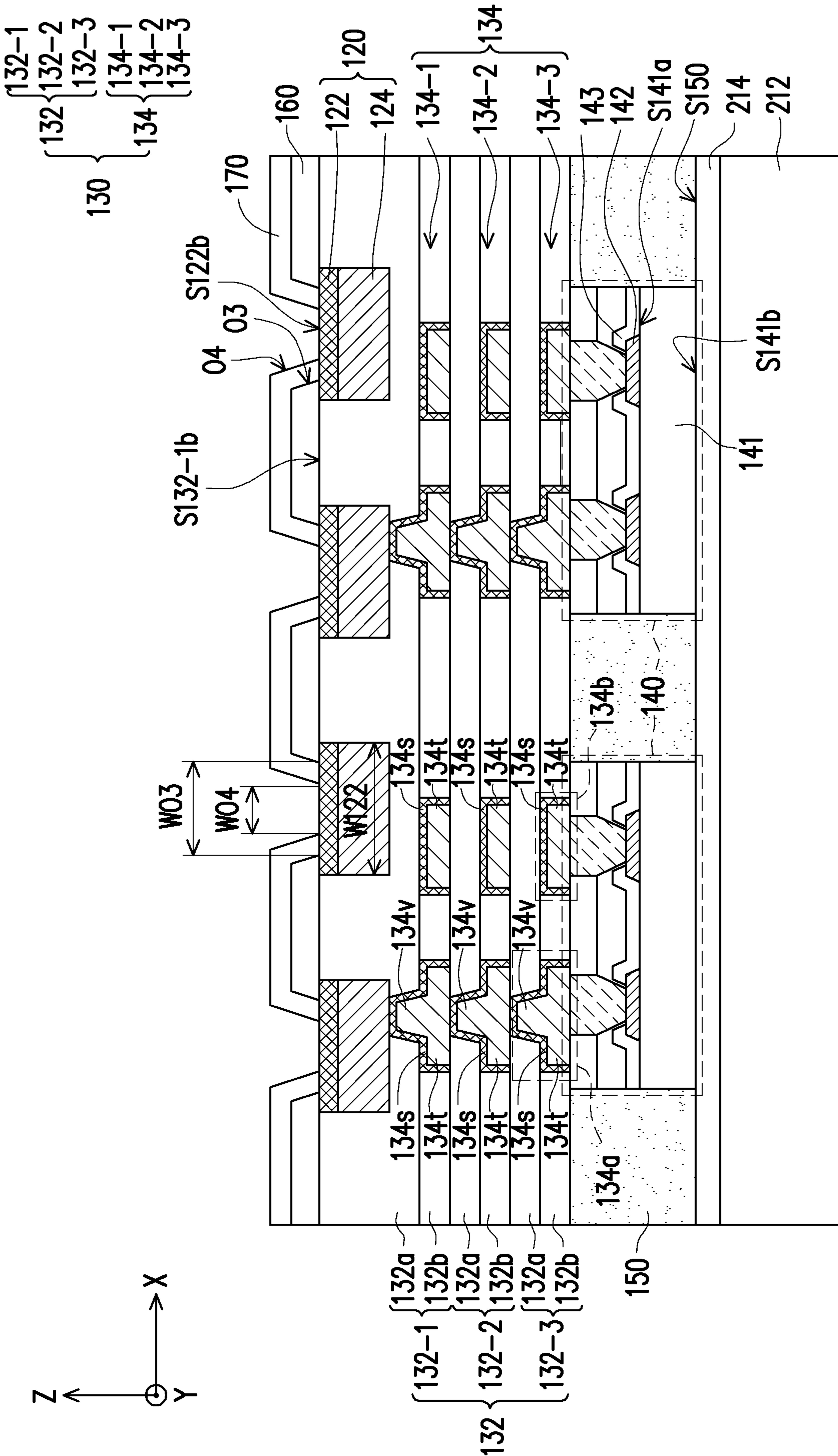
【圖10】



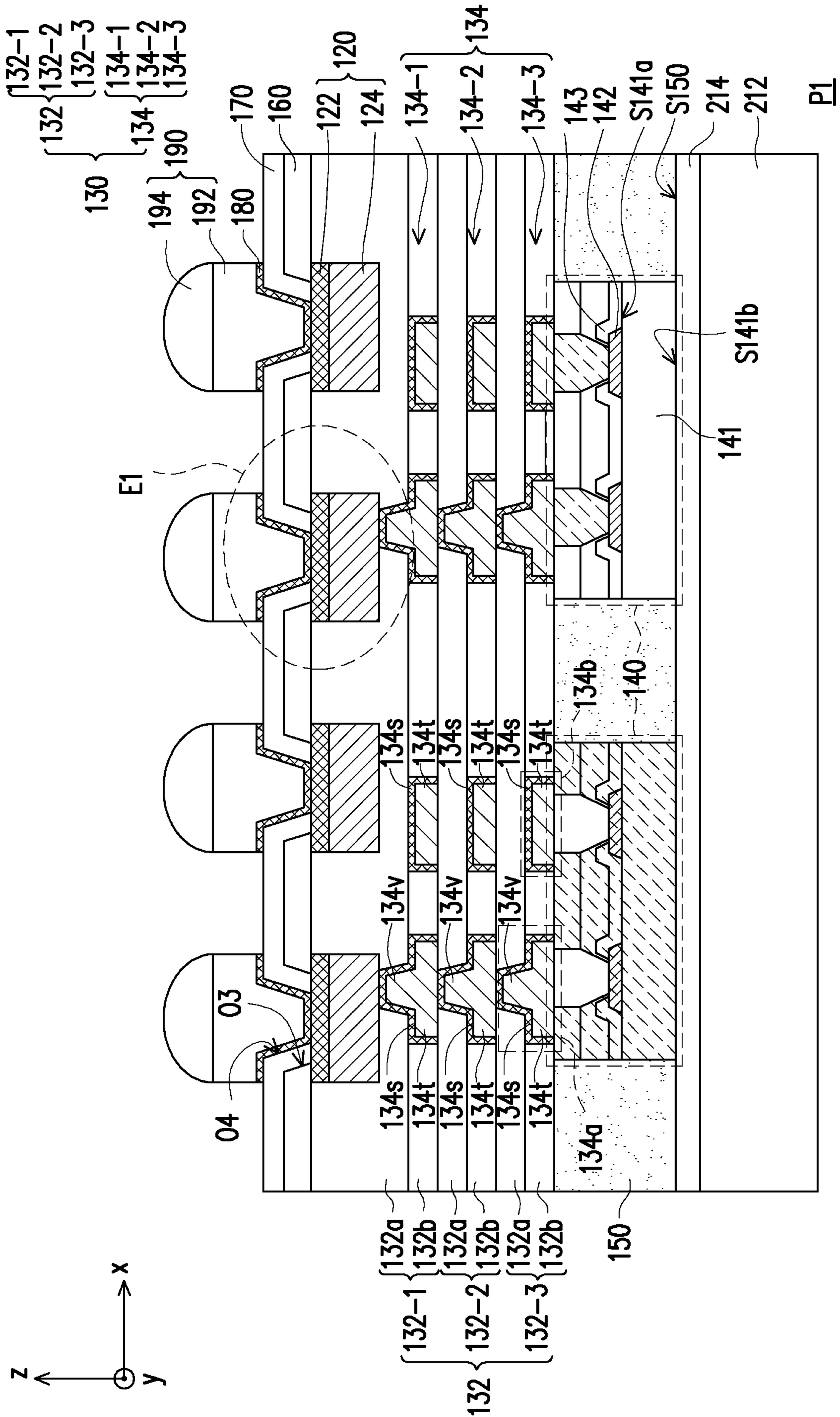
【圖11】



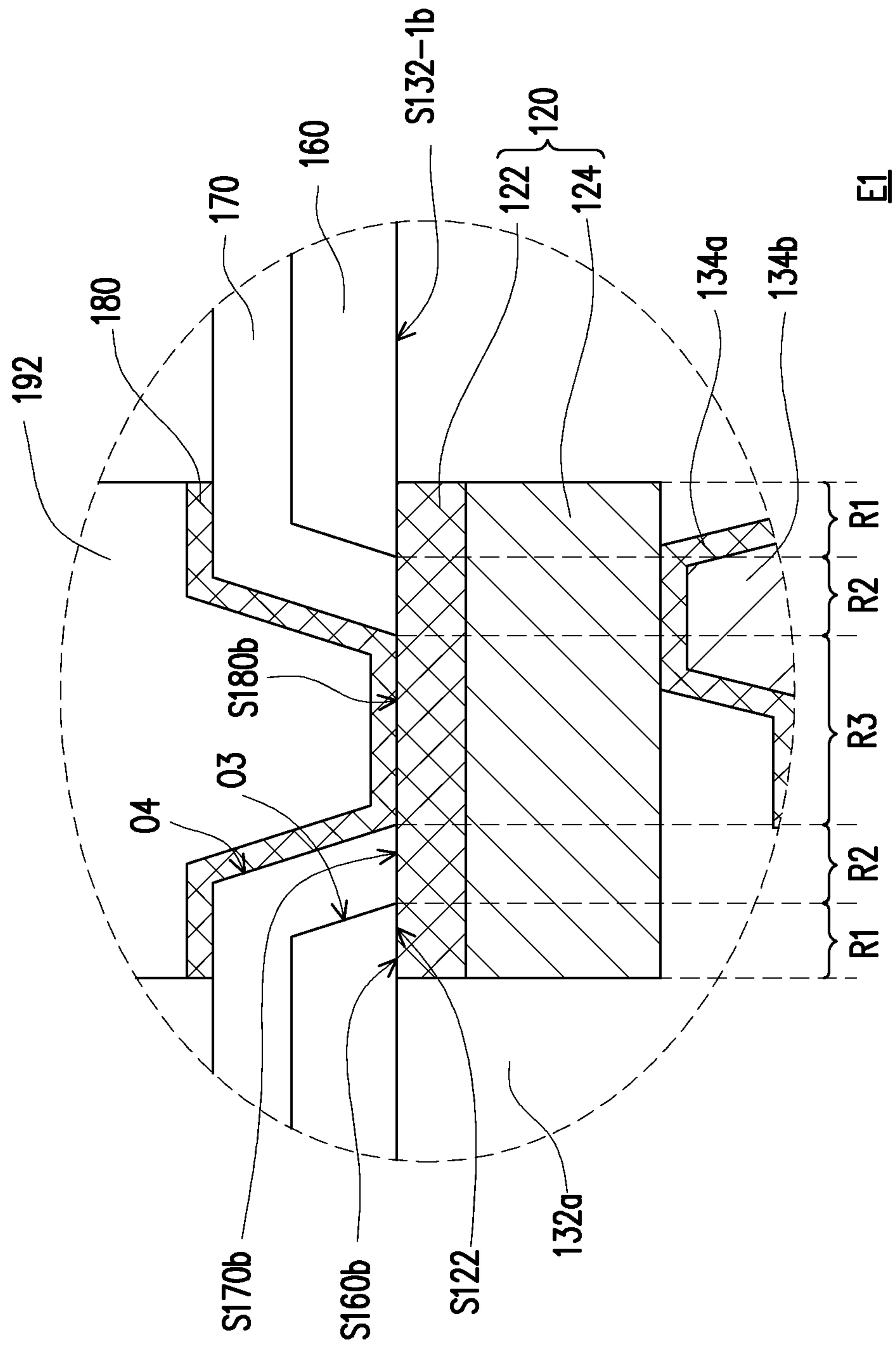
【圖12】



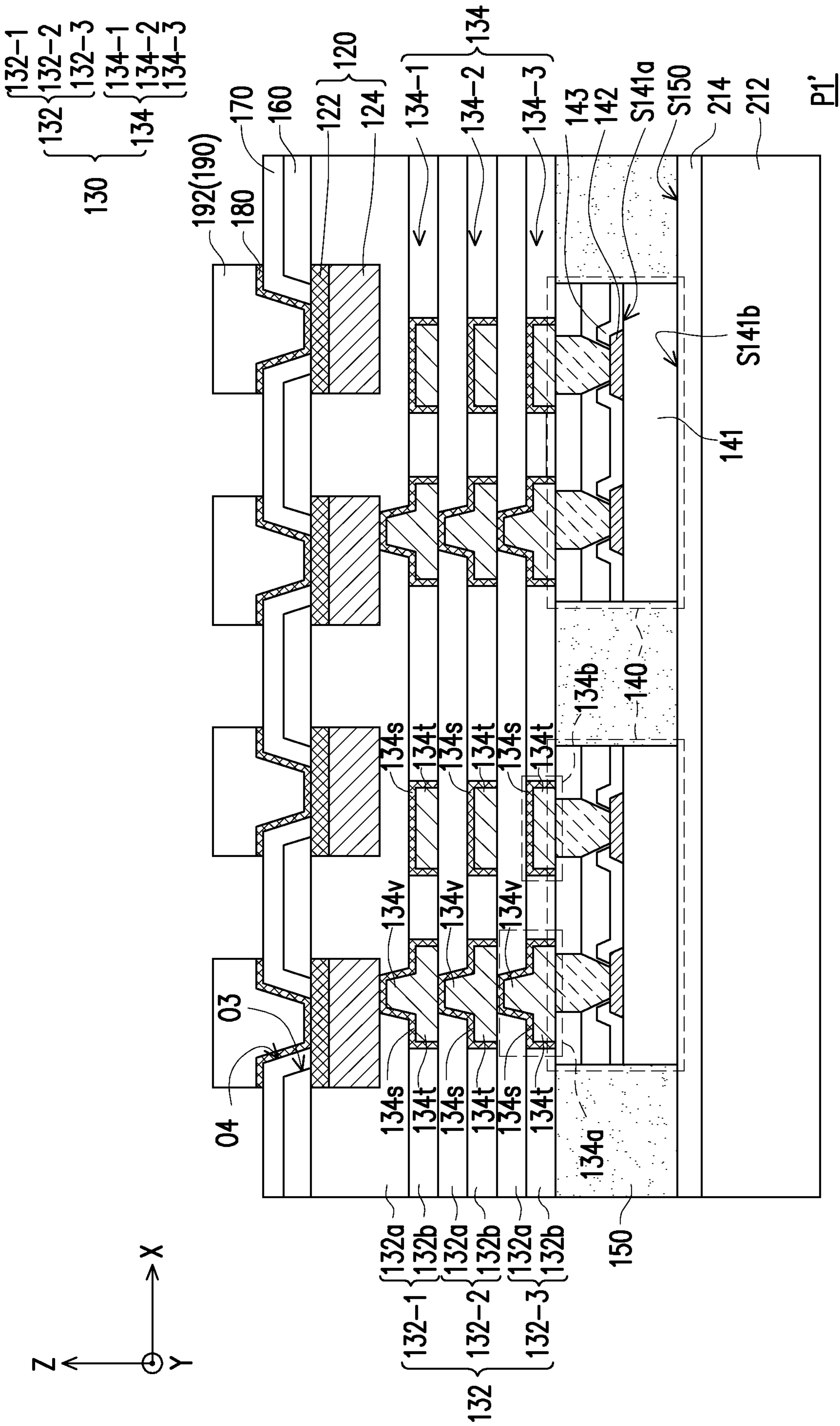
【圖13】



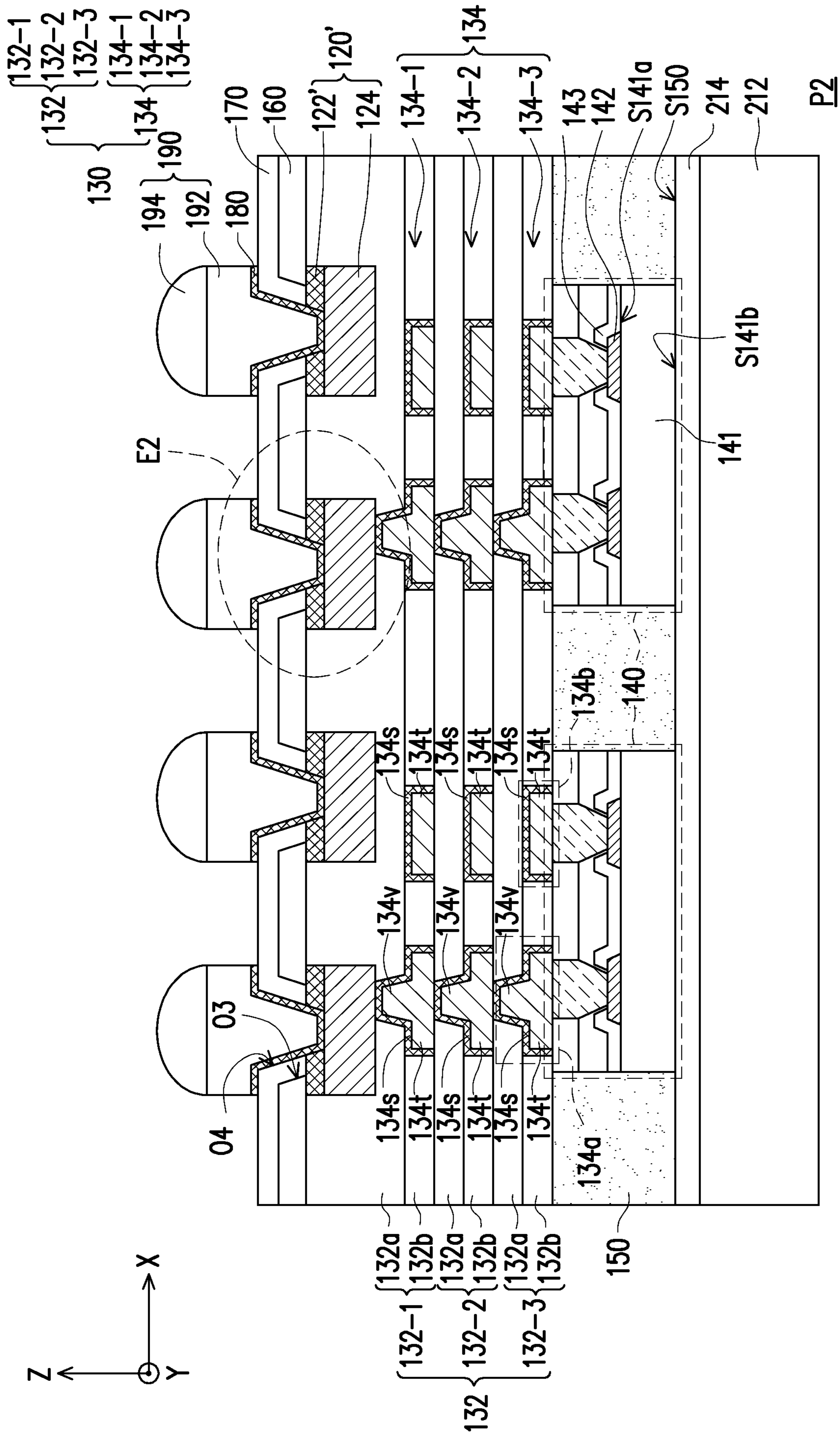
【圖14】



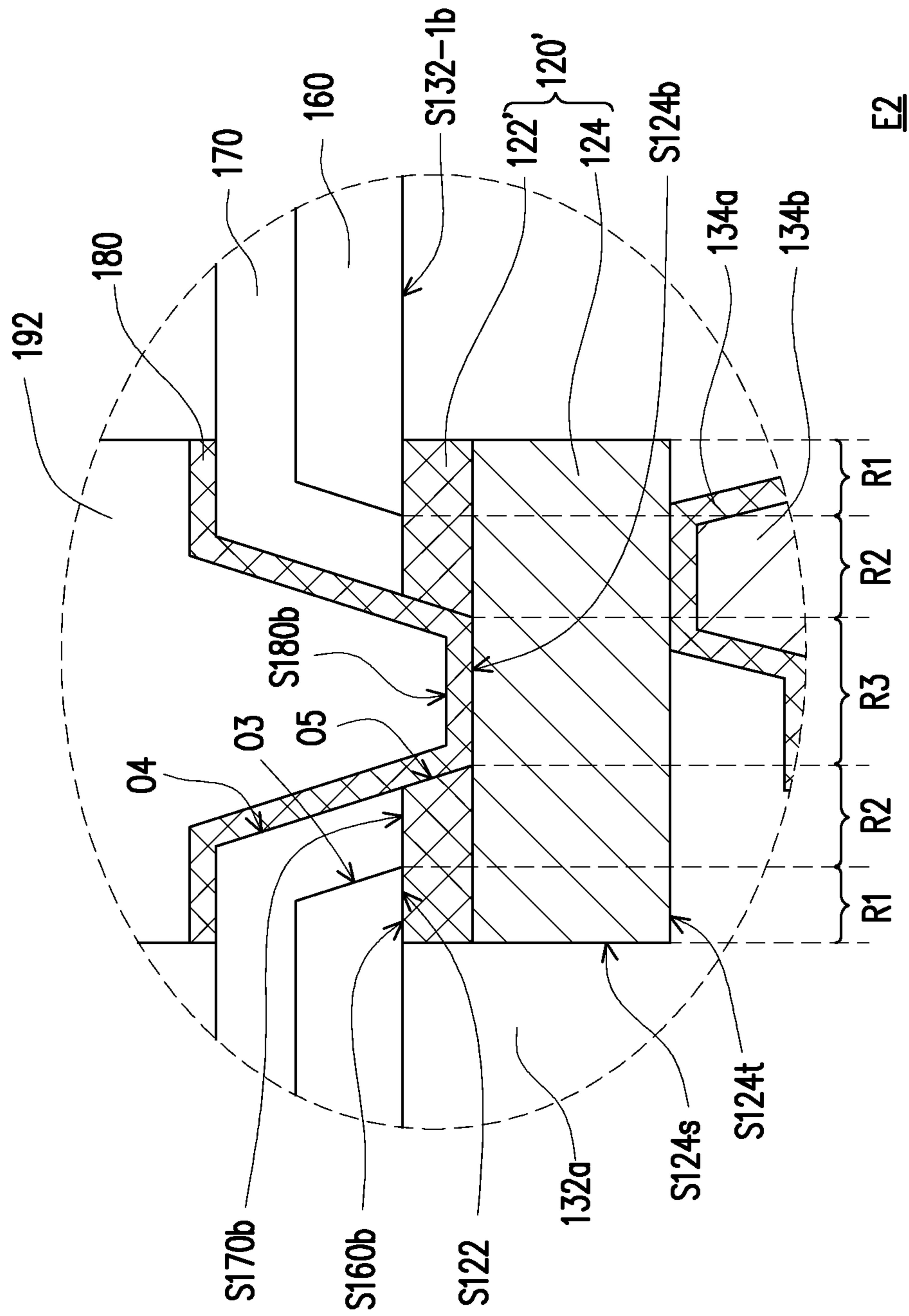
【圖15】



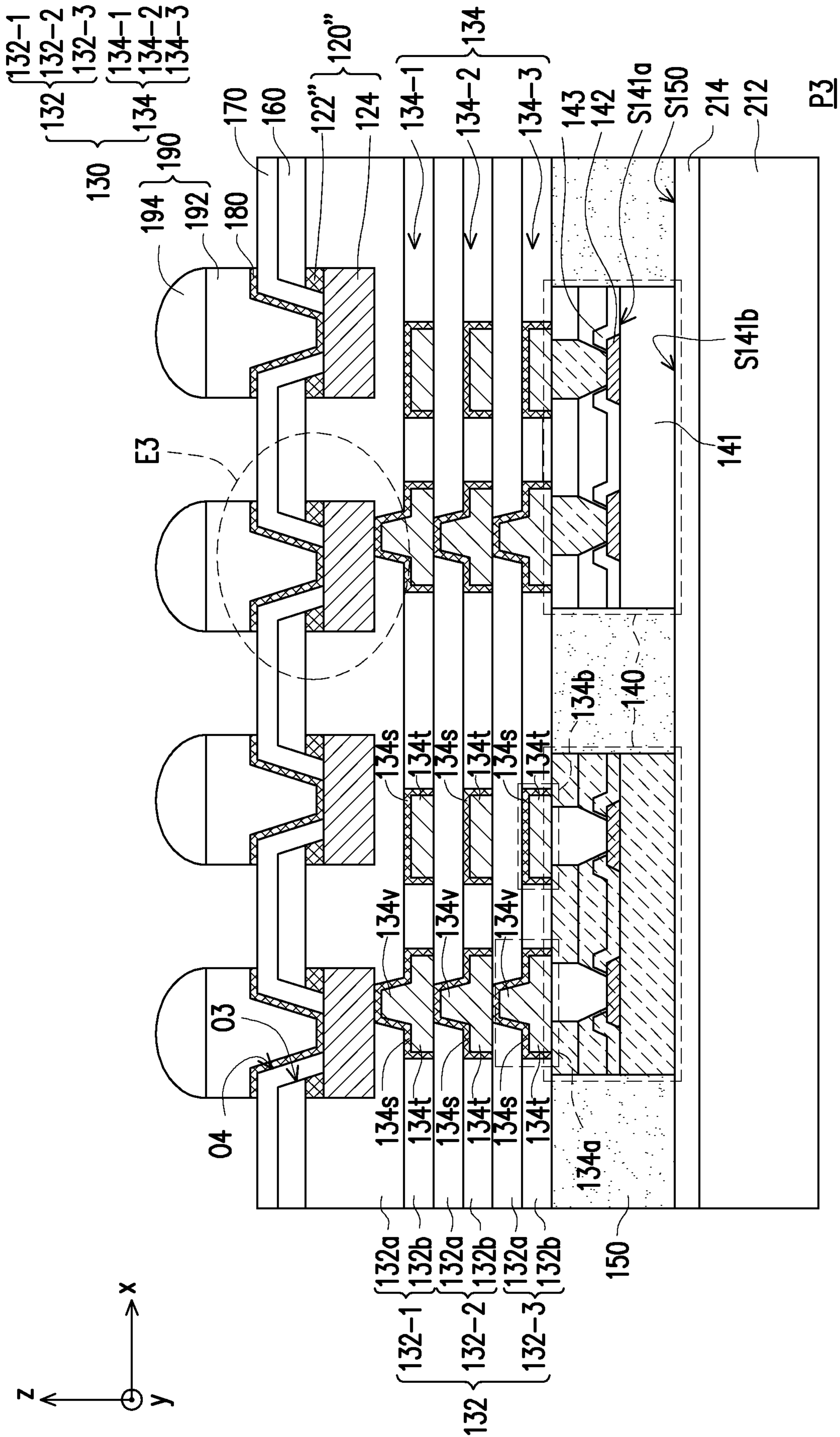
【圖16】



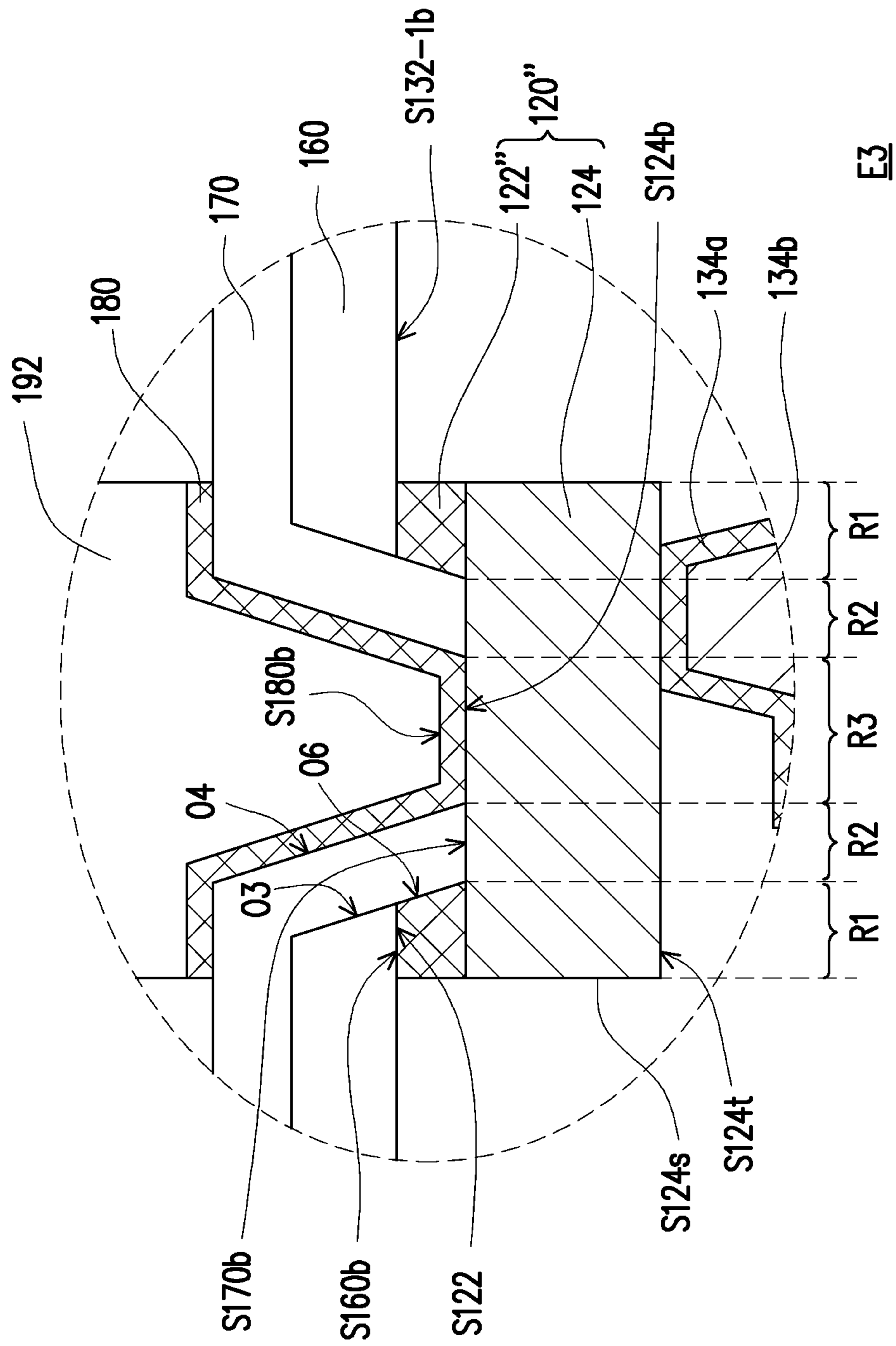
【圖17】



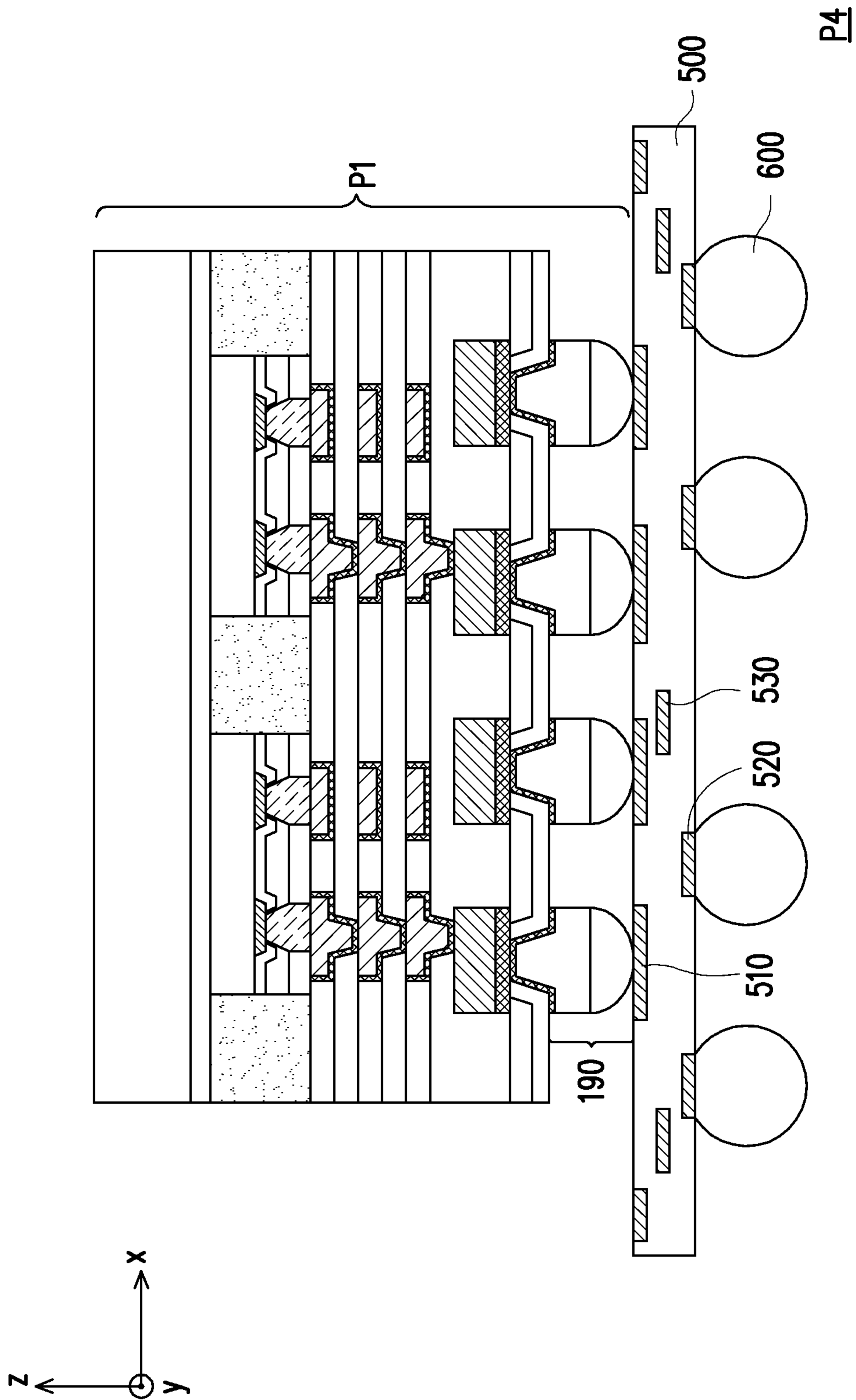
【圖18】



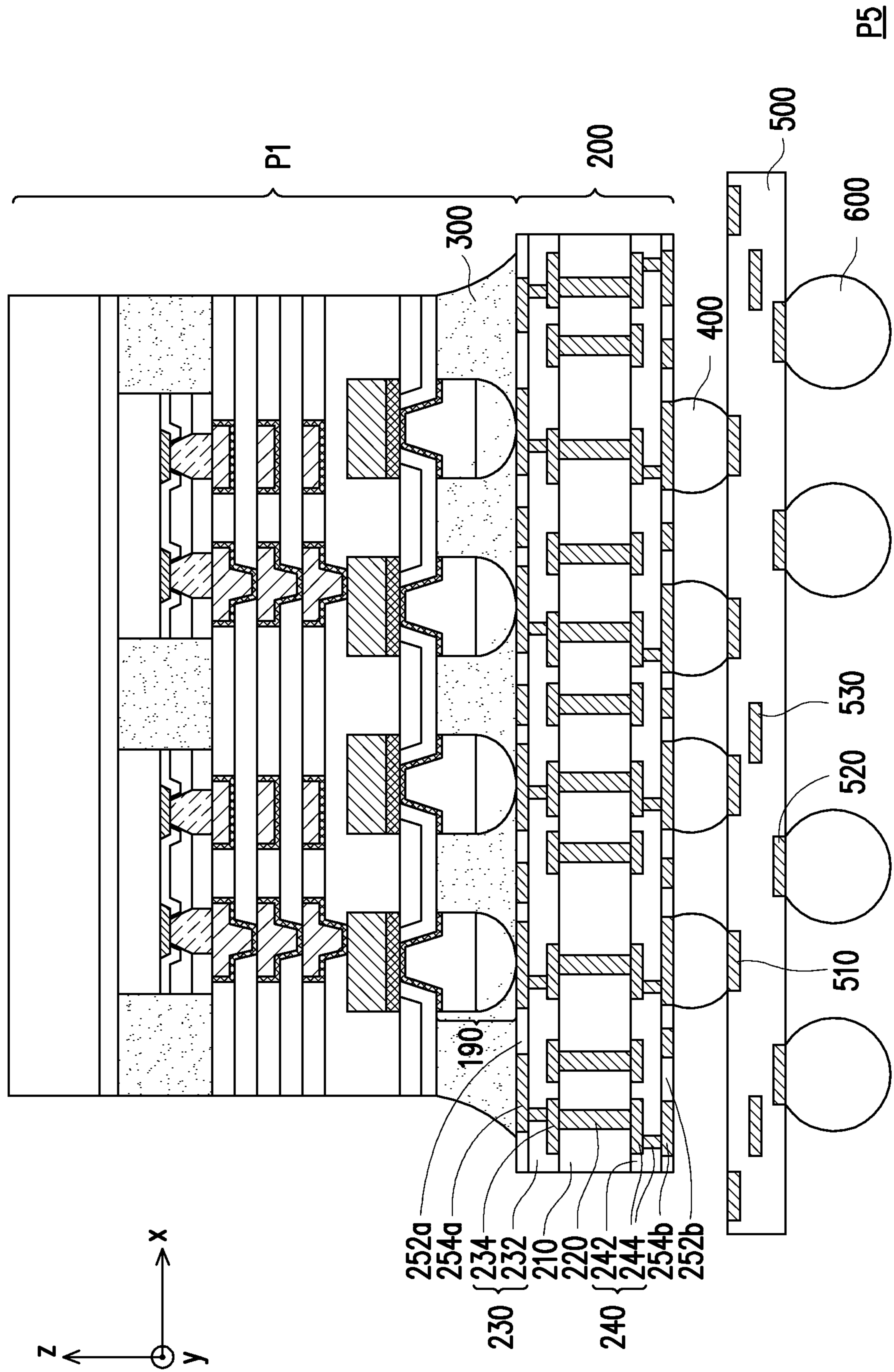
【圖19】



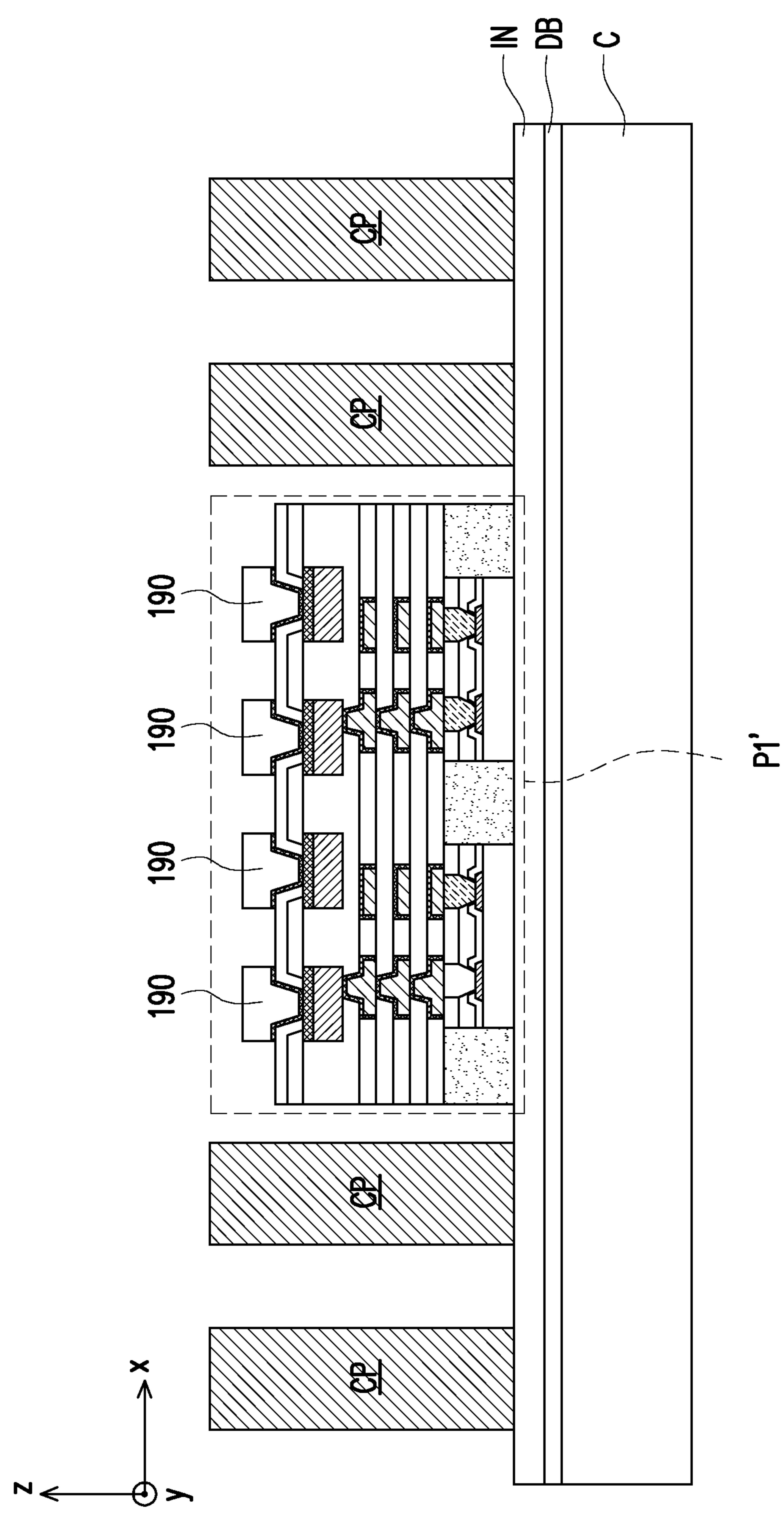
【圖20】



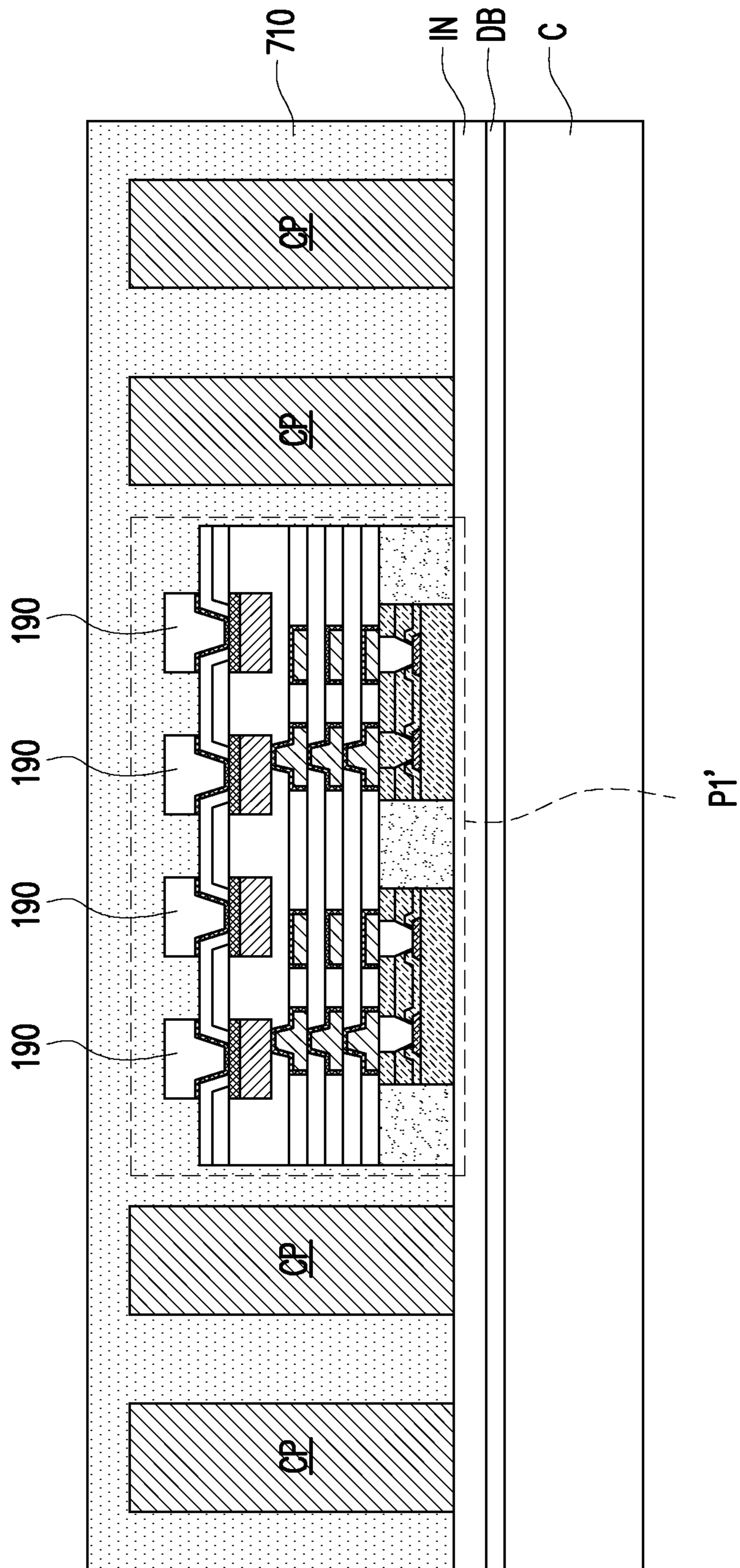
【圖21】



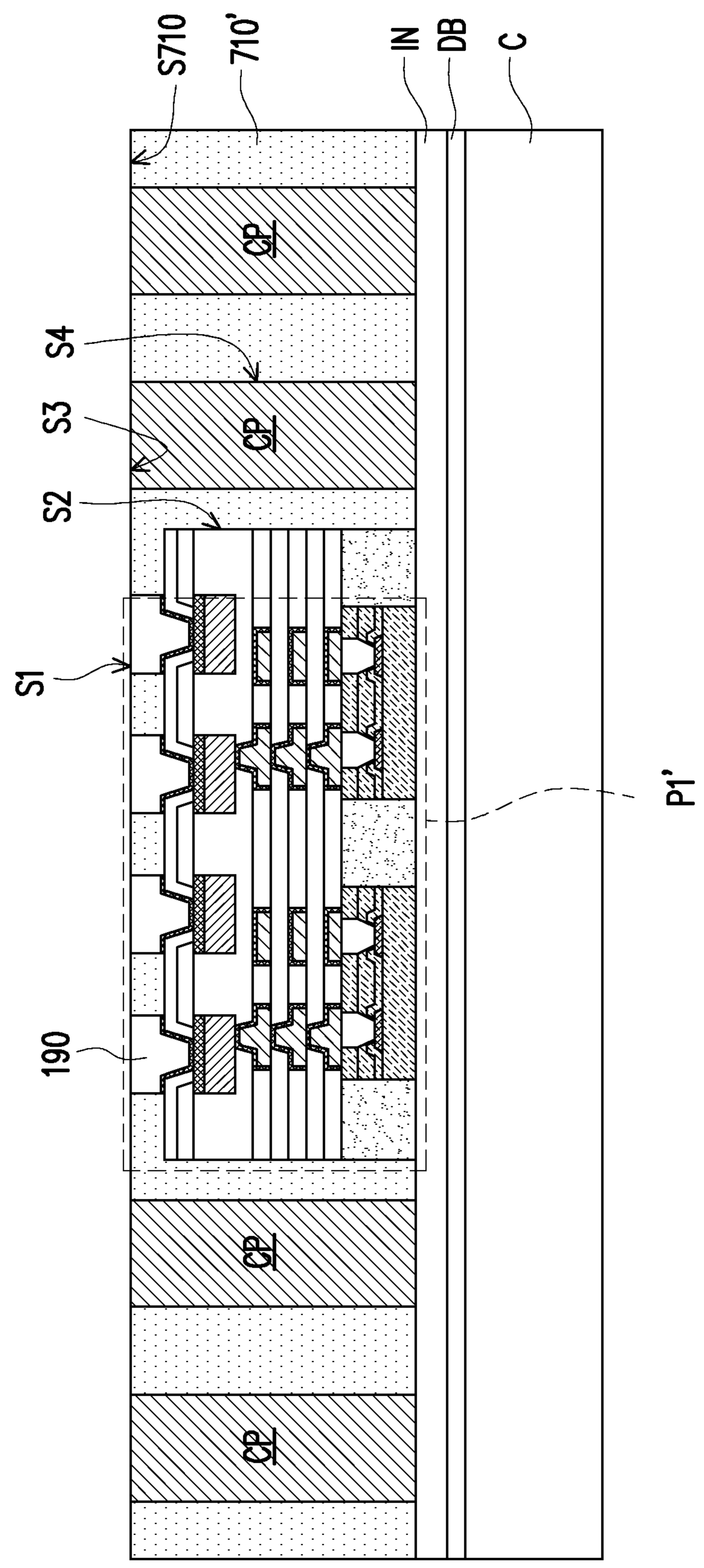
【圖22】



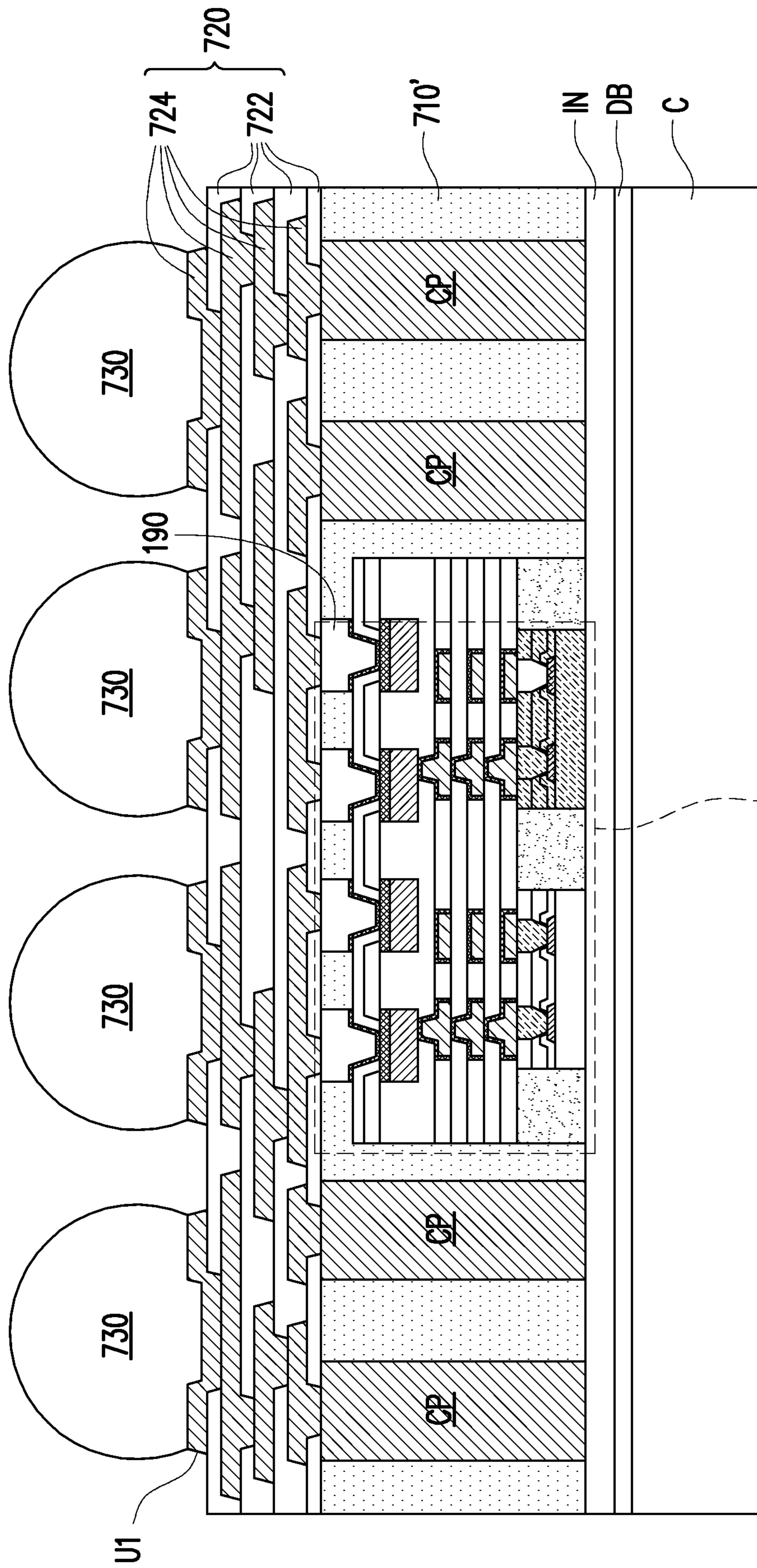
【圖23】



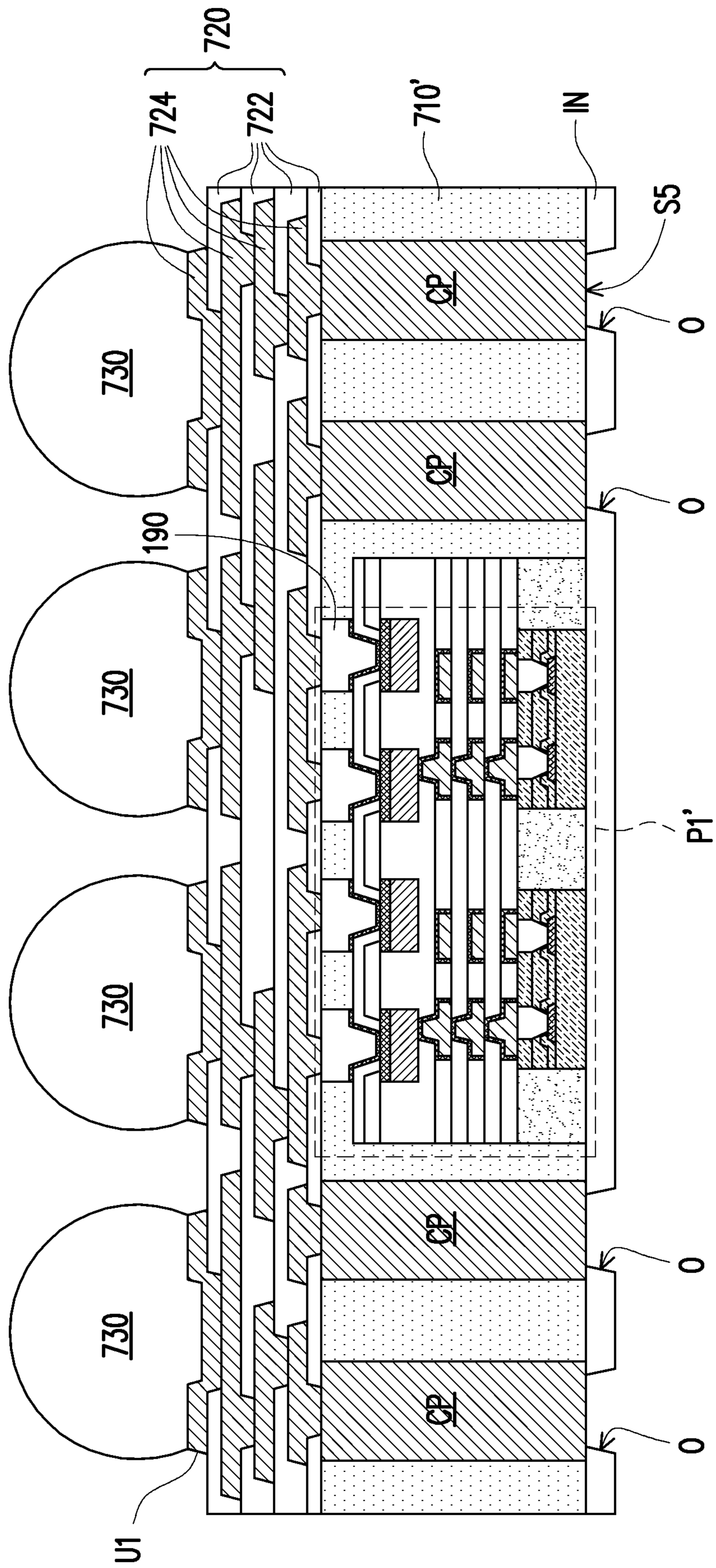
【圖24】



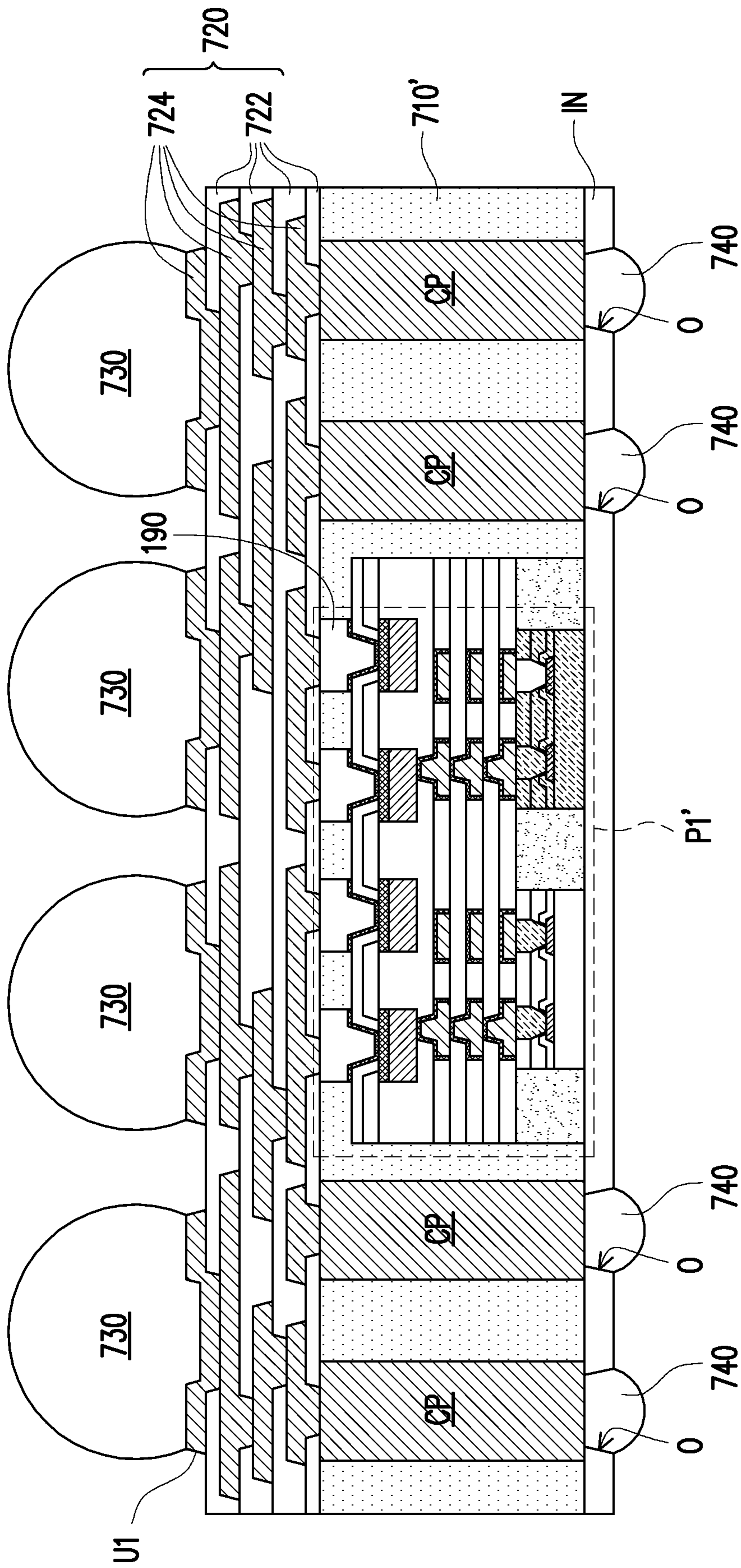
【圖25】



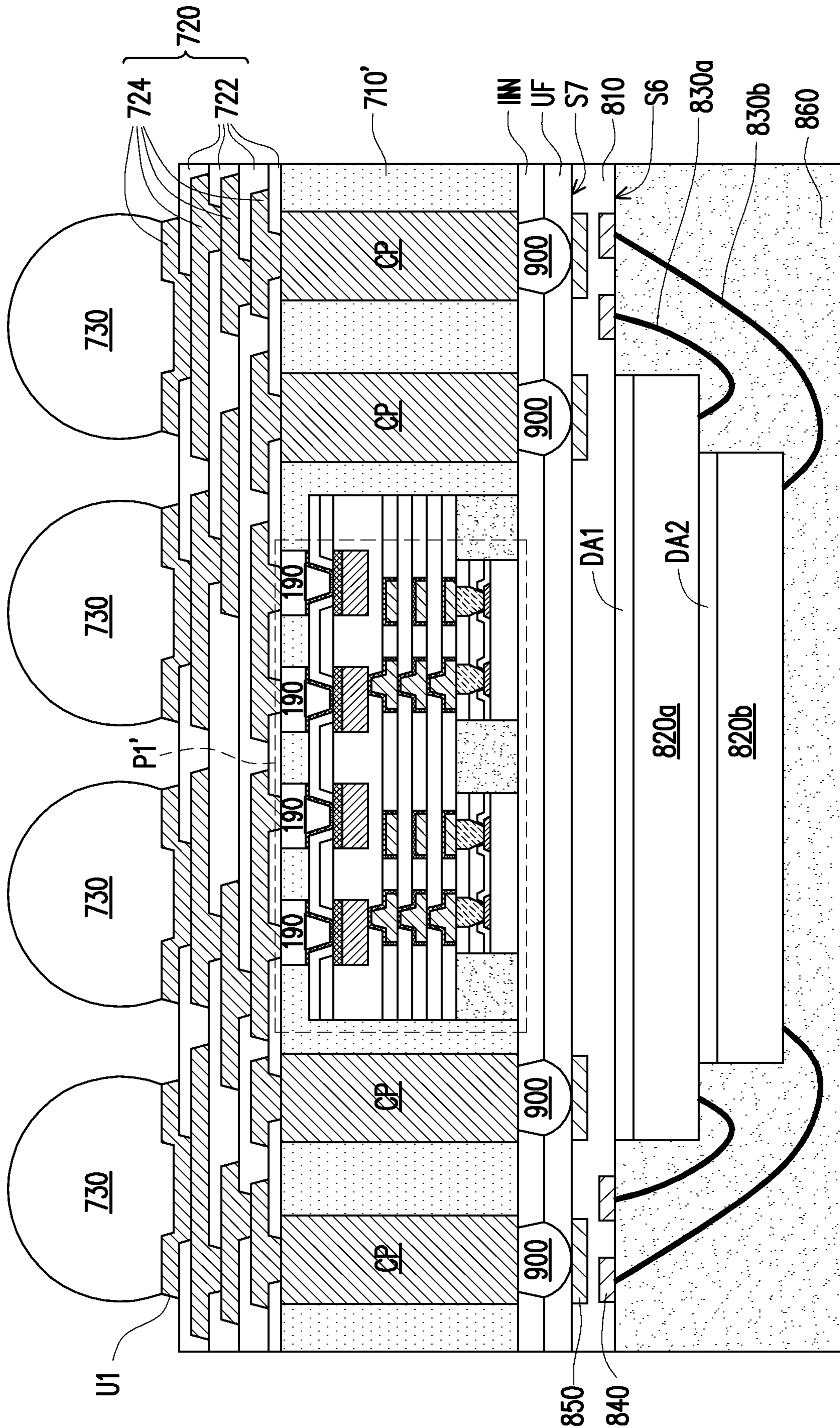
【圖26】



【圖27】



【圖28】



【圖29】