

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3820831号
(P3820831)

(45) 発行日 平成18年9月13日(2006.9.13)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.		F I		
G 0 6 F	12/00	(2006.01)	G 0 6 F	12/00 5 5 0 B
G 1 1 C	11/407	(2006.01)	G 1 1 C	11/34 3 6 2 S
G 1 1 C	11/406	(2006.01)	G 1 1 C	11/34 3 6 3 H

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2000-30601 (P2000-30601)	(73) 特許権者	000005496
(22) 出願日	平成12年2月8日(2000.2.8)		富士ゼロックス株式会社
(65) 公開番号	特開2001-222461 (P2001-222461A)		東京都港区赤坂二丁目17番22号
(43) 公開日	平成13年8月17日(2001.8.17)	(74) 代理人	100071054
審査請求日	平成16年4月19日(2004.4.19)		弁理士 木村 高久
		(72) 発明者	小関 十三次
			埼玉県岩槻市府内3丁目7番1号 富士ゼ
			ロックス株式会社岩槻事業所内
		(72) 発明者	園部 賢一
			埼玉県岩槻市府内3丁目7番1号 富士ゼ
			ロックス株式会社岩槻事業所内
		(72) 発明者	大内 篤
			埼玉県岩槻市府内3丁目7番1号 富士ゼ
			ロックス株式会社岩槻事業所内

最終頁に続く

(54) 【発明の名称】 メモリ制御方法及び装置

(57) 【特許請求の範囲】

【請求項1】

複数のバンクで構成されたメモリに対し、所定の間隔でのリフレッシュ要求が発生した際に、前記リフレッシュ要求を割り込ませてリフレッシュを実行させるメモリの制御方法であって、

メモリのリフレッシュ要求が発生した際に、前記複数のバンクのうちの異なるバンクへの連続リードアクセス又は連続ライトアクセスを行うインタリーブアクセスが実行されている場合、又は、メモリのリフレッシュ要求が発生した際に、前記複数のバンクの一つのバンクへのライトアクセスに連続して該一つのバンクとは異なる他のバンクへのリードアクセスを行うインタリーブアクセスが実行されている場合には、前記リフレッシュ要求を

10

割り込ませずに前記インタリーブアクセスを継続して実行させる

ことを特徴とするメモリの制御方法。

【請求項2】

前記リフレッシュ要求の待機は、

前記メモリの特性に応じて決定される最大許容時間を限度として行なわれる

ことを特徴とする請求項1記載のメモリの制御方法。

【請求項3】

複数のバンクで構成されたメモリに対し、

リフレッシュ要求を発生するリフレッシュ要求発生手段と、

前記リフレッシュ要求および前記メモリに対するアクセス要求を調停する調停手段と

20

を具備し、

前記調停手段は、

前記複数のバンクのうちの異なるバンクへの連続リードアクセス又は連続ライトアクセスを行うインタリーブアクセスが実行されている場合、又は、前記複数のバンクの一つのバンクへのライトアクセスに連続して該一つのバンクとは異なる他のバンクへのリードアクセスを行うインタリーブアクセスが実行されている場合には、前記リフレッシュ要求を割り込ませずに前記インタリーブアクセスを継続して実行させる

ことを特徴とするメモリの制御装置。

【請求項 4】

前記調停手段は、

前記メモリの特性に応じて決定される最大許容時間を限度として前記リフレッシュの実行を待機させる

ことを特徴とする請求項 3 記載のメモリの制御装置。

【請求項 5】

前記調停手段は、

前記複数のバンクの一つのバンクへのリードアクセスが実行されている場合、又は、ライトアクセスが実行されている場合、又は、前記複数のバンクの一つのバンクへのリードアクセスに連続して該一つのバンクとは異なる他のバンクへのライトアクセスが実行されている場合には、前記リフレッシュ要求を割り込ませてリフレッシュを実行させる

ことを特徴とする請求項 3 記載のメモリの制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、メモリ制御方法及び装置に関し、特に各種メモリアccess要求を調停することで、メモリアccess性能の低下の低減することのできるメモリ制御方法及び装置に関する。

【0002】

【従来の技術】

一般に、DRAM (Dynamic Random Access Memory; ダイナミックRAM) を制御するメモリ制御装置において、リフレッシュコントローラから発行されるリフレッシュ要求は、CPUバスやインタフェースコントローラのマスタから発行されるリード要求やライト要求と比較すると、優先順位の高い要求として扱われている。

【0003】

又、複数のバンクから構成されている同期式DRAMにおいては、画像データのような大きなデータを処理する際に、異なるバンクにリードアクセスやライトアクセスが連続する場合には、連続してメモリアccessするインタリーブ動作が可能である。

【0004】

しかしながら、このインタリーブ動作中にリフレッシュ要求が割り込んだ場合には、上述したようにリフレッシュ動作が優先される為、DRAMへのメモリアccessを一旦中止し、リフレッシュ動作が終了した後に、メモリアccessを再開しなければならない為、メモリアccess性能が低下する問題があった。

【0005】

そこで、特開平10-11964号公報に記載されている「メモリ制御装置およびメモリ制御方法」においては、リフレッシュコントローラから発行されるリフレッシュ要求を蓄積するアクセスキューを用いて、要求を一旦待機させ、リフレッシュ動作を行わなければならない規定の期間内に、リフレッシュ動作を行うことができるように、これらの要求の実行順位を可変し、リフレッシュ動作を行うタイミングを最適化することで、メモリアccessを効率良く行っていた。

【0006】

10

20

30

40

50

【発明が解決しようとする課題】

ところが、上述したような発明においては、リフレッシュ要求を待機させる為の回路を別途に必要とする為、回路構成や制御方法が複雑となる問題があった。

【0007】

そこで、この発明は、容易な回路構成により各種メモリアクセス要求を調停し、メモリアクセス性能の低下を低減することのできるメモリ制御方法及び装置を提供することを目的とする。

【0008】**【課題を解決するための手段】**

上記目的を達成するため、請求項1の発明は、複数のバンクで構成されたメモリに対し、所定の間隔でのリフレッシュ要求が発生した際に、前記リフレッシュ要求を割り込ませてリフレッシュを実行させるメモリの制御方法であって、メモリのリフレッシュ要求が発生した際に、前記複数のバンクのうちの異なるバンクへの連続リードアクセス又は連続ライトアクセスを行うインタリーブアクセスが実行されている場合、又は、メモリのリフレッシュ要求が発生した際に、前記複数のバンクの一つのバンクへのライトアクセスに連続して該一つのバンクとは異なる他のバンクへのリードアクセスを行うインタリーブアクセスが実行されている場合には、前記リフレッシュ要求を割り込ませずに前記インタリーブアクセスを継続して実行させることを特徴とする。

10

【0009】

また、請求項2記載の発明は、請求項1の発明において、前記リフレッシュ要求の待機は、前記メモリの特性に応じて決定される最大許容時間を限度として行なわれることを特徴とする。

20

【0010】

また、請求項3記載のメモリの制御装置の発明は、複数のバンクで構成されたメモリに対し、リフレッシュ要求を発生するリフレッシュ要求発生手段と、前記リフレッシュ要求および前記メモリに対するアクセス要求を調停する調停手段とを具備し、前記調停手段は、前記複数のバンクのうちの異なるバンクへの連続リードアクセス又は連続ライトアクセスを行うインタリーブアクセスが実行されている場合、又は、前記複数のバンクの一つのバンクへのライトアクセスに連続して該一つのバンクとは異なる他のバンクへのリードアクセスを行うインタリーブアクセスが実行されている場合には、前記リフレッシュ要求を割り込ませずに前記インタリーブアクセスを継続して実行させることを特徴とする。

30

【0011】

また、請求項4記載の発明は、請求項3の発明において、前記調停手段は、前記メモリの特性に応じて決定される最大許容時間を限度として前記リフレッシュの実行を待機させることを特徴とする。

【0012】

また、請求項5記載の発明は、請求項3の発明において、前記調停手段は、前記複数のバンクのうちの一つのバンクへのリードアクセスが実行されている場合、又は、ライトアクセスが実行されている場合、又は、前記複数のバンクの一つのバンクへのリードアクセスに連続して該一つのバンクとは異なる他のバンクへのライトアクセスが実行されている場合には、前記リフレッシュ要求を割り込ませてリフレッシュを実行させることを特徴とする。

40

【0014】**【発明の実施の形態】**

この発明に関するメモリ制御方法及び装置の一実施例を添付図面を参照して詳細に説明する。

【0015】

まず、図1を参照して、この発明を適用したメモリ制御装置の構成について説明する。

【0016】

図1は、メモリ制御装置の構成を示すブロック図である。

50

【 0 0 1 7 】

同図において、メモリコントローラ 1 はリフレッシュ動作を制御するリフレッシュコントローラ 2、DMA から出力されたデータの書き込み処理を制御するライト DMA コントローラ 3 - 1 及び 3 - 2、DMA へ出力するデータの読み出し処理を制御するリード DMA コントローラ 4 - 1 及び 4 - 2、CPU から出力されたデータの書き込み処理や CPU へ出力するデータの読み出し処理を制御する CPU バスインタフェース 5、コントローラやインタフェースのマスタから発行された要求を調停するアービタ 6、マスタからのアクセスを後述する DRAM 10 のコマンドに変換するメモリ制御信号発生部 7、アドレス情報を送受するアドレスバス 13 及びデータを送受するデータバス 14 を具備して構成される。

10

【 0 0 1 8 】

DRAM 10 は、4 つのバンク 15 - 1 乃至 15 - 4 から構成される。バンク 15 - 1 乃至 15 - 4 は、メモリ制御信号発生部 7 から出力されたアドレス及びコマンドに基づいて、データの記憶や読み出しを行う。

【 0 0 1 9 】

リフレッシュコントローラ 2 は、所定の期間で DRAM 10 をリフレッシュさせる為に、アービタ 6 に対してリフレッシュ要求を発行し、又アービタ 6 から要求に対するリフレッシュ許可を受け取る。

【 0 0 2 0 】

ライト DMA コントローラ 3 - 1 及び 3 - 2 は、DMA バス 11 と接続され、DMA バス 11 から読み込んだデータを DRAM 10 にデータに書き込ませる際に、アービタ 6 に対してライト要求を発行したり、アービタ 6 から要求に対するライト許可を受け入れる。又、DRAM 10 にアクセスするアドレスを通知したり、DRAM 10 にデータを出力する。

20

【 0 0 2 1 】

リード DMA コントローラ 4 - 1 及び 4 - 2 は、DMA バス 11 と接続され、DRAM 10 からデータを読み込む際に、アービタ 6 にリード要求を出力したり、アービタ 6 から要求に対するリード許可を受信する。又、上述したライト DMA コントローラ 3 - 1 及び 3 - 2 と同様に、DRAM 10 にアクセスするアドレスを通知したり、DRAM 10 からデータを読み込み、DMA バス 11 にデータを出力する。

30

【 0 0 2 2 】

CPU バスインタフェース 5 は、CPU バス 12 と接続され、1 つのマスタでデータ読み込みと書き込みとの双方向送受の制御を行う。CPU バス 12 からデータを読み込み、このデータを DRAM 10 にデータに書き込ませる際に、アービタ 6 にライト要求を出力したり、アービタ 6 から要求に対するライト許可を受信する。又、DRAM 10 にアクセスするアドレスを通知したり、DRAM 10 にデータを出力する。

【 0 0 2 3 】

又、DRAM 10 からデータを読み込む際には、アービタ 6 にリード要求を出力したり、アービタ 6 から要求に対するリード許可を受信する。又、DRAM 10 にアクセスするアドレスを通知し、DRAM 10 からデータを読み込み、DMA バス 11 にデータを出力する。

40

【 0 0 2 4 】

アービタ 6 は、リフレッシュコントローラ 2 から発行されるリフレッシュ要求やライト DMA コントローラ 3 - 1 及び 3 - 2、リード DMA コントローラ 4 - 1 及び 4 - 2 及び CPU バスインタフェース 5 から発行されるリード要求やライト要求の調停を行う。なお、アービタ 6 はアドレスバス 13 からアドレスの上位 2 ビットのデータを取り出して、要求を発行したマスタがアクセスする DRAM 10 のバンクを判別する。

【 0 0 2 5 】

メモリ制御信号発生部 7 は、アドレスバス 13 を介して、アドレスバス 13 からコントローラやインタフェースのマスタからアドレスを受信し、DRAM 10 にアクセスするアド

50

レスを通知したり、アービタ 6 から出力された動作指示信号をコマンドに変換し、D R A M 1 0 にコマンドを出力する。又、データバス 1 4 を介して、コントローラやインタフェイスのマスタとデータの送受を行うとともに、D R A M 1 0 とともにデータの送受を行う。

【 0 0 2 6 】

次に、図 2 乃至図 5 を参照して、D R A M へアクセスする際のメモリコントローラの動作の流れを説明する。

【 0 0 2 7 】

図 2 は D R A M へアクセスする際のメモリコントローラの動作の流れを示すタイムチャートに使用される記号の凡例を示す図であり、図 3 は D R A M へアクセスする際のメモリコントローラの動作の流れを示す第 1 のタイムチャートであり、図 4 は D R A M へアクセスする際のメモリコントローラの動作の流れを示す第 2 のタイムチャートであり、図 5 は D R A M へアクセスする際のメモリコントローラの動作の流れを示す第 3 のタイムチャートである。

10

【 0 0 2 8 】

メモリ制御信号発生部 7 は、D R A M 1 0 へのアクセスを制御する為に、図 2 の (a) に示すようなコマンドをメモリ制御信号発生部 7 から D R A M 1 0 に対して発行し、データを送受する。

【 0 0 2 9 】

アクティブコマンドは、データを読み取る、或いは書き込む D R A M 1 0 の任意のバンクをアクティブ状態にする。又、リードコマンドは D R A M 1 0 にリード動作を行うように指示し、又ライトコマンドは D R A M 1 0 にライト動作を行うように指示を行う。又、リフレッシュコマンドは、D R A M 1 0 にリフレッシュ動作を行うように指示する。

20

【 0 0 3 0 】

ところで、上述した各コマンドを実行する際に、直前に実行されたコマンドの直後に、図 2 の (b) に示すような一定のコマンド期間が必要である。

【 0 0 3 1 】

例えば、リフレッシュ又はアクティブコマンドを出力後に、リフレッシュ又はアクティブコマンドを出力する際は、直前に出力されたリフレッシュ又はアクティブコマンドの直後に規定された期間をおいてから、次のリフレッシュ又はアクティブコマンドを出力する。又、図示するように、アクティブコマンドとリード又はライトコマンド間に規定された期間がある。

30

【 0 0 3 2 】

なお、上述したコマンドやコマンド期間の他にもコマンドやコマンド期間があるが、本実施例ではこれらを省略する。

【 0 0 3 3 】

これらのコマンド、データ及びコマンド期間を、図示したような記号を用いて、D R A M 1 0 の各種動作の流れをタイムチャートで示す。なお、図中の横線のコマンドラインはコマンドの出力を示し、データラインはデータの入出力を示す。又、縦線の間隔は 1 クロックの期間に相当する。

【 0 0 3 4 】

図 3 に示すように、リード動作を実行する際は、アクティブコマンド 3 1 1 を出力した後に、一定の期間 3 5 1 をおいて、リードコマンド 3 1 2 を出力し、更にリードデータ 3 1 3 を送受する。

40

【 0 0 3 5 】

又、ライト動作を実行する際には、アクティブコマンド 3 1 4 を出力した後に、一定の期間 3 5 2 をおいて、ライトコマンド 3 1 5 を出力するとともに、ライトデータ 3 1 6 を送受する。

【 0 0 3 6 】

更に、上述したリード動作の直後に、リフレッシュ動作を実行する際には、リードデータ 3 1 7 を出力した後に、リフレッシュコマンド 3 1 8 を送出し、リフレッシュ動作中であ

50

る期間 3 5 3 においてはリード動作等を行わない。図中には示していないが、2 回目のリード動作を行う場合には、このリフレッシュ動作が終了した後に行う。

【 0 0 3 7 】

又、上述したライト動作の直後に、リフレッシュ動作を実行する際についても、ライトデータ 3 1 9 を出力した後に、リフレッシュコマンド 3 2 0 を送出し、リフレッシュ動作中である期間 3 5 4 においてはライト動作等を行わない。図中には示していないが、2 回目のライト動作を行う場合には、このリフレッシュ動作が終了した後に行う。

【 0 0 3 8 】

この為、リード動作やライト動作の後に、リフレッシュ動作を実行しない場合とリフレッシュ動作を実行する場合にそれぞれ必要な期間を比較すると、リード動作やライト動作の後にリフレッシュ動作を実行する場合は、リフレッシュ動作を実行しない場合よりも、リフレッシュ動作の実行に必要なクロック期間だけ、リフレッシュ動作の次に実行する動作が遅延する。

10

【 0 0 3 9 】

D R A M 1 0 の異なるバンクに連続してリード動作に続くリード動作を行う際に、図 4 に示すように、最初のデータ 4 1 1 の送受が行われている間に、次のデータ 4 1 2 を送受する為のアクティブコマンド 4 1 3 をオーバーラップして発行して、次のデータ 4 1 2 の送受するインタリーブ動作を行うことができる。このインタリーブ動作により、連続した動作を行うことで、インタリーブ動作を行わない通常時の動作よりも、動作が 4 クロック分の期間 4 5 1 だけ短縮される。

20

【 0 0 4 0 】

同様に、異なるバンクに連続してライト動作に続くライト動作及びライト動作に続くリード動作を行う際についても、最初のデータ 4 1 4 及び 4 1 7 の送受が行われている間に、次のデータ 4 1 5 及び 4 1 8 を送受する為のアクティブコマンド 4 1 6 及び 4 1 9 をオーバーラップして発行するインタリーブ動作を行うことで、インタリーブ動作を行わない通常時の動作よりも、動作が 4 クロック分の期間 4 5 2 及び 4 5 3 だけ短縮される。

【 0 0 4 1 】

又、異なるバンクに連続してリード動作に続くライト動作をインタリーブ動作で行う際についても、最初のデータ 4 2 0 の送受が行われている間に、次のデータ 4 2 1 を送受する為のアクティブコマンド 4 2 2 をオーバーラップして発行するインタリーブ動作を行うことで、インタリーブ動作を行わない通常時の動作よりも、動作が 1 クロック分の期間 4 5 4 だけ短縮される。なお、リード動作とライト動作では、コマンドとデータの送受に必要な間隔が異なる為と、データバス 1 4 が双方向であり、リード動作とライト動作を行うデバイスを切り換える為に、1 クロック分の期間 4 5 5 を要する。

30

【 0 0 4 2 】

上述したように、インタリーブ動作により動作に 4 クロック分の期間の短縮が生じるリード動作とリード動作、ライト動作とライト動作、ライト動作とリード動作が連続するインタリーブ動作をインタリーブ動作 A とし、又、インタリーブ動作により動作に 1 クロック分しか短縮が生じることのないリード動作とライト動作が連続するインタリーブ動作をインタリーブ動作 B とする。

40

【 0 0 4 3 】

図 5 に示すように、インタリーブ動作 A の最中に、リフレッシュ動作を割り込ませる場合には、リフレッシュ動作を実行する為に発行するリフレッシュコマンド 5 1 1、5 1 3 及び 5 1 5 をデータ 5 1 2、5 1 4 及び 5 1 6 が送受されている間に、オーバーラップして発行することができない為、このリフレッシュコマンド 5 1 1、5 1 3 及び 5 1 5 を発行するまでに 4 クロック分の期間 5 5 1、5 5 2 及び 5 5 3 の遅延が生じる。

【 0 0 4 4 】

又、インタリーブ動作 B の最中に、リフレッシュ動作を割り込ませる場合については、リフレッシュ動作を実行する為に発行するリフレッシュコマンド 5 1 7 をリードデータ 5 1 8 が送受されている間に、オーバーラップして発行することができない為、リフレッシュコ

50

マンド 5 1 7 を発行するまでに 1 クロック分の期間 5 5 4 の遅延が生じる。

【 0 0 4 5 】

この為、インタリーブ動作 A の最中にリフレッシュ動作を割り込ませる場合と、インタリーブ動作 B の最中にリフレッシュ動作を割り込ませる場合にそれぞれ必要な期間を比較した際、インタリーブ動作 B の最中にリフレッシュ動作を割り込ませる場合は、インタリーブ動作 A の最中にリフレッシュ動作を割り込ませる場合よりも、リフレッシュコマンドを発行する為に動作に生じる遅延が 3 クロック分の期間だけ短い為、インタリーブ動作全体に必要な期間も短い。

【 0 0 4 6 】

次に、図 6 を参照して、アービタによるマスタの要求の調停方法をする。

10

【 0 0 4 7 】

図 6 は、アービタによるマスタの要求の調停方法を示す模式図である。

【 0 0 4 8 】

同図において、ライト要求 2 1 及び 2 2、リード要求 2 3 及び 2 4、リード/ライト要求 2 5 は、コントローラやインタフェースのマスタから発行された要求をそれぞれ示している。

【 0 0 4 9 】

アービタ 6 は、マスタから発行される要求が調停されるマスタの優先順位に基づいて、優先順位を順番に帰還しながら、全てのマスタから要求の発行を均等に調停する。なお、優先順位をライト DMA コントローラ 3 - 1、ライト DMA コントローラ 3 - 2、リード DMA コントローラ 4 - 1、リード DMA コントローラ 4 - 2、CPU バスインタフェース 5 の順番で帰還する。

20

【 0 0 5 0 】

一例として、ライト要求 2 1 が最も優先順位の高い要求である時に、ライト要求 2 1、ライト要求 2 2、リード要求 2 3 の順番で優先順位が高くなる。

【 0 0 5 1 】

アービタ 6 が最も優先順位の高いライト要求 2 1 を許可した後に、優先順位の順番を帰還すると、優先順位はライト要求 2 2、リード要求 2 3 の順番で高くなる。

【 0 0 5 2 】

又、別の一例として、ライト要求 2 1 が最も優先順位の高い要求である時に、次に優先順位の高いライト要求 2 2 が発行されていないこともある。本来、ライト要求 2 2 が次に優先順位の高い要求であるが、この場合には、ライト要求 2 1、リード要求 2 3、リード要求 2 4 の順番で優先順位が高くなる。

30

【 0 0 5 3 】

アービタ 6 が最も優先順位の高いライト要求 2 1 を許可し、優先順位の順番を帰還すると、優先順位はリード要求 2 3、リード要求 2 4 の順番で高くなる。

【 0 0 5 4 】

又、別の一例として、ライト要求 2 1 が最も優先順位の高い要求である時に、この他の要求が何も発行されていない場合には、他の要求が発行されるまで、ライト要求 2 1 が最も優先順位の高い要求であり続ける。

40

【 0 0 5 5 】

ところで、図 4 及び図 5 において上述したように、DRAM 1 0 の異なるバンクに連続してリードアクセス又はライトアクセスする場合には、インタリーブ動作が可能となる。又、優先順位が連続するマスタが使用する DRAM 1 0 のバンクを異なるバンクにそれぞれ設定することで、全ての要求に対する動作をインタリーブ動作により行うことができる。

【 0 0 5 6 】

一例として、異なるバンクに連続してアクセスすることを前提とし、ライト要求 2 1 を許可し、ライト動作を実行した後に、優先順位が連続するライト要求 2 2 を許可し、ライト動作を実行する際は、このライト動作をインタリーブ動作 A により行う。

【 0 0 5 7 】

50

又、同様に異なるバンクに連続してアクセスすることを前提とし、リード要求 2 4 を許可し、リード動作を実行した後に、優先順位が 2 番目に高いリード/ライト要求 2 5 が発行されていない為、優先順位が 3 番目に高いライト要求 2 1 を許可し、ライト動作を実行する際は、このライト動作をインタリーブ動作 B により行う。

【 0 0 5 8 】

なお、CPUバスインタフェイス 5 と DRAM 1 0 とをアクセスする為のデータバスは双方向である為、CPUバスインタフェイス 5 が発行するリード/ライト要求 2 5 は、リード要求である場合と、ライト要求である場合がある。この為、優先順位が連続する要求をインタリーブ動作で実行する際に、インタリーブ動作 A、或いはインタリーブ動作 B になるかは、発行される要求により可変する。

10

【 0 0 5 9 】

一例として、異なるバンクに連続してアクセスすることを前提とし、リード要求 2 4 を許可し、リード動作を実行した後に、優先順位が連続するリード/ライト要求 2 5 がリード要求である場合、このリード要求を許可し、リード動作を実行する際には、最初のリード動作に連続するリード動作をインタリーブ動作 A により行う。又、リード/ライト要求 2 5 がライト要求である場合には、このライト要求を許可し、ライト動作を実行する際には、リード動作に連続するライト動作をインタリーブ動作 B により行う。

【 0 0 6 0 】

なお、リフレッシュ要求 3 1 は優先順位に加えずに、アービタ 6 は他の要求よりも優先してリフレッシュ要求 3 1 を許可することができるが、DRAM 1 0 のリフレッシュ動作は所定の期間において、所定の回数が行われれば良い為、それぞれのリフレッシュ動作の実行がずれても差し支えない。

20

【 0 0 6 1 】

そこで、リフレッシュ動作による損失が大きいインタリーブ動作 A を実行する際に、リフレッシュ要求 3 1 がある場合には、DRAM 1 0 のリフレッシュ動作を行わなければならない所定の期間を超えない範囲で、リフレッシュ要求 3 1 を待機させ、インタリーブ動作 A を優先して行い、リフレッシュ動作による損失が少ないインタリーブ動作 B の動作中にリフレッシュ動作を行うように、アービタ 6 は各マスタから発行された要求を調停する。

【 0 0 6 2 】

一例として、ライト要求 2 1 によるライト動作に続いて、優先順位が連続するライト要求 2 2 によるライト動作をインタリーブ動作 A で実行する際に、リフレッシュ要求 3 1 がある場合は、リフレッシュ要求 3 1 を待機させ、リフレッシュ動作よりインタリーブ動作 A を優先して行う。

30

【 0 0 6 3 】

又、リード要求 2 3 によるリード動作に続いて、優先順位が次に高いライト要求 2 1 によるライト動作をインタリーブ動作 B で実行する際に、リフレッシュ要求 3 1 がある場合は、リード要求 2 3 を許可した後に、リフレッシュ要求 3 1 を許可してから、ライト要求 2 1 を許可することで、インタリーブ動作 B の最中にリフレッシュ動作を割り込ませる。

【 0 0 6 4 】

次に、図 7 を参照して、アービタによるマスタの要求の調停の流れを説明する。

40

【 0 0 6 5 】

図 7 は、アービタによるマスタの要求の調停の流れを示すフローチャートである。

【 0 0 6 6 】

各コントローラやインタフェイスのマスタから DRAM 1 0 にアクセスする際に、DRAM 1 0 のリフレッシュ動作を行わなければならない所定の期間を超えていないインタリーブ動作が可能な期間である時に (ステップ 1 0 1 の YES)、これらのマスタからアービタ 6 にアクセス要求が発行され (ステップ 1 0 2 の YES)、その要求がリフレッシュ要求以外の要求であり (ステップ 1 0 3 の NO)、更にその要求がインタリーブ動作 A 又はインタリーブ動作 B を行うことのできる要求であるならば (ステップ 1 0 7 の YES)、アービタ 6 はアクセス要求を発行したマスタに対して、インタリーブ動作 A 又はインタリ

50

ープ動作Bを行わせるように、アクセス許可を発行する(ステップ108)。

【0067】

又、インタリーブ動作を行うことのできない要求であるならば(ステップ107のNO)、アービタ6はマスタに図3に示したようなインタリーブ動作でない通常の方法において、リード動作、或いはライト動作を行わせるように、アクセス許可を発行する(ステップ109)。

【0068】

又、ステップ103において、マスタから発行されたアクセス要求がリフレッシュ要求であり(ステップ103のYES)、この時、他にインタリーブ動作Aを行うことのできる要求であるならば(ステップ104のYES)、アービタ6はアクセス要求を発行したマスタに優先してインタリーブ動作Aを行わせるように、アクセス許可を発行する(ステップ105)。なお、アービタはリフレッシュ要求を待機させておき、他にインタリーブ動作Aを行うことができる要求がない場合に(ステップ104のNO)、アービタ6はリフレッシュコントローラ2にリフレッシュ動作を行わせるように、リフレッシュ許可を発行する(ステップ106)。

10

【0069】

又、アービタ6はDRAM10にアクセスする際に、インタリーブ動作が可能でない期間に(ステップ101のNO)、マスタからアクセス要求が発行されて(ステップ110のYES)、その要求がリフレッシュ要求以外のリード要求、或いはライト要求であるならば(ステップ111のNO)、アービタ6はマスタに図3に示したようなインタリーブ動作ではない通常の方法において、リード動作、或いはライト動作を行わせるように、アクセス許可を発行する(ステップ113)。

20

【0070】

又、ステップ111において、マスタから発行されたアクセス要求がリフレッシュ要求であるならば(ステップ111のYES)、アービタ6はリフレッシュ動作を行わせるように、リフレッシュ許可を発行する(ステップ112)。

【0071】

【発明の効果】

アービタが各マスタから発行された要求を優先順位に基づいて調停し、リード動作とライト動作が連続するインタリーブ動作中に、リフレッシュ動作を行うように構成したので、リフレッシュ動作による損失を最小限に押さえることができる為、メモリアクセス性能の低下を低減することができる。

30

【0072】

又、各マスタから発行された要求を各マスタの優先順位に基づいて帰還処理する間に、効率良くリフレッシュ要求を許可することができる為、リフレッシュ要求を待機させる回路を必要とせずに、制御回路を一層容易に構成することができる。

【0073】

又、優先順位が連続するマスタが使用するDRAMのバンクを異なるバンクに配置することで、連続したインタリーブ動作を行うことができ、メモリアクセス性能を一層向上することができる。

40

【図面の簡単な説明】

【図1】メモリ制御装置の構成を示すブロック図。

【図2】DRAMへアクセスする際のメモリコントローラの動作の流れを示すタイムチャート中の記号の凡例を示す図。

【図3】DRAMへアクセスする際のメモリコントローラの動作の流れを示す第1のタイムチャート。

【図4】DRAMへアクセスする際のメモリコントローラの動作の流れを示す第2のタイムチャート。

【図5】DRAMへアクセスする際のメモリコントローラの動作の流れを示す第3のタイムチャート。

50

【図6】アービタによるマスタの要求の調停方法を示す模式図。

【図7】アービタによるマスタの要求の調停の流れを示すフローチャート。

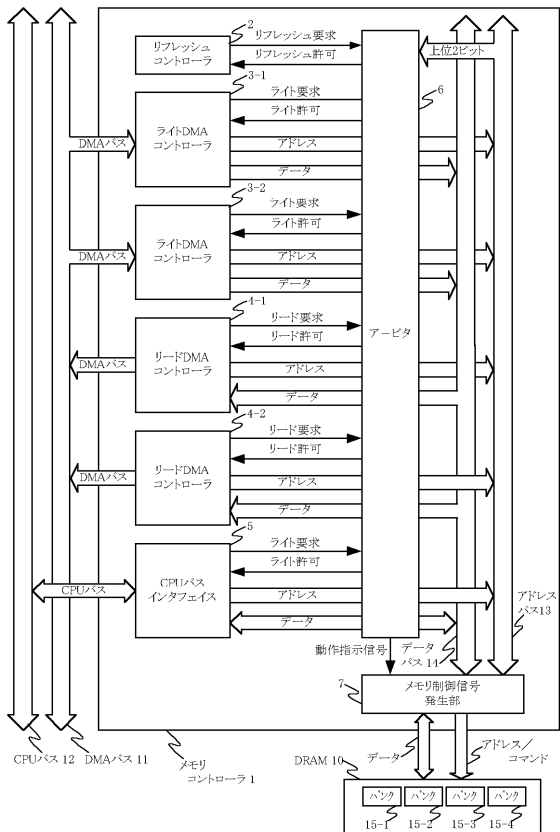
【符号の説明】

- 1 メモリコントローラ
- 2 リフレッシュコントローラ
- 3 - 1 及び 3 - 2 ライトDMAコントローラ
- 4 - 1 及び 4 - 2 リードDMAコントローラ
- 5 CPUバスインタフェイス
- 6 アービタ
- 7 メモリ制御信号発生部
- 10 DRAM
- 11 DMAバス
- 12 CPUバス
- 13 アドレスバス
- 14 データバス
- 15 - 1 乃至 15 - 4 バンク
- 21 及び 22 ライト要求
- 23 及び 24 リード要求
- 25 リード/ライト要求
- 31 リフレッシュ要求
- 311 乃至 320、411 及び 422、511 乃至 518 コマンド/データ 351 及び 354、451 及び 455、551 及び 554 期間

10

20

【図1】



【図2】

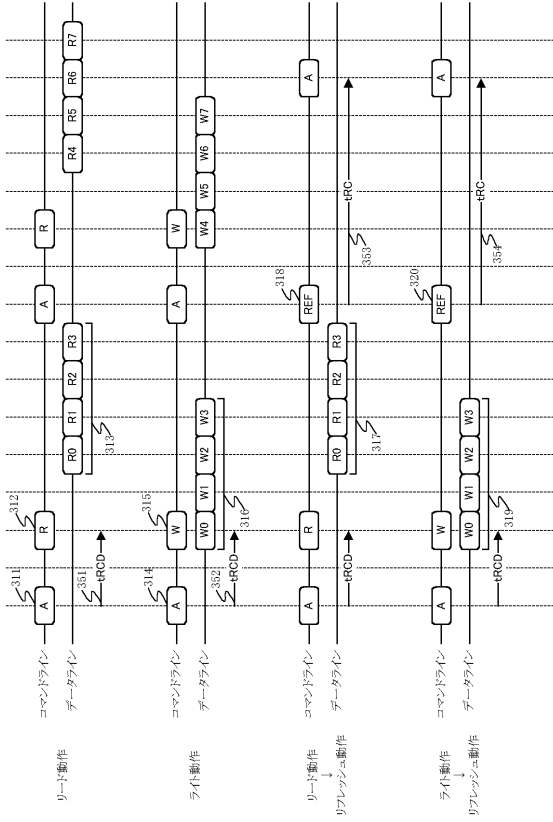
コマンド名/データ	記号
アクティブコマンド (Active Command)	A
リードコマンド (Read Command)	R
ライトコマンド (Write Command)	W
データ	R1, W1

(a)

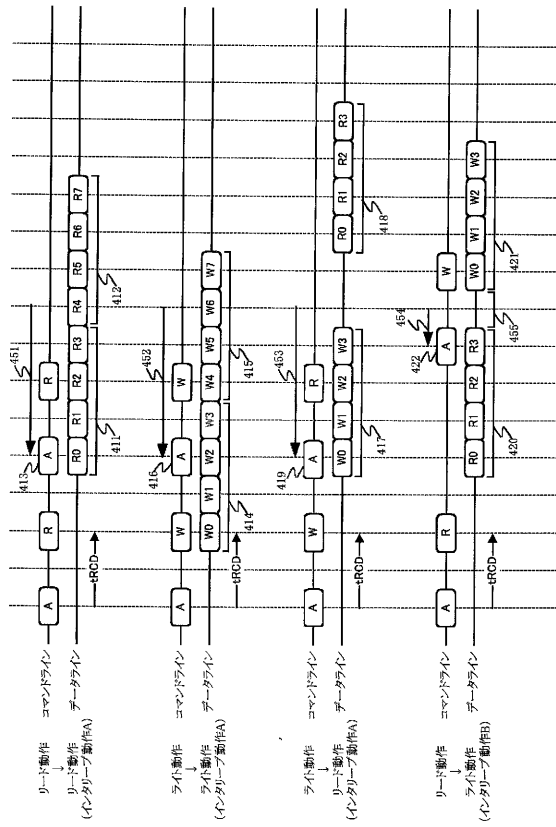
コマンド期間	記号
リフレッシュ/アクティブ-リフレッシュ/アクティブコマンド期間	tRC
アクティブコマンド - リード/ライトコマンド 遷移期間	tRCD

(b)

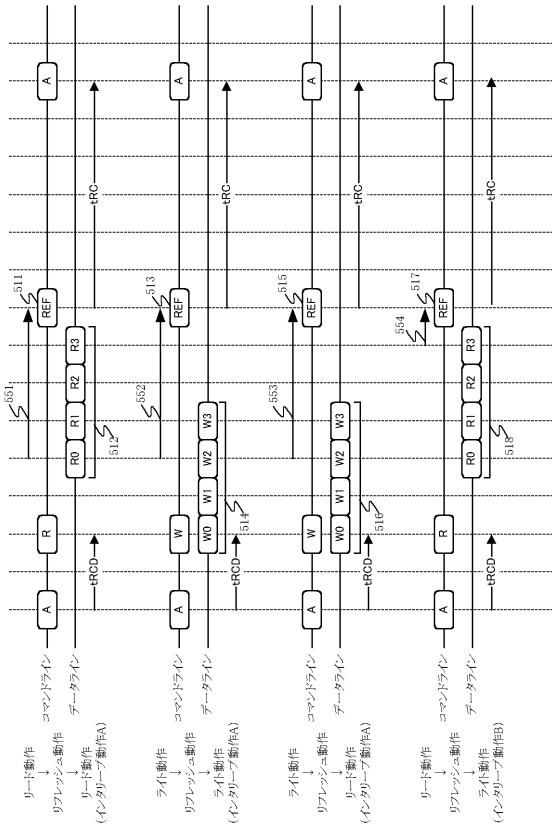
【 3 】



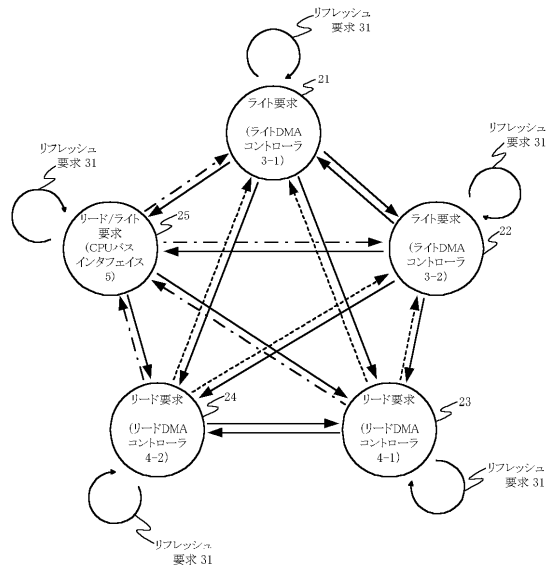
【 4 】



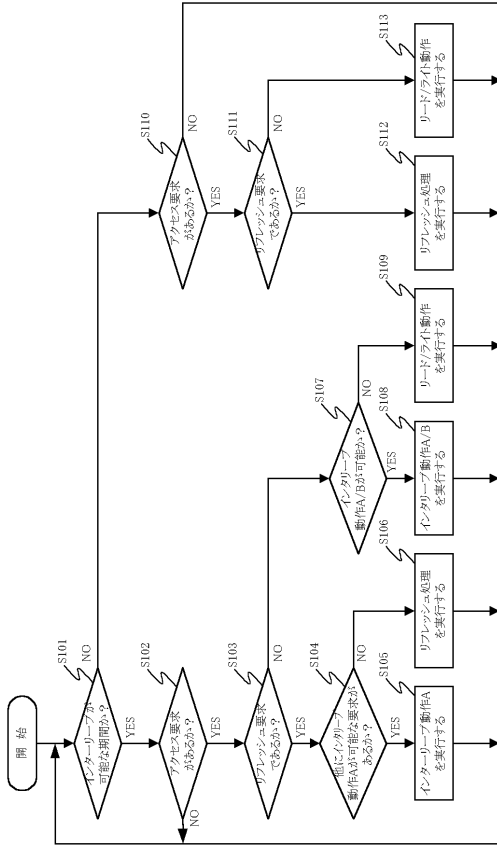
【 5 】



【 6 】



【 図 7 】



フロントページの続き

(72)発明者 田中 耕平

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

審査官 間野 裕一

(56)参考文献 特開平10-275461(JP,A)

特開平9-106674(JP,A)

特開平11-353872(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00-12/06

G11C 11/406-11/4099