



О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 809152

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 14.03.79 (21) 2730328/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 28.02.81. Бюллетень № 8

Дата опубликования описания 05.03.81

(51) М. Кл.³

G 06 F 5/02

(53) УДК 681.325.
.53(088.8)

(72) Авторы
изобретения

Г. Г. Асатиани, Т. О. Кублашвили, О. Г. Смородинова,
Р. З. Мирианшвили и В. Г. Чачанидзе

(71) Заявитель

Ордена Ленина институт проблем управления

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ ДВОИЧНО-ДЕСЯТИЧНЫХ ЧИСЕЛ В ДВОИЧНЫЕ

1

Изобретение относится к вычислительной технике и предназначено для преобразования последовательных двоично-десятичных кодов целых и дробных чисел в двоичные, в которых знак содержится в последнем n -ом разряде и сначала поступают младшие разряды.

Известны устройства для преобразования двоично-десятичных чисел в двоичные, содержащие распределитель, элементы ИЛИ, И, НЕ, а также полные последовательные сумматоры [1].

К недостаткам известного устройства относится низкое быстродействие, так как для преобразования двоично-десятичных чисел в двоичные требуется не менее $5n$ тактов, где n -разрядность преобразуемых чисел. Это вызвано тем, что для формирования n -разрядного результата преобразования требуется осуществление n сдвигов исходного двоично-десятичного числа и реализация корректирующего шага после тетрад числа три, в которые перешли единицы из каждого сдвига. Корректирующий шаг заключается в вычитании из старших тетрад при сдвиге двоично-десятичного числа вправо, и составляет не менее четырех тактов. Еще n тактов

2

тратится на ввод двоично-десятичного числа в устройство.

Известно также устройство для преобразования двоично-десятичных чисел в двоичные, содержащее распределитель, информационный вход которого соединен с управляющей шиной, установочный вход — с шиной сброса и нулевым входом триггера, а также элементы ИЛИ, один из входов каждого из которых соединен с соответствующим выходом распределителя [2].

В известном устройстве выход каждого элемента ИЛИ соединен с одним из входов соответствующего элемента И, вторые входы которых подключены к информационной шине. К недостаткам известного устройства относятся низкое быстродействие, так как для преобразования двоично-десятичных чисел в двоичные требуется не менее $n + kn$ тактов, где n -разрядность преобразуемых чисел, а k — количество тетрад двоично-десятичного числа, т.е. для шестнадцатиразрядных двоично-десятичных чисел преобразование в двоичные числа осуществляется не менее чем за $5n$ тактов. Это обусловлено тем, что каждый цикл известного устройства заключается в умножении одной тетрады

исходного двоично-десятичного числа на число 1010 и в передаче полученного результата от входа к выходу вспомогательного n -разрядного сдвигового регистра. При этом n тактов тратится на ввод двоично-десятичного числа в устройство.

Наиболее близким техническим решением к предлагаемому является устройство для преобразования двоично-десятичных чисел в двоичные, содержащее распределитель, информационный вход которого соединен с первой управляющей шиной устройства, установочный вход — с шиной сброса устройства и нулевым входом триггера, единственный вход которого подключен к выходу первого элемента И, а единственный выход — к первому входу второго элемента И и через первый элемент НЕ к первому входу третьего элемента И, выход которого соединен с первым входом первого элемента ИЛИ, выход которого подключен к выходной шине устройства, а второй вход — к выходу сумматора и входу элемента задержки, выход которого соединен с первым входом сумматора, второй вход которого подключен к выходу второго элемента И, при этом разрядные выходы распределителя с первого по четвертый соединены со входами второго элемента ИЛИ, выход которого подключен к первому входу четвертого элемента И, разрядные выходы распределителя с пятого по восьмой соединены со входами третьего элемента ИЛИ, выход которого подключен к первому входу пятого элемента И, разрядные выходы распределителя с девятого по двенадцатый соединены со входами четвертого элемента ИЛИ, выход которого подключен к первому входу шестого элемента И, разрядные выходы распределителя с тринадцатого по пятнадцатый соединены со входами пятого элемента ИЛИ, выход которого подключен к первому входу седьмого элемента И, шестнадцатый разрядный выход распределителя соединен с первым входом первого элемента И, второй вход которого подключен ко входной информационной шине устройства и ко вторым входам четвертого, пятого, шестого и седьмого элементов И, а также восьмой элемент И, первый вход которого соединен со второй управляющей шиной устройства и через второй элемент НЕ с первым входом девятого элемента И [3].

К недостаткам известного устройства относится низкое быстродействие, так как для преобразования двоично-десятичных чисел в двоичные требуется не менее $5n$ тактов. Это вызвано тем, что для формирования n -разрядного результата требуется n циклов, а каждый цикл состоит из сдвига (умножение на два) двоично-десятичного числа и корректирующего шага. Корректирующий шаг определяют те тетрады, для которых имеет место условие $\sum_{r=0}^{3} \varphi \cdot 2^r \geq 5$, где φ - двоичная цифра (0 или 1), а r — номер дво-

ичного разряда двоично-десятичной тетрады. В случае, когда удовлетворяется это условие, корректирующий шаг заключается в посылке корректирующего кода 0011 на сумматор, где осуществляется сложение содержания этих тетрад с кодом коррекции. Это компенсирует ошибку, образующуюся в результате последующего сдвига двоично-десятичного числа. Здесь, как и в выше рассмотренных случаях, n тактов тратится на ввод двоично-десятичного числа в устройство.

Цель изобретения — повышение быстродействия устройства для преобразования двоично-десятичных чисел в двоичные.

Указанная цель достигается за счет того, что в устройстве для преобразования двоично-десятичных чисел в двоичные, содержащем распределитель, информационный вход которого соединен с первой управляющей шиной устройства, установочный вход с шиной сброса устройства и нулевым входом триггера, единственный вход которого подключен к выходу первого элемента И, а единственный выход — к первому входу второго элемента И и через первый элемент НЕ - к первому входу третьего элемента И, выход которого соединен с первым входом первого элемента ИЛИ, выход которого подключен к выходной шине устройства, а второй вход — к выходу сумматора и входу элемента задержки, выход которого соединен с первым входом сумматора, второй вход которого подключен к выходу второго элемента И, при этом разрядные выходы распределителя с первого по четвертый соединены со входами второго элемента ИЛИ, выход которого подключен к первому входу четвертого элемента И, разрядные выходы распределителя с пятого по восьмой соединены со входами третьего элемента ИЛИ, выход которого подключен к первому входу пятого элемента И, разрядные выходы распределителя с девятого по двенадцатый соединены со входами четвертого элемента ИЛИ, выход которого подключен к первому входу шестого элемента И, разрядные выходы распределителя с тринадцатого по пятнадцатый соединены со входами пятого элемента ИЛИ, выход которого подключен к первому входу седьмого элемента И, шестнадцатый разрядный выход распределителя соединен с первым входом первого элемента И, второй вход которого подключен ко входной информационной шине устройства и ко вторым входам четвертого, пятого, шестого и седьмого элементов И, а также восьмой элемент И, первый вход которого соединен со второй управляющей шиной устройства и через второй элемент НЕ с первым входом девятого элемента И, введены блок умножения, дополнительный элемент ИЛИ, дополнительные сумматоры и дополнительные элементы задержки, при этом выход четвертого элемента И через девятитактный дополнительный элемент

задержки соединен с первым входом первого дополнительного сумматора, выход которого соединен со вторыми входами восьмого и девятого элементов И, выход пятого элемента И через первый шеститактный дополнительный элемент задержки подключен к первому входу второго дополнительного сумматора, выход которого соединен с первым входом третьего дополнительного сумматора и через первый двухтактный дополнительный элемент задержки со вторым входом третьего дополнительного сумматора, выход которого подключен ко второму входу первого дополнительного сумматора, выход шестого элемента И через трехтактный дополнительный элемент задержки соединен с первым входом четвертого дополнительного сумматора, выход которого подключен к первому входу пятого дополнительного сумматора и через второй двухтактный дополнительный элемент задержки ко второму входу пятого дополнительного сумматора, выход которого соединен со вторым входом второго дополнительного сумматора, выход седьмого элемента И соединен с первым входом шестого дополнительного сумматора и через третий двухтактный дополнительный элемент задержки со вторым входом шестого дополнительного сумматора, выход которого подключен ко второму входу четвертого дополнительного сумматора, выход девятого элемента И через второй шеститактный дополнительный элемент задержки подключен к первому входу дополнительного элемента ИЛИ, второй вход которого через блок умножения соединен с выходом восьмого элемента И при этом выход дополнительного элемента ИЛИ подключен ко вторым входам второго и третьего элементов И.

На фиг. 1 представлена функциональная схема устройства для преобразования двоично-десятичных чисел в двоичные; на фиг. 2 и 3 — временные диаграммы.

Устройство содержит распределитель 1, информационный вход которого соединен с первой управляющей шиной 2, установочный вход — с шиной 3 сброса и нулевым входом триггера 4, единичный вход которого подключен к выходу первого элемента И 5, а единичный выход — к первому входу второго элемента И 6 и через первый элемент НЕ 7 к первому входу третьего элемента И 8, выход которого соединен с первым входом первого элемента ИЛИ 9, выход которого подключен к выходной шине 10, а второй вход — к выходу сумматора 11 и входу элемента 12 задержки, выход которого соединен с первым входом сумматора 11, второй вход которого подключен к выходу второго элемента И 6, разрядные выходы распределителя 1 с первого по четвертый соединены со входами второго элемента ИЛИ 13, выход которого подключен к первому входу четвертого элемента И 14, разрядные выходы распределителя 1 с пятого по восьмой соединены со входами третьего

элемента ИЛИ 15, выход которого подключен к первому входу пятого элемента И 16, разрядные выходы распределителя 1 с девятого по двенадцатый соединены со входами четвертого элемента ИЛИ 17, выход которого подключен к первому входу шестого элемента И 18, разрядные выходы распределителя 1 с тринадцатого по пятнадцатый соединены со входами пятого элемента ИЛИ 19, выход которого подключен к первому входу седьмого элемента И 20, шестнадцатый разрядный выход распределителя 1 соединен с первым входом первого элемента И 5, второй вход которого подключен ко входной информационной шине 21 и ко вторым входам четвертого, пятого, шестого и седьмого элементов И 14, 16, 18 и 20, 22 — восьмой элемент И, первый вход которого соединен со второй управляющей шиной 23 и через второй элемент НЕ 24 с первым входом девятого элемента И 25, выход четвертого элемента И 14 через девятитактный дополнительный элемент 26 задержки соединен с первым входом первого дополнительного сумматора 27, выход которого соединен со вторыми входами восьмого и девятого элементов И 22 и 25, выход пятого элемента И 16 через первый шеститактный дополнительный элемент 28 задержки подключен к первому входу второго дополнительного сумматора 29, выход которого соединен с первым входом третьего дополнительного сумматора 30 и через первый двухтактный дополнительный элемент задержки 31 со вторым входом третьего дополнительного сумматора 30, выход которого подключен ко второму входу первого дополнительного сумматора 27, выход шестого элемента И 18 через трехтактный дополнительный элемент 32 задержки соединен с первым входом четвертого дополнительного сумматора 33, выход которого подключен к первому входу пятого дополнительного сумматора 34 и через второй двухтактный дополнительный элемент 35 задержки ко второму входу пятого дополнительного сумматора 34, выход которого соединен со вторым входом второго дополнительного сумматора 29, выход седьмого элемента И соединен с первым входом шестого дополнительного сумматора 36 и через третий двухтактный дополнительный элемент 37 задержки со вторым входом шестого дополнительного сумматора 33, выход девятого элемента И 25 через второй шеститактный дополнительный элемент 38 задержки подключен к первому входу дополнительного элемента ИЛИ 39, второй вход которого через блок 40 умножения соединен с выходом восьмого элемента И 22, выход дополнительного элемента ИЛИ 39 подключен ко вторым входам второго и третьего элементов И 6 и 8, 41 — сумматоры, 42 — одноктактные элементы задержки, 43 — двухтактные элементы задержки, 44 — четырехтактный элемент задержки.

На фиг. 2 и 3 представлены временные диаграммы функционирования устройства для преобразования двоично-десятичных чисел в двоичные, где 45 — код двоично-десятичного числа, подаваемого на входную информационную шину 21; 46, 47, 48, 49 — соответственно логические уровни на первом, втором, третьем и $n=16$ -ом разрядных выходах распределителя 1; 50-логические уровни на выходе элемента ИЛИ 13, 51-логические уровни на выходе элемента ИЛИ 19, 52 - логические уровни на выходе элемента И 20, 53 — логические уровни на выходе элемента 37 задержки, 54 — логические уровни на выходе сумматора 36, 55 — логические уровни на выходе элемента 32 задержки, 56 — логические уровни на выходе сумматора 33, 57 — логические уровни на выходе элемента 35 задержки, 58 — логические уровни на выходе сумматора 34, 59 — логические уровни на выходе элемента 28 задержки, 60 — логические уровни на выходе сумматора 29, 61 — логические уровни на выходе элемента 31 задержки, 62 — логические уровни на выходе сумматора 30, 63 — логические уровни на выходе элемента 26 задержки, 64 — логические уровни на выходе сумматора 27, 65 — код результата, 66 — логические уровни на управляющей шине 23, 67 — логические уровни на выходе элемента И 5, 68 — логические уровни на выходе элемента ИЛИ 39.

Функционирование устройства для преобразования двоично-десятичных чисел в двоичные для случая шестнадцатиразрядных чисел, в которых знак содержится в последнем разряде, осуществляется следующим образом.

В исходном состоянии при помощи единичного логического уровня, подаваемого по шине сброса 3, триггер 4 и распределитель 1 устанавливаются в нулевое состояние. На первом такте на управляющую шину 2 подается импульс, который за 16 тактов в виде единичных логических уровней распределяется по разрядным выходам распределителя 1 (см. фиг. 2 и 3 эпюры 46-49). Начиная с первого такта на входную информационную шину 21 подается код двоично-десятичного числа (см. фиг. 2 и 3 эпюру 45) начиная с младших разрядов. Единичный логический уровень с выхода элемента ИЛИ 13 (см. фиг. 2 и 3 эпюру 50) с первого по четвертый такты разблокирует элементы И 14, в результате чего в течение указанных тактов первая тетрада исходного двоично-десятичного числа подается на вход элемента задержки 26, который осуществляет задержку указанной тетрады на девять тактов (см. фиг. 2 и 3 эпюру 63). Аналогично, вторая тетрада исходного двоично-десятичного числа с пятого по восьмой такты подается на вход элемента 28 задержки, который осуществляет задержку этой тетрады на шесть тактов (см. эпюру 59). Аналогич-

но, с девятого по двенадцатый такты на вход элемента 32 задержки подается третья тетрада исходного двоично-десятичного числа, которая снимается с выхода указанного элемента задержки, задержанной на 3 такта (см. эпюру 55). Единичный логический уровень с выхода элемента ИЛИ 19 (см. эпюру 51) с тринадцатого по пятнадцатый такты, разблокирует элемент И 20 (см. эпюру 52) в результате чего с выхода элемента И 20 в течение указанных тактов снимается последняя (четвертая) неполная тетрада исходного двоично-десятичного числа. На элементе 37 задержки осуществляется задержка четвертой тетрады на два такта (см. эпюру 53). Вследствие этого на выходе сумматора 36 образуется результат умножения четвертой тетрады на 1010 (см. эпюру 54), который на сумматоре 33 (см. эпюру 56) складывается с третьей тетрадой, подаваемой с элемента 32 задержки. Полученный результат при помощи элемента 35 задержки (см. эпюру 57) и сумматора 34 (см. эпюру 58) умножается на 1010 и на сумматоре 29 (см. эпюру 60) складывается со второй тетрадой, подаваемой с выхода элемента 28 задержки. Этот последний результат при помощи элемента 31 задержки (см. эпюру 61) и сумматора 30 (см. эпюру 62) также умножается на 1010 и на сумматоре 27 (см. эпюру 64) складывается с первой тетрадой, подаваемой с выхода элемента 26 задержки. В случае преобразования двоично-десятичных кодов целых чисел снимаемый с выхода сумматора 27 двоичный код является результатом преобразования, который из-за наличия на управляющей шине 23 (см. фиг. 2 эпюру 66) нулевого логического уровня через элемент И 25 и элемент 38 задержки подается на вход элемента ИЛИ 38. На шестнадцатом такте с выхода элемента И 5 снимается логический уровень, соответствующий знаку преобразуемого двоично-десятичного числа (см. эпюру 67), который фиксируется в триггере 4. Если исходное двоично-десятичное число отрицательно, т.е. триггер 4 находится в единичном состоянии, элемент И 6 разблокирован и результат преобразования с выхода элемента ИЛИ 39 подается на вход сумматора 11. Этот последний в совокупности с элементом 12 задержки переводит результат преобразования в дополнительный код, который через элемент ИЛИ 9 подается на выходную шину 10 (см. эпюру 65).

В случае, если исходное двоично-десятичное число положительное, триггер 4 находится в нулевом состоянии, вследствие чего результат преобразования с выхода элемента ИЛИ 39 через элементы И 8 и ИЛИ 9 попадает на выходную шину 10 (см. эпюру 65).

На фиг. 2 рассмотрен случай преобразования двоично-десятичного кода целого чис-

ла 0.111100100100101 в двоичный код 0.001111011110101, выдача которого осуществляется с шестнадцатого по тридцать первый такт. Таким образом, предлагаемое устройство осуществляет преобразование двоично-десятичных кодов целых чисел в двоичные за менее 2 тактов, т.е. является в 2,5 раза быстрее действующим по сравнению с известными устройствами для преобразования двоично-десятичных чисел в двоичные.

В случае преобразования двоично-десятичных кодов дробных чисел в двоичные на управляющую шину 23 подается единичный логический уровень (см. фиг. 3 эпюру 66). В результате выход сумматора 27 через элемент И 22 оказывается подключенным ко входу блока 40 умножения. Так как исходное дробное двоично-десятичное число принимается за целое, блок 40 осуществляет умножение результата преобразования, снимаемого с сумматора 27, на число $1/2^m$, где m — разрядность преобразуемого десятичного числа. Таким образом в рассматриваемом случае $m=4$ и блок 40 умножает результат преобразования на число $1/10000$. С целью получения точности преобразования для максимальной ошибки порядка шестнадцатый разряд искомого двоичного кода преобразуемого двоично-десятичного числа, блок 40, согласно фиг. 1, осуществляет умножение на число 0.0000000000001101000110111. Полученный результат с выхода блока 40 умножения подается на вход элемента ИЛИ 39 (см. эпюру 68 на фиг. 3). Далее устройство функционирует аналогично рассмотренному, и результат снимается с выходной шины 10 (см. фиг. 3 эпюру 65) с 21-го по 36-ой такты.

На фиг. 3 рассмотрен случай преобразования двоично-десятичного кода дробного числа 1.101001101000010 в двоичный код 1.011101110011111. Таким образом, данное устройство осуществляет преобразование двоично-десятичных кодов дробных чисел в двоичные за $2n+4$ такта, т.е. является приблизительно в 2,2 раза быстрее действующим по сравнению с известными устройствами для преобразования двоично-десятичных чисел в двоичные.

Таким образом, в данном изобретении достигается повышение быстродействия преобразования двоично-десятичных кодов целых чисел в двоичные в 2,5 раза и двоично-десятичных кодов дробных чисел в двоичные в 2,2 раза по сравнению с известными устройствами.

Формула изобретения

Устройство для преобразования двоично-десятичных чисел в двоичные, содержа-

щее распределитель, информационный вход которого соединен с первой управляющей шиной устройства, установочный вход — с шиной сброса устройства и нулевым входом триггера, единичный вход которого подключен к выходу первого элемента И, а единичный выход — к первому входу второго элемента И и через первый элемент НЕ к первому входу третьего элемента И, выход которого соединен с первым входом первого элемента ИЛИ, выход которого подключен к выходной шине устройства, а второй вход — к выходу сумматора и входу элемента задержки, выход которого соединен с первым входом сумматора, второй вход которого подключен к выходу второго элемента И, при этом разрядные выходы распределителя с первого по четвертый соединены со входами второго элемента ИЛИ, выход которого подключен к первому входу четвертого элемента И, разрядные выходы распределителя с пятого по восьмой соединены со входами третьего элемента ИЛИ, выход которого подключен к первому входу пятого элемента И, разрядные выходы распределителя с девятого по двенадцатый соединены со входами четвертого элемента ИЛИ, выход которого подключен к первому входу шестого элемента И, разрядные выходы распределителя с тринадцатого по пятнадцатый соединены со входами пятого элемента ИЛИ, выход которого подключен к первому входу седьмого элемента И, шестнадцатый разрядный выход распределителя соединен с первым входом первого элемента И, второй вход которого подключен ко входной информационной шине устройства и ко вторым входам четвертого, пятого, шестого и седьмого элементов И, а также восьмой элемент И, первый вход которого соединен со второй управляющей шиной устройства и через второй элемент НЕ с первым входом девятого элемента И, отличающееся тем, что, с целью повышения быстродействия, в него введены блок умножения, дополнительный элемент ИЛИ, дополнительные сумматоры и дополнительные элементы задержки, при этом выход четвертого элемента И через девятитактный дополнительный элемент задержки соединен с первым входом первого дополнительного сумматора, выход которого соединен со вторыми входами восьмого и девятого элементов И, выход пятого элемента И через первый шеститактный дополнительный элемент задержки подключен к первому входу второго дополнительного сумматора, выход которого соединен с первым входом третьего дополнительного сумматора и через первый двухтактный дополнительный элемент задержки со вторым входом третьего дополнительного сумматора, выход которого подключен ко второму входу первого дополнительного сумматора, выход шестого элемента И через трехтактный дополнительный элемент задержки соединен с первым входом четвер-

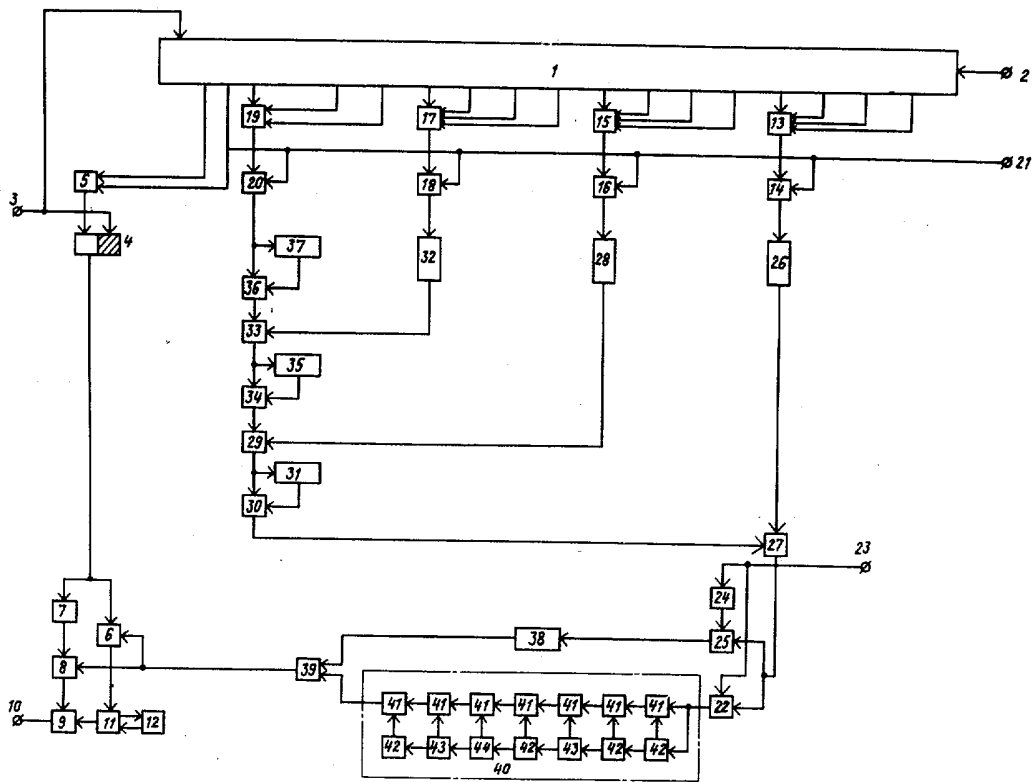
того дополнительного сумматора, выход которого подключен к первому входу пятого дополнительного сумматора и через второй двухтактный дополнительный элемент задержки — ко второму входу пятого дополнительного сумматора, выход которого соединен со вторым входом второго дополнительного сумматора, выход седьмого элемента И соединен с первым входом шестого дополнительного сумматора и через третий двухтактный дополнительный элемент задержки со вторым входом шестого дополнительного сумматора, выход которого подключен ко второму входу четвертого дополнительного сумматора, выход девятого элемента И через второй шеститактный дополни-

тельный элемент задержки подключен к первому входу дополнительного элемента ИЛИ, второй вход которого через блок умножения соединен с выходом восьмого элемента И, при этом выход дополнительного элемента ИЛИ подключен ко вторым входам второго и третьего элементов И.

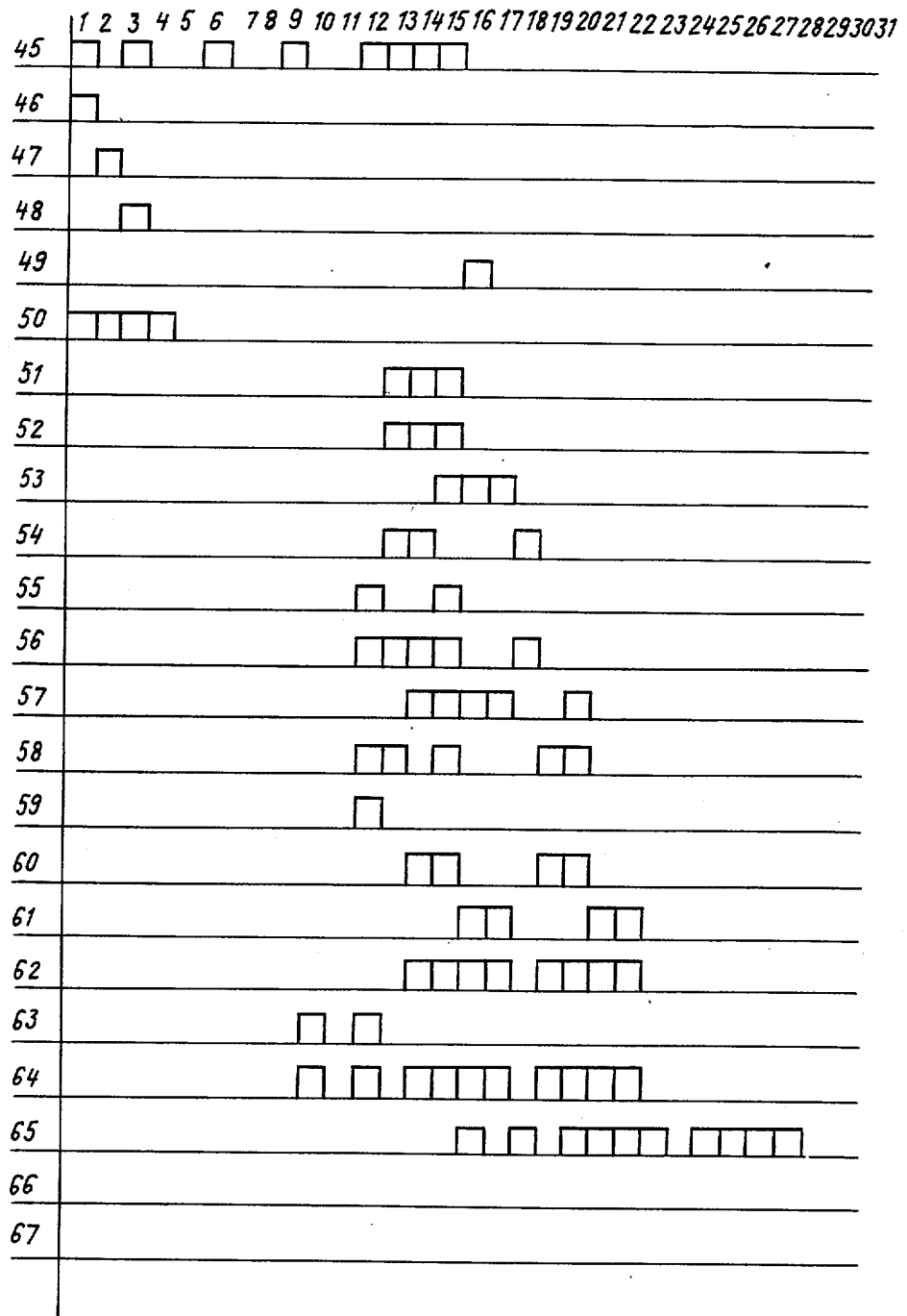
Источники информации,

принятые во внимание при экспертизе

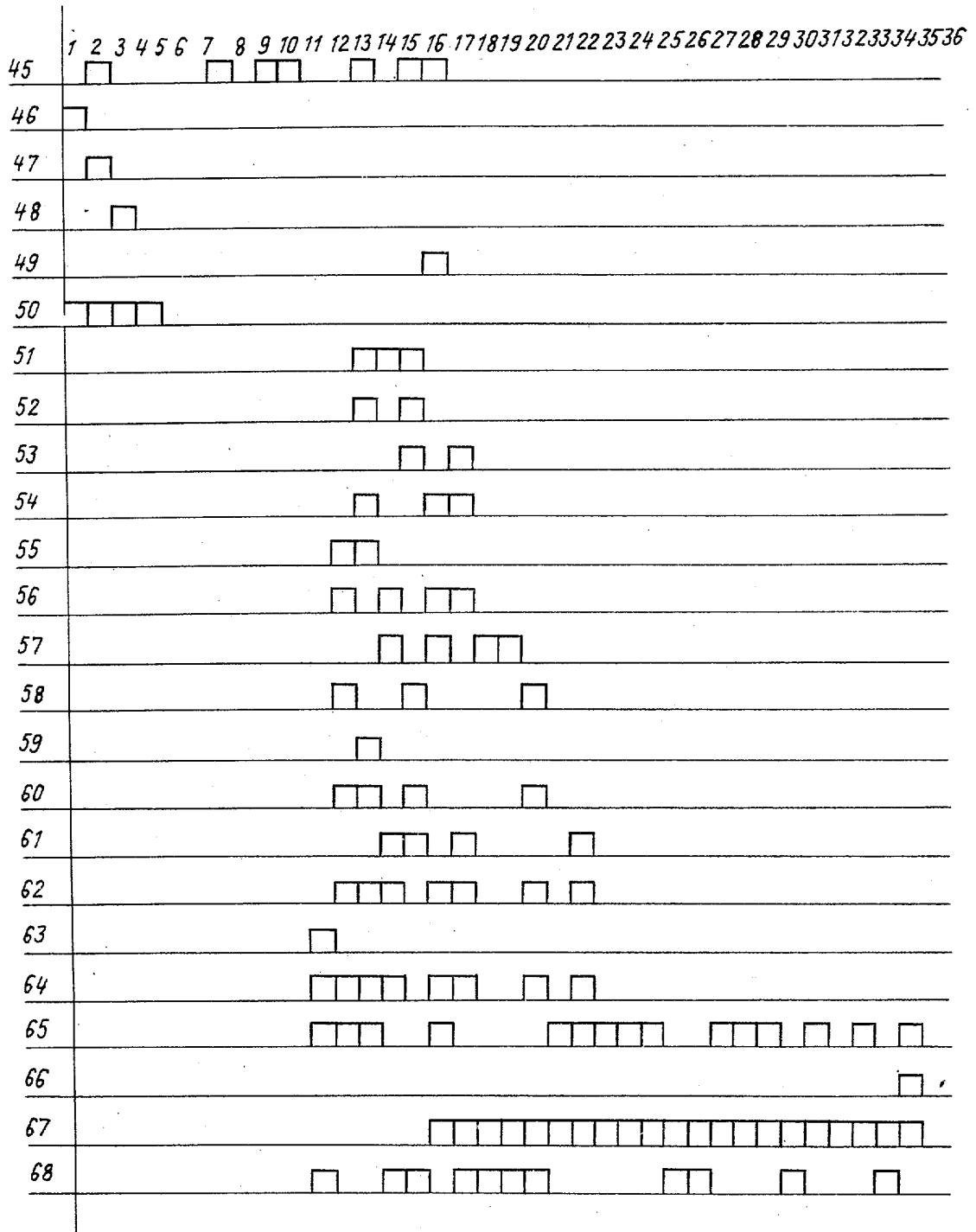
1. Карцев М. А. Арифметика цифровых машин. М., «Наука», 1969, с. 543, рис. 5-7.
2. Авторское свидетельство СССР № 269598, кл. G 06 F 5/02, 28.03.69.
3. Авторское свидетельство СССР № 404077, кл. G 06 F 5/02, 07.10.71 (прототип).



Фиг. 1



Фиг. 2



фиг. 3

Редактор Е. Лушникова
 Заказ 4/57

Составитель В. Березкин
 Техред А. Бойкас
 Тираж 756

Корректор Н. Григоров
 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5.
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4