

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 21/336	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년04월27일 10-0485297 2005년04월15일
---	-------------------------------------	--

(21) 출원번호	10-2002-7014135	(65) 공개번호	10-2002-0093058
(22) 출원일자	2002년10월21일	(43) 공개일자	2002년12월12일
번역문 제출일자	2002년10월21일		
(86) 국제출원번호	PCT/JP2001/001278	(87) 국제공개번호	WO 2002/67333
국제출원일자	2001년02월21일	국제공개일자	2002년08월29일

(81) 지정국

국내특허 : 중국, 일본, 대한민국, 미국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키,

(73) 특허권자

미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자

미나또, 다다하루
일본100-8310도쿄도지요다꾸마루노우찌2쵸메2-3미쓰비시덴키가부시카가이샤내

넛따, 데즈야
일본100-8310도쿄도지요다꾸마루노우찌2쵸메2-3미쓰비시덴키가부시카가이샤내

(74) 대리인

장수길
구영창

심사관 : 정회환

(54) 반도체 장치 및 그 제조 방법

요약

본 발명의 반도체 장치는, p형 불순물 영역(4)과 n형 드리프트 영역(3)이 배열된 구조가 2회 이상 반복된 pn 반복 구조를 지니고, 이 pn 반복 구조의 최단부에 위치하는 p형 불순물 영역(4) 및 n형 드리프트 영역(3) 중 어느 하나인 저농도 영역이, pn 반복 구조를 구성하는 모든 p형 불순물 영역(4) 및 n형 드리프트 영역(3) 중에서 가장 낮은 불순물 농도 혹은 가장 적은 총합적인 실효 전하량을 갖고 있다.

이에 의해, 특히 소자 내압이 20 내지 6000V의 넓은 범위의 3차원적인 다중 RESURF 원리를 응용한 전력 반도체 장치의 주 내압을 개선할 수 있고, 주 내압과 온저항의 트레이드 오프 관계도 개선할 수 있기 때문에, 전력 손실이 적고, 칩 사이즈도 작으며, 염가인 것이 얻어진다.

또한, 점선 트렌치(DLT: Dotted Line Trench) 구조의 홈과 그것에 대응하는 제조 방법을 사용함으로써, 더욱 저비용으로 양품율이 좋은 반도체 장치를 만들 수 있다.

대표도

도 1

색인어

반도체 장치, 홈, pn 반복 구조, 이온 주입, 불순물 영역, 불순물 농도

명세서

기술분야

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 전력 반도체 장치의 성능 개량이나 수율 개선에 관한 것이다.

배경기술

종래형 MOS-FET(Metal Oxide Semiconductor-Field Effect Transistor)의 일률적인 n형 드리프트층 대신에, RESURF(Reduced Surface Field) 효과라고 불리는 전계 완화 현상을 응용한 미세한 p형과 n형층의 반복 구조를 이용한 소자가, 예를 들면 USP6,040,600 등에서 제창되어 있다. 이 소자에 있어서, 온 상태에서는, 종래 구조의 일률적인 n 드리프트층의 농도보다 1차릿수 정도 높은 불순물 농도의 n형 드리프트층에 의해 저 온저항이 얻어지고, 오프 상태에서는, n/p 층의 3차원적인 다중 RESURF 효과에 의해 전체의 전계가 완화된다. 이에 의해, 단독의 고농도 n형 드리프트층만으로 통상 얻어지는 주 내압의 수배의 내압을 실현할 수 있으며, 원리적으로는, 주 내압과 비(比)온저항의 관계를 한정된 Si 한계(비저항율은 주 내압의 2.5승에 비례하는 $R_{on, sp}=5.93 \times 10^{-9} BV^{2.5}$)를 절단할 수 있는 STM(Super Trench power MOS-FET) 구조가 얻어진다.

그러나, 실 소자에 있어서는, 칩의 단부 부분에서 이 미세한 p형과 n형층의 반복 구조를 무한하게 반복할 수 없기 때문에, 반복이 도중에 끊기는 종단 구조 「Termination」 부분에서의 주 내압의 저하가 심하다고 하는 문제가 있었다. 이하, 이러한 관점에서 종래 기술과 그 문제점에 대하여 설명한다.

도 148은 종래의 반도체 장치의 제1 구성을 개략적으로 나타내는 단면도로, 구체적인 능동 소자 구조로서 MOS-FET를 상정한 경우에 상당하는 구성을 나타낸다. 도 148을 참조하면, MOS-FET의 n⁺ 드레인 영역(101)의 제1 주면측에 n⁻ 에피택셜층(102)이 형성되어 있다. 이 n⁻ 에피택셜층(102) 내에, n형 드리프트 영역(103)과 p형 불순물 영역(104)이 교대로 반복된 pn 반복 구조가 형성되어 있다.

또, 이 pn 반복 구조에서의 소자 중앙 부근은 설명의 편의상 생략하고 있지만, 통상, 이 부분에 수백 내지 수만 조의 n형 드리프트 영역(103)과 p형 불순물 영역(104)의 조합이 반복하여 존재한다. 1조의 n형 드리프트 영역(103)의 n형 불순물 농도와 p형 불순물 영역(104)의 p형 불순물 농도는 실질적으로 동일하게 되도록 설정되어 있다.

p형 불순물 영역(104)의 제1 주면측에는 p형 보디 영역(105)이 형성되어 있다. 이 p형 보디 영역(105)은 n형 드리프트 영역(103)의 제1 주면측의 적어도 일부 상에도 위치하고 있으며, n형 드리프트 영역(103)과 주된 pn 접합을 구성하고 있다. 이 p형 보디 영역(105) 내의 제1 주면에는, MOS-FET의 n⁺ 소스 영역(106)과, p형 보디 영역(105)으로의 저 저항 컨택트를 취하기 위한 p⁺ 컨택트 영역(107)이 나란히 배열되어 형성되어 있다.

n형 드리프트 영역(103)과 n⁺ 소스 영역(106) 사이에 삽입된 p형 보디 영역(105)에 게이트 절연막(108)을 통해 대향하도록 제1 주면 상에 게이트 전극(109)이 형성되어 있다. 이 게이트 전극(109)에 정전압이 인가되면, 게이트 전극(109)에 대향하는 p형 보디 영역(105)이 n형으로 반전하여 채널 영역이 형성된다.

n⁺ 소스 영역(106)과 p⁺ 컨택트 영역(107)에 전기적으로 접속하도록, 제1 주면 상에, 예를 들면 알루미늄(Al)을 포함하는 재료로 이루어지는 소스 전극(110)이 형성되어 있다.

n⁺ 드레인 영역(101)과 접하도록 제2 주면 상에 드레인 금속 배선(111)이 형성되어 있다.

또 실 소자에 있어서는, 소스 전극 부분은 제1 주면 상의 층간 절연막에 마련된 컨택트 홀을 통하고, 또한 베리어 메탈을 통해 n⁺ 소스 영역(106) 및 p⁺ 컨택트 영역(107)에 전기적으로 접속되어 있다. 그러나, 본원에서는 그 부분은 중요하지 않기 때문에 모든 도면에 있어서 소스 전극 부분은 간략화되고 실선을 섞어 표현되어 있다.

또한 실 소자에서는, n⁺ 드레인 영역(101)은 유효 소자 부분의 두께에 비하여 수배 내지 수십배 두껍지만, 간략화를 위해 도면에서는 n⁺ 드레인 영역(101)이 유효 소자 부분보다 얇도록 표현되어 있다. 이들에 한하지 않고, 도면 중의 각 치수는 표현의 간략화를 위해 축척이나 치수 비율 등은 디폴트되어 있어, 반드시 정확한 것은 아니다.

pn 반복 구조의 종단 구조로서, 예를 들면 p형 불순물 영역(115)으로 이루어지는 다중의 가드 링 구조가 마련되어 있다.

이 구성에 있어서, n형 드리프트 영역(103)과 p형 불순물 영역(104) 각각은, pn 반복 구조의 중앙부와 단부에서 실질적으로 동일한 불순물 농도를 갖고 있다.

도 149는 종래의 반도체 장치의 제2 구성을 개략적으로 나타내는 단면도이다. 도 149를 참조하면, 이 구성에서는 n^- 에피택셜층(102)이 매립 다층 에피택셜 구조를 갖고 있고, p형 불순물 영역(104)이 반도체 기판의 깊이 방향으로 일체화한 복수의 p형 영역(104a)으로 구성되어 있다. 이 구성에 있어서도, p형 불순물 영역(104)의 각각은 pn 반복 구조의 중앙부와 단부에서 실질적으로 동일한 불순물 농도를 갖고 있다.

단, 각 p형 불순물 영역(104)의 상하 방향의 농도 분포는 원래 있는 구조로, 이것은 제조 방법에 기인하는 농도 분포이고, 본 발명에서 논의하는 가로 방향의 반복 부분에서의 농도 경사와는 무관하다. 또한, 도면 중에서는 간단화를 위해서, 상하 방향의 농도 경사는 2단계로밖에 그리고 있지 않지만, 실제로는 이 농도는 연속적으로 변화하는 것이다.

이 종래에에서의 제조 방법의 특징은, 매립층 형성의 공정을 간략화할 목적으로, p형층과 농도가 밸런스를 이룰 정도로 비교적 고농도의 n^- 에피택셜층(102)을 사용한다는 점이다. 이와 같이 n^- 에피택셜층(102) 내에 p형의 매립 확산층(104a)을 형성하고 나서 열 처리를 가하기 위해서, p형 불순물 영역(104)이 잘 알려진 꼬지 떡 형상이 된다.

도 150은 종래의 반도체 장치의 제3 구성을 개략적으로 나타내는 단면도이다. 도 150을 참조하면, 이 구성에서는 n형 드리프트 영역(103)과 p형 불순물 영역(104)을 1조로 하고, 그 1조의 pn 조합 사이에, 매립물(124)로 충전된 홈(123)이 배치되어 있다.

이 도 150에 상당하는 구조의 전계 집중 모습을 나타낸 것이 도 151이다. 본 도면에서 검은 부분이 전계 집중이 높은 부분을 나타내고 있지만, pn 반복 구조가 도중에 끊기는 부분(화살표로 나타낸 영역)으로 전계가 집중하고 있음을 알 수 있다.

단, 이 도 151에서 종단 구조 부분은, FLR(Field Limiting Ring) 혹은 FFR(Floating Field Ring)이라고 불리는 다층의 가드 링이 아니라, FP(Field Plate) 구조를 채용하고 있다.

또, 도 149 및 도 150에 나타내는 구성 중 상기한 이외의 구성은, 도 148에 나타낸 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

상술한 바와 같이 제1 내지 제3 종래에에서는, pn 반복 구조가 도중에 끊기는 부분에, 가드 링, FLR, JTE(Junction Termination Extension), FP 등의 통상의 종단 구조를 조합한 구조가 있다. 그러나, 이러한 종단 구조를 조합한 것만으로는, pn 반복 구조가 도중에 끊기는 부분에서는 pn 반복 구조의 중앙부에서 얻어지는 셀 내의 고내압보다 아득히 낮은 내압 밖에 얻어지지 않는다. 이 때문에, 소자는 동작하지만, 결과적으로 주 내압과 온저항의 트레이드 오프 관계가 개선되지 않는다고 하는 문제가 있었다.

또한, pn 반복 구조가 도중에 끊긴 부분의 외측에서, p형층과 n형층의 특수한 농도 설정을 함으로써, 주 셀 부분의 고내압을 손상하지 않는 방법으로서, 다음 선행예 1의 내용이 발표되어 있다. 그러나, 이 수법에 의해서도 후술하는 이유에 의해 실현이 어렵다고 하는 문제가 있다.

상기 선행예 1은, 예를 들면 ISPSD 2000(International Symposium on Power Semiconductor Devices & ICs)에 발표된, CPES(Center for Power Electronics Systems), Virginia Polytechnic Institute and State University, "Junction Termination Technique for Super Junction Devices"이다.

이 선행예 1은 pn 반복 구조의 종단 구조 그 자체의 개변을 나타낸 것이다.

또한 상기 선행예 1에는 도 152에 나타내는 구성이 나타나져 있다. 도 152를 참조하면, p층(204)과 n층(203)의 반복이 도중에 끊기는 부분으로부터, n층의 두께(깊이) R을 반경으로 하는 1/4원의 부채꼴로 되는 것 같은, 실효적인 도전형 및 농도가 저농도의 p^- 영역이라고 간주할 수 있는 것이 형성된다. 그러나, 실제로 p^- 영역을, 이러한 농도 분포를 가지고 형성할 수는 없다. 이 때문에, 실효적인 p^- 영역의 농도 분포가 도 153에 도시하는 바와 같은 감쇠 곡선이 될 필요가 있다.

이를 실현하기 위해서는, 도 154에 도시하는 SJT(Super Junction Termination) 구조와 같이, n형 영역(203)의 농도도 폭도 일정하게 하고, 또한 p형 영역(204)의 농도는 일정하고 폭을 변경하는 구성이 이용되고 있다. 이에 의해, 실효적인 농도를 바꾼 것과 동일한 효과를 인출할 수 있다고 선행예 1에는 기록되어 있다.

또한, 그 때 요구되고 있는 것은 어디까지나, 도 155에 도시한 바와 같은 등포텐셜 면이 등간격의 부채꼴로 나란히 배열되는 것 같은 형태이고, 또한 표면에 노출되고 있는 전계 강도 분포가 지그재그이며, 그 산과 산, 계곡과 계곡끼리가 동일한 높이와 깊이가 되는 것이다.

또한 이 선행예 1에서는, p_i 영역(204)과 n_i 영역(203)의 각 농도가 단일 확산층 내에서 상하 좌우 같다는 것을 가정하고 있다. 그러나, pn 농도비의 관계라고는 하나, 농도의 절대치가 크게 변화하는 경우에는, 관계식이 성립하지 않게 된다든지, 그 관계를 기술하는 것이 매우 번잡하게 되어 근사 정밀도도 떨어지기 때문에, 선행예 1의 본래의 효과를 발휘하기 어렵다고 하는 문제점도 있다.

구체적으로는, 선행예 1의 본문에, 2페이지째 우측란 내지 3페이지째 좌측란의 "Along the SJT surface, ...in the following calculation."이라는 기술이 이루어져 있다. 이 기술에서는 최외측 표면의 전계 분포가 인계 파괴 전계에 도달하지 않도록 각 부분의 농도와 폭으로 대표되는 체적이 선행예 1 중의 (5)식을 만족하도록 설정되면 되게 되어 있다.

바꾸어 말하면, 이 선행에 1은, SJT 즉 「초접합 중단 구조」라는 문자 그대로, 반복 셀 부분의 초접합 구조를 어떻게 중단 구조 부분까지 연장하여, 중단 구조도 포함한 형태에서의 소자 전체의 설계를 개시하고 있는 것으로, 중앙의 반복 셀 부분과 중단 구조가 일대일로 대응하여 불가분하게 되어 있는 것이고, 매우 한정적인 구조이지만, 본 발명에서는 반복 셀부와 일반적인 중단 구조 부분의 「이음매 방법」을 기술한 것으로, 본질적으로 다르다.

도 153의 동경(動徑) 방향의 p형 억셉터 농도 분포에서 요구되는 분포를, pn 층의 반복에 의해서 형성한 경우에, 최외측 표면의 전계 분포가 지그재그 형상으로 되지만, 그 산과 산 및 계곡과 계곡이 전부 동일하면, 최대의 내압이 얻어진다. 그 때문에, 도 155에 도시한 바와 같이 등포텐셜 면(선)이 등간격으로 부채꼴로 분포하도록, n, p 영역(203, 204)의 농도를 일정하게 한 경우에는, 각 영역(203, 204)의 폭에 의해 조절할 필요가 있다.

또한 SJT는 이하의 두 가지 문제점이 있기 때문에 실용적이지 않다고 생각된다. 우선, SJT 구조를 구성하기 위한 농도 규정이 복잡하고, 설계 시에 있어서는 사전에 중단 구조부와는 다른 반복 셀부의 농도 배치를 상세히 검토한 다음에, 그것에 합치하는 개별적 설계를 SJT 부분에 실시할 필요가 있으며, 덧붙여, 반도체 칩의 물리적·기계적인 최종단까지 구조를 만들어 넣는 어려움이 있다. 한편, 본 발명은 반복 셀부의 최종단 근방의 상대 농도를 비교적 단순한 산술로 조정하기만 하여도 되므로, 설계와 제조 방법 모두 간편하다고 하는 이점이 있다.

두번째로는, SJT 구조는 매립 다층 에피택셜 성장법에 의한 제조의 경우에만 실현 가능하고, 트렌치 측벽 확산을 이용하는 경우에는 사실상 제조할 수 없는 등, 범용성이 부족하다는 점도 있다.

또한, 선행에 1의 본문 중에도 있는 바와 같이, 이 수법은 다층 에피택셜 구조에의 응용이 원리적으로는 가능하지만, 트렌치 방식을 응용한 소자 구조에는 제조 기술상 적용 불가능하기 때문에 범용성이 부족하다고 하는 문제도 있다.

다음에, USP5,438,215에 개시된 기술을 선행에 2로서 도 156을 이용하여 설명한다.

도 156을 참조하면, 중형 MOS-FET는 저 n 도핑된 내부 영역(301)을 갖고 있다. 반도체기체의 상측 표면(302) 내에는 반대의 도전형(p) 베이스 영역(303)이 마련되어 있다. 베이스 영역(303) 내에는 제1 도전형(n) 소스 영역(304)이 매립되어 있다. 표면(302) 상에 절연되어 게이트 전극(308)이 배치되어 있다. 다른 쪽의 표면(306)에는 내부 영역(301)과 동일한 도전형의 고 도핑된 드레인 영역(307)이 마련되어 있다.

내부 영역(301) 내에는 역 전압 시에 확산되는 공간 전하 영역의 범위 내에 보조 반도체 영역(311, 312)이 배치되어 있다. 내부 영역과는 반대의 도전형의 적어도 두 개의 영역(311)이 마련되어 있다. 영역(311) 사이에는 내부 영역(301)과 동일한 도전형(n)을 지니고 내부 영역보다도 높게 도핑된 보조 영역(312)이 배치되어 있다. 그 보조 영역은 단일 영역에 의해서 모든 측으로부터 둘러싸여 있다. 이 단일 영역은 영역(312)과 마찬가지로 내부 영역과 동일한 도전형을 갖고 있지만, 내부 영역보다도 고 도핑되어 있다.

이 구성에서는, 능동 셀이 형성되어 있는 부분이 저농도의 n⁻ 영역(301) 내에 매립되는 구성을 나타내고 있지만, 이 외주 부분의 불순물 농도에 대한 기재는 특별히 없고, 셀 부분의 구성 방법에 대해서만 논의되어 있다.

또한 일반적으로는, 이 선행에 2의 pn 반복 구조를 형성하지 않은 부분의 불순물 농도는, 종래 구조(pn 반복이 없는 구조)의 파워 MOS-FET에 의해 설정되는 소자 내압에 제조 마진 정도의 여유를 본 값으로부터 역산되는 불순물 농도로 설정된다고 추정된다. 그러나, 그렇게 하면 pn 반복 구조에서의 중단 구조 부분의 전계 분포는 삼각형이 되어, 셀 부분에서 실현하고 있는 사다리꼴 형상의 전계 분포와 다르다. 이 때문에, 상기 선행에 1과 마찬가지로, 반복 셀 내부와 중단 구조 부분의 전계 분포의 차이가 커져, 종래형의 MOS-FET 구조에 비교하여 주 내압과 온저항의 관계는 개선되지만, 본래 셀 부분에서 얻어지는 고내압을 실현할 수 없다고 하는 문제가 있었다.

(발명의 개시)

본 발명의 목적은, 3차원 다중 RESURF 효과에 기초하는 반도체 장치에 있어서, 주 내압과 온저항 사이의 트레이드 오프 관계를 개선하는 구조와, 그 구조를 실현할 수 있는 제조 방법을 제공하는 것이다.

본 발명의 반도체 장치는, 제1 도전형의 반도체 기관 내에, 제1 도전형의 제1 불순물 영역과 제2 도전형의 제2 불순물 영역이 나란히 배열된 구조가 2회 이상 반복된 반복 구조를 갖는 반도체 장치에 있어서, 반복 구조의 최단부(outermost portion)에 위치하는 제1 및 제2 불순물 영역 중 어느 하나인 저농도 영역이, 반복 구조를 구성하는 모든 제1 및 제2 불순물 영역 중에서 가장 낮은 불순물 농도 혹은 가장 적은 총합적인 실효 전하량을 갖는 것을 특징으로 하는 것이다.

본 발명의 반도체 장치에 따르면, 반복 구조의 최단부 농도를 일부, 중앙 부분보다도 저농도화한 것에 의해, 중앙부의 셀 반복 부분에서 이용하고 있는 강한 「3차원적인 다중 RESURF 효과」를 서서히 늦추는 「완충 영역」을 마련함으로써, 가드 링이나 필드 플레이트 등으로 구성된 종래형의 소위 「중단 구조(Termination structure)」 부분과의 접속을 쉽게 하고, 강한 「3차원적인 다중 RESURF 효과」 부분과 소위 「중단 구조」 부분과의 접속 「부정합」에 의해서 발생하는 주 내압 저하를 억제할 수 있다.

상기 반도체 장치에서 바람직하게는, 저농도 영역의 불순물 농도가, 저농도 영역보다도 반복 구조의 중앙부측에 있는 제1 및 제2 불순물 영역 중 어느 하나인 고농도 영역의 불순물 농도의 30% 이상 70% 이하이다.

이와 같이 불순물 농도를 조정함으로써, pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있는 범위에서 조정하는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 저농도 영역과 고농도 영역 사이에 위치하는 상기 제1 및 제2 불순물 영역 중 어느 하나인 중간 농도 영역의 불순물 농도가, 저농도 영역의 불순물 농도보다도 높고, 또한 고농도 영역의 불순물 농도보다도 낮다.

이와 같이 중간 농도 영역을 마련된 것에 의해, 또한 pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적으로 변화시키는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 반도체 기관은 상호 대향하는 제1 주면과 제2 주면을 갖고 있고, 반복 구조를 구성하는 복수의 제1 불순물 영역의 적어도 하나의 제1 주면측의 적어도 일부에, 제1 불순물 영역과 주된 pn 접합을 구성하도록 제2 도전형의 제3 불순물 영역이 형성되어 있고, 반복 구조의 제2 주면측에는 제1 도전형의 제4 불순물 영역이 형성되어 있다.

이와 같이, 본 발명은 종형 구조를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 불순물 영역과 주된 pn 접합을 구성하는 제3 불순물 영역은, 절연 게이트형 전계 효과 트랜지스터부의 보디 영역이다.

이와 같이, 본 발명은 MOS-FET를 갖는 소자에 적용할 수 있다. 상기 반도체 장치에서 바람직하게는, 반복 구조의 최단부에 위치하는 저농도 영역은 능동 소자를 구성하지 않는다.

이에 의해, 스위칭 동작 시에 불안정하게 되기 쉬운 농도 경사를 가한 저농도 영역에는, MOS-FET 등의 소자를 형성하지 않고서 내압만을 유지시킬 수 있어, 안정된 스위칭 동작을 얻을 수도 있다.

상기 반도체 장치에서 바람직하게는, 특정한 일방향으로 연장하는 제1 불순물 영역의 단부 근처의 상부 적어도 일부에 형성된 제2 도전형의 제3 불순물 영역과, 특정한 스위칭 제1 불순물 영역의 스위칭 근처 상부 적어도 일부에 형성된 제1 도전형의 제4 불순물 영역과, 제3 불순물 영역에 전기적으로 접속된 제1 전극과, 제4 불순물 영역에 전기적으로 접속된 제2 전극이 더 구비되고, 제1 및 제2 전극은 모두 제1 주면 상에 형성되어 있다.

이와 같이, 본 발명은 횡형 구조를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 반도체 스위칭 상호 대향하는 제1 주면과 제2 주면을 갖고, 또한 제1 주면에 복수의 홈을 갖고, 반복 구조는, 제1 및 제2 불순물 영역이 홈을 사이에 두고 배열되는 구조가 2회 이상 반복된 구조를 갖는다.

이와 같이, 본 발명은 홈을 갖는 소자, 예를 들면 ST(Super Trench)계의 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 저농도 영역의 불순물 농도가, 저농도 영역보다도 반복 구조의 중앙부측에 있는 제1 및 제2 불순물 영역 중 어느 하나인 고농도 영역의 불순물 농도의 30% 이상 70% 이하이다.

이와 같이 홈을 갖는 소자에 있어서 불순물 농도를 조정함으로써, pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있는 범위에서 조정하는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 저농도 영역과 고농도 영역 사이에 위치하는 제1 및 제2 불순물 영역 중 어느 하나인 중간 농도 영역의 불순물 농도가, 저농도 영역의 불순물 농도보다도 높고, 또한 고농도 영역의 불순물 농도보다도 낮다.

이와 같이 홈을 갖는 소자에 있어서 중간 농도 영역을 마련된 것에 의해, 또한 pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적으로 변화시키는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 복수의 홈에 둘러싸인 반도체 기관의 메사 부분의 한쪽 측면에 제1 불순물 영역이 형성되어 있고, 다른 쪽 측면에 제2 불순물 영역이 형성되어 있으며, 또한 제1 불순물 영역의 상기 제1 주면측의 적어도 일부에, 제1 불순물 영역과 주된 pn 접합을 구성하도록 제2 도전형의 제3 불순물 영역이 형성되어 있다.

이와 같이, 본 발명은 ST계의 메사 영역을 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 불순물 영역과 주된 pn 접합을 구성하는 제3 불순물 영역은, 절연 게이트형 전계 효과 트랜지스터부의 보디 영역이다.

이와 같이, 본 발명은 ST계의 소자에 있어서 MOS-FET를 갖는 소자, 즉 STM(Super Trench power MOS-FET)에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 반복 구조의 최단부에 위치하는 저농도 영역은 능동 소자를 구성하지 않는다.

이에 의해, ST계의 소자에 있어서, 스위칭 동작 시에 불안정하게 되기 쉬운 농도 경사를 가한 저농도 영역에는, MOS-FET 등의 소자를 형성하지 않고서 내압만을 유지시킬 수 있어, 안정된 스위칭 동작을 얻을 수도 있다.

상기 반도체 장치에서 바람직하게는, 복수의 홈의 최단부에 위치하는 홈은, 제1 주면에 있어서 복수의 제1 구멍이 소정 방향을 따라서 간격을 두고 배치된 점선 형상의 표면 패턴을 갖는 제1 점선 형상 홈이고, 저농도 영역은 제1 점선 형상 홈의 한쪽 측벽에 위치하도록 형성되어 있다.

이와 같이, 본 발명은 점선 형상 홈을 갖는 소자, 즉 DLT(Dotted Line Trench) 구조를 갖는 소자에 적용할 수 있어 제조 공정을 간략화할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 점선 형상 홈을 구성하는 복수의 제1 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합이, 제1 점선 형상 홈보다도 중앙부측에 있어서 연속적으로 연장되는 홈의 제1 주면에서의 한쪽 측벽 길이의 30% 이상 70% 이하이다.

이와 같이, DLT 구조를 갖는 소자에 있어서, 점선 형상 홈의 구멍 길이와 간격을 조정함으로써, 저농도 영역의 불순물 농도를 조정할 수 있다. 이에 의해, pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있는 범위에서 조정하는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 제1 점선 형상 홈과 연속적으로 연장되는 홈 사이에 위치하는 홈이, 제1 주면에서 복수의 제2 구멍이 소정 방향을 따라서 간격을 두고 배치된 점선 형상의 표면 패턴을 갖는 제2 점선 형상 홈이고, 제2 점선 형상 홈을 구성하는 복수의 제2 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합이, 제1 점선 형상 홈을 구성하는 복수의 제1 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합보다도 크고, 또한 제2 점선 형상 홈보다도 중앙부측에 있어서 연속적으로 연장되는 홈의 제1 주면에서의 한쪽 측벽의 길이보다도 작다.

이와 같이, DLT 구조를 갖는 소자에 있어서, 점선 형상 홈을 단계적으로 마련된 것에 의해, 또한 pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있다.

상기 반도체 장치에서 바람직하게는, 복수의 홈에 둘러싸인 반도체 기관의 메사 부분의 한쪽 측면에 제1 불순물 영역이 형성되어 있고, 다른 쪽 측면에 제2 불순물 영역이 형성되어 있고, 또한 제1 불순물 영역의 제1 주면측의 적어도 일부에, 제1 불순물 영역과 주된 Dn 접합을 구성하도록 제2 도전형의 제3 불순물 영역이 형성되어 있다.

이와 같이, 본 발명은 DLT 구조를 갖으며, 또한 ST계의 메사 영역을 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 불순물 영역과 주된 pn 접합을 구성하는 제3 불순물 영역은 절연 게이트형 전계 효과 트랜지스터부의 보디 영역이다.

이와 같이, 본 발명은 DLT 구조를 갖는 ST계의 소자에 있어서 MOS-FET를 갖는 소자, 즉 STM(Super Trench power MOS-FET)에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 반복 구조의 최단부에 위치하는 저농도 영역은 능동 소자를 구성하지 않는다.

이에 의해, DLT 구조를 갖는 ST계의 소자에 있어서, 스위칭 동작 시에 불안정하게 되기 쉬운 농도 경사를 가한 저농도 영역에는, MOS-FET 등의 소자를 형성하지 않고서 내압만을 유지시킬 수 있어, 안정된 스위칭 동작을 얻을 수도 있다.

상기 반도체 장치에서 바람직하게는, 반도체 기관은 상호 대향하는 제1 주면과 제2 주면을 지니고, 또한 제1 주면에 상호 인접하는 제1 및 제2 홈을 포함하는 복수의 홈을 갖고, 제1 홈의 양 측벽 각각에는 제1 불순물 영역이 형성되고, 또한 제2 홈의 양 측벽 각각에는 제2 불순물 영역이 형성된 구조가 2회 이상 반복되어 있다.

이와 같이, 본 발명은 트윈 트렌치 구조를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 저농도 영역의 불순물 농도가, 저농도 영역보다도 반복 구조의 중앙부측에 있는 제1 및 제2 불순물 영역 중 어느 하나인 고농도 영역의 불순물 농도의 30% 이상 70% 이하이다.

이와 같이, 트윈 트렌치 구조를 갖는 소자에 있어서, 저농도 영역의 불순물 농도를 조정함으로써, pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있는 범위에서 조정하는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 저농도 영역과 고농도 영역 사이에 위치하는 제1 및 제2 불순물 영역 중 어느 하나인 중간 농도 영역의 불순물 농도가, 저농도 영역의 불순물 농도보다도 높고, 또한 고농도 영역의 불순물 농도보다도 낮다.

이와 같이, 트윈 트렌치 구조를 갖는 소자에 있어서, 점선 형상 홈을 단계적으로 마련된 것에 의해, 또한 pn 반복 구조의 중앙부로부터 반도체 기관의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있다.

상기 반도체 장치에서 바람직하게는, 복수의 홈에 둘러싸인 반도체 기관의 메사 부분의 한쪽 측면에 제1 불순물 영역이 형성되어 있고, 다른 쪽 측면에 제2 불순물 영역이 형성되어 있고, 또한 제1 불순물 영역의 제1 주면측의 적어도 일부에, 제1 불순물 영역과 주된 Dn 접합을 구성하도록 제2 도전형의 제3 불순물 영역이 형성되어 있다.

이와 같이, 본 발명은 트윈 트렌치 구조를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 불순물 영역과 주된 pn 접합을 구성하는 제3 불순물 영역은, 절연 게이트형 전계 효과 트랜지스터부의 보디 영역이다.

이와 같이, 본 발명은 트윈 트렌치 구조를 갖는 소자에 있어서 MOS-FET를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 반복 구조의 최단부에 위치하는 저농도 영역은 능동 소자를 구성하지 않는다.

이에 의해, 트윈 트렌치 구조를 갖는 소자에 있어서, 스위칭 동작 시에 불안정하게 되기 쉬운 농도 경사를 가한 저농도 영역에는, MOS-FET 등의 소자를 형성하지 않고서 내압만을 유지시킬 수 있어, 안정된 스위칭 동작을 얻을 수도 있다.

상기 반도체 장치에서 바람직하게는, 복수의 홈의 최단부에 위치하는 홈은, 제1 주면에서 복수의 제1 구멍이 소정 방향을 따라서 간격을 두고 배치된 점선 형상의 표면 패턴을 갖는 제1 점선 형상 홈이고, 저농도 영역은 제1 점선 형상 홈의 한쪽 측벽에 위치하도록 형성되어 있다.

이와 같이, 본 발명은 트윈 트렌치 구조를 갖으며, 또한 DLT 구조를 갖는 소자에 적용할 수 있어, 제조 공정을 간략화할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 점선 형상 홈을 구성하는 복수의 제1 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합이, 제1 점선 형상 홈보다도 중앙부측에 있어서 연속적으로 연장되는 홈의 제1 주면에서의 한쪽 측벽 길이의 30% 이상 70% 이하이다.

이와 같이, 트윈 트렌치 구조를 갖으며, 또한 DLT 구조를 갖는 소자에 있어서, 점선 형상 홈의 구멍의 길이와 간격을 조정함으로써, 저농도 영역의 불순물 농도를 조정할 수 있다. 이에 의해, pn 반복 구조의 중앙부로부터 반도체 기판의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있는 범위에서 조정하는 것이 가능해진다.

상기 반도체 장치에서 바람직하게는, 제1 점선 형상 홈과 연속적으로 연장되는 홈 사이에 위치하는 홈이, 제1 주면에서 복수의 제2 구멍이 소정 방향을 따라서 간격을 두고 배치된 점선 형상의 표면 패턴을 갖는 제2 점선 형상 홈이고, 제2 점선 형상 홈을 구성하는 복수의 제2 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합이, 제1 점선 형상 홈을 구성하는 복수의 제1 구멍의 제1 주면에서의 한쪽 측벽 길이의 총합보다도 크고, 또한 제2 점선 형상 홈보다도 중앙부측에 있어서 연속적으로 연장되는 홈의 상기 제1 주면에서의 한쪽 측벽의 길이보다도 작다.

이와 같이, 트윈 트렌치 구조를 갖으며, 또한 DLT 구조를 갖는 소자에 있어서, 점선 형상 홈을 단계적으로 마련된 것에 의해, 또한 pn 반복 구조의 중앙부로부터 반도체 기판의 제1 도전형 영역으로의 농도 경사를 연속적이라고 간주할 수 있다.

상기 반도체 장치에서 바람직하게는, 복수의 홈에 둘러싸인 반도체 기판의 메사 부분의 한쪽 측면에 제1 불순물 영역이 형성되어 있고, 다른 쪽 측면에 제2 불순물 영역이 형성되어 있고, 또한 제1 불순물 영역의 상기 제1 주면측의 적어도 일부에, 제1 불순물 영역과 주된 pn 접합을 구성하도록 제2 도전형의 제3 불순물 영역이 형성되어 있다.

이와 같이, 본 발명은 트윈 트렌치 구조 및 DLT 구조를 갖으며, 또한 ST계의 메사 영역을 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 제1 불순물 영역과 주된 pn 접합을 구성하는 제3 불순물 영역은, 절연 게이트형 전계 효과 트랜지스터부의 보디 영역이다.

이와 같이, 본 발명은 트윈 트렌치 구조 및 DLT 구조를 갖는 소자에 있어서 MOS-FET를 갖는 소자에 적용할 수 있다.

상기 반도체 장치에서 바람직하게는, 반복 구조의 최단부에 위치하는 저농도 영역은 능동 소자를 구성하지 않는다.

이에 의해, 트윈 트렌치 구조 및 DLT 구조를 갖는 ST계의 소자에 있어서, 스위칭 동작 시에 불안정하게 되기 쉬운 농도 경사를 가한 저농도 영역에는, MOS-FET 등의 소자를 형성하지 않고서 내압만을 유지시킬 수 있어, 안정된 스위칭 동작을 얻을 수도 있다.

본 발명의 반도체 장치의 제조 방법은, 제1 도전형의 반도체 기판 내에, 제1 도전형의 제1 불순물 영역과 제2 도전형의 제2 불순물 영역이 나란히 배열된 구조가 2회 이상 반복된 반복 구조를 갖는 반도체 장치의 제조 방법에 있어서, 반복 구조의 최단부에 위치하는 제1 및 제2 불순물 영역 중 어느 하나인 저농도 영역이, 반복 구조를 구성하는 모든 제1 및 제2 불순물 영역 중에서 가장 낮은 불순물 농도 혹은 가장 적은 총합적인 실효 전하량을 갖는 것이 되도록, 저농도 영역과 그 이외의 다른 제1 및 제2 불순물 영역이 독립적으로 농도를 바꾸어 형성되는 것을 특징으로 하는 것이다.

본 발명의 반도체 장치의 제조 방법에 따르면, 반복 구조의 최단부가 중앙부보다도 저농도화되어 있기 때문에, 반복 구조와 반도체 기판의 제1 도전형의 영역으로 구성되는 pin 다이오드의 i층의 농도를 낮게 할 수 있다. 이에 의해, 반복 구조의 최단부에서 얻어지는 내압이 중앙부에서 얻어지는 내압보다도 커지도록 i층의 농도를 조정하는 것이 가능해진다. 따라서, 종래에보다도 셀 부분에서의 내압 향상을 도모할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 저농도 영역과 다른 제1 및 제2 불순물 영역을 독립적으로 농도를 바꾸어 형성하기 위해서, 저농도 영역과 다른 제1 및 제2 불순물 영역이 독립적으로 농도를 바꾼 이온 주입과 열 처리에 의해 형성된다.

이와 같이 이온 주입을 이용하여 형성되기 때문에 공정을 간략화할 수 있고, 또한 제어성 좋게 저농도 영역을 형성할 수 있다. 또한, 이 방법은 저 내압 소자의 제법에 적합하다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 저농도 영역과 다른 제1 및 제2 불순물 영역을 독립적으로 농도를 바꾸어 형성하기 위해서, 저농도 영역과 다른 제1 및 제2 불순물 영역이 독립적으로 농도를 바꾼 이온 주입과 다단계의 에피택셜 성장에 의해 형성된다.

다단계의 에피택셜 성장을 이용하고 있기 때문에, 원리적으로는 무한히 에피택셜층을 중첩할 수 있다. 따라서, 이 방법은 고내압 소자의 제조 방법에 적합하다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 저농도 영역과 다른 제1 및 제2 불순물 영역을 독립적으로 농도를 바꾸어 형성하기 위해서, 상기 저농도 영역과 다른 제1 및 제2 불순물 영역이, 독립적으로 농도를 바꾸고 또한 다단계로 주입 에너지를 바꾼 이온 주입에 의해 형성된다.

다단계의 이온 주입을 이용하고 있기 때문에, 공정을 간략화할 수 있고, 또한 제어성 좋게 저농도 영역을 형성할 수 있다. 또한, 이 방법은 저 내압 소자의 제법에 적합하다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 저농도 영역과 다른 제1 및 제2 불순물 영역을 독립적으로 농도를 바꾸어 형성하기 위해서, 이온 주입용 마스크의 제1 개구부에서 주입된 불순물 이온에 의해 다른 제1 및 제2 불순물 영역이 형성되고, 제1 개구부보다도 개구 총면적이 작은 제2 개구부에서 주입된 불순물 이온에 의해 저농도 영역이 형성된다.

이와 같이 개구 면적이 서로 다른 개구부를 사용하는 것에 의해, 단일 이온 주입 공정에 의해 고농도 영역과 저농도 영역을 동시에 형성할 수 있어, 공정의 간략화를 도모할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 제2 개구부는 상호 분리된 복수의 미소 개구부가 밀접하게 배치된 구성을 갖고 있고, 열 처리를 실시함으로써, 복수의 미소 개구부의 각각으로부터 주입된 불순물 이온이 일체로 되어 최종적인 마무리 평균 불순물 농도가 다른 제1 및 제2 불순물 영역보다도 낮은 저농도 영역이 형성된다.

이와 같이 상호 분리된 복수의 미소 개구부가 밀접하게 배치된 구성을 이용함으로써, 용이하게 개구 면적이 서로 다른 개구부를 형성할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 반도체 기판의 제1 주면에, 1개 이상의 홈과, 1개 이상의 홈의 외측에 나란히 위치하고 또한 복수의 제1 구멍이 소정 방향을 따라서 간격을 두고 배치됨으로써 제1 주면에 있어서 점선 형상의 표면 패턴을 갖는 점선 형상 홈을 동시에 형성하는 공정과, 1개 이상의 홈 및 점선 형상 홈 각각의 한쪽 측벽에, 동시에 이온 주입함으로써, 점선 형상 홈의 한쪽 측벽에 저농도 영역과, 1개 이상의 홈의 한쪽 측벽에 다른 제1 또는 제2 불순물 영역을 동시에 형성하는 공정이 더 구비되어 있다.

이와 같이 STM 구조에 있어서, 점선 형상 홈을 이용함으로써, 단일의 이온 주입 공정에 의해 고농도 영역과 저농도 영역을 동시에 형성할 수 있어, 공정의 간략화를 도모할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 반도체 기판의 제1 주면에 2 이상의 홈을 형성하는 공정과, 2 이상의 홈의 한쪽 측벽에, 제1 또는 제2 불순물 영역을 형성하기 위해서 불순물을 이온 주입하는 공정과, 2 이상의 홈 중 최단부에 위치하는 홈 이외를 충전층에 의해 매립한 상태에서, 최단부에 위치하는 홈의 한쪽 측벽에, 이미 주입된 불순물과는 역도전형의 불순물을 이온 주입함으로써, 이미 주입된 불순물의 농도를 실질적으로 저농도화하여 저농도 영역을 형성하는 공정이 더 구비되어 있다.

이와 같이 STM 구조에 있어서도, 카운터 도핑함으로써, 반복 구조의 최단부 불순물 영역의 저농도화를 실현할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 반도체 기판의 제1 주면에 1개 이상의 홈을 형성하는 공정과, 1개 이상의 홈의 각 한쪽 측벽에 제1 또는 제2 불순물 영역을 형성하기 위해서 제1 주입량으로 이온 주입을 하는 공정과, 1개 이상의 홈 각각을 충전층에 의해 매립한 상태에서, 1개 이상의 홈의 외측에 새롭게 최단부의 홈을 형성하는 공정과, 최단부 홈의 한쪽 측벽에 저농도 영역을 형성하기 위해서 제1 주입량보다도 적은 제2 주입량으로 이온 주입을 하는 공정이 더 구비되어 있다.

이와 같이 STM 구조에 있어서, pn 반복 구조의 중앙부와 최단부의 홈을 나누어 만들고, 또한 따로따로 이온 주입할 수도 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 반도체 기판의 제1 주면에 상호 인접하는 제1 및 제2 홈을 포함하는 2개 이상의 홈과, 2개 이상의 홈의 외측에 나란히 위치하고 또한 복수의 제1 구멍이 소정 방향을 따라서 간격을 두고 배치됨으로써 제1 주면에서 점선 형상의 표면 패턴을 갖는 점선 형상 홈을, 동시에 형성하는 공정과, 제1 홈의 양 측벽 각각에 제1 불순물 영역을 형성하기 위해서 제1 불순물을 이온 주입하는 공정과, 제2 홈의 양 측벽 각각에 제2 불순물 영역을 형성하기 위해서 제2 불순물을 이온 주입하는 공정이 더 포함되고, 저농도 영역은 제1 또는 제2 불순물의 이온 주입과 동시 주입에 의해 점선 형상 홈의 양 측벽에 형성된다.

이와 같이 트윈 트rench 구조에 있어서도, 점선 형상 홈을 이용함으로써, 단일의 이온 주입 공정에 의해 고농도 영역과 저농도 영역을 동시에 형성할 수 있어, 공정의 간략화를 도모할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군을 반도체 기관의 제1 주면에 형성하는 공정과, 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 제2 홈이 교대로 위치하도록 제1 주면에 형성하는 공정과, 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 교대로 배치된 제1 및 제2 홈 중 최단부에 위치하는 홈 이외를 충전층에 의해 매립한 상태에서, 최단부에 위치하는 상기 홈의 양 측벽에, 이미 주입된 불순물과 역도전형의 불순물을 주입함으로써, 이미 주입된 불순물의 농도를 실질적으로 저농도화하여 저농도 영역을 형성하는 공정이 더 포함되어 있다.

이와 같이 트윈 트렌치 구조에 있어서도, 카운터 도핑함으로써, 반복 구조의 최단부 불순물 영역의 저농도화를 실현할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군을 상기 반도체 기관의 제1 주면에 형성하는 공정과, 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 홈 각각을 충전층으로 매립한 상태에서, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 제2 홈이 교대로 위치하도록 제1 주면에 형성하는 공정과, 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 및 제2 홈 각각을 충전층으로 매립한 상태에서, 교대로 배치된 제1 및 제2 홈의 최단부에 위치하는 홈의 외측에 새롭게 최단부의 홈을 형성하는 공정과, 최단부 홈의 양 측벽에, 제1 또는 제2 도전형의 불순물 이온을 주입함으로써, 제1 또는 제2 불순물 영역보다도 불순물 농도가 낮은 저농도 영역을 형성하는 공정이 더 포함되어 있다.

이와 같이 트윈 트렌치 구조에 있어서, 반복 구조의 중앙부와 최단부의 홈을 나누어 만들고, 또한 따로따로 이온 주입할 수도 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군과, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 제2 홈이 교대로 위치하도록 동시에 반도체 기관의 제1 주면에 형성하는 공정과, 제2 홈군을 제1 충전층으로 매립한 상태에서, 제1 홈군을 구성하는 복수의 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 홈군을 제2 충전층으로 매립한 상태에서, 제2 홈군을 구성하는 복수의 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 홈군을 구성하는 복수의 제1 홈과 제2 홈군을 구성하는 복수의 제2 홈 중에서 최단부에 위치하는 최단부의 홈 이외의 모든 홈을 제3 충전층으로 매립한 상태에서, 최단부 홈의 양 측벽에 이미 주입된 불순물과 역도전형의 불순물 이온을 주입함으로써, 이미 주입된 불순물의 농도를 저농도화하여 저농도 영역을 형성하는 공정이 더 포함되어 있다.

이와 같이 Bi-Pitch 주입에 있어서도, 카운터 도핑함으로써 반복 구조의 최단부 불순물 영역의 저농도화를 실현할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군과, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 제2 홈이 교대로 위치하도록 동시에 반도체 기관의 제1 주면에 형성하는 공정과, 제2 홈군을 제1 충전층으로 매립한 상태에서, 제1 홈군을 구성하는 복수의 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 홈군을 제2 충전층으로 매립한 상태에서, 제2 홈군을 구성하는 복수의 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정이 더 포함되고, 제1 홈군을 구성하는 복수의 제1 홈과 제2 홈군을 구성하는 복수의 제2 홈 중에서 최단부에 위치하는 최단부의 홈은, 제1 주면에서 복수의 구멍이 소정 방향을 따라서 간격을 두고 배치된 점선 형상의 표면 패턴을 갖는 점선 형상 홈이다.

이와 같이 Bi-Pitch 주입을 이용하는 경우에도, 점선 형상 홈을 이용함으로써, 단일의 이온 주입 공정에 의해 고농도 영역과 저농도 영역을 동시에 형성할 수 있어, 공정의 간략화를 도모할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 반도체 기관의 제1 주면에 2 이상의 홈을 형성하는 공정과, 2 이상의 홈의 한쪽 측벽에, 제1 또는 제2 불순물 영역을 형성하기 위해서 불순물을 이온 주입하는 공정과, 2 이상의 홈 중 최단부에 위치하는 홈을 충전층에 의해 매립한 상태에서, 최단부에 위치하는 홈 이외의 홈의 한쪽 측벽에, 이미 주입된 불순물과 동일한 도전형의 불순물을 이온 주입함으로써, 이미 주입된 불순물의 농도를 실질적으로 고농도화하여, 최단부에 위치하는 홈 측벽의 상기 제1 또는 제2 불순물 영역을 상대적으로 저농도 영역으로 하는 공정이 더 포함되어 있다.

이와 같이 STM 구조에 있어서도, 동일한 도전형의 불순물을 중앙부의 홈 측벽에 재차 이온 주입함으로써, 중앙부의 불순물 농도를 높여, 반복 구조의 최단부 불순물 영역을 상대적으로 저농도화할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군을 반도체 기관의 제1 주면에 형성하는 공정과, 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 상기 제2 홈이 교대로 위치하도록 제1 주면에 형성하는 공정과, 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 교대로 배치된 제1 및 제2 홈 중 최단부에 위치하는 홈을 충전층에 의해 매립한 상태에서, 최단부에 위치하는 홈 이외의 홈의 양 측벽에, 이미 주입된 불순물과 동일한 도전형의 불순물을 주입함으로써, 이미 주입된 불순물의 농도를 실질적으로 고농도화하여, 최단부에 위치하는 홈 측벽의 제1 또는 제2 불순물 영역을 상대적으로 저농도 영역으로 하는 공정이 더 포함되어 있다.

이와 같이 트윈 트렌치 구조에 있어서도, 동일한 도전형의 불순물을 중앙부의 홈 측벽에 재차 이온 주입함으로써, 중앙부의 불순물 농도를 높여, 반복 구조의 최단부 불순물 영역을 상대적으로 저농도화할 수 있다.

상기 반도체 장치의 제조 방법에 있어서 바람직하게는, 복수의 제1 홈으로 이루어지는 제1 홈군과, 복수의 제2 홈으로 이루어지는 제2 홈군을, 제1 홈과 제2 홈이 교대로 위치하도록 동시에 반도체 기관의 제1 주면에 형성하는 공정과, 제2 홈군을 제1 충전층으로 매립한 상태에서, 제1 홈군을 구성하는 복수의 제1 홈 각각의 양 측벽에 제1 불순물 영역을 형성하기

위한 이온 주입을 하는 공정과, 제1 홈군을 제2 충전층으로 매립한 상태에서, 제2 홈군을 구성하는 복수의 제2 홈 각각의 양 측벽에 제2 불순물 영역을 형성하기 위한 이온 주입을 하는 공정과, 제1 홈군을 구성하는 복수의 제1 홈과 제2 홈군을 구성하는 복수의 제2 홈 중에서 최단부에 위치하는 최단부의 홈을 제3 충전층으로 매립한 상태에서, 최단부의 홈 이외의 홈의 양 측벽에 이미 주입된 불순물과 동일한 도전형의 불순물 이온을 주입함으로써, 이미 주입된 불순물의 농도를 고농도화하여, 최단부 홈의 측벽의 제1 또는 제2 불순물 영역을 상대적으로 저농도 영역으로 하는 공정이 더 포함되어 있다.

이와 같이 Bi-Pitch 주입에 있어서도, 동일한 도전형의 불순물을 중앙부의 홈 측벽에 재차 이온 주입함으로써, 중앙부의 불순물 농도를 높여, 반복 구조의 최단부 불순물 영역을 상대적으로 저농도화할 수 있다.

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 2는 본 발명의 실시예 2에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 3은 본 발명의 실시예 3에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 4는 본 발명의 실시예 4에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 5는 본 발명의 실시예 5에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 6은 본 발명의 실시예 6에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 7은 종래 방식의 매립 다층 에피택셜 구조를 개략적으로 나타내는 단면도.
- 도 8은 본 발명의 실시예 7에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 9는 본 발명의 실시예 8에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 10은 본 발명의 실시예 9에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 11은 본 발명의 실시예 10에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 12는 본 발명의 실시예 11에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 13은 본 발명의 실시예 12에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 14는 본 발명의 실시예 13에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 15는 본 발명의 실시예 14에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면이다.
- 도 16은 본 발명의 실시예 15에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 17은 본 발명의 실시예 16에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 18 내지 도 25는 본 발명의 실시예 17에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 26 내지 도 32는 본 발명의 실시예 18에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 33 내지 도 42는 본 발명의 실시예 19에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 43 내지 도 53은 본 발명의 실시예 20에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 54 내지 도 62는 본 발명의 실시예 21에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 63 및 도 64는 도 55의 일부를 확대하여 나타내는 부분 확대 단면도.
- 도 65 내지 도 69는 본 발명의 홈이 있는 경우의 실시예에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 70 내지 도 78은 본 발명의 실시예 22에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.
- 도 79 내지 도 86은 본 발명의 실시예 23에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 단면도.

- 도 87 및 도 88은 본 발명의 실시예 24에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도 및 사시도.
- 도 89 내지 도 91는 본 발명의 실시예 24에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 92 및 도 93은 본 발명의 실시예 25에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도 및 사시도.
- 도 94 및 도 95는 본 발명의 실시예 26에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 96은 본 발명의 실시예 27에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 97 내지 도 105는 본 발명의 실시예 27에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 106 내지 도 115는 본 발명의 실시예 28에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 116은 본 발명의 실시예 29에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 117은 본 발명의 실시예 30에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 118은 본 발명의 실시예 31에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 119는 본 발명의 실시예 32에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 120 내지 도 128은 본 발명의 실시예 34에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 129 내지 도 136은 본 발명의 실시예 36에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 137 내지 도 140은 본 발명의 실시예 37에 따른 반도체 장치의 제조 방법을 공정순으로 나타내는 개략 사시도.
- 도 141은 본 발명의 실시예 38에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 142는 본 발명의 실시예 39에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 143은 본 발명의 실시예 40에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 144는 본 발명의 실시예 41에 따른 반도체 장치의 구성을 개략적으로 나타내는 사시도.
- 도 145는 도 144의 구성에 있어서의 pn 반복 구조의 단면을 나타내는 도면.
- 도 146은 도 144의 구성에 있어서의 pn 반복 구조 사이에 홈을 마련한 구성을 개략적으로 나타내는 사시도.
- 도 147은 도 146의 구성에 있어서의 pn 반복 구조의 단면을 나타내는 도면.
- 도 148은 종래의 반도체 장치의 제1 구성을 개략적으로 나타내는 단면도.
- 도 149는 종래의 반도체 장치의 제2 구성을 개략적으로 나타내는 단면도.
- 도 150은 종래의 반도체 장치의 제3 구성을 개략적으로 나타내는 단면도.
- 도 151은 도 150의 종래예에 상당하는 디바이스 시뮬레이션에 의한 반복 중단부로의 전계 집중 모습을 나타내는 도면이다.
- 도 152는 선행예 1에 개시된 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- 도 153은 선행예 1의 동경의 p형 억셉터 농도 분포를 나타내는 도면.
- 도 154는 선행예 1에 개시된 반도체 장치의 pn 반복 구조를 개략적으로 나타내는 단면도.
- 도 155는 선행예 1에 개시된 반도체 장치의 구성과 포텐셜 라인을 더불어 나타내는 단면도.
- 도 156은 USP5,438,215에 개시된 반도체 장치의 구성을 개략적으로 나타내는 단면도.

발명의 상세한 설명

실시예로서, 설명을 간단화하기 위해서, 주로 중형 MOS-FET를 구성하는 경우를 예로 들어 설명한다. 도면 중, 동일한 영숫자 또는 기호를 할당한 부분은 동일한 영역 혹은 동일한 동작 및 역할을 갖는 영역을 나타내며, 동일 번호에 영숫자의 부번을 붙인 것은 부번이 없는 영역과 유사한 동작과 역할을 지닌 것을 나타내고 있다.

(본원의 실시예에서의 사고 방식)

본원의 실시예에서의 사고 방식에 대응하는 도면은 특별히 기재되어 있지 않지만, 이하에 나타내는 어떤 실시예에서도 이 사고 방식이 적용되어 있다.

즉, n형 불순물 영역(3)과 p형 불순물 영역(4)의 pn 반복 구조의 최단부에 위치하는 불순물 영역의 불순물 농도는, 대강 pin 다이오드 구조라고 간주할 수 있을 정도로 저농도로 설정되어 있다. 이에 의해, pn 반복 구조의 최단부에 위치하는 불순물 영역의 불순물 농도는, pn 반복 구조를 구성하는 모든 불순물 영역 중에서 가장 낮은 불순물 농도를 갖고 있다.

또한 n⁻ 에피택셜층(2)의 불순물 농도는 통상의 동일 주 내압급의 소자에 비하여, 대강 한 자릿수 정도 낮은 농도로 설정되어 있다. 이에 의해, pin 다이오드를 형성할 수 있고, 삼각형의 전계 강도 분포를 갖는 p⁺/n⁻ 접합만의 경우에 비교하여, 사다리꼴에 가까운 전계 강도 분포 형상을 얻을 수 있다. 이 때문에, n⁻ 에피택셜층(2)의 두께를 통상의 동일 주 내압급의 소자와 비교하여 반 정도로 할 수 있다.

한편, 셀 부분의 내압은 종래형의 MOS-FET 구조의 경우와는 달리, a×2×10⁵V/cm를 n⁻ 에피택셜층(1)의 두께에 곱한 값이 된다. 여기서, 상수 a는 실험적으로 구해지는 숫자로, 0.6 내지 1.2 정도의 숫자이다.

(실시예 1)

도 1에는 구체적인 능동 소자 구조로서 MOS-FET를 상정한 경우에 상응하는 구성을 나타낸다. 도 1을 참조하면, MOS-FET의 n⁺ 드레인 영역(1)의 제1 주면측에 n⁻ 에피택셜층(2)이 형성되어 있다. 이 n⁻ 에피택셜층(2) 내에, n형 드리프트 영역(3)과 p형 불순물 영역(4)이 교대로 반복된 pn 반복 구조가 형성되어 있다.

또, 이 pn 반복 구조에서의 소자 중앙 부근은 설명의 편의상 생략하고 있지만, pn 반복 간격(피치)은 1 내지 20 μ m 정도이기 때문에, 소자의 전류 정격에도 의하지만, 통상, 이 부분에 수백 내지 수만 조의 n형 드리프트 영역(3)과 p형 불순물 영역(4)의 조합이 반복하여 존재한다. 조합된 1조의 n형 드리프트 영역(3)의 n형 불순물 농도와 p형 불순물 영역(4)의 p형 불순물 농도는, 실질적으로 동일하게 되도록 설정되어 있다.

p형 불순물 영역(4)의 제1 주면측에는 p형 보디 영역(5)이 형성되어 있다. 이 p형 보디 영역(5)은 n형 드리프트 영역(3)의 제1 주면측의 적어도 일부 상에도 위치하고 있고, n형 드리프트 영역(3)과 주된 pn 접합을 구성하고 있다. 이 p형 보디 영역(5) 내의 제1 주면에는, MOS-FET의 n⁺ 소스 영역(6)과, p형 보디 영역(5)에의 저 저항 콘택트를 취하기 위한 p+ 콘택트 영역(7)이 배열되어 형성되어 있다.

n형 드리프트 영역(3)과 n⁺ 소스 영역(6)에 삽입된 p형 보디 영역(5)에 게이트 절연막(8)을 통해 대향하도록 제1 주면 상에 게이트 전극(9)이 형성되어 있다. 이 게이트 전극(9)에 정전압이 인가되면, 게이트 전극(9)에 대향하는 p형 보디 영역(5)이 n형으로 반전하여 채널 영역이 형성된다. 게이트 절연막(8)은 예를 들면 실리콘 산화막으로 이루어져 있고, 게이트 전극(9)은 예를 들면 불순물이 고농도로 도입된 다결정 실리콘으로 이루어져 있다.

n⁺ 소스 영역(6) 및 p⁺ 콘택트 영역(7)에 전기적으로 접속하도록, 제1 주면 상에, 예를 들면 알루미늄(Al)을 포함하는 재질로 이루어지는 소스 전극(10)이 형성되어 있다.

n⁺ 드레인 영역(1)에 접하도록 제2 주면 상에는 드레인 금속 배선(11)이 형성되어 있다.

또 실 소자에 있어서는, 소스 전극 부분은, 제1 주면 상의 층간 절연막에 마련된 콘택트 홀을 통하여, 또한 배리어 메탈을 거쳐서 n⁺ 소스 영역(6) 및 p+ 콘택트 영역(7)에 전기적으로 접속되어 있다. 그러나, 본 발명에서는 그 부분은 중요하지 않기 때문에 모든 도면에 있어서 소스 전극 부분은 간략화되고 실선을 섞어 표현되어 있다.

또한 실 소자에서는, n⁺ 드레인 영역(1)은 유효 소자 부분의 두께에 비교하여 수배 내지 수십배 두껍지만, 간략화를 위해 도면에서는 n⁺ 드레인 영역(1)이 유효 소자 부분보다도 얇도록 표현되어 있다. 이들에 한하지 않고, 도면 중의 각 치수는 표현의 간략화를 위해, 축척이나 치수 비율 등은 디폴메되어 있으며, 반드시 정확한 것은 아니다.

본 실시예에서는, pn 반복 구조의 종단 구조로서, p형 불순물 영역(15)으로 이루어지는 다중의 가드 링 구조가 마련되어 있지만, 본 발명은 이 부분의 구조를 특별히 한정하는 것이 아니며, 이 가드 링 구조는 다른 종단 구조이더라도 좋다. 또, 후술하는 다른 실시예의 종단 구조에 있어서도 상기와 마찬가지로 한다.

본 실시예의 구성은 n형 드리프트 영역(3)과 p형 불순물 영역(4)의 pn 반복 구조에 있어서의 불순물 농도의 설정에 특징을 갖고 있다.

이 pn 반복 구조의 종단 부분인 최단부에 위치하는 1조의 n형 드리프트 영역(3) 및 p형 불순물 영역(4)이, pn 반복 구조를 구성하는 모든 n형 드리프트 영역(3) 및 p형 불순물 영역(4) 중에서 가장 낮은 불순물 농도(혹은 가장 적은 총합적인 실효 전하량)를 갖고 있다. 즉, pn 반복 구조를 구성하는 n형 드리프트 영역(3)과 p형 불순물 영역(4)은, 중앙부측일수록 높은 불순물 농도(혹은 많은 총합적인 실효 전하량)를 갖고, 또한 단부 측일수록 낮은 불순물 농도(혹은 적은 총합적인 실효 전하량)를 갖고 있다.

또, 본 실시예에서는, p형 불순물 영역(4)이 pn 반복 구조의 좌우 양측 최단부에 위치하고 있는 구성에 대하여 나타내었지만, n형 드리프트 영역(3)이 pn 반복 구조의 좌우 양측 최단부에 위치하고 있어도 좋다. 또한, pn 반복 구조의 한쪽 최단부에 p형 불순물 영역(4)이 위치하고, 다른 쪽 최단부에 n형 드리프트 영역(3)이 위치하고 있더라도 무방하다.

본 실시예에서는, pn 반복 구조는 3단계의 농도 변화(혹은 총합적인 실효 전하량의 변화)를 갖고 있다. 중앙부측의 n형 드리프트 영역(3)과 p형 불순물 영역(4)은 고농도 영역이고, 최단부의 1조의 n형 드리프트 영역(3)과 p형 불순물 영역(4)은 저농도 영역이며, 중앙부측과 최단부 사이에 위치하는 1조의 n형 드리프트 영역(3)과 p형 불순물 영역(4)은 중농도 영역이다.

또, 이들 불순물 농도의 차이는 본원에서는 도면의 해칭에 의해 구별된다. 즉, pn 반복 구조에 있어서, 해칭은 고농도(혹은 총합적인 실효 전하량이 많음)일수록 밀집하게, 저농도(혹은 총합적인 실효 전하량이 적음)일수록 성기게 되도록 이용되고 있다. 또, 후술하는 실시예에서는, 해칭이 없는 영역도 도시되어 있지만, 이것은 pn 반복 구조 중에서 가장 불순물 농도가 낮은(혹은 총합적인 실효 전하량이 가장 적음) 영역을 뜻하고 있다.

구체적으로는, 고농도 영역(3, 4)의 불순물 농도(혹은 총합적인 실효 전하량)를 100%로 한 경우, 3분할하면 중농도 영역(3, 4)의 불순물 농도(혹은 총합적인 실효 전하량)를 67%, 저농도 영역(3, 4)의 불순물 농도(혹은 총합적인 실효 전하량)를 33%로 하는 것이 일반적이다. 그러나, 수치 시뮬레이션이나 실험 결과로부터는 반드시 3등분할 필요는 없다. 사실상, 각각의 농도(혹은 총합적인 실효 전하량)에 임의의 폭이 허용되어 있는데, 중농도 영역(3, 4)의 불순물 농도(혹은 총합적인 실효 전하량)는 80 내지 60% 정도이면 되고, 저농도 영역(3, 4)의 불순물 농도(혹은 총합적인 실효 전하량)는 45 내지 20% 정도이면 된다.

본 실시예에서는, pn 반복 구조의 최단부의 n형 드리프트 영역(3)과 p형 불순물 영역(4)이, pn 반복 구조를 구성하는 모든 n형 드리프트 영역(3) 및 p형 불순물 영역(4) 중에서 가장 낮은 불순물 농도(혹은 가장 적은 총합적인 실효 전하량)를 갖고 있다. 이 때문에, pn 반복 구조의 최단부에 형성되는 일이 많은 pin 다이오드 구조와, 반복 셀 부분과의 중간 농도의 완충 영역이 생기기 때문에, 각각의 영역에서 발생하고 있는 전계 분포의 형상의 차가 완화되므로, 반복 셀 부분과 종래형의 중단 구조 부분이 직접 접촉된 경우에 비교하여, 접촉 부분에서의 주 내압 저하가 대폭 억제된다.

다음에, 본 발명과 선행예의 차이에 대하여 설명한다.

상술한 바와 같이, 선행예 1의 주지는, 반복 셀 부분의 초접합 구조를, 어떻게 중단 구조 부분까지 연장하여, 중단 구조도 포함한 형태에서의 소자 전체의 설계 방법 지침을 제시하는 데에 있다. 한편, 본 발명의 주지는, 「선행예 1이 말하는 바의 초접합 효과에 유사한, 3차원 다중 RESURF 효과가 있는 부분과, 종래 구조인 pin 다이오드와 같은 평탄한 사다리꼴형의 전계 분포를 갖는 중단 구조 부분을 접합함에 있어서, 고불순물 농도의 셀 내와 저 불순물 농도의 중단 부분 사이에 전계의 완충 영역을 마련된 구조와 그 제조 방법」이다. 이 때문에, 선행예 1과 본 발명은, 셀 부분에서 실현되고 있는 높은 내압을 중단 부분에서 손상하지 않도록 한다고 하는 목적과 효과를 동일하게 하지만, 전혀 다른 관점에서 구성한 것이다.

또한 덧붙여, 선행예 1의 구조는, 소위 중단 구조 부분의 표면 부분의 구조가 미세한 규정도 포함시킨 구조로, 이른바 중단 구조 부분이 무엇인지 묻지 않는 본 발명과는 전제 조건이 다르다. 한편, 본 발명에서는, 중단 구조에, 상기 「접합 중단 구조」에 한하지 않고, 일반적으로 알려진 다중의 가드 링 구조(FLR, FFR)나, 필드 플레이트(FP) 구조 등의 여러 가지 구조의 조합이 가능하여 범용성이 높은 것이다.

이와 같이 본 발명은, 종래형의 다중 가드 링이나 필드 플레이트 등에 의해서 구성되는 중단 구조를 포함하는 pin 다이오드 부분의 i층 농도가, pn 반복 구조에서 얻어지는 내압보다도 높아지도록 저농도로 설정하는 것을 전제로 하고 있고, 선행예 1에 제시된 바와 같이 중단 구조 부분까지 초접합 구조를 가지고 가는 것이 아니다. 또한, 본 발명은 도 148 내지 도 150의 종래예나 선행예 2와 같이, 셀 내부의 3차원 다중 RESURF 구조 부분과 종래 구조의 중단 구조를 단순하게 결합시킨 것도 아니고, 농도 변화가 극단적으로 되지 않도록 중간 농도의 완충층을 마련한 것이다.

(실시예 2)

도 2를 참조하면, 본 실시예의 구성은 도 1에 나타내는 구성과 비교하여, n형 드리프트 영역(3)과 p형 불순물 영역(4)의 하나의 조합(이하 pn 조합이라고 칭함)을 1 단위로 하지 않고, n형 드리프트 영역(3)과 p형 불순물 영역(4)을 독립적이고 또한 교대로 4 단계로 단부 측을 향하여 농도를 낮추는 구성으로 한 점에서 다르다. 즉, pn 반복 구조의 최단부에 위치하는 p형 불순물 영역(4)이 가장 낮은 불순물 농도를 갖는 극 저농도 영역이다. 이 최단부의 p형 불순물 영역(4)에 인접하는 n형 드리프트 영역(3)이 다음으로 낮은 불순물 농도를 갖는 저농도 영역이다. 이 n형 드리프트 영역(3)의 중앙부측에 인접하는 p형 불순물 영역(4)이 중앙 부분의 고농도 영역보다는 낮지만 저농도 영역보다도 높은 불순물 농도를 갖는 중농도 영역이다.

또, 이 이외의 구성에 대해서는 상술한 실시예 1의 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예에서는 다단계로 또한 조금씩 농도를 저감하여 감으로써, 사실상 이음매가 없는 연속적인 변화라고 간주할 수 있는 이점이 있다. 상술한 실시예 1에 있어서 pn 조합을 1 단위로 하여 4 단계로 저농도화한 구성보다도, 전계 분포 형상은 다소 왜곡되게 되기는 하지만, 중단 부분의 농도 경사를 가하는 부분의 면적을 절약할 수 있는 이점이 있다.

단, 소자의 전체 면적이 충분히 큰 경우에는, 이들 중단 부분의 구조에 써버리는 면적은 충분히 작고, 면적의 절약에 영향이 없다고 간주할 수도 있다. 따라서, 그 경우에는, 실시예 1과 같이 pn 조합을 1 단위로 하여 저농도화하여 가는 것이 보다 안정된 전계 분포 형상을 얻을 수 있다.

반대로, 1 mm각 정도의 비교적 작은 소자 면적의 경우에, pn 조합을 1 단위로 하면 중단 부분의 구조에 써버리는 면적의 소자 전체에 차지하는 비율이 높아져, 온저항이 상승하는(나빠지는) 등의 해가 있다. 따라서, 그 경우에는, 본 실시예와 같이, pn 조합을 1 단위로 하지 않고서, n형 드리프트 영역(3)과 p형 불순물 영역(4)을 독립적으로 저농도화하여 가는 구성이 유효하다.

또한, 본 실시예와 같이 4 단계로 농도 경사를 가하는 경우의 각 영역의 농도 설정은, 고농도 영역(3, 4)의 불순물 농도를 100%로 한 경우, 중농도 영역(4)과 저농도 영역(3)과 극 저농도 영역(4)의 각 불순물 농도를 균등하게 할당하여 75%, 50%, 25%로 하는 것이 이상적이다. 그러나, 실시예 1에서도 설명한 바와 같이 반드시 불순물 농도를 균등하게 저감시킬 필요는 없으며, 각각의 불순물 농도에는 임의의 폭이 허용된다.

(실시예 3)

도 3을 참조하면, 본 실시예의 구성은, 실시예 1의 구성과 비교하여, pn 반복 구조 최단부의 저농도화 영역이 pn 조합을 1 단위로 한 1조뿐이라는 점에서 다르다. 즉, pn 반복 구조의 최단부에 위치하는 1조의 pn 조합(3, 4)은 상호 동일한 불순물 농도를 지니고, 또한 중앙부의 고농도 영역(3, 4)보다도 낮은 불순물 농도를 갖고 있다.

또한, 본 실시예와 같이 1 단계에만 농도 경사를 가하는 경우의 각 영역의 농도 설정은, 고농도 영역(3, 4)의 불순물 농도를 100%로 한 경우, 저농도 영역(3, 4)의 각 불순물 농도는 30% 이상 70% 이하인 것이 바람직하다.

또, 이 이외의 구성에 대해서는 상술한 실시예 1의 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

후술하는 바와 같이, 저농도 영역을 형성하는 것이 제조상 어려운 경우나, 공정 증가에 수반하는 공사 기간의 연장이나 비용 증가를 수반하는 경우가 많다. 이들 제조상의 결점을 피하기 위해서, 저농도 영역의 수를 적게 하는 것도 필요하다.

(실시예 4)

도 4를 참조하면, 본 실시예의 구성은, 실시예 1의 구성과 비교하여, pn 반복 구조 최단부의 저농도화 영역이 p형 불순물 영역(4)뿐인 점에서 다르다. 즉, pn 반복 구조 최단부의 p형 불순물 영역(4)만이 저농도 영역이고, 그 이외의 pn 반복 구조를 구성하는 n형 드리프트 영역(3)과 p형 불순물 영역(4)은 전부 고농도 영역이다.

또, 이 이외의 구성에 대해서는 상술한 실시예 1의 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예는, 상술한 실시예 3의 구성을 더욱 간략화한 구조이기 때문에, 비교적 저용량, 즉 저전압이고 저전류로 소자 면적이 작은 소자에 특히 유효하며, 또한 제조 방법을 간략화할 수도 있다.

(실시예 5)

도 5를 참조하면, 본 실시예의 구성은, 도 2에 나타내는 3단계의 저농도화의 수법과, 도 1에 나타내는 pn 조합을 1 단위로 하는 농도 저감의 수법을 조합한 예이다. 즉, pn 반복 구조 최단부의 1조의 pn 조합(3, 4)이 pn 반복 구조 중에서 가장 낮은 불순물 농도를 갖는 극 저농도 영역이다. 이 극 저농도 영역의 이웃하는 1조의 pn 조합(3, 4)이 다음으로 낮은 불순물 농도를 갖는 저농도 영역이다. 이 저농도 영역의 이웃하는 1조의 pn 조합(3, 4)이, 중앙부의 pn 조합(3, 4)보다 낮고 또한 저농도 영역보다 높은 불순물 농도를 갖는 중농도 영역이다.

본 실시예의 구성은 실시예 1 내지 4의 구성과 비교하여 MOS-FET 부분의 구성에 있어서 다르다. 즉, 실시예 1 내지 4의 구성에서는, n형 드리프트층(3)을 사이에 둔 양측에 대칭으로 MOS-FET 구조가 형성되어 있지만, 본 실시예에서는 n형 드리프트층(3)의 편측에만 MOS-FET 구조가 형성되어 있다.

또, 이 이외의 구성에 대해서는 상술한 실시예 1의 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

셀 반복 주기가 작은 쪽이, pn 반복 구조에 의한 3차원적인 다중 RESURF 효과가 보다 유효하게 기능한다는 것을 알 수 있다. 또한, 앞의 RESURF 효과를 유효하게 하는 관점에서 작은 셀 피치가 요구된다.

본 실시예에서는, n형 드리프트 영역(3)의 편측에만 MOS-FET 구조가 형성되어 있기 때문에, 셀 피치를 축소할 수 있다. 이 때문에, MOS-FET의 총 채널 폭(면적)은 어느 정도 희생이 되기는 하지만, 대칭으로 MOS-FET를 형성하는 경우(실시예 1 내지 4)와 비교하여 총합적인 채널 폭을 바꾸는 일없이, 절반 셀 피치로까지 축소할 수 있어, pn 반복 구조의 성능 향상을 도모할 수 있다.

(실시예 6)

다음에, 다층 에피택셜층을 상정한 구조에 본 발명을 적용한 구조를 실시예 6 내지 8로 설명한다.

도 6을 참조하면, 본 실시예에서는, 반도체 기판의 깊이 방향으로 적층하여 형성된 복수(예를 들면 3개)의 p형 불순물 영역(4a)이 일체화하여 pn 반복 구조를 구성하는 p형 불순물 영역(4)을 이루고 있다. 복수의 p형 불순물 영역(4) 중에서, pn 반복 구조의 최단부에 위치하는 p형 불순물 영역(4)이 가장 낮은 불순물 농도를 갖고 있고, 저농도 영역으로 되어 있다. 또한, 복수의 p형 불순물 영역(4)의 각각에 삽입되는 n⁻ 에피택셜층(2)의 각 n형 영역이 pn 반복 구조를 구성하는 n형 불순물 영역을 이루고 있다.

또, 이 이외의 구성에 대해서는 상술한 실시예 1의 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예에 있어서도, 실시예 1과 마찬가지로, pn 반복 구조 중에서 최단부의 p형 불순물 영역(4)이 가장 낮은 불순물 농도를 갖고 있기 때문에, 이 최단부에서 얻어지는 내압이 높아져, 셀 부분에서의 내압 향상을 도모할 수 있다.

또, 도 6에서는 도면의 간단화를 위해, 종단부의 양측 각 1 단계만을 저농도화한 구성이 나타내져 있다. 그러나, 실시예 1 내지 5에 도시한 바와 같이 종단 부분의 농도 경사층은 다단계이더라도 좋다. 다단계의 경우에는 1 단계보다 높은 내압이 얻어지지만, 후술과 같이 공정 플로우의 설명에 나타낸 바와 같이 공정이 번잡해진다고 하는 단점도 있다.

또한, 도 6에 도시한 바와 같이 p형 불순물 영역(4)은 반도체 기판의 깊이 방향의 농도 분포를 내포한 구조이지만, 본 발명에서 논의하고 있는 것은, 반복이 있는 가로 방향의 거시적인 농도의 대칭성이기 때문에, 이 깊이 방향의 농도 분포에 의해 생기는 문제는 무시할 수 있다.

또한, 도 6에서는 간략화를 위해 p형 불순물 영역(4)의 농도 경사를 2단계로밖에 그리고 있지 않지만, 실제로는 p형 불순물 영역(4)의 농도는 무단계이면서 연속적으로 변화하는 것이며, 또한 기판의 깊이 방향으로 주기적으로 변화하는 것이다.

본 실시예에서의 구성(도 6)은 후술하는 실시예 7, 8의 구성과 비교하여, p형 불순물 영역(4)의 p형 불순물 농도력 내지 밸런스할 정도로 고농도화된 n⁻ 에피택셜층(2)이 기판으로서 이용되는 점에서 다르다. 그 결과, 본 실시예에서는, p형 불순물 영역(4)의 단면에서의 불순물 분포는 잘 알려진 꼬치 떡 형상이 된다.

(실시예 7 및 8)

지금까지의 매립 다층 에피택셜층에서의 pn 반복 구조는, 도 7에 도시한 바와 같이 반도체 기판의 깊이 방향으로 적층하여 형성된 복수(예를 들면 3개)의 p형 불순물 영역(4a)이 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)을 이루고 있다. 또한, 반도체 기판의 깊이 방향으로 적층하여 형성된 복수(예를 들면 3개)의 n형 불순물 영역(3a)이 일체화되어, pn 반복 구조를 구성하는 n형 드리프트 영역(3)을 이루고 있다. 이 때문에, p형 불순물 영역(4)과 n형 불순물 영역(3) 각각은 기판의 깊이 방향으로 주기적으로 변화하는 불순물 농도 분포를 갖고 있다.

이들 복수의 p형 불순물 영역(4) 각각의 평균적인 불순물 농도는 실질적으로 동일하고, 복수의 n형 드리프트 영역(3) 각각의 평균적인 불순물 농도도 실질적으로 동일하다.

이 구성이 상술한 실시예 6의 구성과 서로 다른 점은, 상기한 바와 같이 pn 반복 구조를 이루는 각 p형 또는 n형 영역이 일정한 평균 농도를 갖는다는 것과, n형 드리프트 영역(3)이 p형 불순물 영역(4)과 마찬가지로 주입 에너지를 바꾼 복수회의 이온 주입 공정에서 형성되기 때문에 반도체 기판의 깊이 방향으로 농도 분포를 내포한 구조로 된다는 것이다.

도 7에서도 도 6과 마찬가지로, n형 드리프트 영역(3)과 p형 불순물 영역(4)의 반도체 기판의 깊이 방향의 농도 경사는, 간단화를 위해 2단계로밖에 그리고 있지 않지만, 실제로는 무단계이고 연속적으로 변화하는 것이다. 또한, 도 7에 도시한 바와 같이 pn 반복 구조를 구성하는 p형 불순물과 n형 불순물의 양방을 동시에 확산되는 방법에 의해 형성되는 구성은, 도 6에 도시한 바와 같은 꼬치 떡 형상으로는 되지 않는다.

이에 대하여, 도 8에 나타내는 실시예 7의 구성은, 매립 다층 에피택셜층에서의 pn 반복 구조 최단부의 p형 불순물 영역(4)이 1 단계만 저농도화되어 있다는 점에서 도 7의 종래의 구성과 다르다.

또한, 도 9에 나타내는 실시예 8의 구성은, 매립 다층 에피택셜층에서의 pn 반복 구조 최단부의 p형 불순물 영역(4)과 n형 드리프트층(3)의 1조의 pn 조합이 1 단계만 저농도화되어 있다는 점에서 도 7의 종래의 구성과 다르다.

또, 이 이외의 도 8 및 도 9의 구성에 대해서는 도 7에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

실시에 7 및 8에 있어서도, 실시예 1과 마찬가지로, pn 반복 구조 중에서 최단부의 p형 불순물 영역(4)(및 n형 드리프트층(3))이 가장 낮은 불순물 농도를 갖고 있기 때문에, 이 최단부에서 얻어지는 내압이 높아져, 셀 부분에서의 내압 향상을 도모할 수 있다.

(실시예 9 내지 12)

다음에, MOS-FET가 아니라 다이오드에 본 발명을 적용한 구조를 실시예 9 내지 12에서 설명한다.

도 1, 도 6 및 도 9에서의 MOS-FET를 다이오드로 바꾼 구성을 각각 실시예 9, 10, 11로서 도 10, 도 11 및 도 12에 나타낸다.

도 10 내지 도 12를 참조하면, pn 반복 구조 전체의 제1 주면측에 p형 불순물 영역(21)이 형성되어 있고, 애노드 전극(22)과 전기적으로 접속되어 있다.

또, 도 10의 그 이외의 구성에 대해서는 도 1에 나타내는 구성과, 도 11의 그 이외의 구성에 대해서는 도 6에 나타내는 구성과, 도 12의 그 이외의 구성에 대해서는 도 9에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

또한 도 13에 나타내는 실시예 12의 구성은, 도 5에 나타내는 구성과 비교하여, pn 조합 사이에 홈(24)이 마련되어 있다는 점과, MOS-FET가 다이오드로 바뀌어져 있다는 점에서 다르다. 또, MOS-FET를 다이오드로 바꾸기 위해서, pn 반복 구조 전체의 제1 주면측에 p형 불순물 영역(21)이 형성되어 애노드 전극(22)과 전기적으로 접속되어 있다.

또한, pn 반복 구조의 농도 설정에 대해서는 도 5에 나타내는 구성과 마찬가지로, pn 반복 구조의 단부에 있어서 3단계의 저농도화 수법이 이용되고 있다.

이 이외의 도 13의 구성에 대해서는 도 5에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

실시에 9 내지 12에 있어서도, 실시예 1과 마찬가지로, pn 반복 구조 중에서 최단부의 p형 불순물 영역(4)(및 n형 드리프트층(3))이 가장 낮은 불순물 농도를 갖고 있기 때문에, 이 최단부에서 얻어지는 내압이 높아져, 다이오드의 셀 부분에서의 내압 향상을 도모할 수 있다.

이들 실시예 9 내지 12에 나타내는 구성은 상부 구조가 능동 소자가 아닌 구성이지만, 저온 전압에서 고속의 스위칭이 가능한 소자로서 기능한다.

(실시예 13 내지 16)

다음에, 상기와 마찬가지로 다이오드 구조이지만, 상부가 쇼키 접합의 것에 본 발명을 적용한 구조를 실시예 13 내지 16에서 설명한다.

도 10, 도 11, 도 12 및 도 13에서의 다이오드를 쇼키 다이오드로 바꾼 구성을 각각 실시예 13, 14, 15 및 16으로서 도 14, 도 15, 도 16 및 도 17에 나타낸다.

도 14 내지 도 17을 참조하면, 반도체 기판의 제1 주면에 금속으로 이루어지는 애노드 전극(22)이 전기적으로 접속되어 있고, 그 접속 부분에 금속 실리사이드층(21a)이 형성되어 있다.

또, 도 14의 그 이외의 구성에 대해서는 도 10에 나타내는 구성과, 도 15의 그 이외의 구성에 대해서는 도 11에 나타내는 구성과, 도 16의 그 이외의 구성에 대해서는 도 12에 나타내는 구성과, 도 17의 그 이외의 구성에 대해서는 도 13에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

실시에 13 내지 16에서도 실시예 1과 마찬가지로, pn 반복 구조 중에서 최단부의 p형 불순물 영역(4)(및 n형 드리프트층(3))이 가장 낮은 불순물 농도를 갖고 있기 때문에, 이 최단부에서 얻어지는 내압이 높아져, 쇼키 다이오드의 셀 부분에서의 내압 향상을 도모할 수 있다.

(실시예 17)

본 실시예에서는 도 6에 나타내는 구성의 제조 방법의 일례를 도 18 내지 도 25를 이용하여 설명한다.

도 18을 참조하면, 비소 혹은 안티몬을 포함하는 고농도의 n⁺ 기판(1) 상에, 통상의 에피택셜법에 의해 n⁻ 에피택셜층(2)이 형성된다. 이 n⁻ 에피택셜층(2)은 다중 RESURF 효과를 사용하지 않는 종래 구조의 MOS-FET에서 사용하는 n형 드리프트층 농도에 비교하여 고농도이면서 똑같은 불순물 농도를 갖는 한층만으로 형성된다.

이 후, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31a)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31a)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 깊은 위치에 붕소 이온의 주입 영역(4a)이 형성된다.

또, 도 18에는 레지스트 패턴(31a) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트를 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 19를 참조하면, 상기 레지스트 패턴(31a)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 20을 참조하면, 상기 레지스트 패턴(31a)을 마스크로 하여 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 얇은 위치에 붕소 이온 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31a)은 예를 들면 에칭 등에 의해 제거된다.

단, 상기 깊은 위치로의 주입(도 18)과 중간 위치로의 주입(도 19)과 얇은 위치로의 주입(도 20)의 각 주입 순서는 교체할 수 있다.

도 21을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31b)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31b)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

또, 도 21에는 레지스트 패턴(31a) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 22를 참조하면, 상기 레지스트 패턴(31b)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 23을 참조하면, 상기 레지스트 패턴(31b)을 마스크로 하여, 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 얇은 위치에 붕소 이온 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31b)은 예를 들면 에칭 등에 의해 제거된다.

도 21 내지 도 23의 공정에서 pn 반복 구조의 최단부에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 붕소 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 21)과 중간 위치로의 주입(도 22)과 얇은 위치로의 주입(도 23)의 각 주입 순서는 교체할 수 있다. 또한, 이들 최단부로의 저농도 주입 공정은, 전술한 중앙부로의 고농도 주입 공정과 전체적으로 교체할 수도 있다.

본 실시예에서는 간단화를 위해, pn 반복 구조의 최단부에 저농도의 p층을 일렬만 형성하는 경우를 예로 들었지만, 본 실시예는 이 경우에 특별히 한정되는 것은 아니다.

도 24를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31c)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31c)을 마스크로 하여 붕소 이온을 극 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부 및 최단부와 종단 구조인 가드 링부로 되는 각 영역의 매우 얇은 위치에 붕소 이온 주입 영역(5, 15)이 형성된다. 이후, 레지스트 패턴(31c)은 예를 들면 에칭 등에 의해 제거된다.

도 25를 참조하면, 고온으로 장시간 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(5, 15)이 적당한 크기로 확산되어 가드 링 부분(15)과 p형 보디 영역(5)이 형성된다. 이와 동시에, 반도체 기판의 깊이 방향으로 나란히 배열된 복수의 붕소 이온 주입 영역(4a)이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)이 형성된다. 이후, MOS-FET 구성부나 전극 등이 형성되고, 도 6에 나타내는 반도체 장치가 완성된다.

현재의 고에너지 이온 주입 기술을 갖고 해도, 최대의 가속 에너지는 수 MeV 정도이다. 이 때문에, 경원소인 붕소이더라도, Si 중의 비정은 10 μ m 이내이고, 잔여 깊은 위치에 주입할 수 없다. 따라서, 본 실시예의 제조 방법으로 실현할 수 있는 소자 구조는 200V 정도 이하의 비교적 저혈압의 것에 한정된다.

그러나, 고에너지 이온 주입기라고 하는 고가의 제조 장치와 이에 수반되는 두께막의 포토레지스트와 사진 제판 공정은 사용하지만, 후술하는 매립 다층 에피택셜 방식이나 트랜치 방식에 비교하여 공정이 간략하다고 하는 이점이 있다.

(실시예 18)

본 실시예에서는 도 8에 나타내는 구성의 제조 방법의 일례를 도 26 내지 도 32를 이용하여 설명한다.

본 실시예의 제조 방법은 우선 도 18 내지 도 20에 나타내는 실시예 17의 공정과 마찬가지로 공정을 거친다. 단, n⁻ 에피택셜층(2)은 다중 RESURF 효과를 사용하지 않는 종래 구조의 MOS-FET에서 사용하는 n형 드리프트층 농도에 비교하여 저농도이면서 똑같은 불순물 농도를 갖는 한층만으로 형성된다.

이후, 도 26을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31d)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31d)을 마스크로 하여 인 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

또, 도 26에는 레지스트 패턴(31d) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 27을 참조하면, 상기 레지스트 패턴(31d)을 마스크로 하여, 인 이온을 중 에너지에 의해 이온 주입함으로써, 중앙부가 되는 영역의 중간 정도로 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

도 28을 참조하면, 상기 레지스트 패턴(31d)을 마스크로 하여, 인 이온을 저에너지에 의해 이온 주입함으로써, 중앙부가 되는 영역의 얇은 위치에 인 이온의 주입 영역(3a)이 형성된다. 이후, 레지스트 패턴(31d)은 예를 들면 에칭 등에 의해 제거된다.

단, 상기 깊은 위치로의 주입(도 26)과 중간 위치로의 주입(도 27)과 얇은 위치로의 주입(도 28)의 각 주입 순서는 교체할 수 있다. 또한, 이들 중앙부로의 인 이온 주입 공정은 전술한 중앙부로의 붕소 이온 주입 공정과 전체적으로 교체할 수도 있다.

도 29를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31e)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31e)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

또, 도 29에는 레지스트 패턴(31a) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 30을 참조하면, 상기 레지스트 패턴(31e)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 31을 참조하면, 상기 레지스트 패턴(31e)을 마스크로 하여 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 얇은 위치에 붕소 이온 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31e)은 예를 들면 에칭 등에 의해 제거된다.

도 29 내지 도 31의 공정에서 pn 반복 구조의 최단부에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 붕소 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 29)과 중간 위치로의 주입(도 30)과 얇은 위치로의 주입(도 31)의 각 주입 순서는 교체할 수 있다. 또한, 이들 pn 반복 구조의 최단부로의 저농도 주입 공정은 전술한 중앙부로의 고농도 붕소 이온 또는 인 이온 주입 공정과 전체적으로 교체할 수도 있다.

본 실시예에서는, 간단화를 위해, pn 반복 구조의 최단부에 저농도의 p층을 일렬만 형성하는 경우를 예로 들었지만, 본 실시예는 이 경우에 특별히 한정되는 것은 아니다.

도 32를 참조하면, 도 24에 나타내는 실시예 17과 마찬가지로 공정을 거치는 것에 의해, 가드 링 부분(15)과 p형 보디 영역(5)이 형성된다. 이와 동시에, 반도체 기판의 깊이 방향으로 나란히 배열된 복수의 비소 이온의 주입 영역(4a)과 복수의 인 이온 주입 영역(3a)이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 이후, MOS-FET 구성부나 전극 등이 형성되고, 도 8에 나타내는 반도체 장치가 완성된다.

또 도 32에서는, 접속된 n형 드리프트 영역(3)과 p형 불순물 영역(4)을 간단화를 위해 저농도와 고농도의 2단계로 표시하고 있지만, 이들 불순물 농도는 실제로는 무단계이고 연속적으로 변화하고, 또한 기판의 깊이 방향으로 주기적으로 변화한다. 또한, pn 반복 구조 최단부의 저농도 p형 불순물 영역(4)은, 불순물 농도가 높은 부분에서 어느 정도 외주로 확산되는 꾸불꾸불한 단면 형상이 되지만, 간략화를 위해 상세한 설명은 생략하고 있다.

실시예 17에서는, 비교적 고농도의 n형 에피택셜층(2)에 p형 불순물 영역(4)이 붕소의 이온 주입에 의해 형성된다. 이에 대하여, 본 실시예에서는, 저농도의 n형 에피택셜층(2)을 이용하여, n형 드리프트 영역(3)과 p형 불순물 영역(4)의 각 매립 확산 영역(3a, 4a)이 독립적으로 형성된다. 이 때문에, pn 반복 구조의 외주부분의 n형 에피택셜층(2) 농도가 낮아져 pin 다이오드가 구성된다.

또한, n형 드리프트 영역(3)과 p형 불순물 영역(4)이 이온 주입에 의해서 형성되기 때문에, 실시예 17과 비교하여 n형 드리프트 영역(3)과 p형 불순물 영역(4)의 농도 밸런스를 취하기 쉽다. 이 때문에, 본 실시예에서의 제조 방법은 저 내압 소자 중에 있어도 비교적 고내압 소자에 적합한 방법이다.

그러나, n형 드리프트 영역(3)과 p형 불순물 영역(4)의 이온 주입 공정을 독립적으로 행하기 때문에, 실시예 17에 비교하여 공정 수가 증가한다고 하는 결점도 있다. 이 때문에, 소자에 요구되는 성능이나 비용에 맞추어 이들 방법을 구분하여 사용하는 것이 바람직하다.

(실시예 19)

본 실시예에서는 도 9에 나타내는 구성의 제조 방법의 일례를 도 33 내지 도 42를 이용하여 설명한다. 단, 이하의 방법에 따르면, 도 1내지 도 5에 나타내는 구조를 만드는 것도 가능하다.

본 실시예의 제조 방법은 우선 도 18 내지 도 20에 나타내는 실시예 17의 공정과 마찬가지로 공정을 거친다. 단, n⁻ 에피택셜층(2)은 다중 RESURF 효과를 사용하지 않는 종래 구조의 MOS-FET에서 사용하는 n형 드리프트층 농도에 비교하여 저농도이면서 똑같은 불순물 농도를 갖는 한층만으로 형성된다.

이 후, 도 33을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31f)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31f)을 마스크로 하여 인 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

또, 도 33에는 레지스트 패턴(31f) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 34를 참조하면, 상기 레지스트 패턴(31f)을 마스크로 하여, 인 이온을 중 에너지에 의해 이온 주입함으로써, 중앙부가 되는 영역의 중간 정도로 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

도 35를 참조하면, 상기 레지스트 패턴(31f)을 마스크로 하여, 인 이온을 저에너지에 의해 이온 주입함으로써, 중앙부가 되는 영역의 얇은 위치에 인 이온의 주입 영역(3a)이 형성된다. 이 후, 레지스트 패턴(31f)은 예를 들면 애싱 등에 의해 제거된다.

단, 상기 깊은 위치로의 주입(도 33)과 중간 위치로의 주입(도 34)과 얇은 위치로의 주입(도 35)의 각 주입 순서는 교체할 수 있다. 또한, 이들 중앙부로의 인 이온 주입 공정은 전술한 중앙부로의 붕소 이온 주입 공정과 전체적으로 교체할 수도 있다.

도 36을 참조하면, 여기서부터가 저농도화가 필요한 구성의 제조 공정이 된다. 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31g)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31g)을 마스크로 하여 인 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부보다도 1단만큼 중앙부(바로 앞)가 되는 영역의 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

또, 도 36에는 레지스트 패턴(31g) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 37을 참조하면, 상기 레지스트 패턴(31g)을 마스크로 하여, 인 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부보다도 1단만큼 중앙부가 되는 영역의 중간 정도로 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

도 38을 참조하면, 상기 레지스트 패턴(31g)을 마스크로 하여, 인 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부보다도 1단만큼 중앙부가 되는 영역의 얇은 위치에 인 이온의 주입 영역(3a)이 형성된다. 이 후, 레지스트 패턴(31g)은 예를 들면 애싱 등에 의해 제거된다.

도 36 내지 도 38의 공정에서 pn 반복 구조의 최단부에 주입되는 인 이온의 주입 농도는, 중앙부에 주입된 인 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 36)과 중간 위치로의 주입(도 37)과 얇은 위치로의 주입(도 38)의 각 주입 순서는 교체할 수 있다. 또한, 이들 pn 반복 구조의 최단부보다도 1단만큼 중앙부로의 인 이온 주입 공정은 전술한 중앙부로의 붕소 이온 또는 인 이온의 주입 공정과 전체적으로 교체할 수도 있다.

도 39를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31h)이 n⁻ 에피택셜층(2) 상에 형성된다. 이 레지스트 패턴(31h)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

또, 도 39에는 레지스트 패턴(31h) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되어도 좋다.

도 40을 참조하면, 상기 레지스트 패턴(31h)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 41을 참조하면, 상기 레지스트 패턴(31h)을 마스크로 하여 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 얇은 위치에 붕소 이온의 주입 영역(4a)이 형성된다. 이 후, 레지스트 패턴(31h)은 예를 들면 애싱 등에 의해 제거된다.

도 39 내지 도 41의 공정에서 pn 반복 구조의 최단부에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 붕소 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 39)과 중간 위치로의 주입(도 40)과 얇은 위치로의 주입(도 41)의 각 주입 순서는 교체할 수 있다. 또한, 이들 pn 반복 구조의 최단부로부터 저농도의 붕소 이온을 주입하는 공정은 전술한 중앙부로의 고농도 붕소 이온 또는 인 이온의 주입 공정 혹은 pn 반복 구조의 최단부보다도 1단만큼 중앙부로의 저농도 인 이온 주입 공정과 전체적으로 교체할 수도 있다.

본 실시예에서는 간단화를 위해, pn 반복 구조의 최단부에 저농도의 p층과 n층으로 이루어지는 pn 조합을 일렬만 형성하는 경우를 예로 들었지만, 특별히 한정되는 것은 아니다.

도 42를 참조하면, 도 24에 나타내는 실시예 17과 마찬가지로 공정을 거치는 것에 의해, 가드 링 부분(15)과 p형 보디 영역(5)이 형성된다. 이와 동시에, 반도체 기판의 깊이 방향으로 나란히 배열된 복수의 붕소 이온 주입 영역(4a)과 복수의 인 이온 주입 영역(3a)이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 이후, MOS-FET 구성부나 전극 등이 형성되고, 도 9에 나타내는 반도체 장치가 완성된다.

또 도 42에서는 접속된 n형 드리프트 영역(3)과 p형 불순물 영역(4)을 간단화를 위해 저농도와 고농도의 2단계로 표시하고 있지만, 이들 불순물 농도는 실제로는 무단계이면서 연속적으로 변화하고, 또한 기판의 깊이 방향으로 주기적으로 변화한다. 또한, pn 반복 구조 최단부의 저농도 p형 불순물 영역(4)은, 불순물 농도가 높은 부분에서 어느 정도 외주로 확산되는 꾸불꾸불한 단면 형상이 되지만, 간략화를 위해 상세한 설명은 생략하고 있다.

(실시예 20)

실시예 20으로서, 매립 영역의 형성에 다층 에피택셜층을 사용하여 도 6의 구성을 제조하는 공정 플로우를 도 43 내지 도 53을 이용하여 상술한다.

도 43을 참조하면, 비소 혹은 안티몬을 포함하는 고농도의 n⁺ 기판(1)에, 통상의 에피택셜법에 의해 초단의 n⁻ 에피택셜층(2a)이 형성된다. 이 n⁻ 에피택셜층(2a)은 다중 RESURF 효과를 사용하지 않는 종래 구조의 MOS-FET에서 사용하는 n형 드리프트층 농도에 비교하여 저농도이면서 똑같은 불순물 농도를 갖는 한층만으로 형성된다. 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31i)이 n⁻ 에피택셜층(2a) 상에 형성된다.

또, 도 43에는 레지스트 패턴(31i) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 44를 참조하면, 이 레지스트 패턴(31i)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 비교적 얇은 위치(깊더라도 상관없지만 높은 에너지는 일반적으로 내기 어려움)에 붕소 이온의 고농도 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31i)은 예를 들면 애싱 등에 의해 제거된다.

도 45를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31k)이 n⁻ 에피택셜층(2a) 상에 형성된다. 이 레지스트 패턴(31k)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 비교적 얇은 위치에 붕소 이온의 저농도 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31k)은 예를 들면 애싱 등에 의해 제거된다.

또, 도 45에는, 레지스트 패턴(31k) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 46을 참조하면, 상기 고농도와 저농도의 양방의 붕소 이온 주입 영역(4a)을 기판 중에 매립하기 위해서, 도 43의 공정에서 설명한 바와 마찬가지로 하여 에피택셜 성장에 의해 저농도의 n⁻ 에피택셜층(2b)이 형성된다. 엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다. 그 확산 모습을, 에피택셜 성장 계면을 점선으로 나타내어 그 상부에 확산되는(부상하는) 형태로 나타내고 있지만, 이 부상 자체는 적극적으로 이용하는 것도 아니고, 또한 부상이 해를 이루는 것도 아니다.

이하의 공정에서는 상기 초단의 n⁻ 에피택셜층(2a)의 형성에 시작되어, 고농도의 붕소 이온 주입 영역(4a)의 형성과, 저농도의 붕소 이온 주입 영역(4a)의 형성과, 2단계의 n⁻ 에피택셜층(2b)의 형성의 각 과정이, 기본적으로는 원하는 횟수만으로 반복된다.

도 47을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31l)이 n⁻ 에피택셜층(2b) 상에 형성된다. 이 레지스트 패턴(31l)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 비교적 얇은 위치에 붕소 이온의 고농도 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31l)은 예를 들면 애싱 등에 의해 제거된다.

또, 도 47에는, 레지스트 패턴(31l) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 48을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31m)이 n⁻ 에피택셜층(2b) 상에 형성된다. 이 레지스트 패턴(31m)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 비교적 얇은 위치에 붕소 이온의 저농도 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31m)은 예를 들면 애싱 등에 의해 제거된다.

또, 도 48에는, 레지스트 패턴(31m) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

이 후, 상기 고농도와 저농도의 양방의 붕소 이온 주입 영역(4a)을 기관 중에 매립하기 위해서, 도 43의 공정에서 설명한 바와 마찬가지로 하여 에피택셜 성장에 의해 저농도의 n^- 에피택셜층(2c)이 형성된다. 엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다. 그 확산된 모습을, 에피택셜 성장 계면을 접선으로 나타내어 그 상부에 확산되는(부상되는) 형태로 나타내고 있지만, 이 부상 자체는 적극적으로 이용하는 것도 아니고, 또한 부상이 해를 이루는 것도 아니다.

도 49를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31n)이 n^- 에피택셜층(2c) 상에 형성된다. 이 레지스트 패턴(31n)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부가 되는 영역의 비교적 얇은 위치에 붕소 이온의 고농도 주입 영역(4a)이 형성된다. 이 후, 레지스트 패턴(31n)은 예를 들면 애싱 등에 의해 제거된다.

또, 도 49에는 레지스트 패턴(31n) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 50을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31o)이 n^- 에피택셜층(2c) 상에 형성된다. 이 레지스트 패턴(31o)을 마스크로 하여 붕소 이온을 통상의 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 비교적 얇은 위치에 붕소 이온의 저농도 주입 영역(4a)이 형성된다. 이 후, 레지스트 패턴(31o)은 예를 들면 애싱 등에 의해 제거된다.

또, 도 50에는, 레지스트 패턴(31o) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 51을 참조하면, 상기 고농도와 저농도의 양방의 붕소 이온 주입 영역(4a)을 기관 중에 매립하기 위해서, 도 43의 공정에서 설명한 바와 마찬가지로 하여 에피택셜 성장에 의해 최종 단의 저농도의 n^- 에피택셜층(2d)이 형성된다. 이에 의해, n^- 에피택셜층(2a 내지 2d)에 의해 다층 에피택셜층(2)이 구성된다.

엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다. 그 확산된 모습을, 에피택셜 성장 계면을 접선으로 나타내어 그 상부에 확산되는(부상하는) 형태로 나타내고 있지만, 이 부상 자체는 적극적으로 이용하는 것도 아니고, 또한 부상이 해를 이루는 것도 아니다.

도 52를 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31p)이 n^- 에피택셜층(2d) 상에 형성된다. 이 레지스트 패턴(31p)을 마스크로 하여 붕소 이온을 극 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부 및 최단부와 중단 구조인 가드 링부로 되는 각 영역의 매우 얇은 위치에 붕소 이온 주입 영역(5, 15)이 형성된다. 이 후, 레지스트 패턴(31p)은 예를 들면 애싱 등에 의해 제거된다.

도 53을 참조하면, 고온으로 장시간의 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(5, 15)이 적당한 크기로 확산되어 가드 링 부분(15)과 p형 보디 영역(5)이 형성된다. 이와 동시에, 반도체 기관의 깊이 방향으로 나란히 배열된 복수의 붕소 이온 주입 영역(4a)이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)이 형성된다. 이 후, MOS-FET 구성부나 전극 등이 형성되고, 도 6에 나타내는 반도체 장치가 완성된다.

또, 도 45, 도 48 및 도 50의 공정에서 pn 반복 구조의 최단부에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 비소 이온의 주입 농도의 반 정도가 된다.

또한, 본 실시예에서도, pn 반복 구조의 최단부를 1단계만 저농도화하는 경우를 예로 들어 설명하였지만, 상술한 다른 예와 같이, 저농도화의 단계를 복수로 하는 것도 가능하다. 그렇게 함으로써, 공정은 보다 복잡해져 제조 비용이 상승한다고 하는 단점은 있지만, 소자의 내압 성능이 개선된다고 하는 큰 이점이 있다. 따라서, 요구되는 제품의 가격 대 성능의 관계에 맞추어 저농도화를 다단계화해도 좋고, 본 실시예는 결코 1 단계의 구조나 제법에 한정되는 것은 아니다.

본 실시예의 제조 방법에서는, 에피택셜층의 층 수만 중첩되면 원리적으로는 무한히 쌓아 올릴 수 있다. 이 때문에, 이 제조 방법에 의해 얻어지는 반도체 장치는, 수백 V 정도의 중 내압 내지 수천 V의 고내압까지 대응할 수 있는 것이다. 반대로, 후술하는 바와 같이, 매립 확산 영역(4a)을 깊이 방향으로 접속하기 위해서, 반드시 어느 정도 고온의 열 처리 공정이 필요하게 된다. 이 고온의 열 처리에서는 깊이 방향(상하 방향)으로의 확산과 동시에 가로 방향으로도 확산되므로, pn 반복 주기를 단축할 수 없기 때문에, 300V 정도보다 아래의 저 내압 영역에서의 성능을 내기 어려운 단점이 있다.

(실시예 21)

실시예 21로서, 매립 영역의 형성에 다층 에피택셜층을 사용하고, 또한 pn 반복 구조의 최단부의 확산에 세그먼트 패턴을 사용하여 도 6의 구성을 제조하는 공정 플로우를 도 54 내지 도 63을 이용하여 상술한다.

도 54를 참조하면, 비소 혹은 안티몬을 포함하는 고농도의 n^+ 기관(1) 상에, 통상의 에피택셜법에 의해 초단의 n^- 에피택셜층(2a)이 형성된다. 이 n^- 에피택셜층(2a)은 다중 RESURF 효과를 사용하지 않는 종래 구조의 MOS-FET에서 사용하는 n형 드리프트층 농도에 비교하여 저농도이면서 똑같은 불순물 농도를 갖는 한층만으로 형성된다. 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31q)이 n^- 에피택셜층(2a) 상에 형성된다.

이 레지스트 패턴(31q)의 pn 반복 구조의 중앙부가 되는 영역 상에는 단일 구멍으로 이루어지는 제1 개공 패턴이 형성되고, pn 반복 구조의 최단부가 되는 영역 상에는 복수의 미세 구멍으로 이루어지는 제2 개공 패턴이 형성된다. 제2 개공 패턴에서의 모든 미세 구멍의 개공 면적의 합은, 제1 개공 패턴의 개공 면적보다도 작아지도록 설정되어 있다.

또, 도 54에는, 레지스트 패턴(31q) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

도 55를 참조하면, 이 레지스트 패턴(31q)을 마스크로 하여 붕소 이온이 통상의 에너지에 의해 이온 주입된다. 이에 의해, pn 반복 구조의 중앙부가 되는 영역에 붕소 이온의 고농도 주입 영역(4a)이, 또한 pn 반복 구조의 최단부가 되는 영역에 붕소 이온의 저농도 주입 영역(4a)이 각각, 비교적 얇은 위치에 형성된다. 즉, 상기 실시예 19, 20 등과 는 달리, 본 실시예에서는 저농도화하고자 하는 pn 반복 구조의 최단부에도, 중앙부와 동일 주입 공정에서 동시에 불순물이 주입된다.

도 63은 상기 이온 주입 직후에서의 pn 반복 구조 최단부의 불순물 주입 모습을 나타내고 있다. 도 63을 참조하면, pn 반복 구조 최단부 상의 제2 개공 패턴은 복수의 미세 구멍으로 형성되어 있기 때문에, 각 미세 구멍의 바로 아래에 붕소 이온 주입 영역(4a₁)이 형성되게 된다. 이 상태에서 불순물 확산을 위한 열 처리가 실시된다.

복수의 미세 구멍을 매우 미세하게 형성해 두면, 약간의 열 처리이더라도, 도 64에 도시한 바와 같이 복수의 붕소 이온 주입 영역(4a₁)이 주위로 확산되어 넓어지고, 상호 중첩되어 일체로서 저농도의 주입 영역(4a)을 구성한다. 또한, 약간의 열 처리로 간단하게 가로 확산에 의해 각 주입 영역(4a₁)이 중첩되어, 전체적인 농도가 균질화된다. 이 저농도의 주입 영역(4a)은 형상이나 농도에 다소의 기복을 갖고 있더라도, 거시적으로는 똑같은 비교적 저농도의 확산 영역(4a)이라고 간주할 수 있다. 또한, 상기 열 처리 자체는 후 공정의 에피택셜 성장 공정에 의해 결합 수도 있고 에피택셜 성장 전에 독립적으로 가할 수도 있다.

여기서, 제2 개공 패턴에서의 모든 미세 구멍의 개공 면적의 합이 제1 개공 패턴의 개공 면적보다도 작아지도록 설정되어 있다. 이 때문에, 이들 개공 패턴의 쌍방으로 동시에 이온 주입이 되더라도, 중앙부가 되는 영역에는 고농도이고, 또한 pn 반복 구조의 최단부가 되는 영역에는 저농도의 각 주입 영역(4a)을 형성할 수 있다.

이 후, 레지스트 패턴(31q)은 예를 들면 애싱 등에 의해 제거된다.

도 56을 참조하면, 상기 고농도와 저농도의 양방의 붕소 이온 주입 영역(4a)을 기관 중에 매립하기 위해서, 도 54의 공정에서 설명한 바와 마찬가지로 하여 에피택셜 성장에 의해 저농도의 n⁻ 에피택셜층(2b)이 형성된다. 엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다. 그 확산된 모습을, 에피택셜 성장 계면을 접선으로 나타내어 그 상부에 확산되는(부상하는) 형태로 나타내고 있지만, 이 부상 자체는 적극적으로 이용하는 것도 아니고, 또한 부상이 해를 이루는 것도 아니다.

이하의 공정에서는, 상기 초단의 n⁻ 에피택셜층(2a)의 형성에 시작되어, 고농도의 붕소 이온 주입 영역(4a)의 형성과, 저농도의 붕소 이온 주입 영역(4a)의 형성과, 2단계의 n⁻ 에피택셜층(2b) 형성의 각 과정이, 기본적으로는 원하는 횟수만으로 반복된다.

도 57을 참조하면, 도 54와 마찬가지로, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31r)이 n⁻ 에피택셜층(2a) 상에 형성된다. 이 레지스트 패턴(31r)의 pn 반복 구조의 중앙부가 되는 영역 상에는 단일의 구멍으로 이루어지는 제1 개공 패턴이 형성되고, pn 반복 구조의 최단부가 되는 영역 상에는 복수의 미세 구멍으로 이루어지는 제2 개공 패턴이 형성된다. 제2 개공 패턴에서의 모든 미세 구멍의 개공 면적의 합은, 제1 개공 패턴의 개공 면적보다도 작아지도록 설정되어 있다.

또, 도 57에는, 레지스트 패턴(31r) 아래에는 받침 실리콘 산화막이 없고, 포토레지스트에 바로 부착한 경우를 나타내었지만, 필요에 따라서 받침 실리콘 산화막이 마련되더라도 좋다.

이 후, 이 레지스트 패턴(31r)을 마스크로 하여 붕소 이온이 통상의 에너지에 의해 이온 주입된다. 이에 의해, pn 반복 구조의 중앙부가 되는 영역에 붕소 이온의 고농도 주입 영역(4a)이, 또한 pn 반복 구조의 최단부가 되는 영역에 붕소 이온의 저농도 주입 영역(4a)이 각각, 비교적 얇은 위치에 형성된다. 이 후, 레지스트 패턴(31r)은 예를 들면 애싱 등에 의해 제거된다.

도 58을 참조하면, 상기와 마찬가지로의 에피택셜 성장이 행하여지는 것에 의해 저농도의 n⁻ 에피택셜층(2c)이 형성된다. 엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다.

이 후, 또한 상기와 마찬가지로의 단일의 사진 제판과, 단일의 이온 주입에 의해, pn 반복 구조의 중앙부가 되는 영역에 붕소 이온의 고농도 주입 영역(4a)이, 또한 pn 반복 구조의 최단부가 되는 영역에 붕소 이온의 저농도 주입 영역(4a)이 각각, 비교적 얇은 위치에 형성된다. 이 후, 레지스트 패턴(31 s)은 예를 들면 애싱 등에 의해 제거된다.

도 59를 참조하면, 상기와 마찬가지로의 에피택셜 성장이 행하여지는 것에 의해, 저농도의 n⁻ 에피택셜층(2d)이 형성된다. 엄밀하게는, 이 에피택셜 성장 공정에서의 열 처리에 의해, 각 주입 영역(4a)은 주위로 다소 확산되어 단면 형상이 원형으로 된다.

도 60을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31t)이 n^- 에피택셜층(2d) 상에 형성된다. 이 레지스트 패턴(31t)을 마스크로 하여 붕소 이온을 극 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 중앙부 및 최단부와 종단 구조인 가드 링부로 되는 각 영역의 매우 얇은 위치에 붕소 이온 주입 영역(5, 15)이 형성된다. 이후, 레지스트 패턴(31t)은 예를 들면 에칭 등에 의해 제거된다.

또 관습적으로는, 사진 제판 시에는 반침 실리콘 산화막이 있는 것이 바람직하지만, 특별히 한정하는 것은 아니므로, 도면에서는 간단화를 위해 생략하였다.

도 61을 참조하면, 고온으로 장시간의 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(5, 15)이 적당한 크기로 확산되어 가드 링 부분(15)과 p형 보디 영역(5)이 형성된다. 이와 동시에, 반도체 기판의 깊이 방향으로 나란히 배열된 복수의 붕소 이온 주입 영역(4a)이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)이 형성된다.

도 62를 참조하면, 통상의 사진 제판 기술 및 이온 주입 기술에 의해 p형 보디 영역(5) 내에, MOS-FET의 n^+ 소스 영역(6)과, p형 보디 영역(5)으로의 저 저항 콘택트를 취하기 위한 p^+ 콘택트 영역(7)이 형성된다.

단, n^+ 소스 영역(6)은 비소 혹은 인에 의해서, 또한 p^+ 콘택트 영역(7)은 붕소에 의해서 각각 형성되기 때문에, 사진 제판 공정과 이온 주입 공정을 n^+ 소스 영역(6)과 p^+ 콘택트 영역(7)에서 독립적으로 행할 필요가 있다. 또한, 후술하는 게이트 영역 형성과의 순서는 특별히 규정하는 것이 아니고, 성능이나 용도에 따라서 순서를 교체하거나 할 수 있다.

마지막으로, MOS-FET 구조를 완성시킴으로써 도 6에 도시하는 반도체 장치가 완성된다. 단, 도 6에서는 층간 절연막을 통한 콘택트 홀은 생략하고, Al 배선 등은 간략화하여 단순한 직선 배선으로 나타내고 있다.

또, 본 실시예에서도, pn 반복 구조의 최단부를 1 단계만 저농도화하는 경우를 예로 들어 설명하였지만, 상술한 다른 예와 같이 저농도화의 단계를 복수로 하는 것도 가능하다. 그렇게 함으로써, 공정은 보다 복잡화하여 제조 비용이 상승한다고 하는 단점은 있지만, 소자의 내압 성능이 개선된다고 하는 큰 이점이 있다. 이 때문에, 요구되는 제품의 가격 대 성능의 관계에 맞추어 다단계화해도 좋으며, 결코 본 실시예는 1단계의 구조나 제법에 한정되는 것이 아니다.

본 실시예에서 이용되는 다층 방식의 제조 방법은 전술한 실시예 20의 경우와 마찬가지로, 수백 V 정도의 중 내압 내지 수천 V의 고내압까지 대응할 수 있는 것이지만, 300V 정도보다 아래의 저 내압 영역에서의 성능을 내기 어려운 단점을 갖는다. 한편, 실시예 20과 비교하여, 연구에 의해, pn 반복 구조의 최단부를 중앙부와 동시에 형성할 수 있기 때문에, 제조 공정을 반감할 수 있다는 이점이 있다.

(흠이 있는 경우의 실시예의 설명)

직접적인 실시예는 아니지만, 이하에 흠이 있는 경우의 중앙부에서의 pn 반복 구조를 만드는 공정 플로우에 대하여 간단히 설명하고, 그 후에, 이 흠이 있는 구조와 그 제조 방법을 응용한 본 발명의 실시예의 설명으로 옮긴다.

또한, 이 흠이 있는 구조 STM(Super Trench power MOS-FET)에는, 상술한 매립 다층 에피택셜 구조와 그 제조 방법에 비교하여, 공정 수가 적을 뿐만 아니라, 반복 주기를 극한까지 단축하기 쉽기 때문에 소자의 주 내압과 온저항의 트레이드 오프 관계가 매우 좋다고 하는 이점이 있고, 원리적으로도 제조 기술적으로도 저 내압에서 고내압까지의 넓은 범위에서 유효하다고 하는 이점도 있다.

트렌치 측벽에 경사 이온 주입으로 확산층을 만드는 공정 플로우에 대하여, 도 65 내지 도 69를 이용하여 순차로 설명한다.

도 65를 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41)로서 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 복수의 흠(23)이 형성된다.

도 66을 참조하면, 스트라이프 형상으로 형성한 흠(23)의 한쪽 측벽에만 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다.

도 67을 참조하면, 스트라이프 형상으로 형성한 흠(23)의 반대 측벽에만 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 단, 이 도 66과 도 67의 공정은 교체하더라도 상관없다.

도 68을 참조하면, 열 처리에 의해 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 동시에 확산되어 원하는 불순물 농도 프로파일을 갖는 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다.

도 69를 참조하면, CVD법에 의해 형성된 실리콘 산화막 등의 절연물(24)로 흠(23)의 매립이 행해진다.

STM 구조는 상술한 바와 같이 매립 다층 에피택셜 구조에 비교하여 성능면에서도 제조 비용면에서도 우수한 것이다. 그러나, 흠(23)의 편측 측벽에만의 경사 이온 주입이라는 LSI(Large Scale Integrated circuit)에서도 그다지 사용되지 않는 수법이 이용된다. 이 때문에, pn 반복 구조 최단부의 저농도화에 있어서는, 상술한 매립 다층 에피택셜 공정의 경우와 비교하여 공정이 복잡해지고, 조건 산출의 난이도가 올라간다고 하는 단점도 있다. 따라서, 제품으로서 요구되는 가격 대 성능의 지표에 의해, 이 실시예를 비롯한 여러 종류의 제조 방법 중에서 적당한 것을 선택하여 본 발명의 반도체 장치를 작성하는 것이 바람직하다.

(실시예 22)

실시예 22로서, STM 구조로, 확산층을 저농도화하는 최단부의 홈을 중앙부의 홈과는 별도로 다시 파는 경우의 제조 방법을 도 70 내지 78을 이용하여 상술한다.

이하의 도 70 내지 72에 나타낸 공정은 전술한 도 65 내지 67의 공정 플로우와 기본적으로 동일하다.

도 70을 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41a)로서 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 복수의 홈(23)이 형성된다. 이들 복수의 홈(23)에는 최종 마무리 상태에서 최단부에 위치하는 홈은 포함되어 있지 않다.

도 71을 참조하면, 스트라이프 형상으로 형성한 복수의 홈(23)의 모든 한쪽 측벽에만 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다.

도 72를 참조하면, 스트라이프 형상으로 형성한 복수의 홈(23)의 모든 반대 측벽에만 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 단, 이 도 71과 도 72의 공정은 교체하여도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 73을 참조하면, 일단 모든 홈(23)이, CVD법에 형성된 실리콘 산화막 등의 막(41b)으로 매립되어 표면이 평탄화된다. 여기까지가 종래의 STM 구조의 제법에 상당하는 부분이고, 이하가 본 실시예에 관련된 공정이다.

최단부에 홈을 형성하기 위해서, 홈(23)의 매립에 사용한 막(41b)의 원하는 위치에, 통상의 사진 제판과 이방성 드라이 에칭에 의해 윈도우가 개구된다.

도 74를 참조하면, 막(41b)에 개구된 윈도우를 통해서, 반도체 기판에 이방성 에칭을 함으로써 최단부 홈(23)이 형성된다.

도 75를 참조하면, 최단부 홈(23)의 한쪽 측벽에만 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이 때, 붕소 이온은 중앙부에 주입한 붕소 이온 주입 농도의 반 정도의 농도로 주입된다.

도 76을 참조하면, 최단부 홈(23)의 반대 측벽에만 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이 때, 인 이온은 중앙부에 주입한 인 이온 주입 농도의 반 정도의 농도로 주입된다. 또, 인 주입 공정은 앞의 붕소 주입 공정과 교체되어도 좋으며, 그 순서에 의미는 없다.

도 77을 참조하면, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록, 소자 전체에 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 주위로 확산되어 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 최단부 홈(23)의 측벽에서 확산된 p형 불순물 영역(4)과 n형 드리프트 영역(3)은, 상술한 바와 같이 중앙부의 불순물 농도보다도 낮게 설정되어 있기 때문에, 마무리 상태에서도 중앙부의 불순물 농도보다도 낮아진다. 여기까지가 본 실시예에 따른 부분이다.

후 공정으로서, 도 78에 도시한 바와 같이, 홈(23) 내에 절연막(24)이 매립된다. 단, 이 절연막의 매립 공정과 앞의 열 처리 공정은 교체되어도 좋다. 또한, 종단 구조인 가드 링부나 MOS-FET의 p형 보디 영역 등의 비교적 깊은 확산 영역을 형성하는 공정은 도시하지 않지만, 상기 공정의 어딘가 혹은 후 공정의 어딘가에 적절하게 삽입할 수 있다.

또, 본 실시예에서는 최단부의 하나의 홈(23)에만 저농도화를 실시하는 경우를 예로 들어 설명하였지만, 상술한 다른 예나 후술하는 도 88의 STM 구조예에 도시한 바와 같이, 저농도화의 단계를 복수로 하는 것도 가능하다. 그렇게 함으로써, 공정은 보다 복잡해지고 제조 비용이 상승한다고 하는 단점은 있지만, 소자의 내압 성능이 개선된다고 하는 큰 이점이 있다. 따라서, 요구되는 제품의 가격 대 성능의 관계에 맞추어 다단계화해도 좋으며, 결국, 본 실시예는 1단계의 구조나 제법에 한정되는 것이 아니다.

(실시예 23)

실시예 23으로서, STM 구조로, 확산층을 저농도화하는 최단부 홈의 측벽에 역도전형의 이온 주입, 즉 카운터 이온 주입을 하는 경우의 제조 방법을 도 79 내지 86을 이용하여 상술한다.

도 79를 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41c)로서 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 복수의 홈(23)이 동시에 형성된다. 이들 복수의 홈(23)에는 최종 마무리 상태에서 반복 구조의 최단부에 위치하는 홈이 포함되어 있다.

도 80을 참조하면, 스트라이프 형상으로 형성한 복수의 홈(23)의 모든 한쪽 측벽에만 동일한 주입 농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다.

도 81을 참조하면, 스트라이프 형상으로 형성한 복수의 홈(23)의 모든 반대 측벽에만 동일한 주입 농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 단, 이 도 80과 도 81의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 82를 참조하면, 일단, 모든 홈(23)이, CVD법에 형성된 실리콘 산화막 등의 막(41d)으로 매립된다. 여기까지가 종래의 STM 구조의 제법에 상당하는 부분이고, 이하가 본 실시예에 관련된 공정이다.

이 후, 최단부에 위치하는 홈(23) 상에 윈도우를 갖는 포토레지스트 패턴(31u)이 사진 제판 기술에 의해 형성된다. 이 레지스트 패턴(31u)을 마스크로 하여 에칭이 행해진다. 이 에칭 공정에서는 형성되어 있는 홈(23)의 절대적인 깊이 및 어스펙트비 등에 따라서, 습식 또는 건식 에칭을 구분하여 사용할지, 혹은 그 양방을 조합할지가 선택된다.

이 후, 레지스트 패턴(31u)은 예를 들면 애싱 등에 의해 제거된다.

도 83을 참조하면, 상기 에칭에 의해 최단부에 위치하는 홈(23) 내의 매립물이 제거된다.

도 84를 참조하면, 최단부 홈(23)의 한쪽 측벽에만, 전 공정에서 주입한 붕소(p형)와 역도전형의 인 이온(n형)이 주입되어, 인 이온 주입 영역(3b)이 형성된다. 이 인 이온의 주입에 의해, 최단부 홈(23) 측벽에 형성되는 p형 불순물 영역(4)의 마무리 상태가 중앙부에 주입한 불순물 농도의 반 정도의 불순물 농도가 되도록 제어된다.

도 85를 참조하면, 최단부 홈(23)의 반대 측벽에만, 전 공정에서 주입한 인(n형)과 역도전형의 붕소 이온(p형)이 주입되어, 붕소 이온 주입 영역(4b)이 형성된다. 이 붕소 이온의 주입에 의해, 최단부 홈(23) 측벽에 형성되는 n형 불순물 영역(3)의 마무리 상태가 중앙부에 주입한 불순물 농도의 반 정도의 불순물 농도가 되도록 제어된다.

또, 붕소 주입의 공정은 앞의 인 주입 공정과 교체되어도 좋으며, 그 순서에 의미는 없다. 여기까지가 본 실시예의 특징적인 부분이다. 이하는 다른 실시예를 동일한 흐름이 되지만, 간단히 기술한다.

도 86을 참조하면, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 소자 전체에 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 주위로 확산되어 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 최단부 홈(23)의 측벽에서 확산된 p형 불순물 영역(4)과 n형 드리프트 영역(3)은, 상술한 바와 같이 중앙부의 불순물 농도보다도 낮게 설정되어 있기 때문에, 마무리 상태에서 중앙부의 불순물 농도보다도 낮아진다.

후 공정으로서는, 도 78에 도시한 바와 같이, 홈(23) 내에 절연막(24)이 매립된다. 단, 이 절연막(24)의 매립 공정과 앞의 열 처리 공정은 교체되어도 좋다. 또한, 중단 구조인 가드 링부나 MOS-FET의 p형 보디 영역 등의 비교적 깊은 확산 영역을 형성하는 공정은 도시하지 않지만, 상기 공정의 어딘가 혹은 후 공정의 어딘가에 적절하게 삽입할 수 있다.

또, 본 실시예에서는 최단부의 하나의 홈(23)에만 저농도화를 실시하는 경우를 예로 들어 설명하였지만, 상술의 다른 예나, 후술하는 도 88의 STM 구조예에 도시한 바와 같이, 저농도화의 단계를 복수로 하는 것도 가능하다. 그렇게 함으로써, 공정은 보다 복잡화하여 제조 비용이 상승한다고 하는 난점은 있지만, 소자의 내압 성능이 개선된다고 하는 큰 이점이 있다. 따라서, 요구되는 제품의 가격 대 성능의 관계에 맞추어 다단계화해도 좋으며, 결코, 본 실시예는 1단계의 구조나 제법에 한정되는 것이 아니다.

본 실시예의 방법의 이점은, 실시예 22의 홈(23)을 2회 파는 경우에 비교하여 공정이 간단해진다는 것이다. 트렌치 에칭은 확립된 기술이기는 하지만, 이 소자에 요구되는 깊이가 통상의 LSI의 분리 공정에서 사용되는 것에 비교하여 매우 깊은 경우가 많고, 처리 시간이 길어진다고 하는 문제가 있다. 그 점, 본 실시예에 나타난 공정을 사용하면, 카운터 도핑하는 부분에서는 매립 산화막을 제거할 뿐이기 때문에, 공정의 처리 시간이 짧고 간편하다고 하는 이점이 있다. 한편, 고 어스펙트비의 홈 내에 매립한 실리콘 산화막을 제거하는 것은, 습식과 건식을 막론하고, 조건 산출이 어렵다고 하는 난점도 있다.

(실시예 24)

실시예 24로서, 반복 구조 최단부의 홈을 점선 트렌치 구조(이하, DLT: Dotted Line Trench라고 부름)를 트렌치 병행 게이트 구조의 STM에 적용하여, pn 반복 구조 최단부의 p층 또는 n층의 1개만을 저농도화한 경우의 구성 및 제조 방법도 도 87 내지 91을 이용하여 상술한다. 또, 도 88은 도 87에 도시하는 트렌치 병행 게이트 구조의 STM에 있어서 최단부의 홈에 DLT 구조를 적용한 구성을 나타내는 3차원 조감도이다.

도 87 및 도 88을 참조하면, 본 실시예의 구성은, 도 5에 나타내는 구성과 비교하여 1조의 p형 불순물 영역(4)과 n형 드리프트 영역(3)으로 이루어지는 pn 조합 사이에 홈(23)이 마련되어 있다는 점과, pn 반복 구조의 최단부에서 저농도화된 pn 조합이 1 단계뿐인 점과, 복수의 홈(23) 최단부에 위치하는 홈(23)이 DLT 구조를 갖고 있다는 점에서 다르다.

주로 도 88을 참조하면, 여기서 DLT 구조의 홈이란, 복수의 구멍(23a)이 소정의 방향을 따라서 간격을 두고 배치되고, 그에 따라 제1 주면에서 점선 형상의 표면 패턴을 갖는 홈을 말한다. 또, 각 홈(23) 내는 예를 들면 실리콘 산화막 등으로 이루어지는 절연막(24)에 의해 매립되어 있다.

이 이외의 구성에 대해서는 도 5에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예의 특징은 제조 방법과 밀접하게 관계되어 있으며, 공정 증가를 일체 없애어, 종래 구조의 STM 제조 공정 대로로 주 내압이 높은 소자를 실현할 수 있는 것이다. 또, 상술한 다른 실시예에 있어서, pn 반복 구조의 최단부에 다단계의 농도 경사를 가하는 경우에는, 제조 공정이 더욱 증가하여 복잡해진다고 하는 난점이 있었지만, 본 실시예 이후에 나타내는 DLT 구조에서는, 패턴 치수의 제약은 있지만, 대강 다단계화해도 제조 공정의 증가가 일체 없어 매우 용이하게 실현할 수 있다고 하는 큰 이점이 있다.

도 87 및 도 88의 구성을 만드는 데에 있어서, DLT 구조의 홈(23)에서의 각 구멍(23a)의 측벽 길이 LA와 간격 길이 LB의 관계(유효 측벽 면적)에서, pn 반복 구조의 최단부에서의 저농도 영역의 마무리 농도가 결정된다. 구체적으로는, 도면 중에 나타난 길이 LA와 LB의 비율로, 저농도화 비율 Rlc는 다음 식에 의해 근사적으로 정의할 수 있다.

수학식 1
 $Rlc=LA/(LA+LB)$

예를 들면, LA=2 μ m, LB=2 μ m로 하면, Rlc=50%가 되고, pn 반복 구조의 최단부에서의 저농도 영역의 불순물 농도를 50%로까지 내린 것과 거의 동일한 효과가 얻어진다. 엄밀하게는, 이 불순물 농도는 이온 주입 후의 총 열 처리량, 온도 및 시간에 의해서 변화한다. 그러나, 조잡하게는, 주입하지 않은 영역(구멍(23a)이 형성되어 있지 않은 영역)의 폭 LB=2 μ m과 동일한 만큼 불순물이 확산되도록 조정하면, 주입되는 직선 부분(구멍(23a)이 형성되어 있는 영역)의 중앙 위치에 있는 불순물 원자는, 주입하지 않은 영역의 중앙 부분까지 도달한다. 동시에 주입되는 직선 부분의 끝(구멍(23a)의 끝)을 만난 불순물 원자는, 이웃하는 직선 부분의 끝까지 도달한다. 이 때문에, 주입되는 직선 부분 LA의 농도도 주입하지 않은 영역 LB의 농도도 평균화되어, 대강, 주입 직후 농도의 50% 정도로까지 내려간다. 도 87 및 도 88에 도시한 바와 같이 1단계의 저농도화의 경우, 이 Rlc는 30% 이상 70% 이하인 것이 바람직하다.

일반적으로, 실리콘 중의 불순물 농도 프로파일은, 가우스 분포 혹은 오차 함수(Error function)로 정의되는 형태이지만, 이들 분포를 선형 스케일로 본 경우에는 거의 1차 함수, 즉 삼각형의 분포라고 간주할 수 있다. 따라서, 상기 근사에서는 사실상 큰 어긋남이 발생하지 않기 때문에, 매우 간편하게 농도를 점선의 길이 LA와 간격 LB의 비율에 의해서 조정할 수 있다.

또, 이 비율 계산에는 길이 LA, LB와 직교 방향의 치수, 즉 홈(23)의 폭은 관계하지 않는다.

상기 설명을 보다 직감적으로 이해할 수 있도록 나타낸 것이, 이하의 도 89 내지 91이다. 도 89는 주입 직후, 혹은 열 처리 부족 상태를 나타내고 있으며, DLT 구조의 홈(23) 측벽에 아직 고농도 영역(3, 4)이 남아 있고, 점선 형상의 확산 영역(3, 4)이 연결되지 않은 상태를 나타내고 있다.

다음에 도 90은 주입 후에 조금 열 처리를 가하는 것에 의해, 가로 방향 확산으로 불순물 영역(3, 4)을 확산시킨 상태를 나타내고 있다. 이 열 처리에 의해, DLT 구조의 홈(23) 측벽에서 고농도 영역(3, 4)이 확산되어 다른 고농도 영역(3, 4)과 연결된다. 그러나, DLT 구조의 홈(23) 측벽에 가까운 부분에는 고농도의 영역이 아직 남아 있다. 이 정도의 상태에서도 큰 문제는 없지만, 후술하는 도 91에 도시한 바와 같이, 전체가 균질화될 때까지 열 처리로 확산시키는 것이 바람직하다.

그러므로, 도 91은 주입 후에 충분히 열 처리를 가하는 것에 의해, 가로 방향 확산으로, DLT 구조의 홈(23)의 측벽에서 고농도 영역(3, 4)을 충분히 확산시켜 다른 고농도 영역(3, 4)과 연결함과 함께, DLT 구조의 홈(23)의 측벽 농도도 거의 균질화된 상태를 나타내고 있다.

또한 표 1에 DLT 구조를 300V급 STM에 적용한 경우의 개선 효과를 나타내었다.

점선 트렌치 구조의 실시예와 종래예의 내압 비교

표 1.

구조	주 내압(V)	비율(%)
중앙 셀부만의 시뮬레이션	325	100
60% 점선화의 실시예의 실측	301	92.6
종래예의 균일 농도의 실측	275	84.6

실 소자에 있어서, 중단 부분이 없는 무한 반복 구조를 만들 수 없기 때문에, 표1 중의 「중앙 셀부만의 시뮬레이션」은, 이상적인 경우로서, 셀 부분의 주 내압을, 수치 시뮬레이션을 사용하여 계산한 경우의 값을 나타내고 있다. 이 경우에 있어서, 325V의 주 내압이 얻어졌기 때문에, 그 내압치를 100%로 하여 다른 실측치와 비교하였다.

한편, 「종래예의 균일 농도의 실측」은, 본 실시예에 나타내는 DLT 구조를 사용하지 않은 경우에서, 얻어진 내압은 275V로 낮고, 상기 이상적인 셀만의 내압 치의 84.6%밖에 나오지 않았음을 알 수 있다. 그러므로, 본 실시예에 나타낸 DLT 구조를 이용하여, 점선 부분의 비율이 약 절반인 60%의 구조를 시작하였더니, 301V가 얻어졌다. 이것은 이상적인 셀 부분만의 주 내압의 92.6%로, 주 내압이 대폭 향상되었음을 알 수 있다.

또한, 상세한 설명은 생략하지만, 점선의 다중화, 즉 농도 경사를 다단계화함으로써, 보다 이상치에 가까운 값이 얻어지는 것이 실험으로 알고 있다.

(실시예 25)

실시에 25로서, 실시예 24와 마찬가지로, DLT 구조의 홈을 트렌치 병행 게이트 구조의 STM에 적용하여, pn 반복 구조의 좌우 양측 최단부의 pn 조합을 3단계로 저농도화한 경우를 도 92 및 도 93을 이용하여 상술한다. 또, 도 93은 도 92의 반복 구조 최단부의 3개의 홈에 DLT 구조를 적용한 구성을 나타내는 3차원 조감도이다.

도 92 및 도 93을 참조하면, 본 실시예의 구성은, 도 87 및 도 88에 나타내는 구성과 비교하여 pn 반복 구조 최단부의 pn 조합이 3단계에 저농도화되어 있다는 점과, 반복 구조 최단부의 3개의 홈에 DLT 구조를 적용한 점이 다르다.

본 실시예에서는 실시예 24에서 설명한 저농도화 비율의 이론에 기초하여, pn 반복 구조 최단부의 pn 조합을 3단계로 저농도화하기 위해서, DLT 구조를 갖는 최단부의 3개의 홈(23)의 점선 길이 및 간격이 조정되어 있다. 즉, 복수의 구멍(23a₃)으로 이루어지는 DLT 구조의 홈(23)의 저농도화 비율 R1c는 복수의 구멍(23a₂)으로 이루어지는 DLT 구조의 홈(23)의 저농도화 비율 R1c보다 작고, 복수의 구멍(23a₂)으로 이루어지는 DLT 구조의 홈(23)의 저농도화 비율 R1c는 복수의 구멍(23a₁)으로 이루어지는 DLT 구조의 홈(23)의 저농도화 비율 R1c보다도 작다.

또, 이 이외의 구성에 대해서는 도 5에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예에서는, 홈(23)의 점선의 길이 및 간격을 조정함으로써 용이하게 다단계의 농도 경사를 붙일 수 있다.

(실시예 26)

실시예 26으로서, DLT 구조의 홈을 트렌치 병행 게이트 구조의 STM에 적용한 경우의 프로세스 플로우를 도 94 및 도 95를 이용하여 상술한다.

본 실시예의 제조 방법은 도 79 내지 도 81에 나타내는 공정과 마찬가지로 공정을 거친다. 이에 의해, 제1 주면에 복수의 홈(23)이 형성되고, 각 홈(23)의 한쪽 측벽에 붕소 이온 주입 영역(4)이, 다른 쪽 측벽에 인 이온 주입 영역(3)이 각각 형성된다. 단, 도 79의 공정에서, 반복 구조의 좌우 양측 최단부 홈(23)이 DLT 구조가 되도록 형성된다.

이 후, 도 94를 참조하면, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 전체에 열 처리가 실시된다. 이 열 처리에 의해, 반복 구조 최단부의 DLT 구조의 홈(23) 측벽의 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 확산되어 저농도화됨과 함께 균일화되어, 중앙부의 메사 영역의 불순물 농도보다도 낮아진다.

도 95를 참조하면, 각 홈(23) 내에 절연물(24)이 매립된다. 단, 절연물 매립 공정과, 앞의 열 처리 공정은 교체되어도 무방하다.

또한, 가드 링이나 MOS-FET의 p형 보디 영역 등의 비교적 깊은 확산 영역을 형성하는 공정은 도시하지 않지만, 상기 공정의 어딘가 혹은 이들 공정 후의 어딘가에 적절하게 삽입할 수 있다.

또한 본 실시예에서는, pn 반복 구조의 좌우 양측 최단부에서 각 1조의 pn 조합만을 저농도화하는 경우를 예로 들었지만, 이 제조 공정을 사용하는 것에 의해 몇 단계의 농도 경사를 가하는 경우라도, 공정 플로우는 상기와 완전 동일해도 좋다. 이에 의해, 제조 공정을 증대시키는 일없이 다단계의 농도 경사를 갖는 고내압의 소자를 제조할 수 있다.

(실시예 27)

실시예 27로서, 중앙부가 트윈 트렌치(Twin trench) 구조이고, 또한 능동 소자 부분이 MOS-FET 구조로 된 구성을 도 9를 이용하여, 또한 반복 구조 최단부의 홈을 2번 파서 만드는 제조 방법을 도 97 내지 도 105를 이용하여 상술한다.

도 96을 참조하면, 본 실시예의 구성은 도 87의 구성과 비교하여 메사 부분이 트윈 트렌치 구조를 갖고 있다는 점과, pn 반복 구조의 좌우 양측 최단부의 저농도화가 한 쌍의 p형 불순물 영역(4)과 한 쌍의 n형 불순물 영역(3)으로 구성되어 있는 점에서 다르다.

여기서, 트윈 트렌치 구조란, 홈(23)의 양 측벽 각각에 동일한 도전형의 불순물 영역이 각각 존재하는 구성을 말한다.

또한, pn 반복 구조의 좌우 양측 최단부에는, 중앙부보다도 낮은 불순물 농도(중앙부의 반 정도의 불순물 농도)를 갖는 한 쌍의 p형 불순물 영역(4)과 한 쌍의 n형 불순물 영역(3)이 형성되어 있다.

또, 이 이외의 구성에 대해서는 도 87에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

다음에 본 실시예의 제조 방법에 대하여 설명한다.

도 97을 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41e)로서 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 복수의 홈(23)으로 이루어지는 제1 홈군이 형성된다. 이 제1 홈군에는 최종 마무리 상태에서 반복 구조의 최단부에 위치하는 홈이 포함되어 있지 않다.

도 98을 참조하면, 제1 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 비교적 고농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이 후, 막(41e)이 에칭 등에 의해 제거된다.

도 99를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41f)이 제1 홈군의 복수의 홈(23)의 전체를 매립하도록 형성된다. 이 막(41f)이 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 패터닝된 막(41f)을 마스크 재료로 하여 이방성 에칭이 행해진다. 이에 의해, 제1 홈군의 각 홈(23)과 교대로 위치하도록 제2 홈군을 구성하는 복수의 홈(23)이 형성된다. 이 제2 홈군에는 최종 마무리 상태에서 반복 구조의 최단부에 위치하는 홈이 포함되어 있지 않다.

도 100을 참조하면, 제2 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 비교적 고농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이후, 막(41f)이 에칭 등에 의해 제거된다. 단, 이 도 98과 도 100의 공정은 교체하여도 좋으며, 기본적으로는 그 순서에 의미는 없다. 여기까지가, 종래 방식의 트윈 트렌치 구조의 제조 방법이다. 이하의 공정이 본 실시예의 특징적인 공정이다.

도 101을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41g)이 제1 및 제2 홈군의 복수의 홈(23)의 전체를 매립하도록 형성된다. 이 막(41g)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되고, pn 반복 구조의 최단부의 1단 바로 앞이 되는 영역 위가 개구된다. 패터닝된 막(41g)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 반복 구조 최단부의 1단 바로 앞이 되는 영역에 제1 최단부 홈(23)이 형성된다.

도 102를 참조하면, 제1 최단부 홈(23)의 양 측벽에 비교적 저농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이후, 막(41g)이 에칭 등에 의해 제거된다.

도 103을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41h)이 제1 및 제2 홈군의 복수의 홈(23)과 제1 최단부 홈(23)의 전체를 매립하도록 형성된다. 이 막(41h)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 반복 구조의 최단부가 되는 영역 상이 개구된다. 패터닝된 막(41h)을 마스크 재료로 하여 이방성 에칭이 행해진다. 이에 의해, 반복 구조의 최단부가 되는 영역에 제2 최단부 홈(23)이 형성된다.

도 104를 참조하면, 제2 최단부 홈(23)의 양 측벽에 비교적 저농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이후, 막(41h)이 에칭 등에 의해 제거된다. 단, 이 도 102와 도 104의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 105를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(24)이 모든 홈(23)을 매립하도록 형성된다. 이후, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 소자 전체에 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 주위로 확산되어 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 제1 및 제2 최단부 홈(23)의 측벽에서 확산된 p형 불순물 영역(4)과 n형 드리프트 영역(3)은, 상술한 바와 같이 중앙부의 불순물 농도보다도 낮게 설정되어 있기 때문에, 마무리 상태에서도 중앙부의 불순물 농도보다도 낮아진다. 단, 이 열 처리 공정과 앞의 절연막(24)의 매립 공정은 교체되더라도 무방하다.

이 후, 종단 구조인 가드 링부나 MOS-FET부가 형성되어, 도 96에 나타내는 반도체 장치가 완성된다.

본 실시예에서의 트윈 트렌치 구조에서는, STM 구조에 비교하여 pn 반복 구조의 주기 길이가 2배로 되어, 3차원 다중 RESURF 효과가 듣기 어렵게 되기 때문에, 이상적인 경우라도 고농도 영역에서 주 내압이 낮아지는 경향이 있다. 또한, 제조상으로도 깊은 트렌치를 2회 형성한다고 하는 공정의 복잡함이 있다.

한편, 트윈 트렌치 구조에서는 홈의 양 측벽에 동일한 이온종이 주입되기 때문에, 반대측으로의 바운딩 이온 확산에 의한 실효 농도의 저하라는 복잡한 물리 현상을 고려할 필요가 없다. 이 때문에, 홈 형상에 대해서도 다소의 만곡이나 경사에 대해서도, 많이 영향을 미치지 않는 등 제조 상의 마진(process window)이 크다는 등의 이점이 있다.

(실시예 28)

실시예 28로서, 중앙부가 트윈 트렌치(Twin trench) 구조이고, 또한 능동 소자 부분이 MOS-FET 구조로 된 구성(도 96)에서의 반복 구조 최단부의 홈을 카운터 도핑법, 즉 역도전형 이온종의 2도 주입으로 저농도화하여 만드는 제조 방법에 대하여 도 106 내지 도 115를 이용하여 상술한다.

도 106을 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41i)로 하여 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 복수의 홈(23)으로 이루어지는 제1 홈군이 형성된다. 이 제1 홈군에는 최종 마무리 상태에서 반복 구조의 최단부에 위치하는 홈이 포함되어 있다.

도 107을 참조하면, 제1 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 비교적 고농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이후, 막(41i)이 에칭 등에 의해 제거된다.

도 108을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41j)이 제1 홈군의 복수의 홈(23)의 전체를 매립하도록 형성된다. 이 막(41j)이 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 패터닝된 막(41j)을 마스크 재료로 하여 이방성 에칭이 행해진다. 이에 의해, 제1 홈군의 각 홈(23)과 교대로 위치하도록 제2 홈군을 구성하는 복수의 홈(23)이 형성된다. 이 제2 홈군에는 최종 마무리 상태에서 반복 구조의 최단부에 위치하는 홈이 포함되어 있다.

도 109를 참조하면, 제2 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 비교적 고농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이후, 막(41j)이 에칭 등에 의해 제거된다. 단, 이 도 107과 도 109의 공정은 교체하여도 좋으며, 기본적으로는 그 순서에 의미는 없다. 여기까지가 종래 방식의 트윈 트렌치 구조의 제조 방법이다. 이하의 공정이 본 실시예의 특징적인 공정이다.

도 110을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41k)이 복수의 홈(23) 전체를 매립하도록 형성된다.

도 111을 참조하면, 이 막(41k)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 반복 구조 최단부의 1단 앞에 위치하는 제1 최단부 홈(23) 상이 개구된다. 패터닝된 막(41k)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 제1 최단부 홈(23) 내의 매립물이 제거된다.

도 112를 참조하면, 제1 최단부 홈(23)의 양 측벽에 비교적 저농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4b)이 형성된다. 이후, 막(41k)이 에칭 등에 의해 제거된다.

도 113을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41i)이 모든 홈(23)을 매립하도록 형성된다. 이 막(41i)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 반복 구조의 최단부에 위치하는 제2 최단부 홈(23) 상이 개구된다. 패터닝된 막(41i)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 제2 최단부 홈(23) 내의 매립물이 제거된다.

도 114를 참조하면, 제2 최단부 홈(23)의 양 측벽에 비교적 저농도로 인 이온이 주입되어, 인 이온 주입 영역(3b)이 형성된다. 이후, 막(41i)이 에칭 등에 의해 제거된다. 단, 이 도 112와 도 114의 공정은 교체하여도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 115를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(24)이 모든 홈(23)을 매립하도록 형성된다. 이후, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 소자 전체에 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 주위로 확산되어 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 제1 및 제2 최단부 홈(23)의 측벽에서는 카운터 도핑에 의해 역도전형의 불순물끼리가 상쇄된다. 이 때문에, 제1 및 제2 최단부 홈(23)의 측벽에 위치하는 불순물 영역(3, 4)의 불순물 농도는, 중앙부의 불순물 농도보다도 낮아진다. 단, 이 열 처리 공정과 앞의 절연막(24)의 매립 공정은 교체되어도 좋다.

이 후, 종단 구조인 가드 링부나 MOS-FET부가 형성되고, 도 96에 나타내는 반도체 장치가 완성된다.

본 실시예에 있어서의 트윈 트렌치 구조에서는, STM 구조에 비교하여 pn 반복 구조의 주기 길이가 2배로 되어, 3차원 다중 RESURF 효과가 듣기 어렵게 되기 때문에, 이상적인 경우라도 고농도 영역에서 주 내압이 낮아지는 경향이 있다. 또한, 제조상으로도 깊은 트렌치를 2회 형성한다고 하는 공정이 복잡함이 있다.

한편, 트윈 트렌치 구조에서는 홈의 양 측벽에 동일한 이온종이 주입되기 때문에, 반대측에의 바운딩 이온의 확산에 의한 실효 농도의 저하라는 복잡한 물리 현상을 고려할 필요가 없고, 홈의 위에서 아래까지 균일한 농도 프로파일이 얻어진다. 이 때문에, 홈 형상에 대해서도 다소의 만곡이나 경사에 대해서도, 많이 영향을 미치지 않는 등, 제조상의 마진(process window)이 크다는 등의 이점이 있다.

(실시예 29)

도 116을 참조하면, 본 실시예의 구성은 도 96에 나타내는 구성과 비교하여, 중앙부가 트윈 트렌치 구조이고, 또한 능동 소자 부분이 MOS-FET 구조인 점에서 공통되지만, pn 반복 구조 최단부의 한 쌍의 p형 불순물 영역(4)만이 저농도화되어 있다는 점에서 다르다.

또, 이 이외의 구성에 대해서는 도 96에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예의 구성은 pn 반복 구조 최단부의 p형 불순물 영역만을 1 단계만 저농도화한 구성이기 때문에, 제조가 간편하다고 하는 이점을 갖는다. 본 실시예의 구성은 상술한 실시예 27이나 실시예 28의 제법에 의해 실현할 수 있지만, 후술하는 실시예 33에 의해서도 실현할 수 있다.

(실시예 30)

도 117을 참조하면, 본 실시예의 구성은, 도 96에 나타내는 구성과 비교하여 중앙부가 트윈 트렌치 구조라는 점에서는 공통되지만, 능동 소자 부분이 MOS-FET 구조가 아니라 pin 다이오드 구조라는 점과, 반복 구조 최단부의 한 쌍의 p형 불순물 영역(4)만이 저농도화되어 있다는 점에서 다르다.

pin 다이오드는 pn 반복 구조 전체의 제1 주면측에 p형 불순물 영역(21)을 형성하고, 애노드 전극(22)과 전기적으로 접속함으로써 구성되어 있다.

또, 이 이외의 구성에 대해서는 도 96에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예의 구성은, 상술의 실시예 27이나 실시예 28의 제법에 의해 실현할 수 있지만, 후술하는 실시예 33에 의해서도 실현할 수 있다.

(실시예 31)

도 118을 참조하면, 본 실시예의 구성은 도 96에 나타내는 구성과 비교하여, 중앙부가 트윈 트렌치 구조인 점에서는 공통되지만, 능동 소자 부분이 MOS-FET 구조가 아니라 솟키 배리어 다이오드 구조라는 점과, pn 반복 구조 최단부의 한 쌍의 p형 불순물 영역(4)만이 저농도화되어 있다는 점에서 다르다.

솟키 배리어 다이오드는 pn 반복 구조 전체의 제1 주면측이 금속 실리사이드층(21a)을 통해 애노드 전극(22)과 전기적으로 접속됨으로써 구성되어 있다.

또, 이 이외의 구성에 대해서는 도 96에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

본 실시예의 구성은 상술의 실시예 27이나 실시예 28의 제법에 의해 실현할 수 있지만, 후술하는 실시예 33에 의해서도 실현할 수 있다.

(실시예 32)

도 119를 참조하면, 본 실시예의 구성은 도 96에 나타내는 구성과 비교하여, 중앙부가 트윈 트렌치 구조이고, 또한 능동 소자 부분이 MOS-FET 구조라는 점에서 공통되지만, pn 반복 구조 최단부의 한 쌍의 p형 불순물 영역(4) 상에 능동 소자가 마련되어 있지 않다는 점에서 다르다.

pn 반복 구조 최단부의 한 쌍의 p형 불순물 영역(4) 상에는 p형 불순물 영역(21)이 형성되어 있고, 소스 전극(10)과 전기적으로 접속되어 있다.

또, 이 이외의 구성에 대해서는 도 96에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

(실시예 33)

실시예 33으로서, 트윈 트렌치 구조에 DLT 구조를 적용하여, 1회의 이온 주입에 의해 pn 반복 구조 중앙부의 고농도 영역과 최단부의 저농도 영역을 동시에 만드는 제조 방법에 대하여 도 106 내지 도 110을 이용하여 상술한다.

도 106을 참조하면, 우선 통상의 방법으로, CVD법에 의해 형성된 실리콘 산화막 등을 마스크 재료(41i)로 하여 이방성 에칭을 행하는 것에 의해, 반도체 기판의 제1 주면에 중앙부의 복수의 홈(23)과 그 외측의 DLT 구조의 홈(23)으로 이루어지는 제1 홈군이 동시에 형성된다. 또, DLT 구조의 홈(23)은 1개 이상의 몇 개이더라도 좋다.

도 107을 참조하면, 제1 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이 후, 막(41i)이 에칭 등에 의해 제거된다.

도 108을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41j)이 제1 홈군의 복수의 홈(23)의 전체를 매립하도록 형성된다. 이 막(41j)이 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 패터닝된 막(41j)을 마스크 재료로 하여 이방성 에칭이 행해진다. 이에 의해, 제1 홈군의 각 홈(23)과 교대로 위치하도록, 제2 홈군을 구성하는 중앙부의 복수의 홈(23)과 그 외측의 DLT 구조의 홈(23)이 형성된다. 또, DLT 구조의 홈(23)은 1개 이상 몇 개여도 좋다.

도 109를 참조하면, 제2 홈군을 구성하는 복수의 홈(23)의 모든 양 측벽에 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이 후, 막(41j)이 에칭 등에 의해 제거된다. 단, 이 도 107과 도 109의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 110을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41k)이 복수의 홈(23)의 전체를 매립하도록 형성된다.

이 후, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 전체에 열 처리가 실시된다. 이 열 처리에 의해, 반복 구조 최단부의 DLT 구조의 홈(23) 측벽의 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 확산되어 저농도화됨과 함께 균일화하여, 중앙부의 메사 영역의 불순물 농도보다도 낮아진다.

또, 절연물 매립 공정과 앞의 열 처리 공정은 교체되더라도 좋다.

또한, 가드 링이나 MOS-FET의 p형 보디 영역 등의 비교적 깊은 확산 영역을 형성하는 공정은 도시하지 않지만, 상기 공정의 어딘가 혹은 이들 공정 후의 어딘가에 적절하게 삽입할 수 있다.

(실시예 34)

실시예 34로서, pn 반복 주기만이 Bi-pitch로 되어 있고, 주입 시에만 p형 불순물 영역과 n형 드리프트 영역을 나누는 제조 방법에 대하여 도 120 내지 128을 이용하여 상술한다.

우선 본 실시예의 제조 방법은 도 79에 나타내는 공정을 거친다. 이에 의해, 반도체 기판의 제1 주면에 복수의 홈(23)이 형성된다.

이 후, 도 120을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41m)이 모든 홈(23)을 매립하도록 형성된다.

도 121을 참조하면, 이 막(41m)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 복수의 홈(23) 중 1개 간격의 홈(23) 상이 개구된다. 패터닝된 막(41m)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 1개 간격의 홈(23) 내의 매립물이 제거된다. 매립물이 제거된 1개 간격의 홈(23)의 양 측벽에 비교적 고농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이 후, 막(41m)이 에칭 등에 의해 제거된다.

도 122를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41n)이 모든 홈(23)을 매립하도록 형성된다. 이 막(41n)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 다른 1개 간격의 홈(23) 상이 개구된다. 패터닝된 막(41n)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 다른 1개 간격의 홈(23) 내의 매립물이 제거된다.

매립물이 제거된 다른 1개 간격의 홈(23)의 양 측벽에 비교적 고농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이 후, 막(41n)이 에칭 등에 의해 제거된다. 단, 이 도 121과 도 122의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 123을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41o)이 모든 홈(23)을 매립하도록 형성된다. 여기까지가 종래 구조의 트윈 트랜치 구조와 동일한 Bi-pitch의 주기성을 갖는 구조를 형성하는 공정이고, 이하의 공정이 본 실시예에 따른 pn 반복 구조 최단부의 저농도화 구조를 형성하는 공정이다.

도 124를 참조하면, 이 막(41o)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 반복 구조 최단부의 1단 앞에 위치하는 제1 최단부 홈(23) 상이 개구된다. 패터닝된 막(41o)을 마스크 재료로 하여 이방성 에칭이 행해진다. 이에 의해, 제1 최단부 홈(23) 내의 매립물이 제거된다.

도 125를 참조하면, 제1 최단부 홈(23)의 양 측벽에 비교적 저농도(인 이온 주입 영역(3)의 불순물 농도의 반 정도의 농도)로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4b)이 형성된다. 이 후, 막(41o)이 에칭 등에 의해 제거된다.

도 126을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41p)이 모든 홈(23)을 매립하도록 형성된다. 이 막(41p)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 반복 구조의 최단부에 위치하는 제2 최단부 홈(23) 상이 개구된다. 패터닝된 막(41p)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 제2 최단부 홈(23) 내의 매립물이 제거된다.

도 127을 참조하면, 제2 최단부 홈(23)의 양 측벽에 비교적 저농도(붕소인 이온 주입 영역(4)의 불순물 농도의 반 정도의 농도)로 인 이온이 주입되어, 인 이온 주입 영역(3b)이 형성된다. 이 후, 막(41p)이 에칭 등에 의해 제거된다. 단, 이 도 125와 도 127의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 128을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(24)이 모든 홈(23)을 매립하도록 형성된다. 이 후, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 소자 전체에 열 처리가 실시된다. 이에 의해, 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 주위로 확산되어 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 제1 및 제2 최단부 홈(23)의 측벽에서는 카운터 도핑에 의해 역도전형의 불순물끼리가 상쇄한다. 이 때문에, 제1 및 제2 최단부 홈(23)의 측벽에 위치하는 불순물 영역(3, 4)의 불순물 농도는, 중앙부의 불순물 농도보다도 낮아진다. 단, 이 열 처리 공정과 앞의 절연막(24)의 매립 공정은 교체되더라도 좋다.

이 후, 중단 구조인 가드 링부나 MOS-FET 부가 형성되고, 도 96에 나타내는 반도체 장치가 완성된다.

또, 저농도화하는 영역을 다단계로 설정하는 경우에는, 상기 카운터 도핑 공정이 복수회 반복되면 된다.

(실시예 35)

실시예 35로서, 홈은 일회 파는 것에 의해 Bi-pitch 주입만으로 p형 불순물 영역과 n형 드레인 영역을 나누는 방법에, 반복 구조의 최단부에 DLT 구조의 홈을 적용한 제조법에 대하여 도 120 내지 도 123을 이용하여 상술한다.

도 120을 참조하면, 우선 반도체 기관의 제1 주면에, 중앙부의 복수의 홈(23)과 그 외측의 DLT 구조의 홈(23)으로 이루어지는 제1 홈군과, 중앙부의 복수의 홈(23)과 그 외측의 DLT 구조의 홈(23)으로 이루어지는 제2 홈군이 형성된다. 제1 홈군의 각 홈(23)과 제2 홈군의 각 홈(23)은 교대로 위치하도록 형성된다. 또, 제1 및 제2 홈군의 각 DLT 구조의 홈(23)은 1개 이상 몇 개라도 좋다.

이 후, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41m)이 모든 홈(23)을 매립하도록 형성된다.

도 121을 참조하면, 이 막(41m)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 복수의 홈(23) 중 1개 간격의 홈(23) 상이 개구된다. 패터닝된 막(41m)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 1개 간격의 홈(23) 내의 매립물이 제거된다. 매립물이 제거된 1개 간격의 홈(23)의 양 측벽에 비교적 고농도로 인 이온이 주입되어, 인 이온 주입 영역(3)이 형성된다. 이 후, 막(41m)이 에칭 등에 의해 제거된다.

도 122를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41n)이 모든 홈(23)을 매립하도록 형성된다. 이 막(41n)이 사진 제판 기술 및 에칭 기술에 의해 패터닝되어, 다른 1개 간격의 홈(23) 상이 개구된다. 패터닝된 막(41n)을 마스크 재료로서 이방성 에칭이 행해진다. 이에 의해, 다른 1개 간격의 홈(23) 내의 매립물이 제거된다.

매립물이 제거된 다른 1개 간격의 홈(23)의 양 측벽에 비교적 고농도로 붕소 이온이 주입되어, 붕소 이온 주입 영역(4)이 형성된다. 이 후, 막(41n)이 에칭 등에 의해 제거된다. 단, 이 도 121과 도 122의 공정은 교체하더라도 좋으며, 기본적으로는 그 순서에 의미는 없다.

도 123을 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41o)이 모든 홈(23)을 매립하도록 형성된다.

이 후, 홈(23) 사이에 삽입된 메사 영역이 원하는 농도 분포를 갖도록 전체에 열 처리가 실시된다. 이 열 처리에 의해, 반복 구조 최단부의 DLT 구조의 홈(23) 측벽의 붕소 이온 주입 영역(4)과 인 이온 주입 영역(3)이 확산되어 저농도화함과 함께 균일화하여, 중앙부의 메사 영역의 불순물 농도보다도 낮아진다.

또, 절연물 매립 공정과 앞의 열 처리 공정은 교체되더라도 좋다.

또한, 가드 링이나 MOS-FET의 p형 보디 영역 등의 비교적 깊은 확산 영역을 형성하는 공정은 도시하지 않지만, 상기 공정의 어딘가 혹은 이들 공정 후의 어딘가에 적절하게 삽입할 수 있다.

(실시예 36)

실시예 36으로서, STM 구조에, 반복 구조 최단부의 저농도 영역을 고에너지의 다단계 이온 주입에 의해 형성하는 제조 방법을 도 129 내지 136을 이용하여 상술한다.

본 실시예의 제조 방법은 우선 도 70 내지 도 72에 나타내는 공정을 거친다. 이에 의해, 복수의 홈(23)과, 각 홈(23)의 측벽에 형성된 인 이온 주입 영역(3) 및 붕소 이온 주입 영역(4)이 형성된다.

이 후, 도 129를 참조하면, 통상의 방법으로, CVD법에 의해 실리콘 산화막 등의 막(41q)이 모든 홈(23)을 매립하도록 형성된다. 여기까지는 전술의 다른 실시예에 나타난 방법과 동일하다. 이 후, 열 처리를 실시하여 홈(23)의 측벽에서 각 주입 영역(3, 4)을 확산시켜도 좋지만, 본 예에서는 열 처리는 실시되어 있지 않다.

도 130을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31v)이 막(41q) 상에 형성된다. 이 레지스트 패턴(31v)을 마스크로 하여 인 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

또, 도 130에서는 두꺼운 매립막(41q) 너머에 레지스트 패턴(31v)을 마스크로 하여 주입하는 경우를 기재하였지만, 필요에 따라서, 막(41q)을 에칭하고 나서 주입할 수도 있고, 레지스트 패턴(31v)도 제거하여 막(41q)의 패턴만을 마스크로 하여 주입할 수도 있다.

도 131을 참조하면, 상기 레지스트 패턴(31v)을 마스크로 하여 인 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 중간 정도로 깊은 위치에 인 이온의 주입 영역(3a)이 형성된다.

도 132를 참조하면, 상기 레지스트 패턴(31v)을 마스크로 하여 인 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 얇은 위치에 인 이온의 주입 영역(3a)이 형성된다. 이 후, 레지스트 패턴(31v)은 예를 들면 애싱 등에 의해 제거된다.

도 130 내지 도 132의 공정에서 pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역에 주입되는 인 이온의 주입 농도는, 중앙부에 주입된 인 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 130)과 중간 위치로의 주입(도 131)과 얇은 위치로의 주입(도 132)의 각 주입 순서는 교체할 수 있다. 또한, 이들 pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역으로의 인 이온 주입 공정은 전술한 중앙부로의 붕소 이온 또는 인 이온의 주입 공정과 전체적으로 교체할 수도 있다.

또, 이 예에서는 3단계의 에너지에서의 주입 예를 기술하였지만, 내압이 낮은 클래스의 소자에서 에피택셜층이 얇은 경우에는, 2단계 혹은 1 단계이어도 좋고, 또한 반대로, 내압이 높은 클래스의 소자에서 에피택셜층이 두꺼운 경우에는, 4 단계 이상의 횟수로 나누어 주입하는 경우도 있다. 이 때문에, 본 실시예는 단계를 3단계로 고정하는 것은 아니다.

도 133을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31w)이 막(41q) 상에 형성된다. 이 레지스트 패턴(31w)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

또, 도 133에서는 두꺼운 매립막(41q) 너머로 레지스트 패턴(31w)을 마스크로 하여 주입하는 경우를 기재하였지만, 필요에 따라서, 막(41q)을 에칭하고 나서 주입할 수도 있고, 레지스트 패턴(31w)도 제거하여, 막(41q)의 패턴만을 마스크로 하여 주입할 수도 있다.

도 134를 참조하면, 상기 레지스트 패턴(31w)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 135를 참조하면, 상기 레지스트 패턴(31w)을 마스크로 하여 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역의 얇은 위치에 붕소 이온 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31w)은 예를 들면 에칭 등에 의해 제거된다.

도 133 내지 도 135의 공정에서 pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 붕소 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 133)과 중간 위치로의 주입(도 134)과 얇은 위치로의 주입(도 135)의 각 주입 순서는 교체할 수 있다. 또한, 이들 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역에의 저농도의 붕소 이온 주입 공정은 전술한 중앙부로의 고농도 붕소 이온 또는 인 이온의 주입 공정, 혹은 pn 반복 구조의 최단부 혹은 그것보다도 1단만큼 바로 앞이 되는 영역에의 저농도 인 이온의 주입 공정과 전체적으로 교체할 수도 있다.

또, 이들 공정도 상술한 인 이온 주입 영역(3a)과 마찬가지로, 3단계로 고정되는 것이 아니라, 이것보다 많아도 되고 또한 적어도 된다.

본 실시예에서는 간단화를 위해, pn 반복 구조의 최단부에 저농도의 p층과 n층으로 이루어지는 pn 조합을 일렬만 형성하는 경우를 예로 들었지만, 특별히 한정되는 것은 아니다.

도 136을 참조하면, 열 처리가 실시되고, 그에 따라 반도체 기판의 깊이 방향으로 나란히 배열된 복수의 붕소 이온 주입 영역(4a)과 복수의 인 이온 주입 영역(3a)의 각각이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 이후, MOS-FET 구성부나 전극 등이 형성된다.

또 도 136에서는 간단화를 위해, 접속된 n형 드리프트 영역(3)과 p형 불순물 영역(4)을 저농도와 고농도의 2단계로 표시하고 있지만, 실제로는 무단계 또한 연속적으로 농도는 변화한다. 또한, pn 반복 구조 최단부의 저농도 p형 불순물 영역(4)은, 불순물 농도가 높은 부분에서 어느 정도 외주로 확산되는 꾸불꾸불한 단면 형상이 되지만, 간략화를 위해 상세한 설명은 생략하고 있다.

(실시예 37)

실시예 37로서, STM 구조의 pn 반복 구조 최단부의 저농도화에 있어서 고에너지 이온 주입을 다단계에 행하는 경우이고, 또한 p형 불순물 영역이 pn 반복 구조의 최단부에 위치하는 경우의 제조 방법을 도 137 내지 도 140을 이용하여 상술한다.

본 실시예의 제조 방법은, 우선 도 70 내지 도 72에 나타내는 공정을 거친 후, 또한 도 129 내지 도 132가 공정을 거친다. 이에 의해, 복수의 홈(23)과, 각 홈(23)의 양 측벽에 형성된 인 이온 주입 영역(3) 및 붕소 이온 주입 영역(4)과, 각 홈(23)을 매립하는 막(41q)과, pn 반복 구조 최단부의 1단 앞에 위치하는 인 이온의 주입 영역(3a)이 형성된다.

도 137을 참조하면, 사진 제판 기술에 의해 소정의 패턴을 갖는 레지스트 패턴(31x)이 막(41q) 상에 형성된다. 이 레지스트 패턴(31x)을 마스크로 하여 붕소 이온을 고에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

또, 도 137에서는 두꺼운 매립막(41q) 너머로 레지스트 패턴(31x)을 마스크로 하여 주입하는 경우를 기재하였지만, 필요에 따라서는, 막(41q)을 에칭하고 나서 주입할 수도 있고, 레지스트 패턴(31x)도 제거하여 막(41q)의 패턴만을 마스크로 하여 주입할 수도 있다.

도 138을 참조하면, 상기 레지스트 패턴(31x)을 마스크로 하여 붕소 이온을 중 에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 중간 정도로 깊은 위치에 붕소 이온 주입 영역(4a)이 형성된다.

도 139를 참조하면, 상기 레지스트 패턴(31x)을 마스크로 하여 붕소 이온을 저에너지에 의해 이온 주입함으로써, pn 반복 구조의 최단부가 되는 영역의 얇은 위치에 붕소 이온 주입 영역(4a)이 형성된다. 이후, 레지스트 패턴(31x)은 예를 들면 에칭 등에 의해 제거된다.

도 137 내지 도 139의 공정에서 pn 반복 구조의 최단부에 주입되는 붕소 이온의 주입 농도는, 중앙부에 주입된 붕소 이온의 주입 농도의 반 정도가 된다.

단, 상기 깊은 위치로의 주입(도 137)과 중간 위치로의 주입(도 138)과 얇은 위치로의 주입(도 139)의 각 주입 순서는 교체할 수 있다. 또한, 이들 최단부로의 저농도의 붕소 이온을 주입하는 공정은, 전술한 중앙부로의 고농도의 붕소 이온 또는 인 이온의 주입 공정 혹은 pn 반복 구조의 최단부보다도 1단만큼 중앙부로의 저농도 인 이온 주입 공정과 전체적으로 교체할 수도 있다.

또, 이들 공정도 상술한 인 이온 주입 영역(3a)과 마찬가지로, 3단계로 고정되는 것이 아니고, 이것보다 많아도 되고 또한 적어도 된다.

본 실시예에서는 간단화를 위해, pn 반복 구조의 최단부에 저농도의 p층과 n층으로 이루어지는 pn 조합을 일렬만 형성하는 경우를 예로 들었지만, 특별히 한정되는 것은 아니다.

도 140을 참조하면, 열 처리가 실시되고, 그에 따라 반도체 기관의 깊이 방향으로 나란히 배열된 복수의 봉소 이온 주입 영역(4a)과 복수의 인 이온 주입 영역(3a)의 각각이 주위로 확산되어 일체화되어, pn 반복 구조를 구성하는 p형 불순물 영역(4)과 n형 드리프트 영역(3)이 형성된다. 이후, MOS-FET 구성부나 전극 등이 형성된다.

또 도 140은 간단화를 위해, 접속된 n형 드리프트 영역(3)과 p형 불순물 영역(4)을 저농도와 고농도의 2단계로 표시하고 있지만, 실제로는 무단계 또한 연속적으로 농도는 변화한다. 또한, pn 반복 구조 최단부의 저농도 p형 불순물 영역(4)은, 불순물 농도가 높은 부분에서 어느 정도 외주로 확산되는 꾸불꾸불한 단면 형상이 되지만, 간략화를 위해 상세한 설명은 생략하고 있다.

(실시예 38 내지 40)

실시예 38 내지 40으로서, pn 반복 구조의 최단부에 능동 소자를 형성하지 않은 구성을 도 141 내지 143에 나타내었다.

도 141을 참조하면, 실시예 38의 구성은 도 3의 구성과 비교하여, pn 반복 구조의 좌우 양측 최단부에서 p형 불순물 영역(4)과 n형 드리프트 영역(3)의 1조(1단계)만 저농도화한 점에서 공통되지만, 그 저농도화된 영역 상에 능동 소자인 MOS-FET가 형성되어 있지 않다는 점에서 다르다.

pn 반복 구조 최단부의 저농도 p형 불순물 영역(4) 및 n형 드리프트 영역(3) 상에는, p형 불순물 영역(5)이 형성되어 있고 소스 전극(10)과 전기적으로 접속되어 있지만, MOS-FET의 구성 요소인 n⁺ 소스 영역(6)이나 게이트 전극(9)은 형성되어 있지 않다.

또, 이 이외의 구성에 대해서는 도 3에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

도 142를 참조하면, 실시예 39의 구성은 도 87의 구성과 비교하여, 트렌치 병행 게이트 구조 STM에서의 pn 반복 구조의 최단부에 있어서 p형 불순물 영역(4)과 n형 드리프트 영역(3)의 1조(1단계)만 저농도화한 점에서 공통되지만, 그 저농도화된 영역 상에 능동 소자인 MOS-FET가 형성되어 있지 않다는 점에서 다르다.

pn 반복 구조 최단부의 저농도 p형 불순물 영역(4) 및 n형 드리프트 영역(3) 상에는, p형 불순물 영역(21)이 형성되어 있고 소스 전극(10)과 전기적으로 접속되어 있지만, MOS-FET의 구성 요소인 n⁺ 소스 영역(6)이나 게이트 전극(9)은 형성되어 있지 않다.

또, 이 이외의 구성에 대해서는 도 87에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

도 143을 참조하면, 실시예 40의 구성은 도 6의 구성과 비교하여, 매립 다층 에피택셜 구조에 있어서의 pn 반복 구조의 최단부에서 p형 불순물 영역(4)만 저농도화한 점에서 공통되지만, 그 저농도화된 영역 상에 능동 소자인 MOS-FET가 형성되어 있지 않다는 점에서 다르다.

pn 반복 구조 최단부의 저농도 p형 불순물 영역(4) 상에는, p형 불순물 영역(5)이 형성되어 있고 소스 전극(10)과 전기적으로 접속되어 있지만, MOS-FET의 구성 요소인 n⁺ 소스 영역(6)이나 게이트 전극(9)은 형성되어 있지 않다.

또, 이 이외의 구성에 대해서는 도 6에 나타내는 구성과 거의 동일하기 때문에, 동일한 부재에 대해서는 동일한 부호를 붙이고 그 설명을 생략한다.

(실시예 41)

실시예 41로서, SOI(Semiconductor On Insulator) 기관에 실장된 횡형 파워 MOSFET의 pn 반복 구조의 최단부를 저농도화한 구성을 도 144 및 도 145를 이용하여 상술한다.

도 144 및 도 145를 참조하면, 실리콘 기관(51) 상에 실리콘 산화막 등의 절연막(52)을 통해 반도체층(60)이 형성되어 있다. 그리고 이 반도체층(60)에, 본 발명의 최단부가 저농도화된 pn 반복 구조를 갖는 횡형 파워 MOSFET이 형성되어 있다.

이 반도체층(60)에는 pn 반복 구조를 구성하도록 p형 불순물 영역(4)과 n형 불순물 영역(3)이 교대로 반복하여 형성되어 있다. 그리고, 이 pn 반복 구조의 최단부가 도 145에 도시한 바와 같이 1조 pn 조합을 1 단위로 2단계로 저농도화되어 있다.

또, p형 영역(5)은 n형 불순물 영역(3)과 pn 접합을 구성하도록, 또한 p형 불순물 영역(4)과 전기적으로 접속되도록 형성되어 있다. 또한, n⁺ 소스 영역(6)은 p형 영역(5)의 일부를 n형 불순물 영역(3) 사이에서 삽입되도록 형성되어 있다. 게이트 전극층(9)은 n형 불순물 영역(3)과 n⁺ 소스 영역(6)에 삽입되는 p형 영역(5)에 게이트 절연층(8)을 통해 대향하도록 형성되어 있다. 이 게이트 전극층(9)은 제1 주면 상에서 pn 반복 방향을 따라서 연장하고 있다.

pn 반복 구조의 p형 영역(5)과는 반대측에 n⁺ 영역(54)과 nb 영역(53)이 형성되어 있고, n⁺ 영역(54)은 드레인 전극에 전기적으로 접속되어 있다.

또, 상기 pn 반복 구조에 있어서, p형 불순물 영역(4)과 n형 불순물 영역(3) 사이에 홈이 마련되어도 좋는데, 이 경우, 도 146 및 도 147에 도시한 바와 같이 절연물(24) 등에 의해 매립된 홈(23)이 p형 불순물 영역(4)과 n형 불순물 영역(3) 사이에 위치하게 된다.

(실시예 42)

상기 한 실시예 23, 28 및 34에서는, 반복 구조의 단부에 위치하는 홈의 측벽에 카운터 이온 주입(카운터 도핑)함으로써 pn 반복 구조 최단부의 저농도 영역이 형성되어 있다. 이와는 반대로, pn 반복 구조의 중앙부에 위치하는 홈의 측벽에 이미 주입된 불순물과 동일한 도전형의 불순물을 더욱 주입함으로써, 중앙부의 pn 반복 구조의 p층(4)과 n층(3)을 고농도화하고, 그에 따라 반복 구조 최단부의 홈 측벽의 불순물 영역이 상대적으로 저농도 영역이 되어도 좋다. 이하, 그것을 구체적으로 설명한다.

실시에 23에서는, 우선 도 79 내지 도 81이 공정을 거치는 것에 의해, 홈(23)의 측벽에 비교적 저농도의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 형성된다. 이후, pn 반복 구조의 중앙부의 홈(23) 내의 매립물이 제거된다. 그리고, 이 중앙부의 홈(23)의 한쪽 측벽의 p형 불순물 영역(4)에 또 p형 불순물이 주입됨과 함께, 다른 쪽 측벽의 n형 불순물 영역(3)에 또한 n형 불순물이 주입된다. 이에 의해, 반복 구조의 중앙부의 홈(23) 측벽의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 고농도화되고, 그에 따라 반복 구조 최단부 홈(23) 측벽의 불순물 영역(3, 4)이 상대적으로 저농도 영역이 된다.

또한, 실시예 28에서는, 우선 도 106 내지 도 110이 공정을 거치는 것에 의해, 홈(23)의 측벽에 비교적 저농도의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 형성된다. 이후, pn 반복 구조의 중앙부의 홈(23) 내의 매립물이 제거된다. 그리고, 이 중앙부의 홈(23)의 양 측벽의 p형 불순물 영역(4)에 또한 p형 불순물이 주입됨과 함께, 중앙부의 다른 홈(23)의 양 측벽의 n형 불순물 영역(3)에 또한 n형 불순물이 주입된다. 이에 의해, 반복 구조의 중앙부의 홈(23) 측벽의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 고농도화되고, 그에 따라 반복 구조 최단부 홈(23) 측벽의 불순물 영역(3, 4)이 상대적으로 저농도 영역이 된다.

또한, 실시예 34에 있어서는, 우선 도 120 내지 도 123이 공정을 거치는 것에 의해, 홈(23)의 측벽에 비교적 저농도의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 형성된다. 이후, pn 반복 구조의 중앙부의 홈(23) 내의 매립물이 제거된다. 그리고, 이 중앙부의 홈(23)의 양 측벽의 p형 불순물 영역(4)에 또한 p형 불순물이 주입됨과 함께, 중앙부의 다른 홈(23)의 양 측벽의 n형 불순물 영역(3)에 또한 n형 불순물이 주입된다. 이에 의해, 반복 구조의 중앙부의 홈(23) 측벽의 p형 불순물 영역(4)과 n형 불순물 영역(3)이 고농도화되고, 그에 따라 반복 구조 최단부 홈(23) 측벽의 불순물 영역(3, 4)이 상대적으로 저농도 영역이 된다.

또, 상기 실시예 2 내지 42에서는, pn 반복 구조의 최단부에 위치하는 불순물 영역의 농도를 중앙부보다도 낮게 하는 경우에 대해 설명하였지만, 실시예 1에서 설명한 바와 같이 pn 반복 구조의 최단부에 위치하는 불순물 영역의 총합적인 실효 전하량이 중앙부보다도 적게 되더라도 마찬가지로 효과를 얻을 수 있다.

(발명의 효과)

본 발명을 이용함으로써, 특히 소자 내압이 20 내지 6000V의 넓은 범위의 3차원적인 다중 RESURF 원리를 응용한 전력 반도체 장치의 주 내압을 개선할 수 있고, 주 내압과 온저항의 트레이드 오프 관계도 개선할 수 있기 때문에, 전력 손실이 적고, 칩 사이즈도 작으며 얇가인 것이 얻어진다.

또한, DLT 구조의 홈과 그것에 대응하는 제조 방법을 사용함으로써, 더 저비용으로 양품율이 좋은 반도체 장치를 만들 수 있다.

또, 금회 개시된 실시예에는 모든 점에서 예시이고 제한적인 것이 아니라고 생각해야 한다. 본 발명의 범위는 상기 설명이 아니라 특허 청구의 범위에 의해서 나타내지고, 특허 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

산업상 이용 가능성

본 발명은 특히 소자 내압이 20 내지 6000V의 넓은 범위의 3차원적인 다중 RESURF 원리를 응용한 전력 반도체 장치 및 그 제조 방법에 유리하게 적용될 수 있다.

(57) 청구의 범위

청구항 1.

제1 도전형의 반도체 기관 내에, 제1 도전형의 제1 불순물 영역(3)과 제2 도전형의 제2 불순물 영역(4)이 배열된 구조가 2회 이상 반복된 반복 구조를 갖는 반도체 장치에 있어서,

상기 반복 구조의 최단부에 위치하는 상기 제1 및 제2 불순물 영역(3, 4) 중 어느 하나인 저농도 영역(3, 4)이, 상기 반복 구조를 구성하는 모든 상기 제1 및 제2 불순물 영역(3, 4) 중에서 가장 낮은 불순물 농도 혹은 가장 적은 총합적인 실효 전하량을 가지며,

상기 저농도 영역(3, 4)의 불순물 농도가, 상기 저농도 영역(3, 4)보다 상기 반복 구조의 중앙부측에 있는 상기 제1 및 제2 불순물 영역(3, 4) 중 어느 하나인 고농도 영역(3, 4)의 불순물 농도의 30% 이상 70% 이하인 것을 특징으로 하는 반도체 장치.

청구항 2.
삭제

청구항 3.

제1 도전형의 반도체 기판 내에, 제1 도전형의 제1 불순물 영역(3)과 제2 도전형의 제2 불순물 영역(4)이 배열된 구조가 2회 이상 반복된 반복 구조를 갖는 반도체 장치의 제조 방법에 있어서,

상기 반복 구조의 최단부에 위치하는 상기 제1 및 제2 불순물 영역(3, 4) 중 어느 하나인 저농도 영역(3, 4)이, 상기 반복 구조를 구성하는 모든 상기 제1 및 제2 불순물 영역(3, 4) 중에서 가장 낮은 불순물 농도 혹은 가장 적은 총합적인 실효 전하량을 갖는 것으로 되도록, 상기 저농도 영역(3, 4)과 그 이외의 다른 상기 제1 및 제2 불순물 영역(3, 4)이 독립적으로 농도를 바꾸어 형성되며,

상기 저농도 영역(3, 4)의 불순물 농도가, 상기 저농도 영역(3, 4)보다 상기 반복 구조의 중앙부측에 있는 상기 제1 및 제2 불순물 영역(3, 4) 중 어느 하나인 고농도 영역(3, 4)의 불순물 농도의 30% 이상 70% 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.
삭제

청구항 34.
삭제

청구항 35.
삭제

청구항 36.
삭제

청구항 37.
삭제

청구항 38.
삭제

청구항 39.
삭제

청구항 40.
삭제

청구항 41.
삭제

청구항 42.
삭제

청구항 43.
삭제

청구항 44.
삭제

청구항 45.
삭제

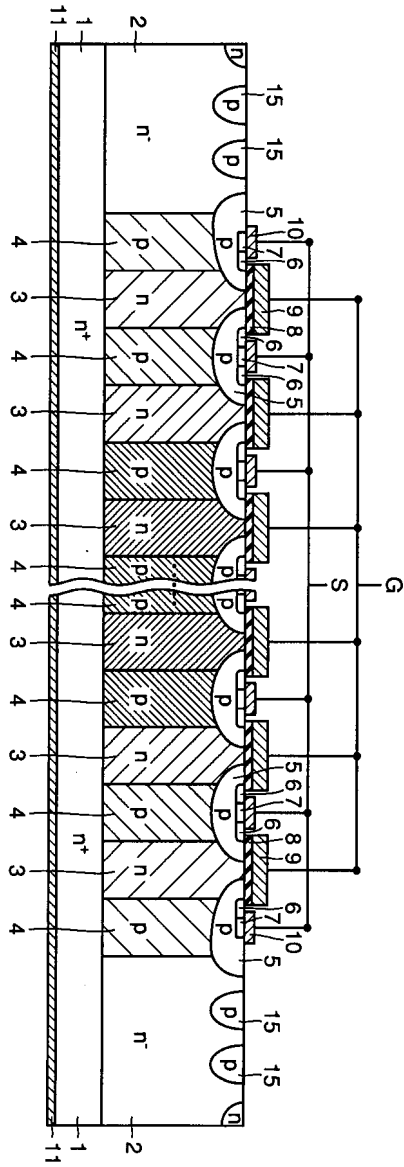
청구항 46.
삭제

청구항 47.
삭제

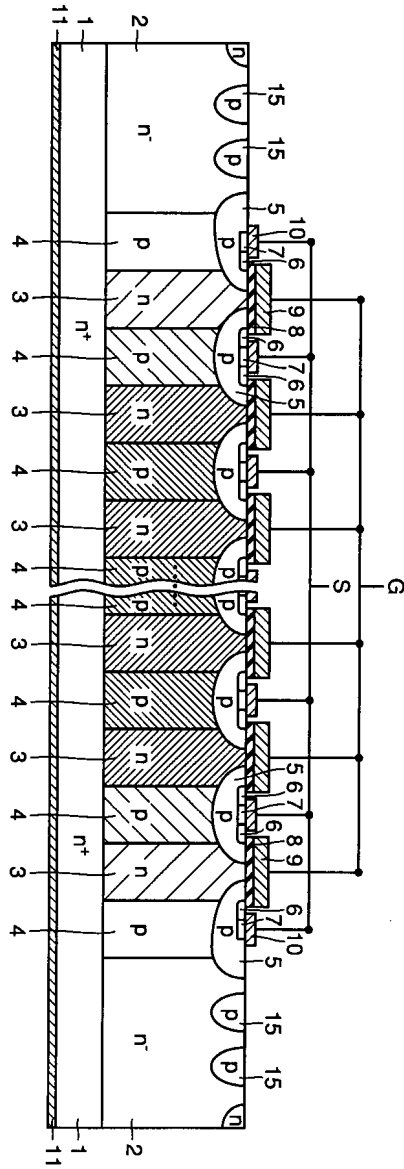
청구항 48.
삭제

도면

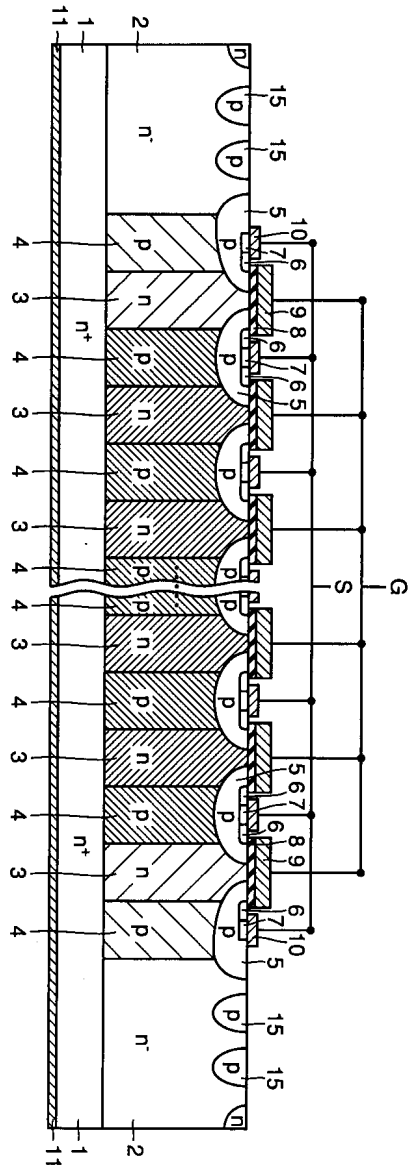
도면1



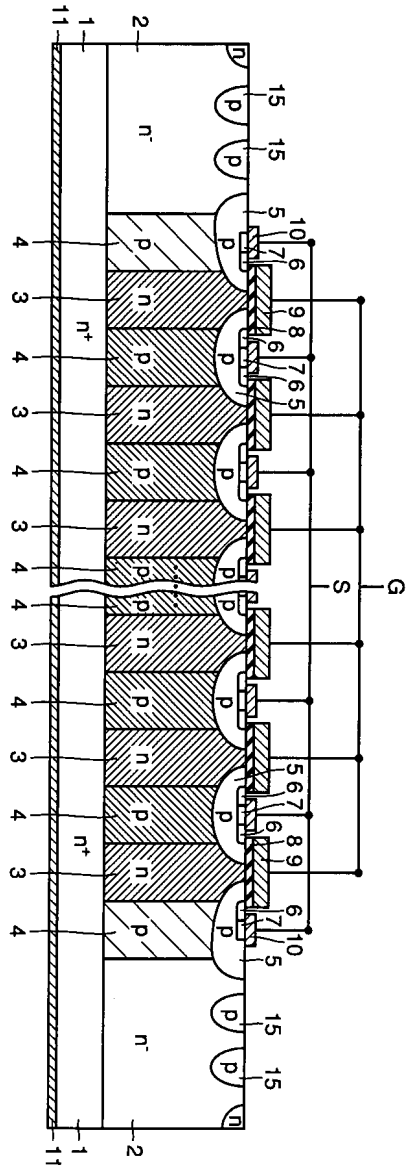
도면2



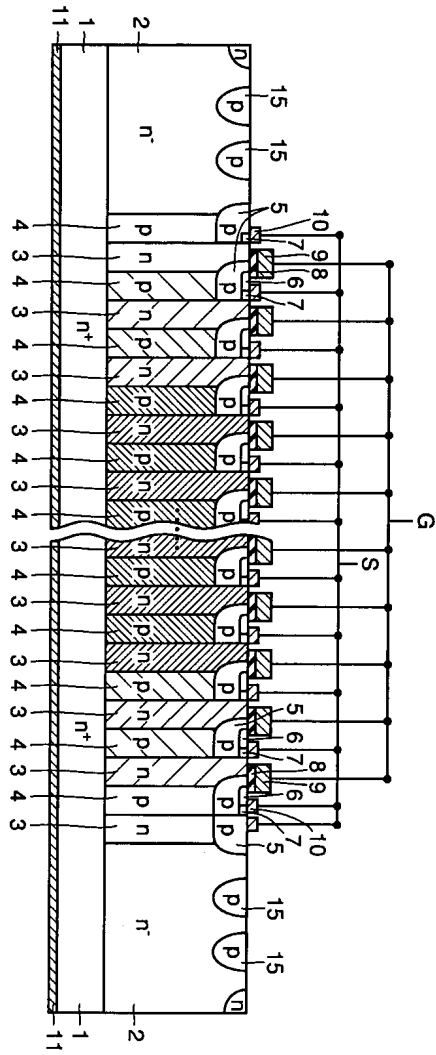
도면3



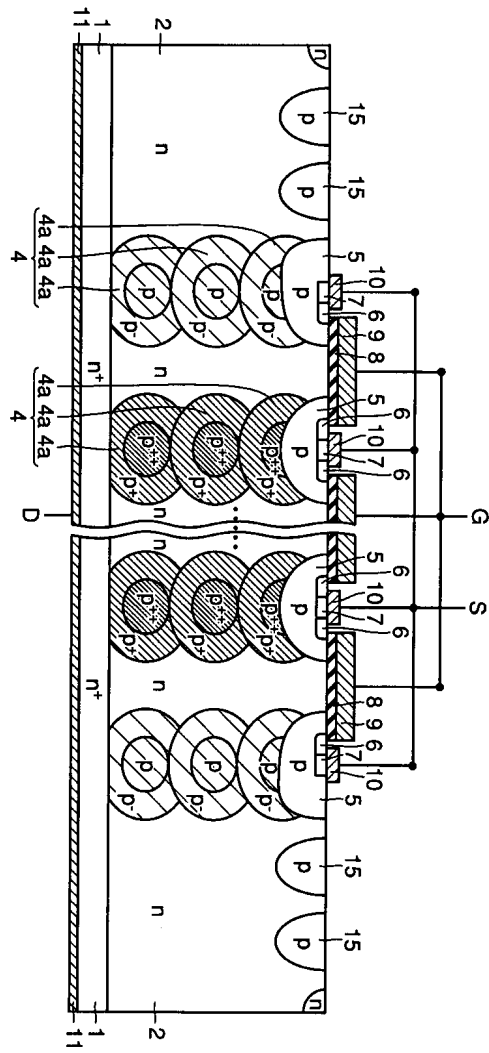
도면4



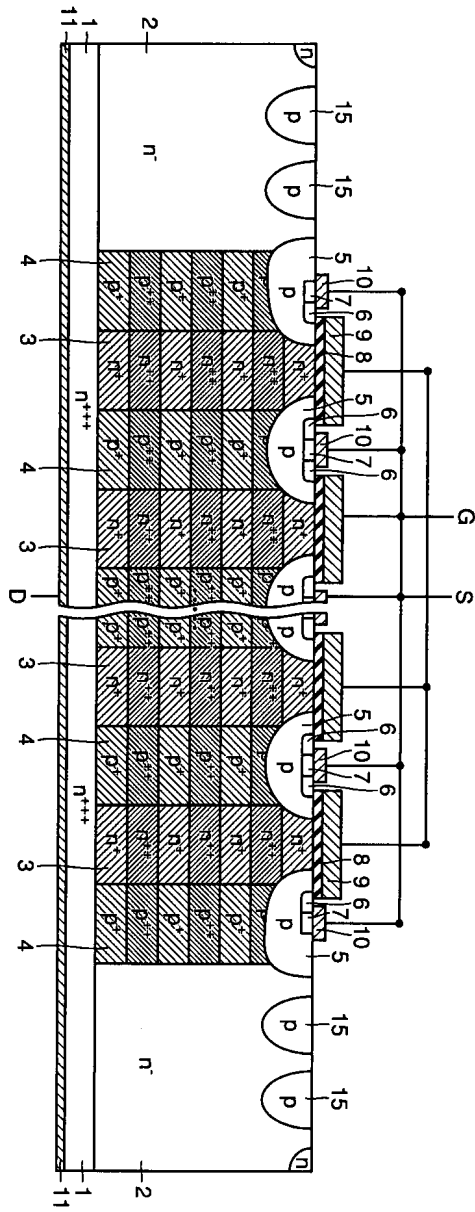
도면5



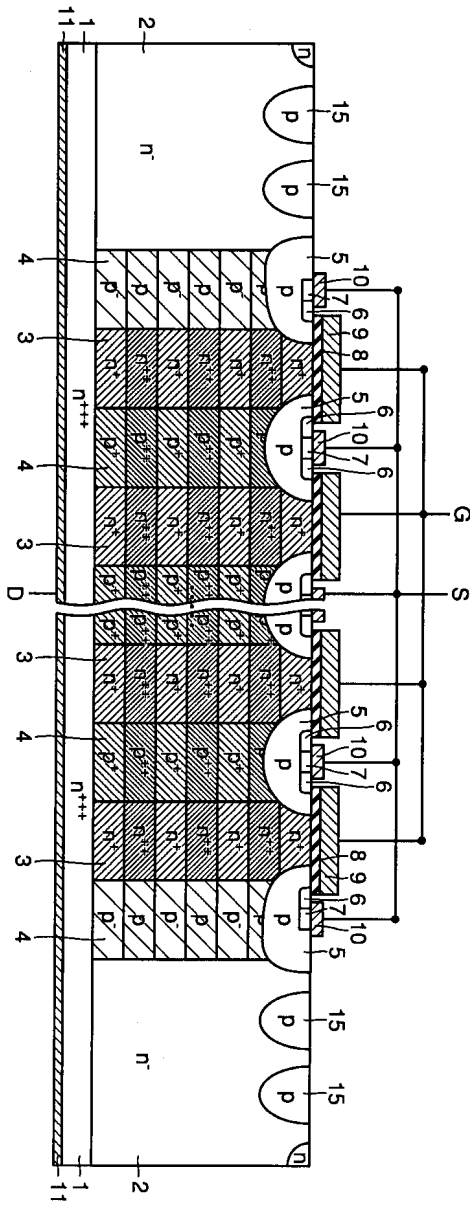
도면6



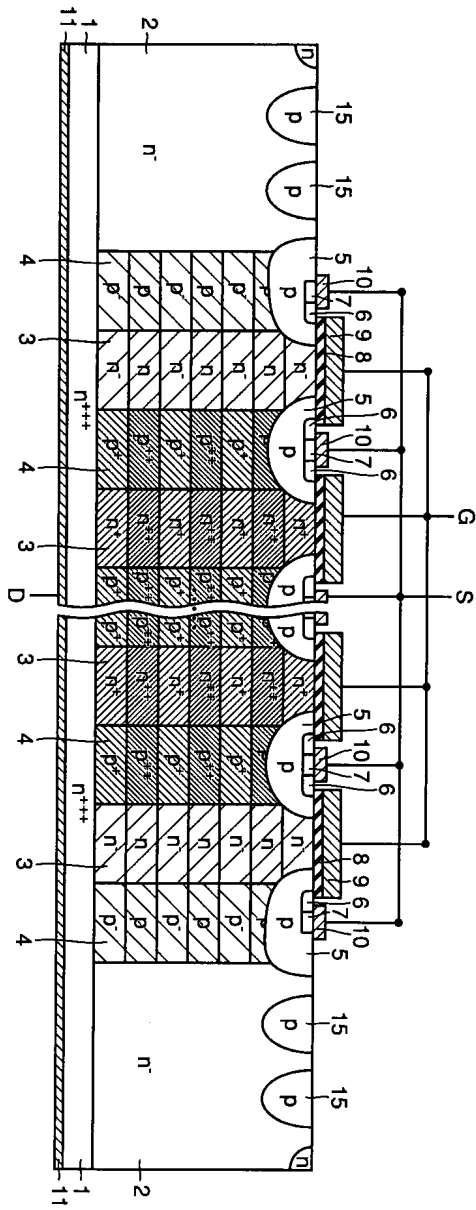
도면7



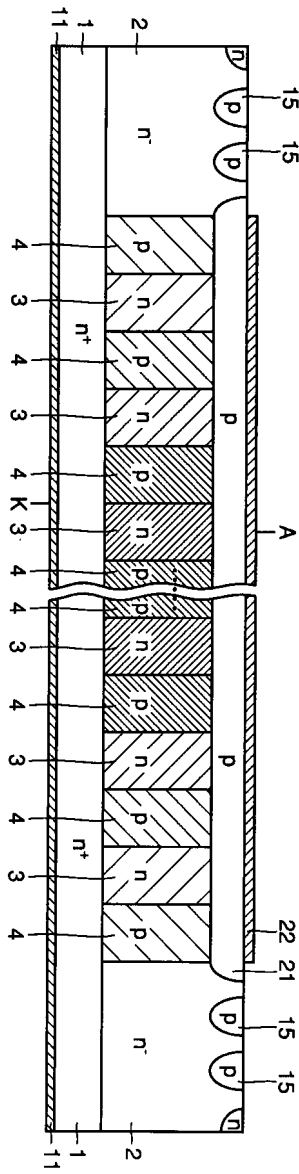
도면8



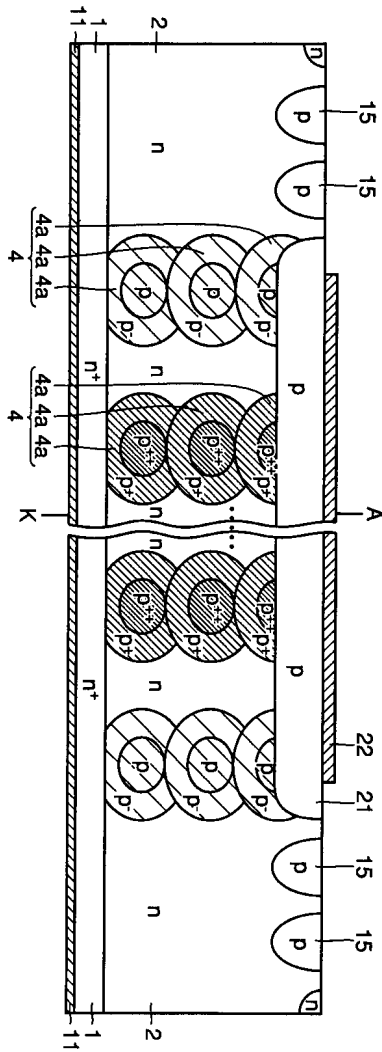
도면9



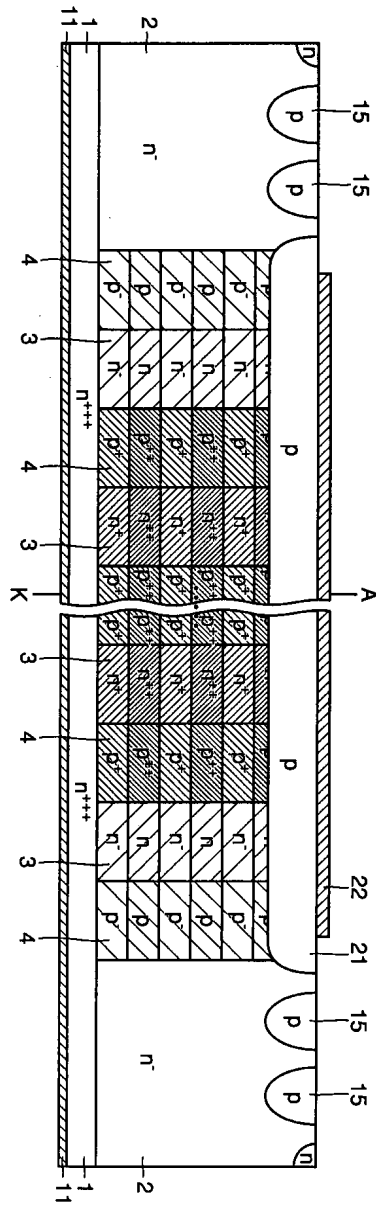
도면10



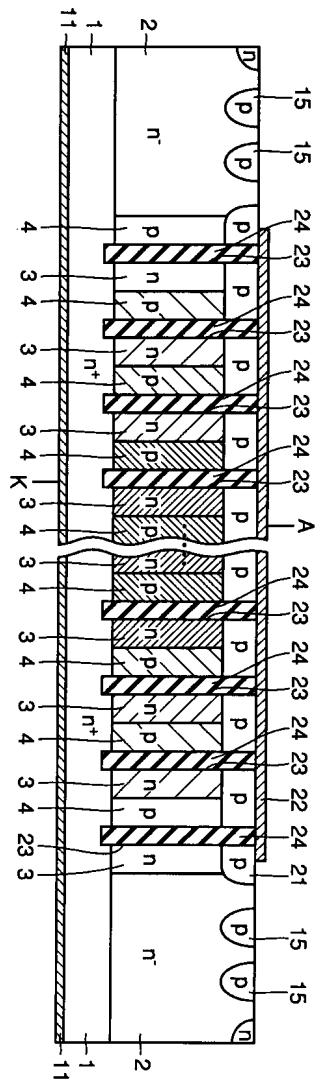
도면11



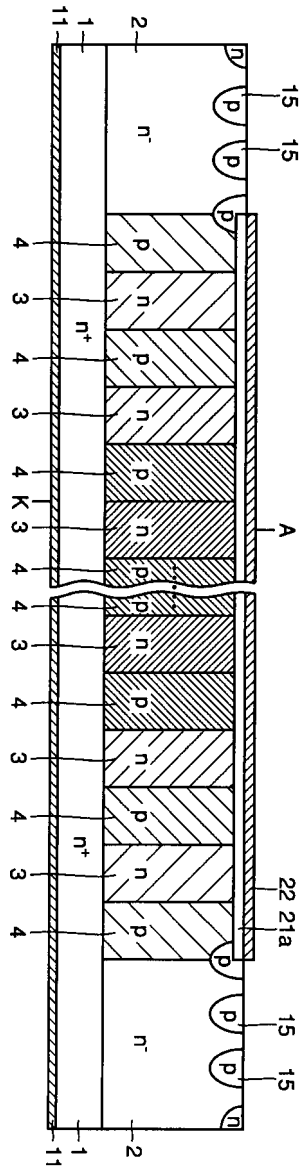
도면12



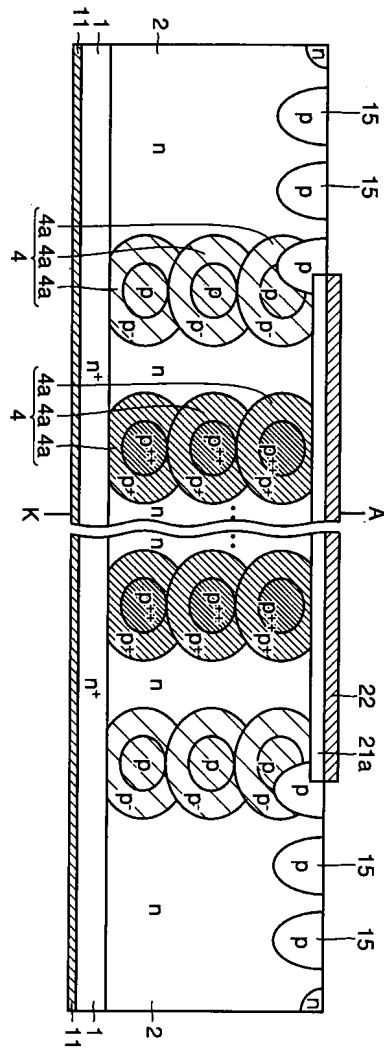
도면13



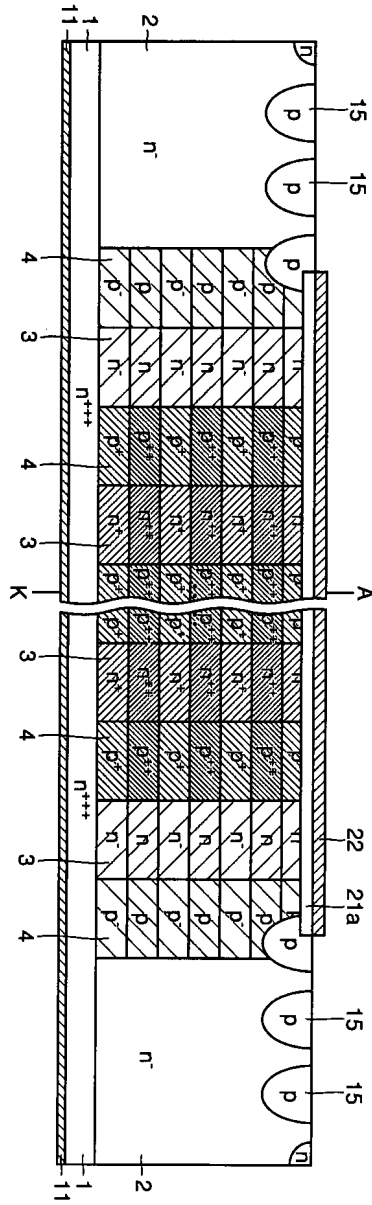
도면14



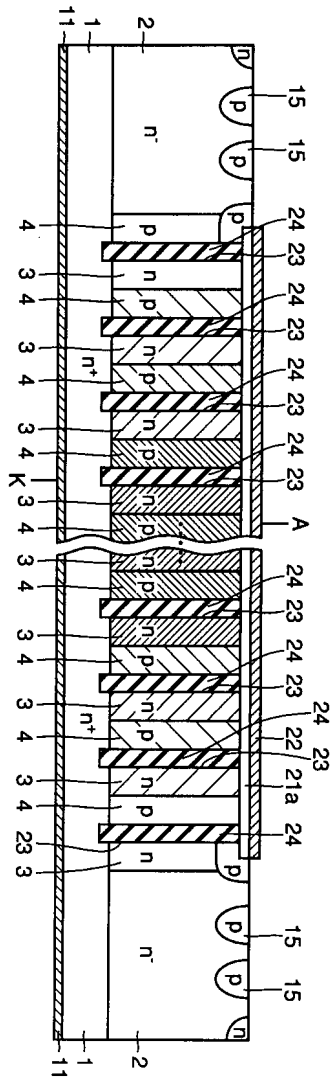
도면15



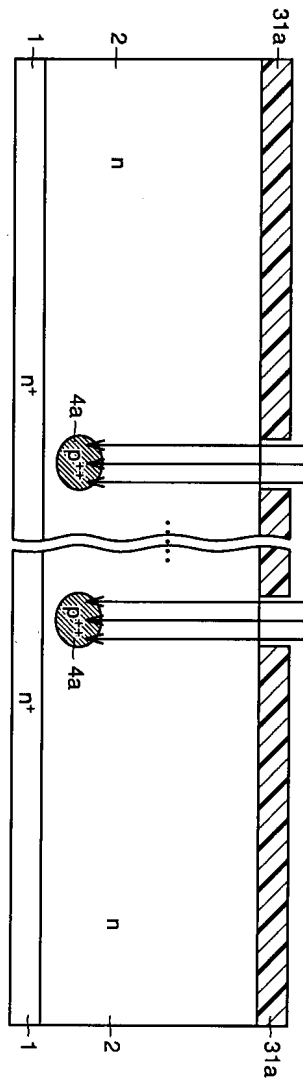
도면16



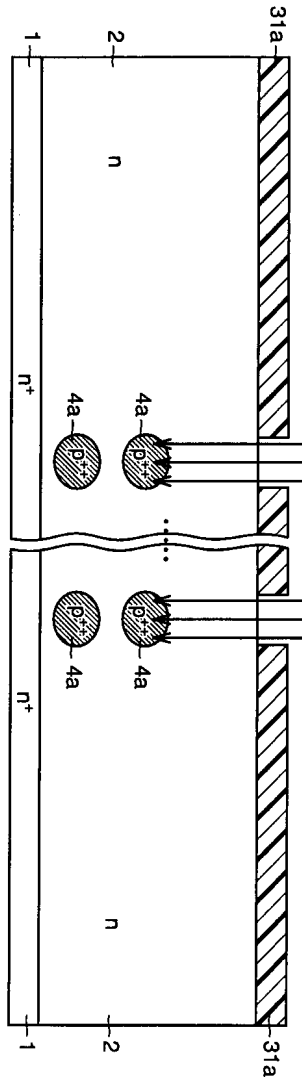
도면17



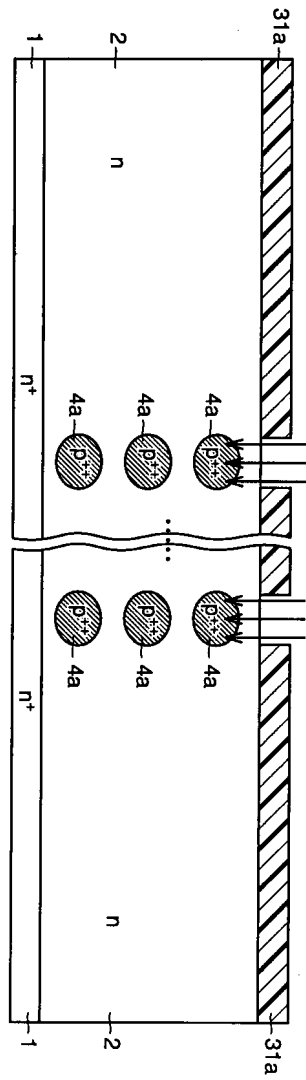
도면18



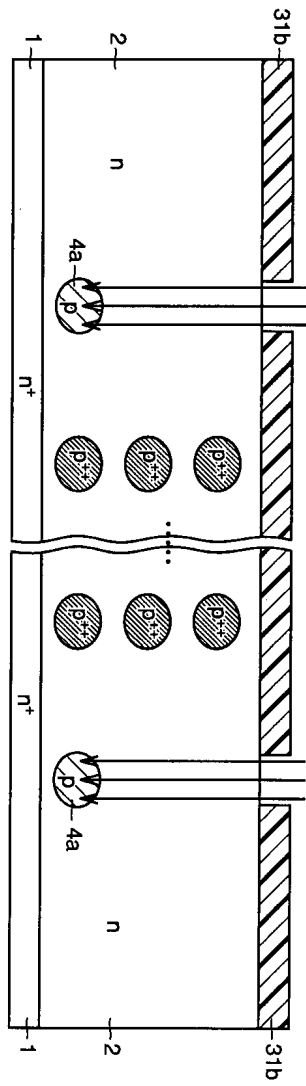
도면19



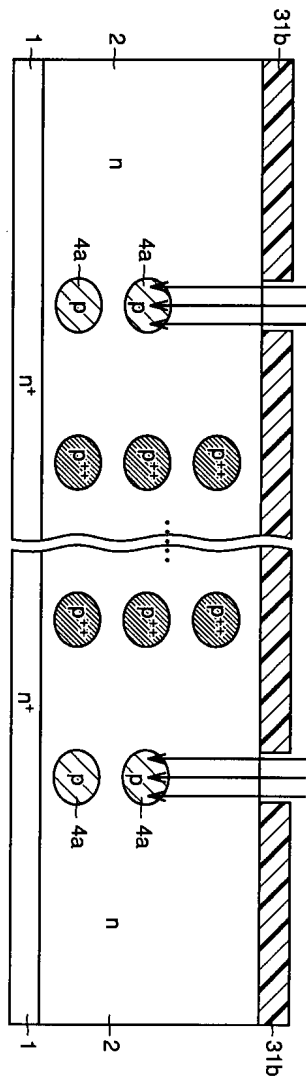
도면20



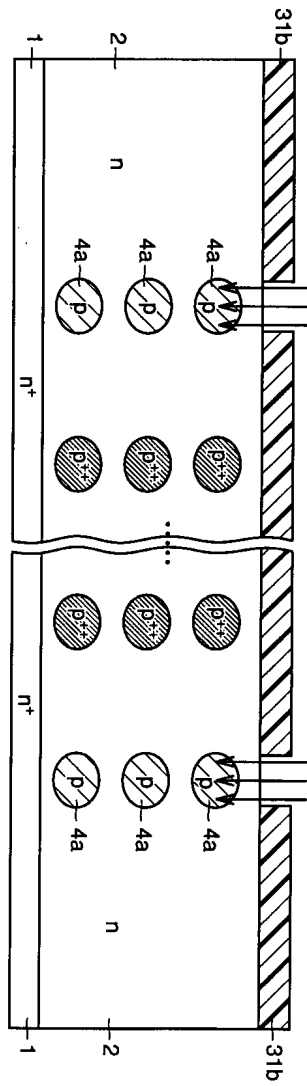
도면21



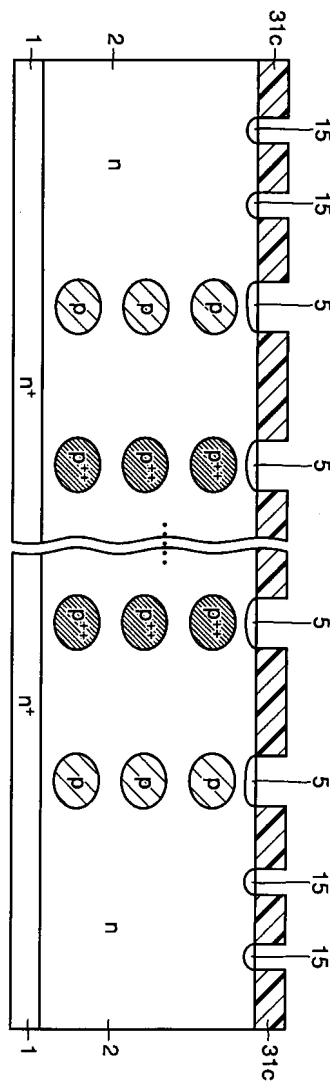
도면22



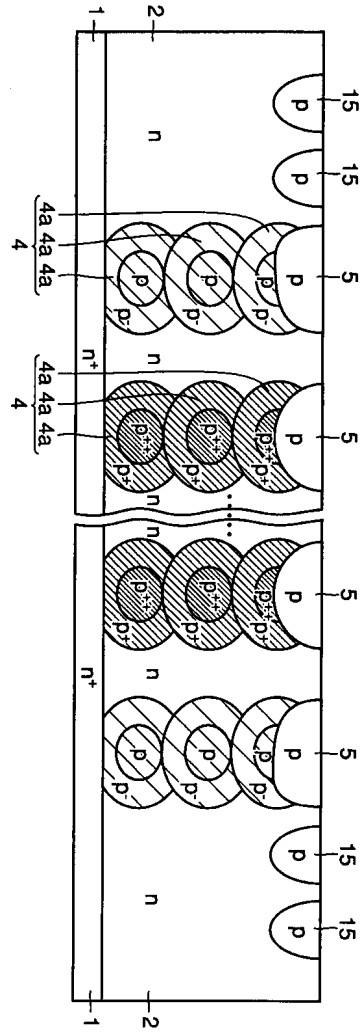
도면23



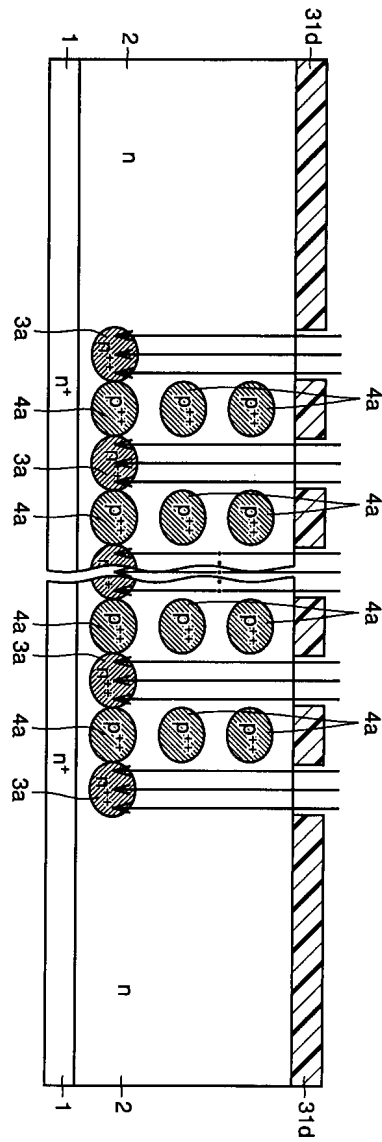
도면24



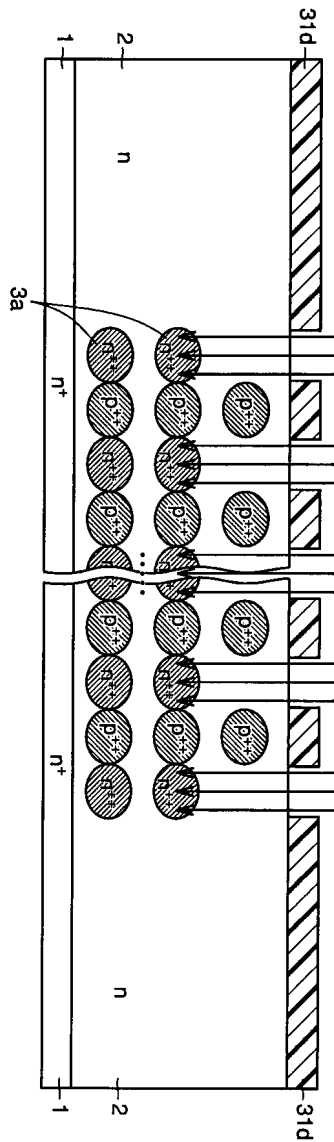
도면25



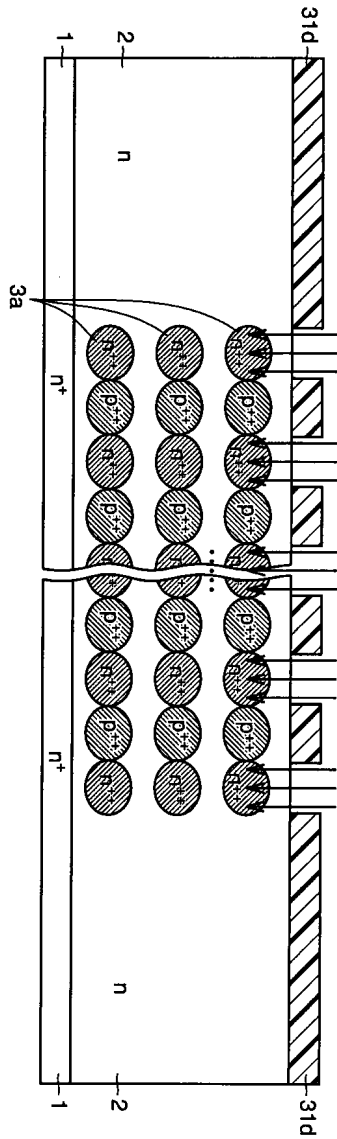
도면26



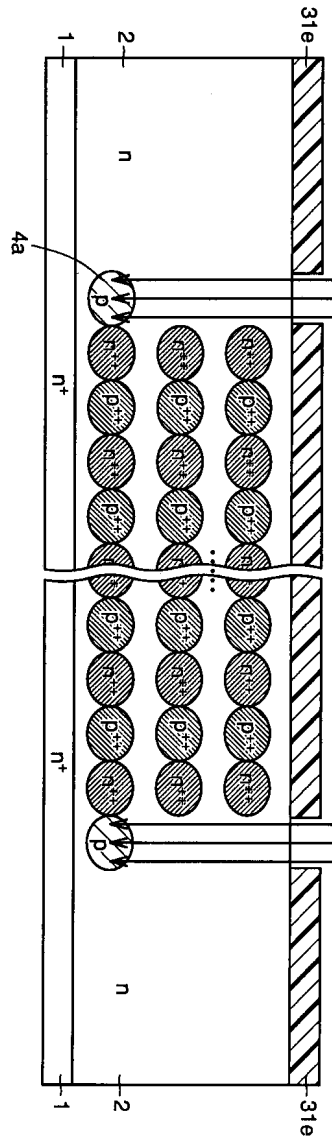
도면27



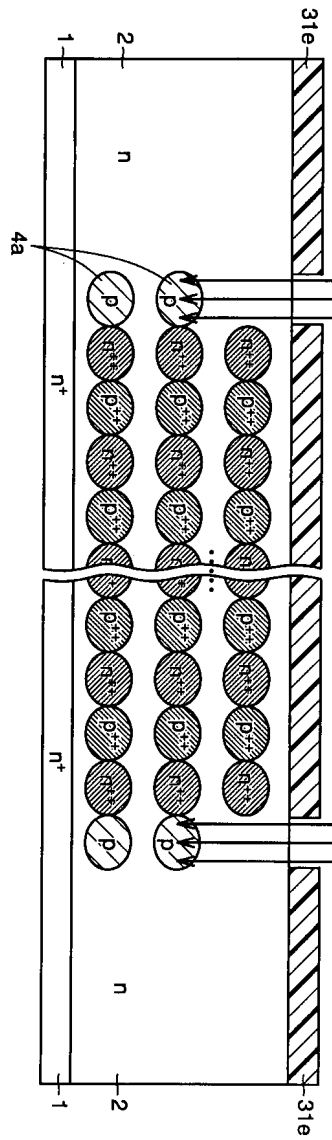
도면28



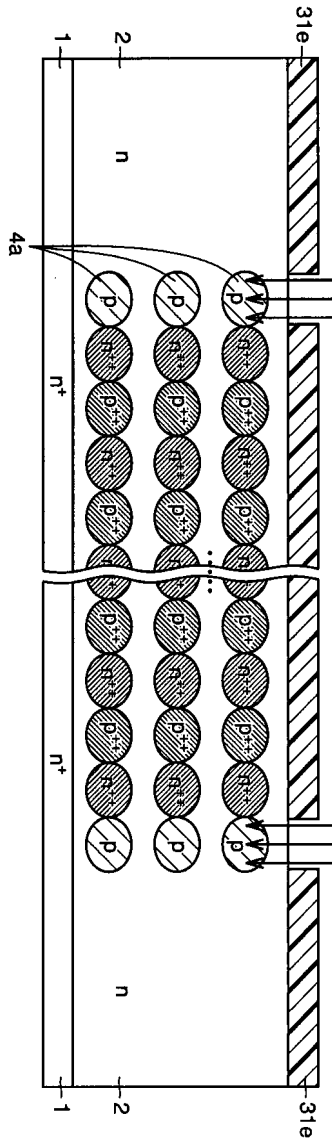
도면29



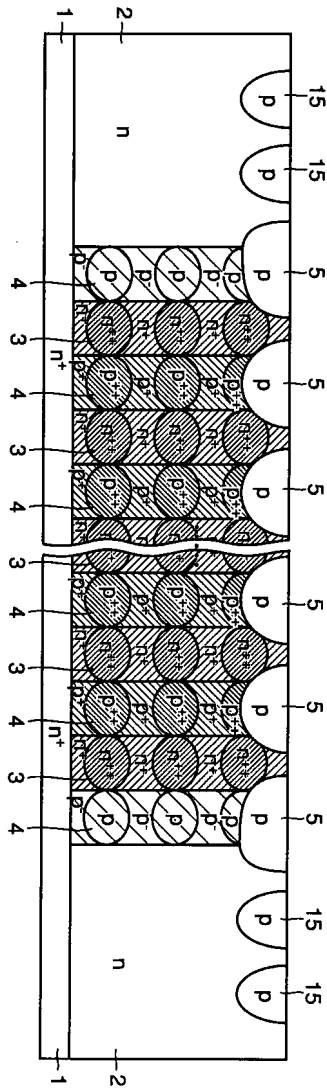
도면30



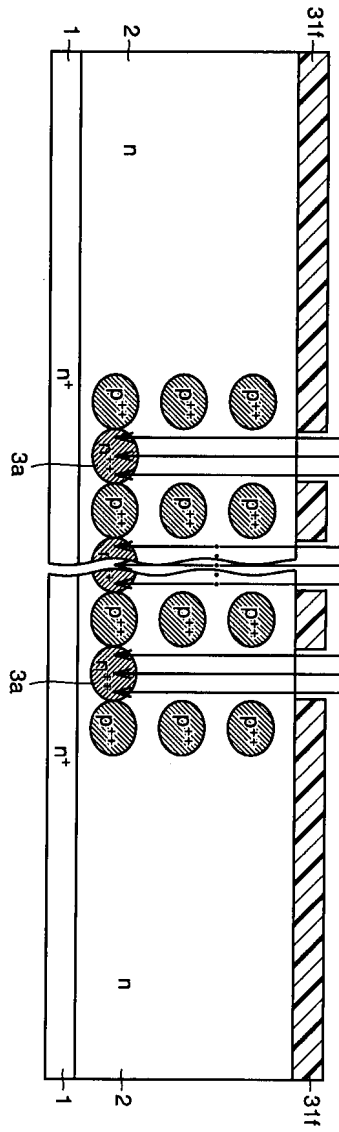
도면31



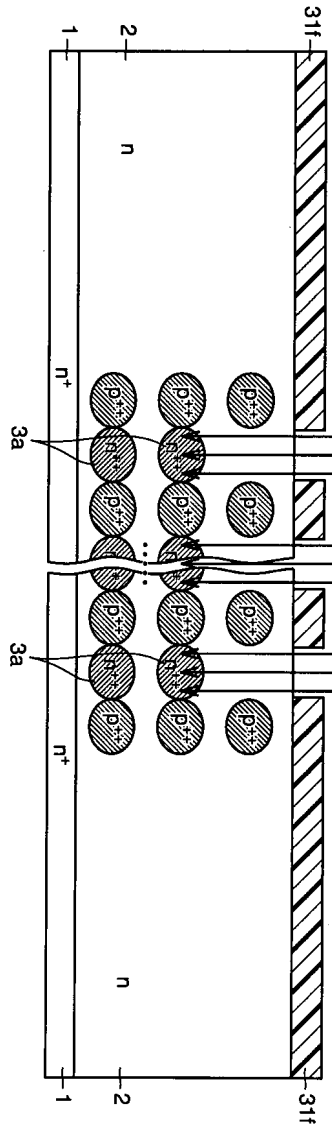
도면32



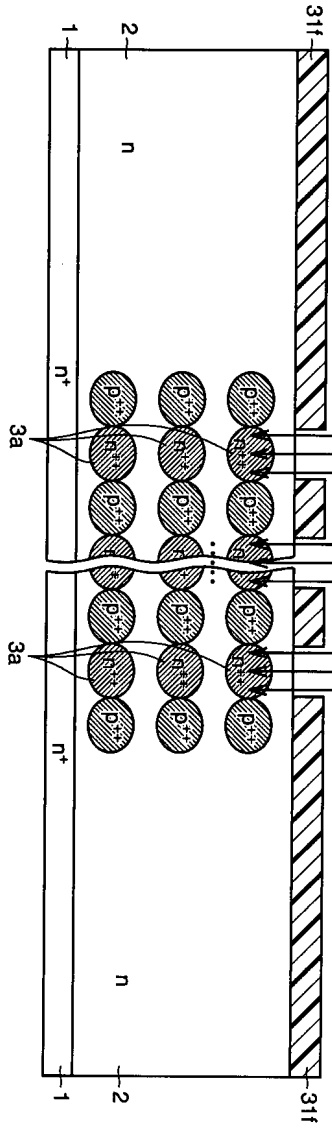
도면33



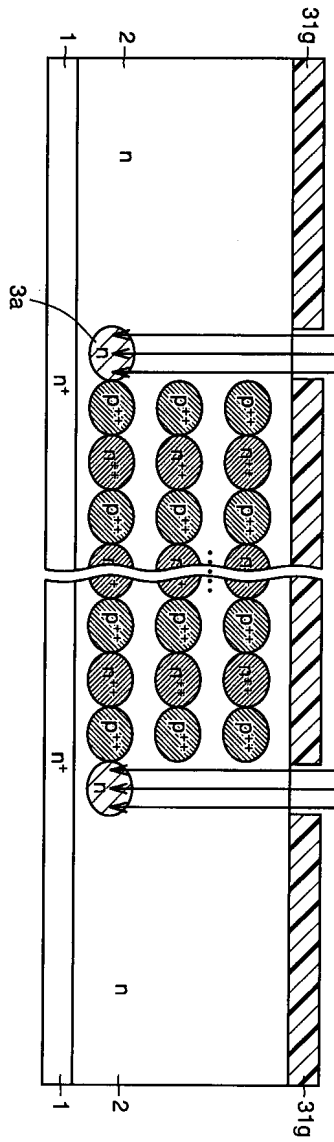
도면34



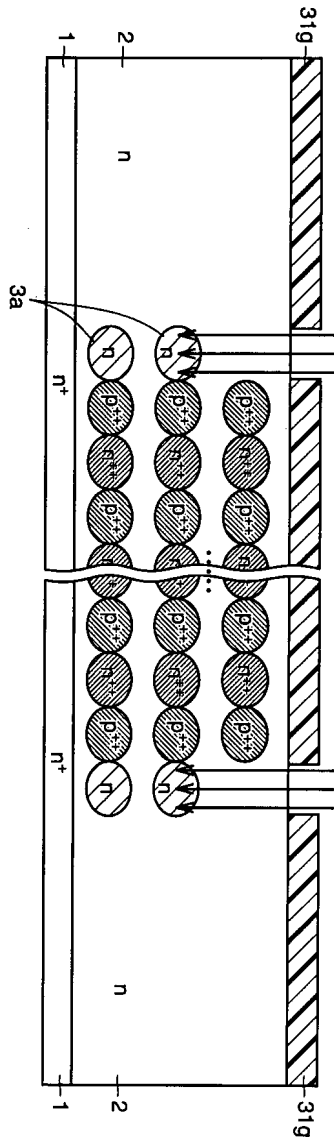
도면35



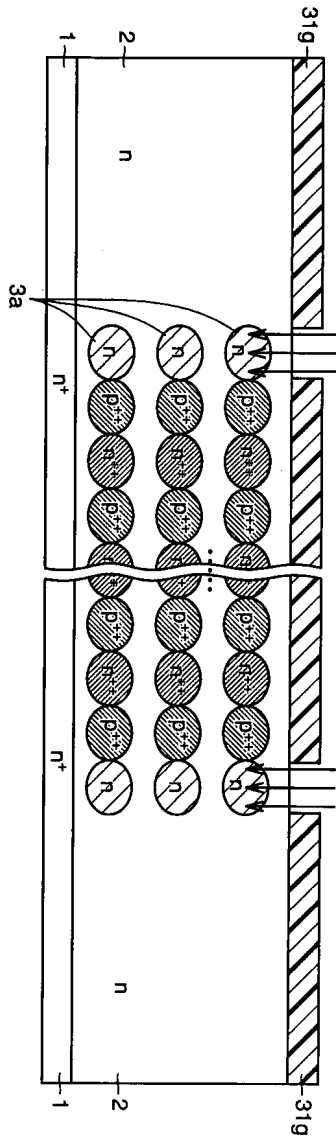
도면36



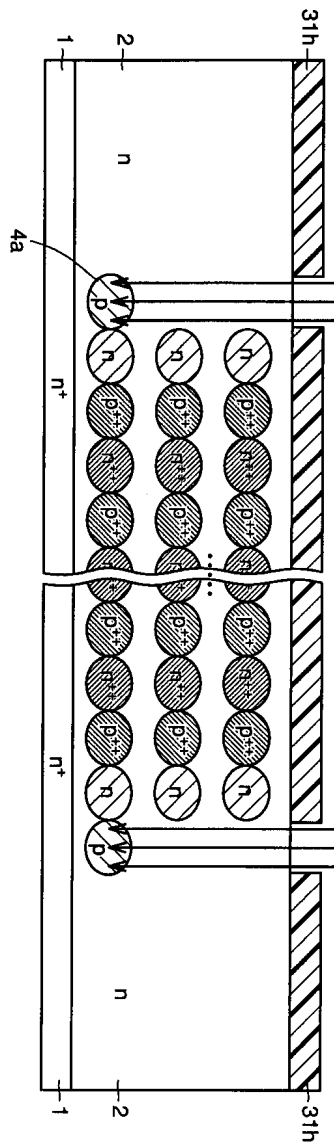
도면37



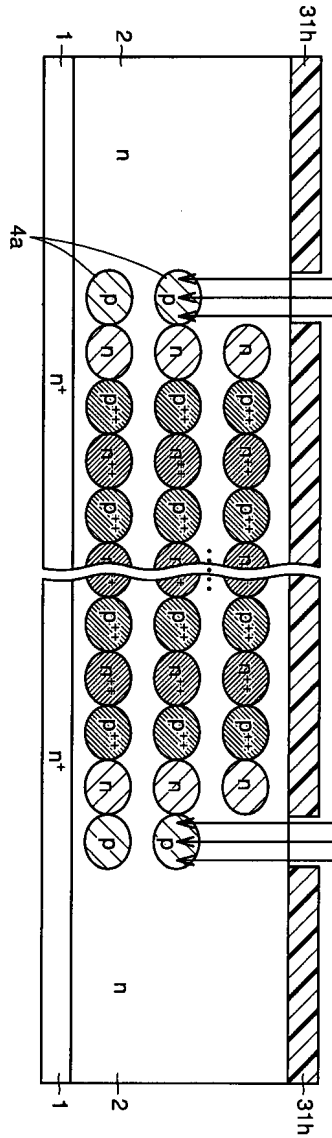
도면38



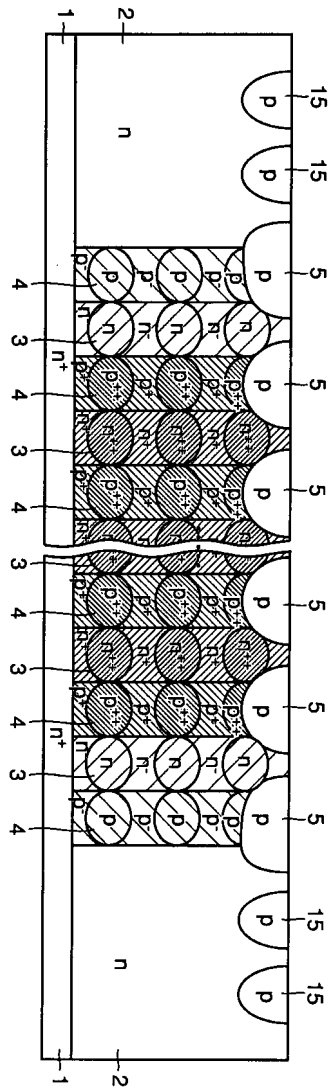
도면39



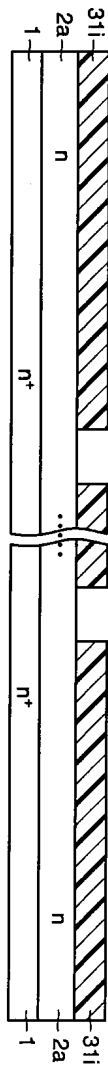
도면40



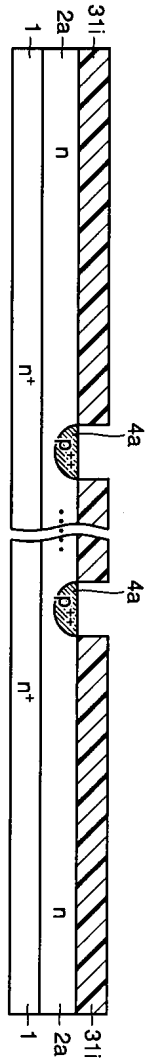
도면42



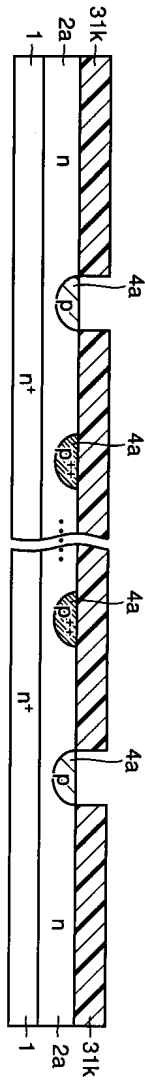
도면43



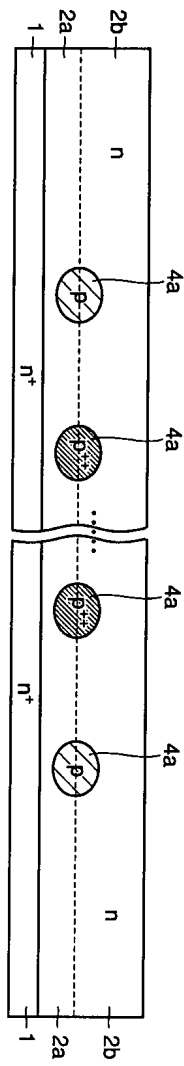
도면44



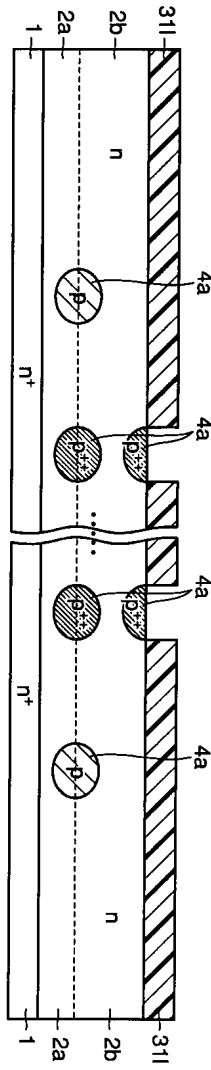
도면45



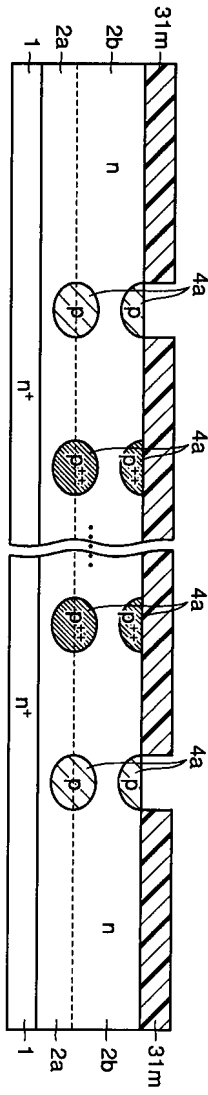
도면46



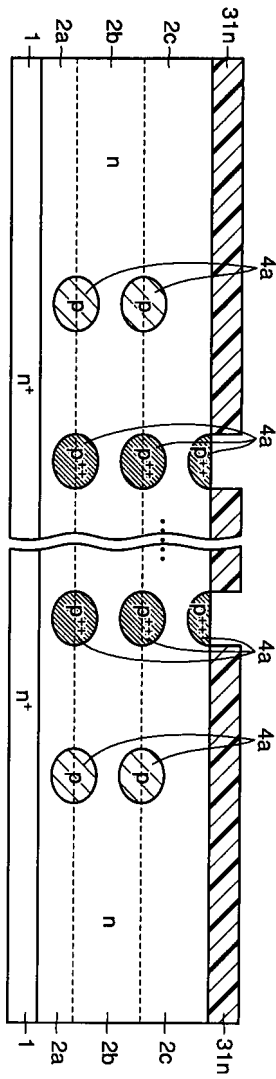
도면47



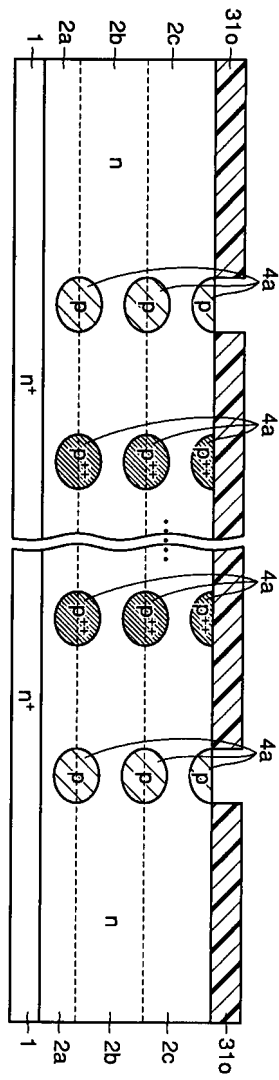
도면48



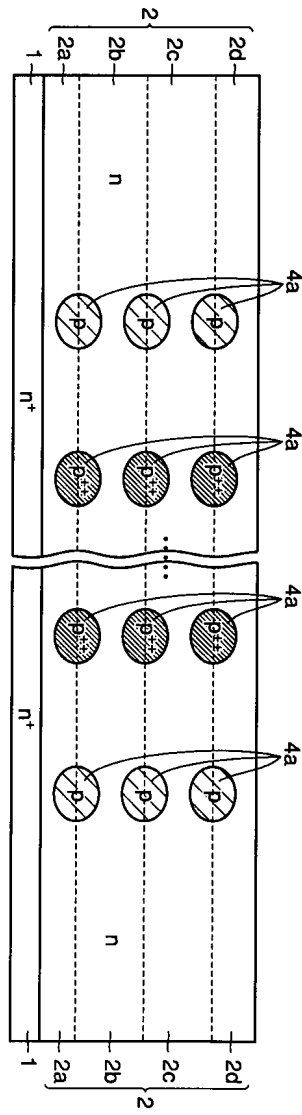
도면49



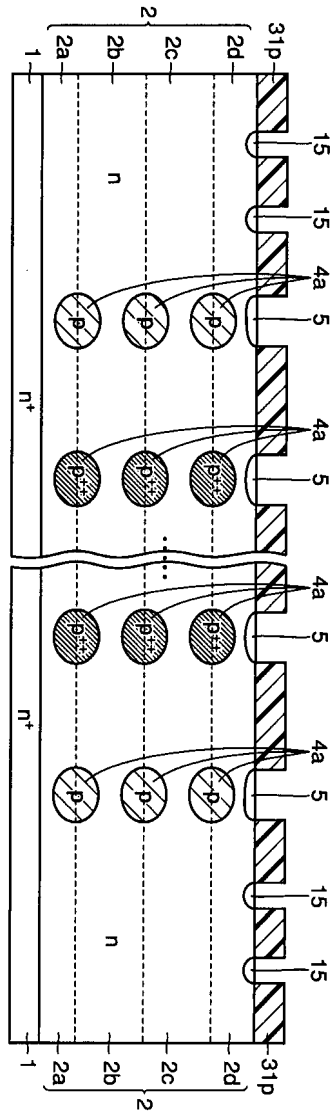
도면50



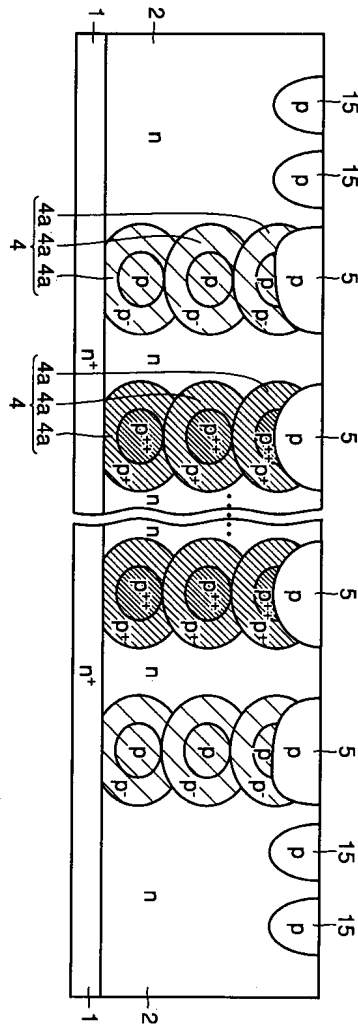
도면51



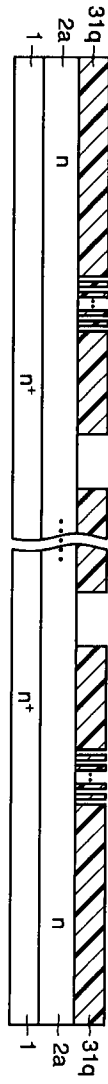
도면52



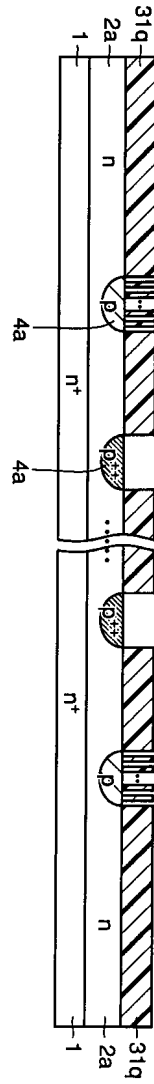
도면53



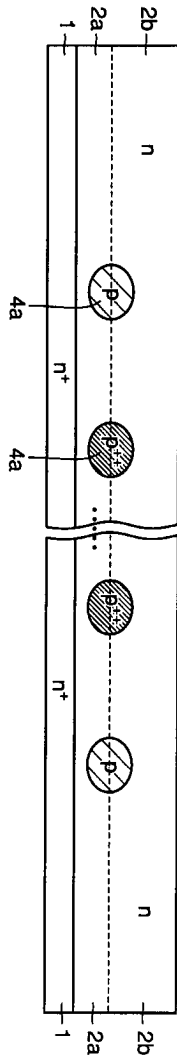
도면54



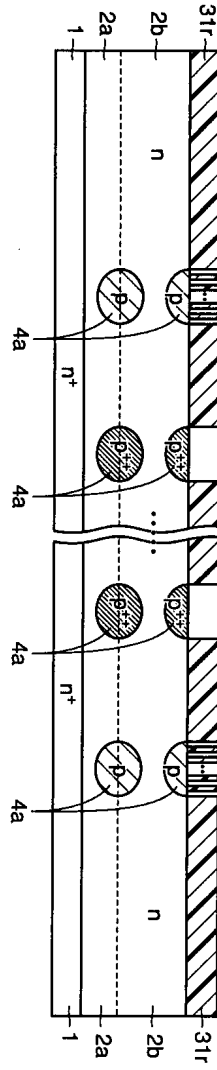
도면55



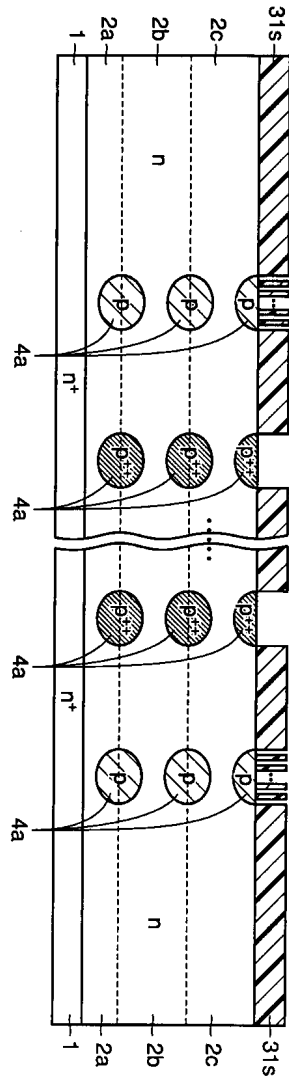
도면56



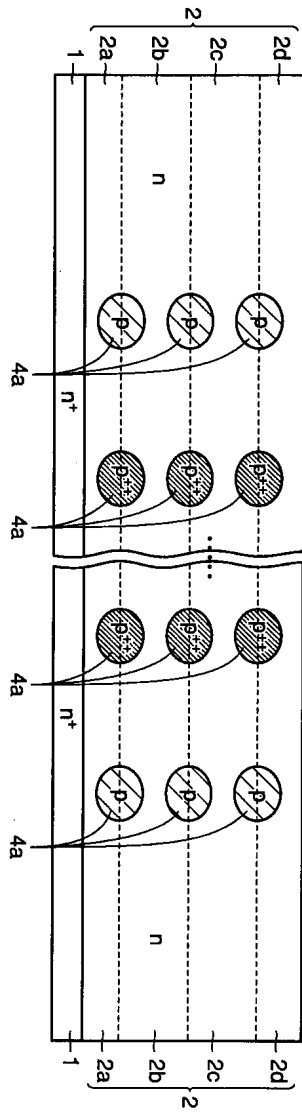
도면57



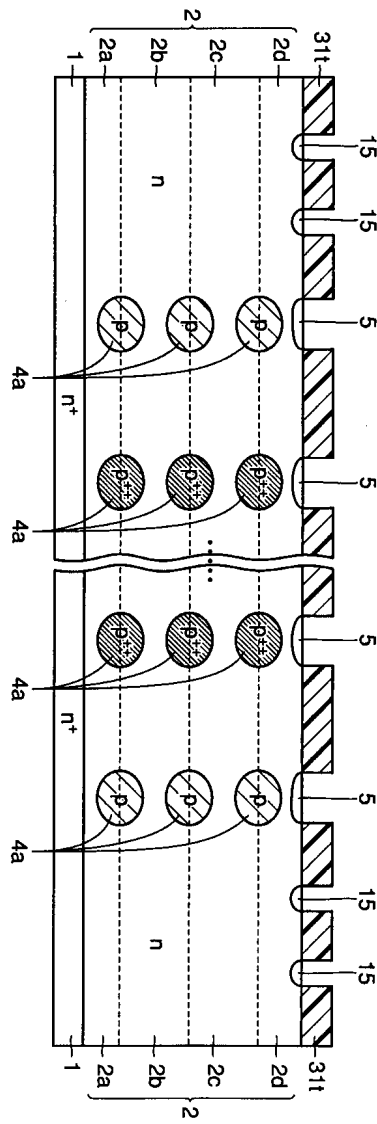
도면58



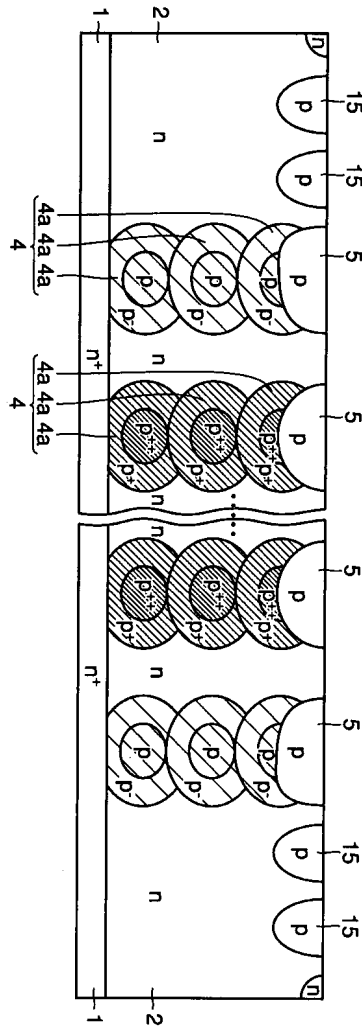
도면59



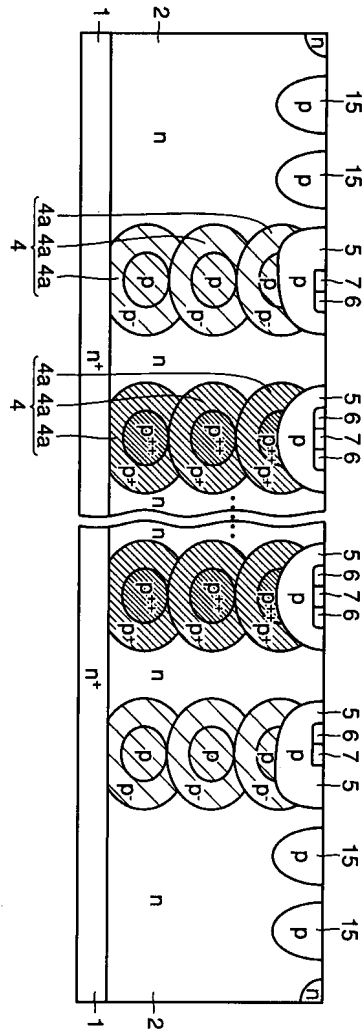
도면60



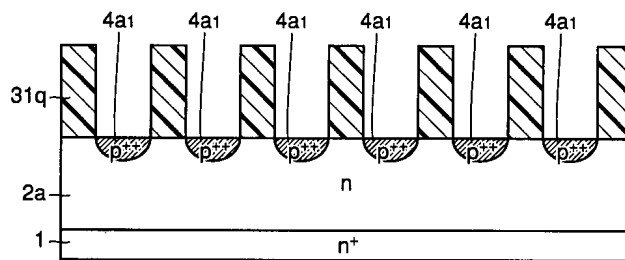
도면61



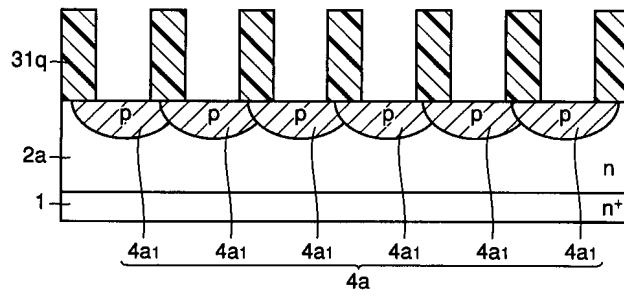
도면62



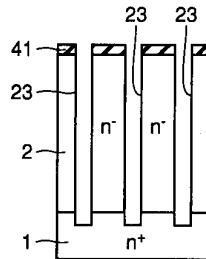
도면63



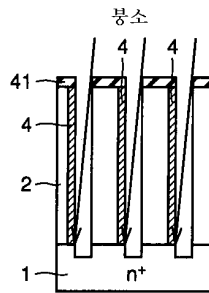
도면64



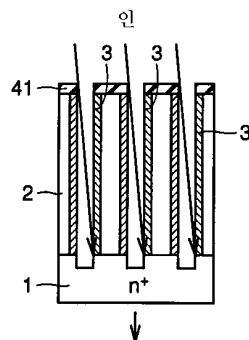
도면65



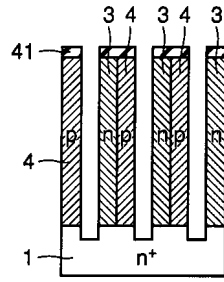
도면66



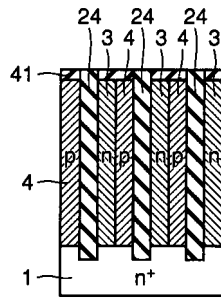
도면67



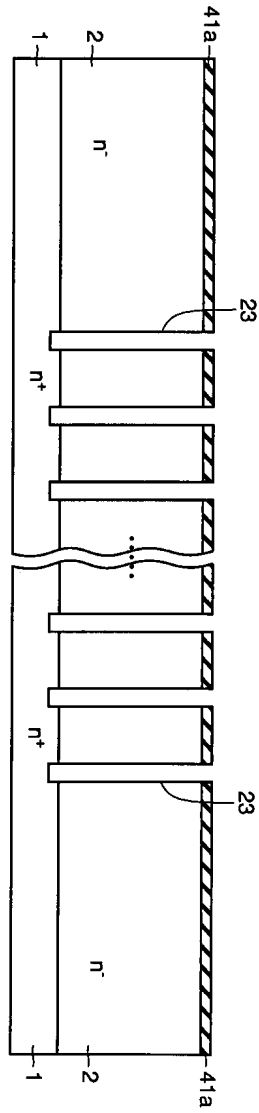
도면68



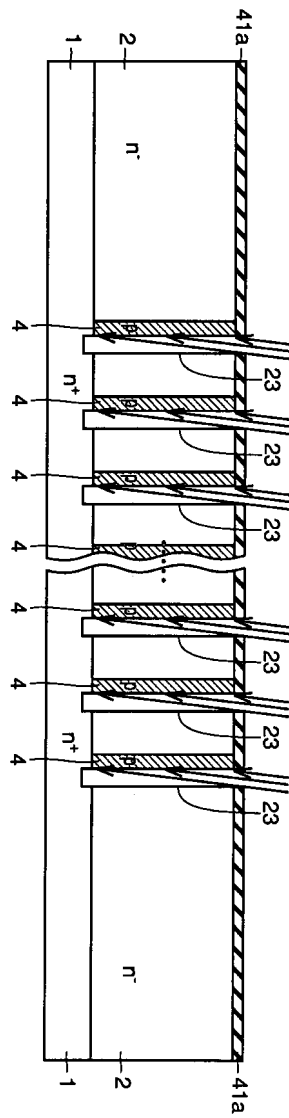
도면69



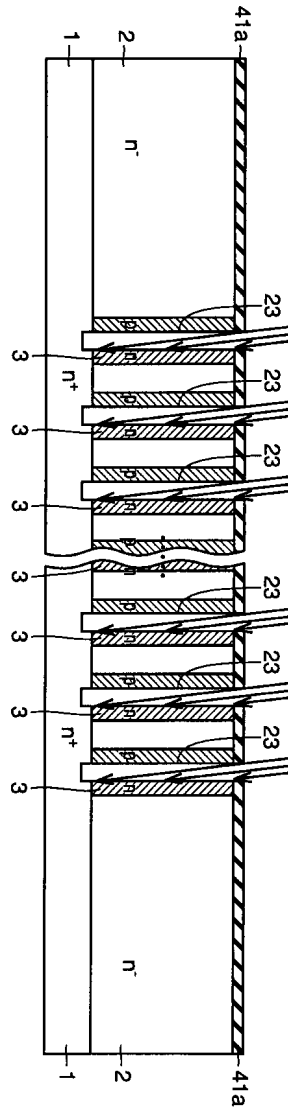
도면70



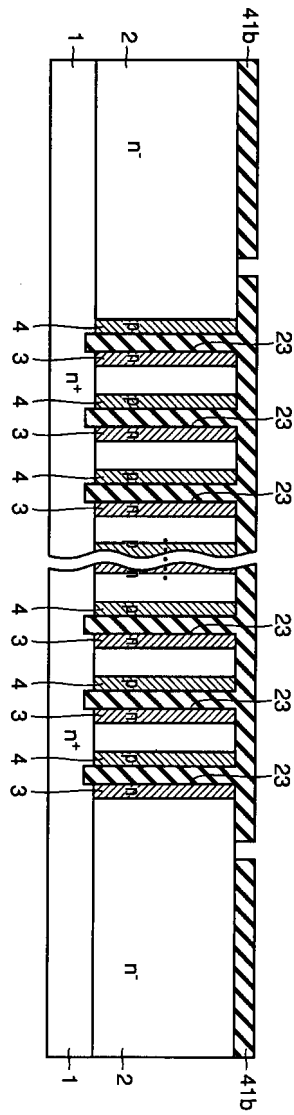
도면71



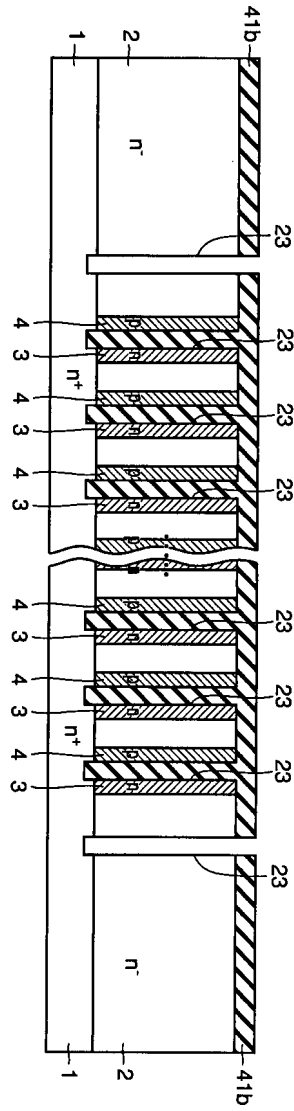
도면72



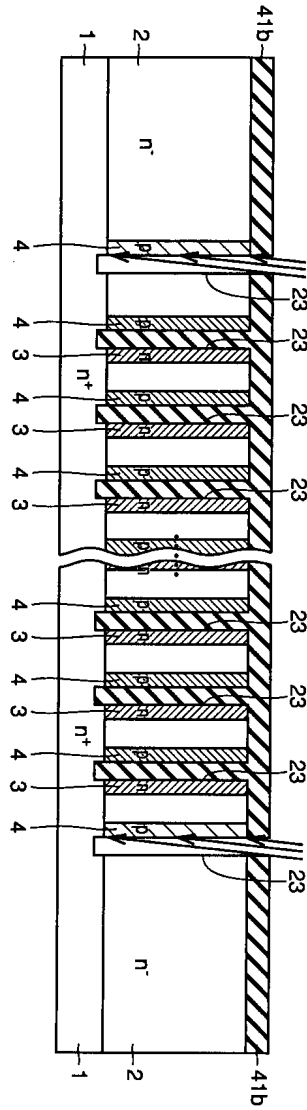
도면73



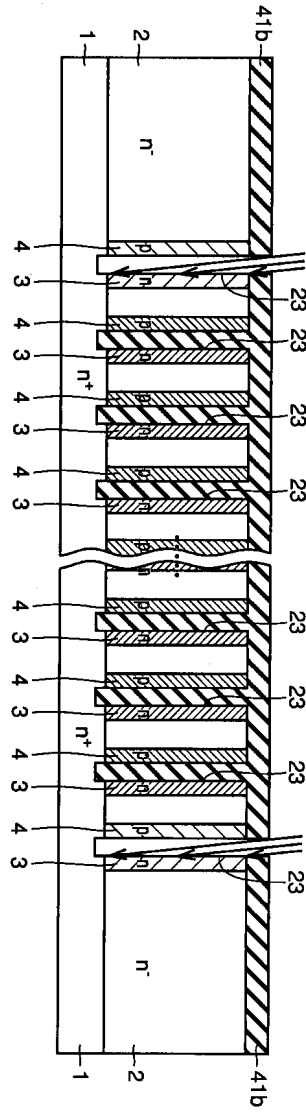
도면74



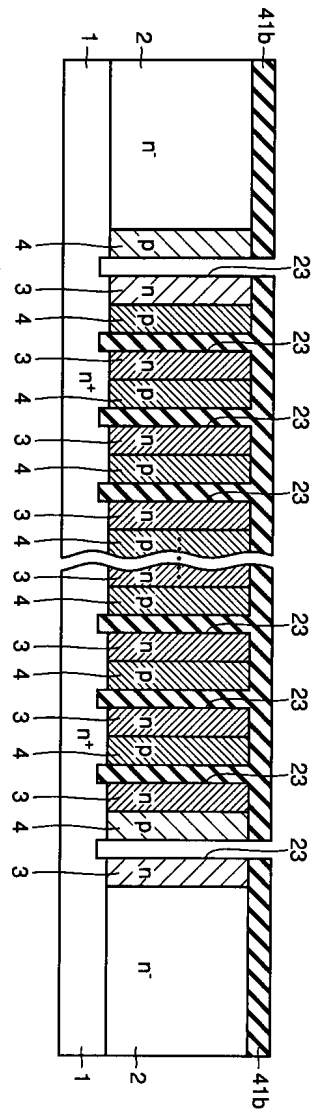
도면75



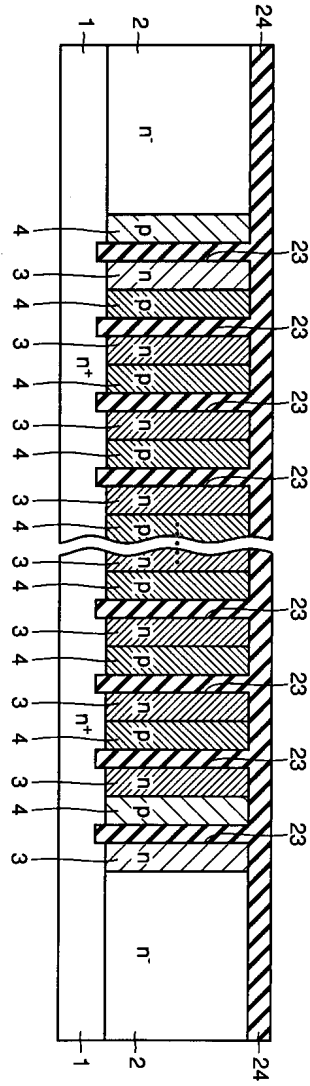
도면76



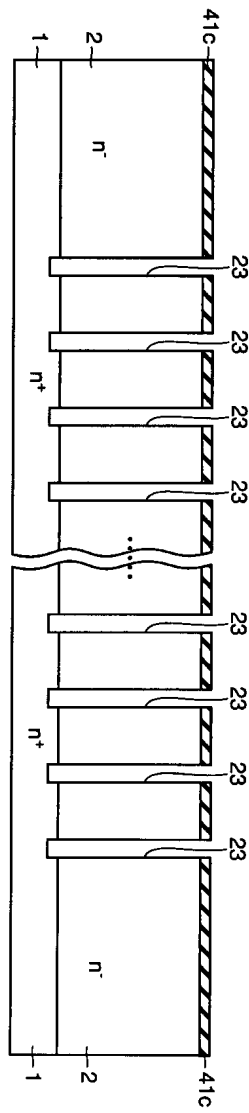
도면77



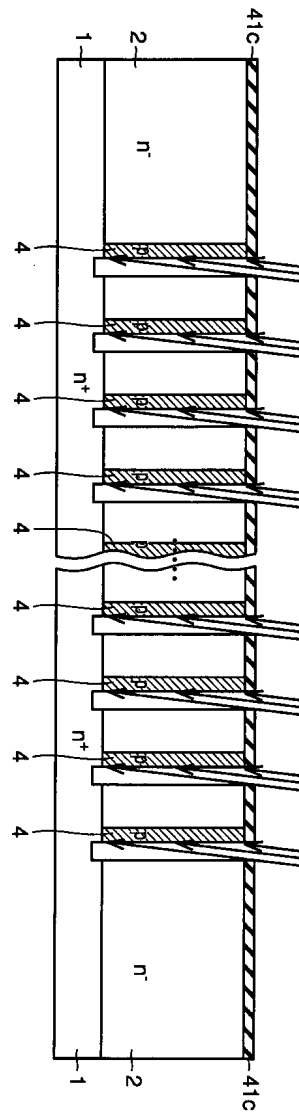
도면78



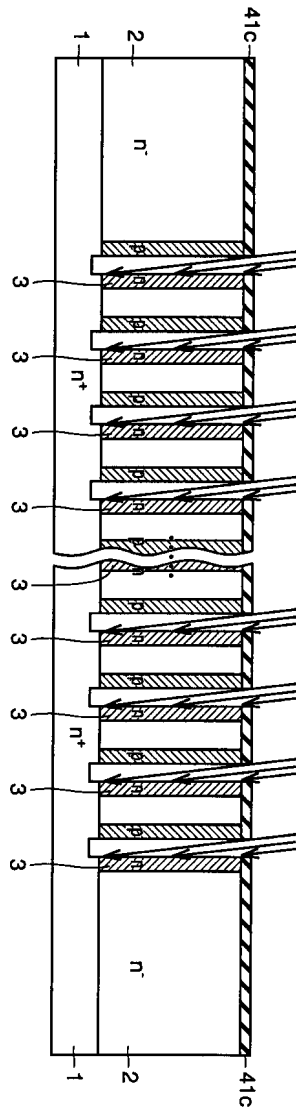
도면79



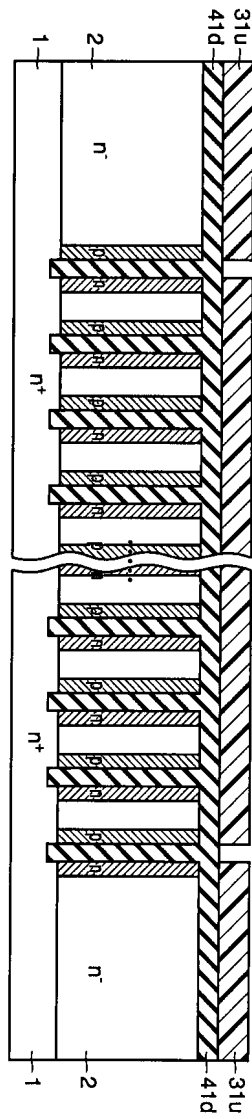
도면80



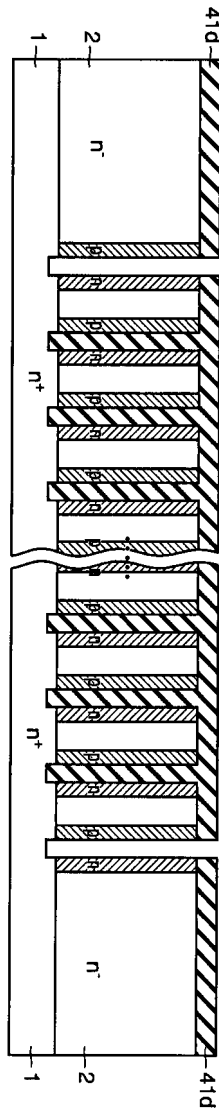
도면81



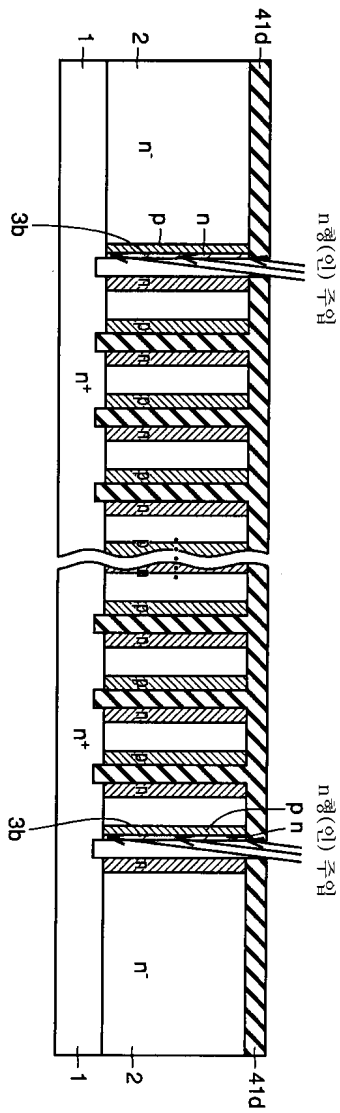
도면82



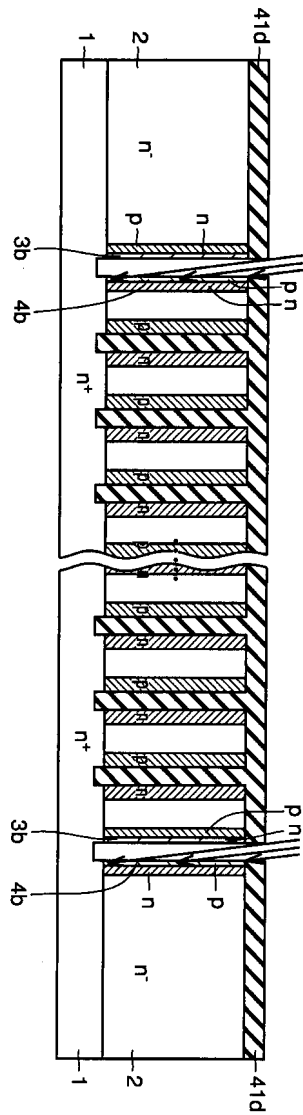
도면83



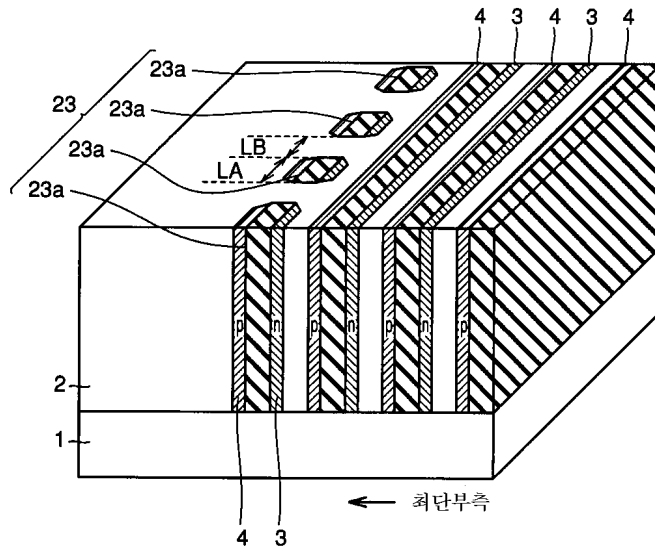
도면84



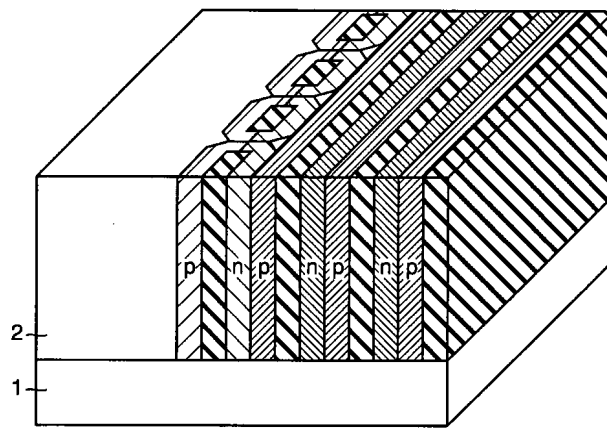
도면85



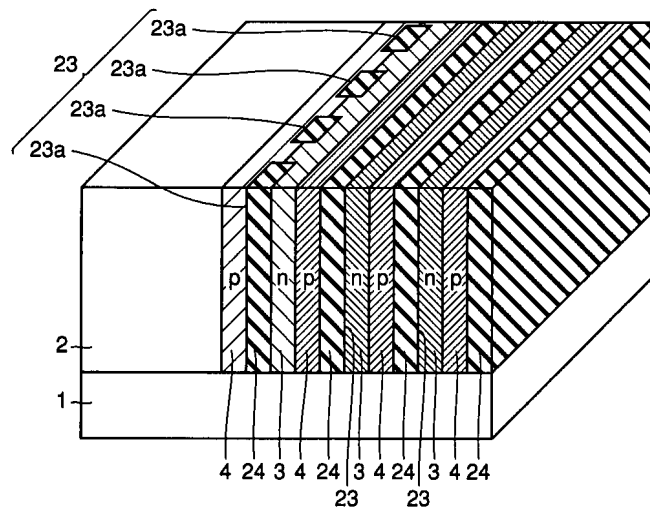
도면89



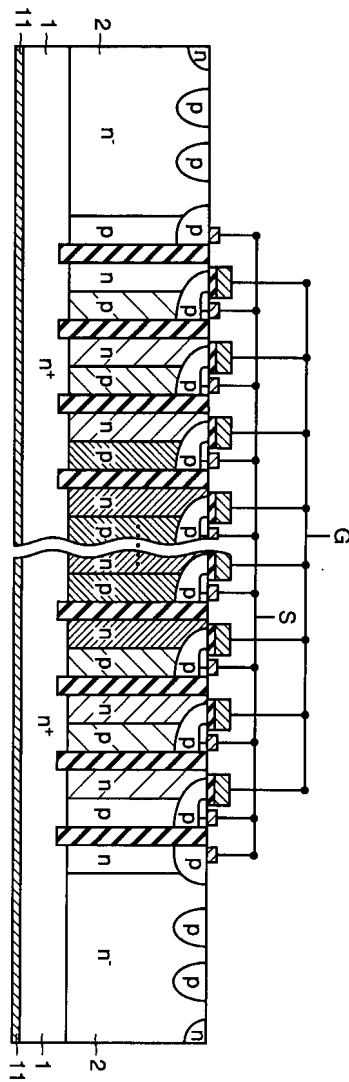
도면90



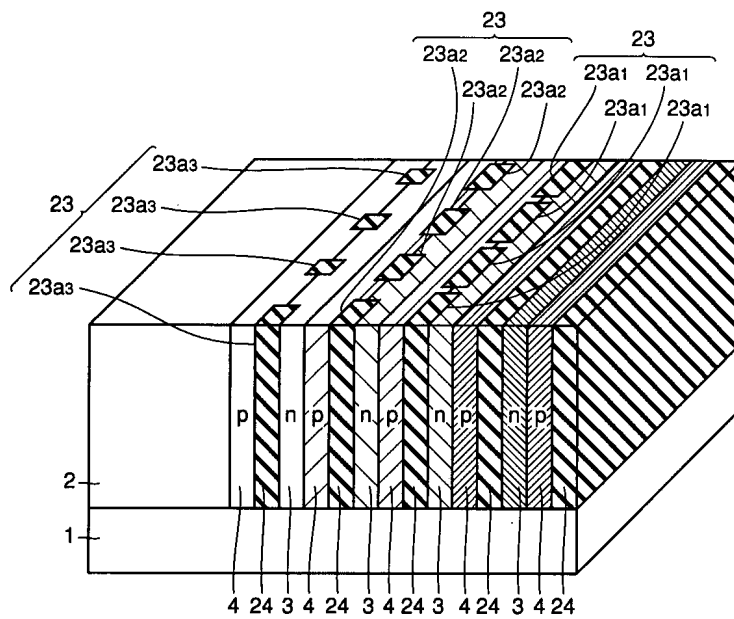
도면91



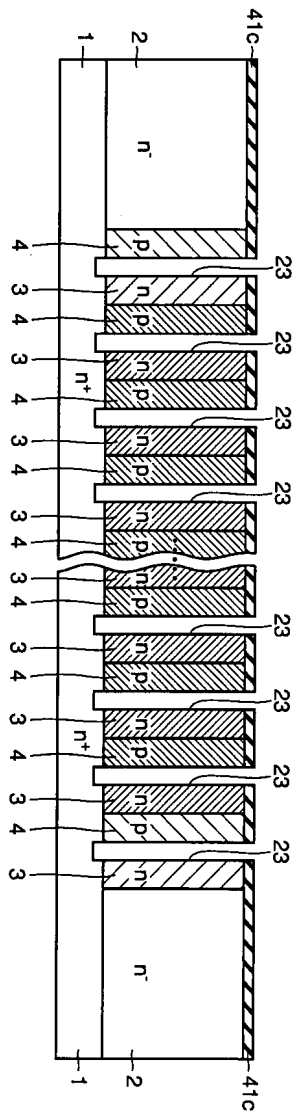
도면92



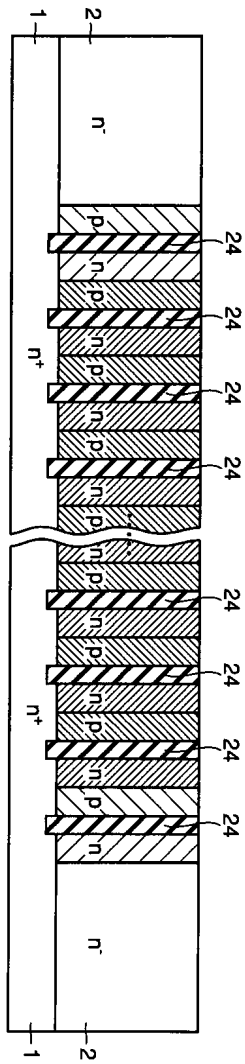
도면93



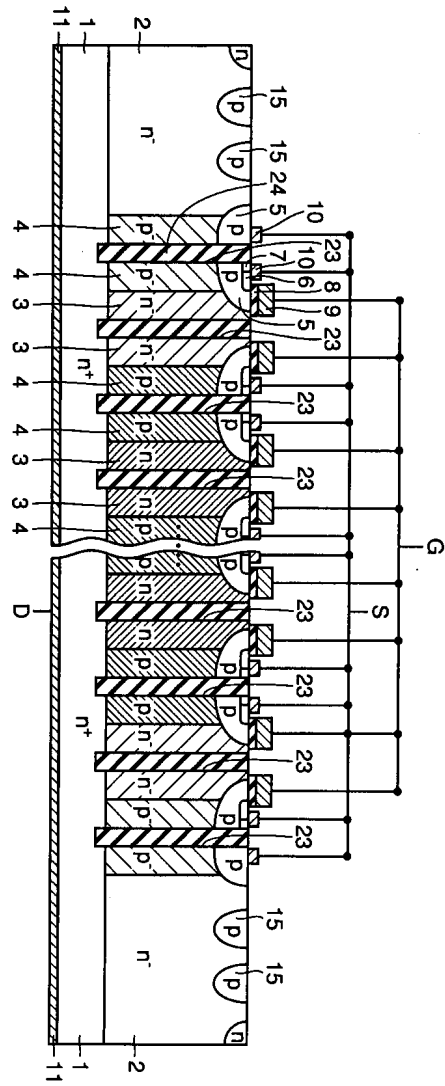
도면94



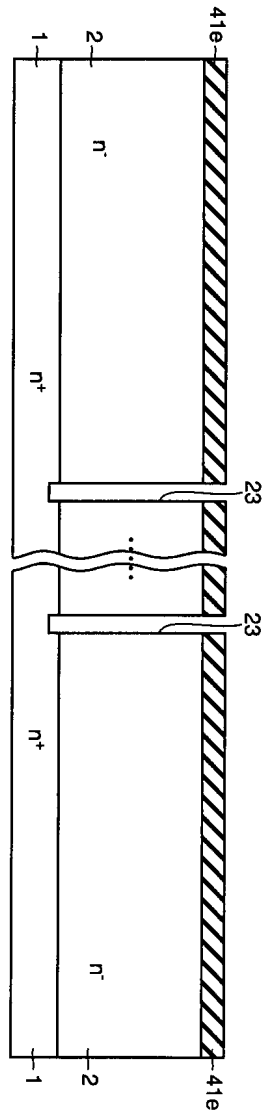
도면95



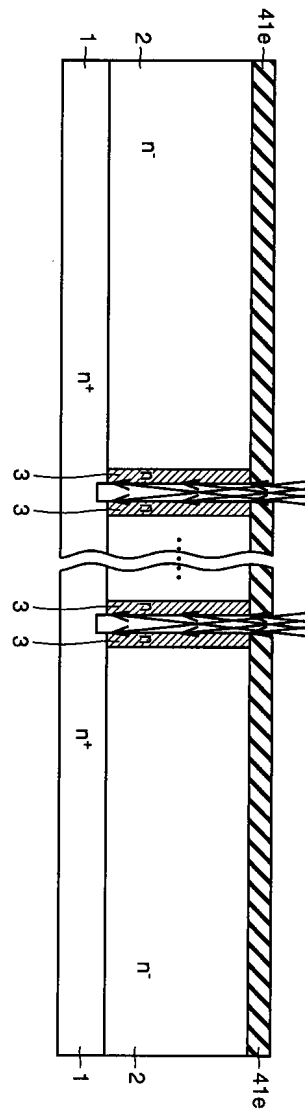
도면96



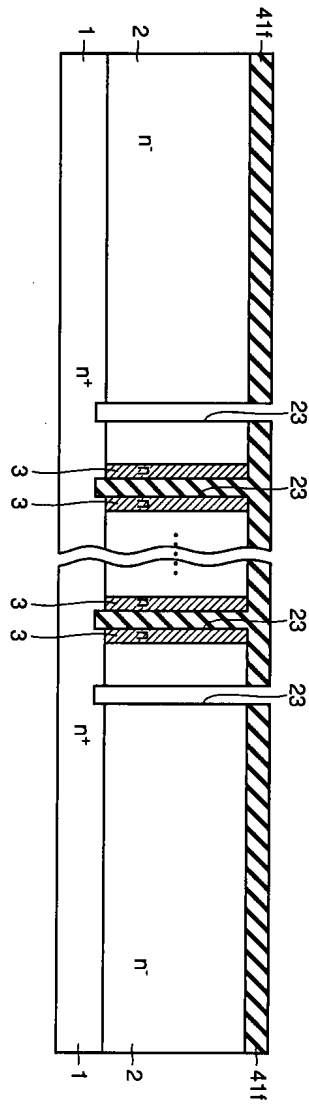
도면97



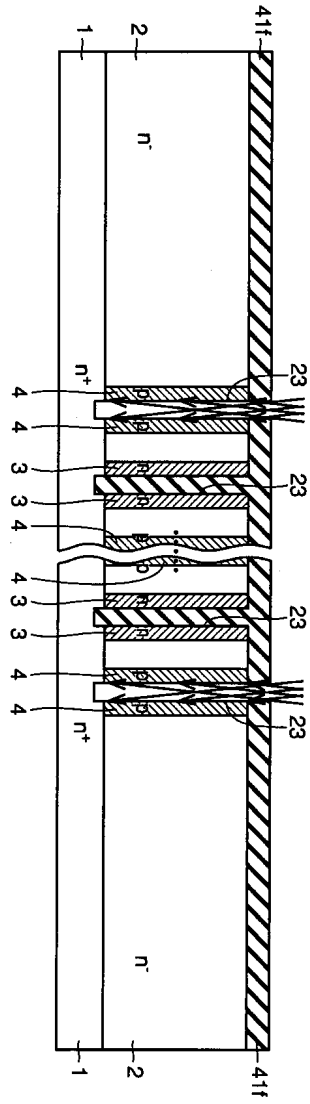
도면98



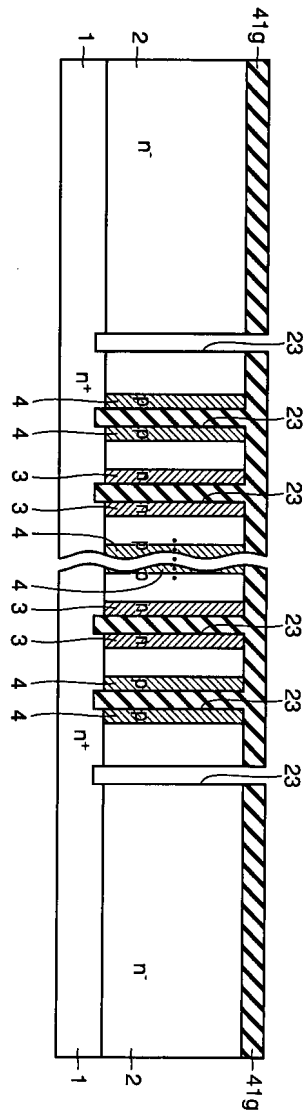
도면99



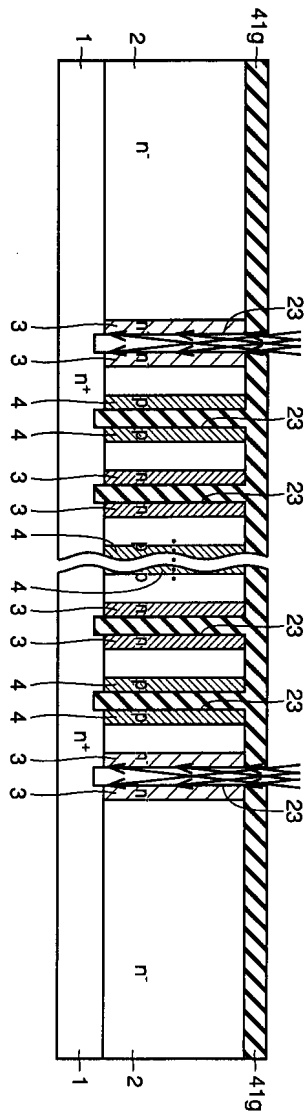
도면100



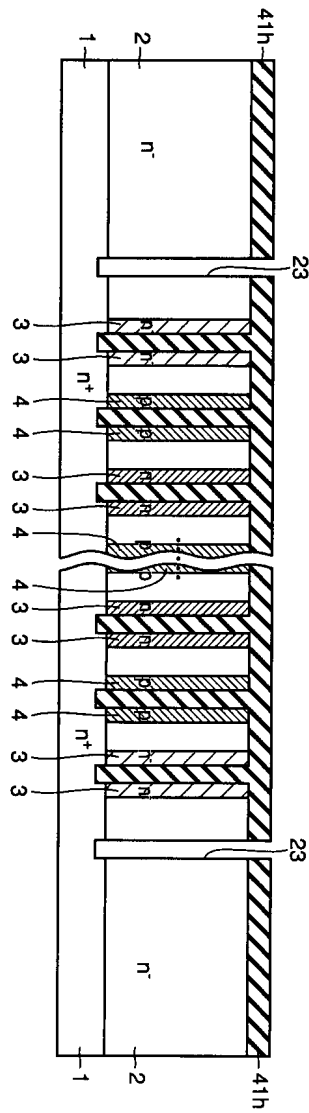
도면101



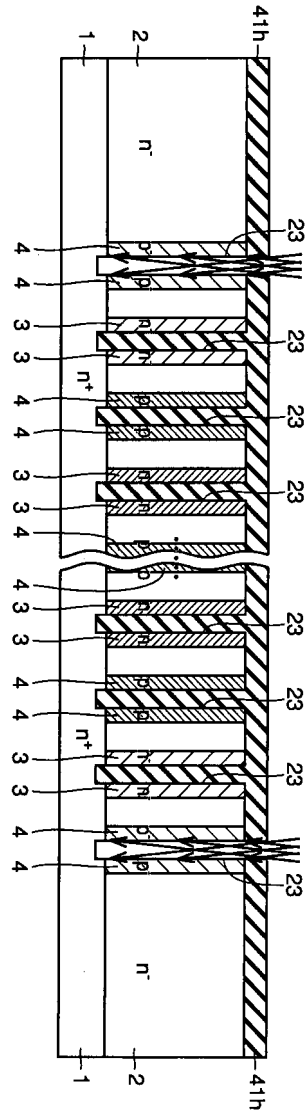
도면102



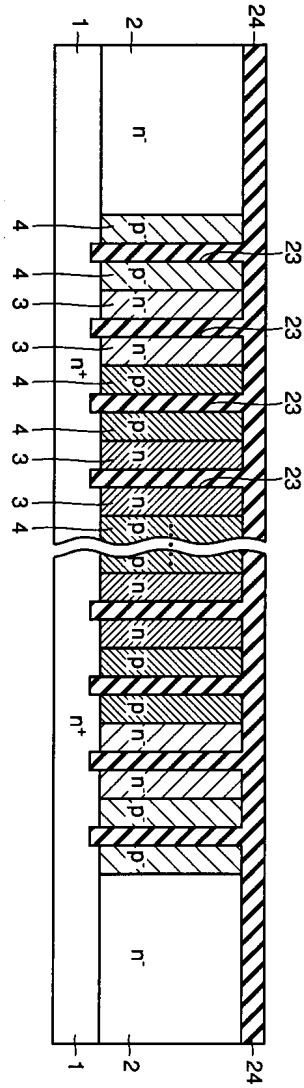
도면103



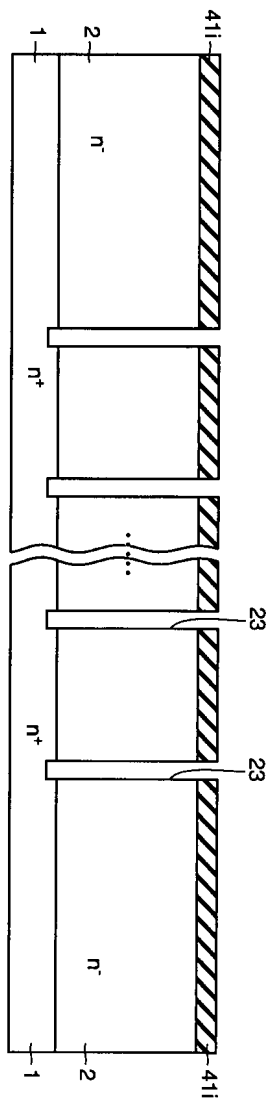
도면104



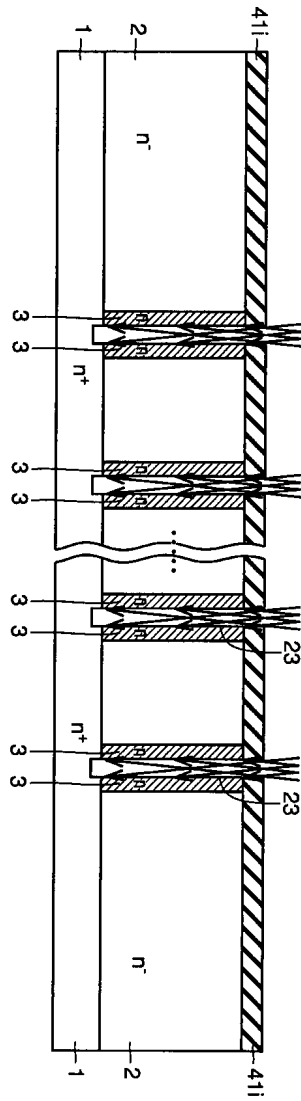
도면105



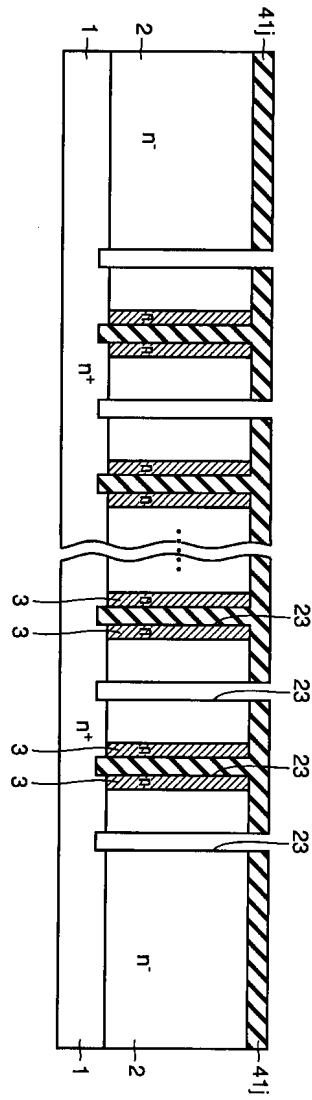
도면106



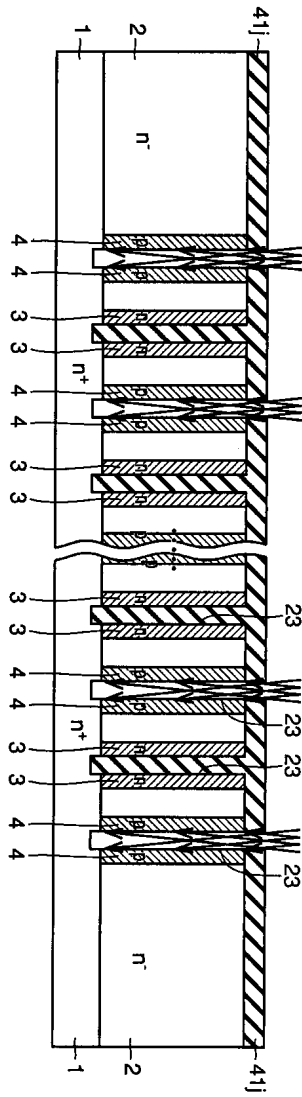
도면107



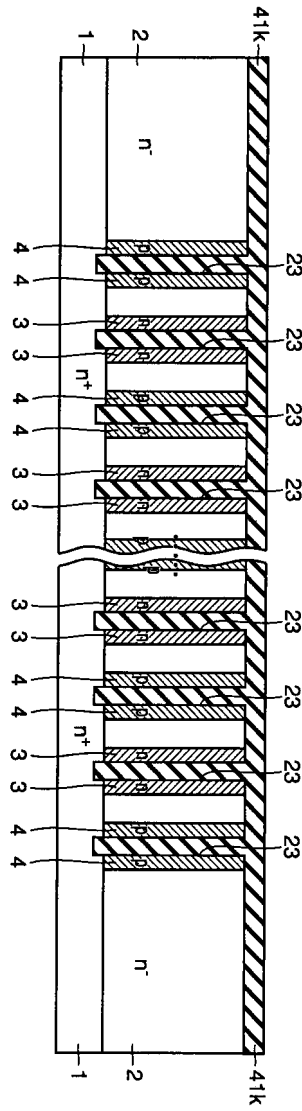
도면108



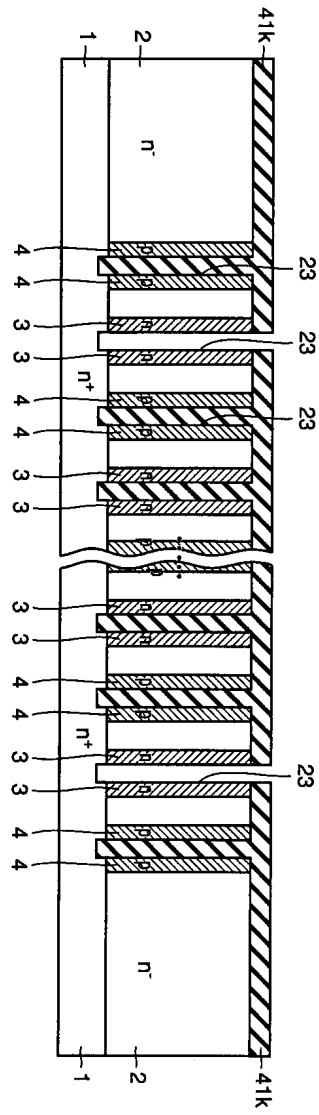
도면109



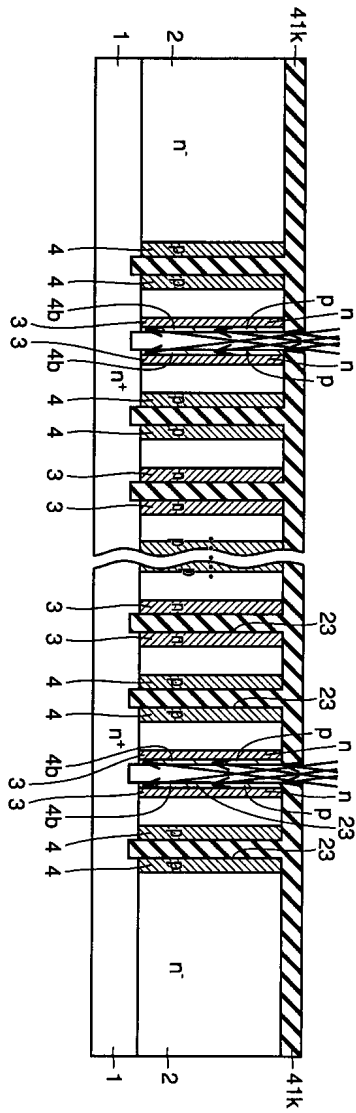
도면110



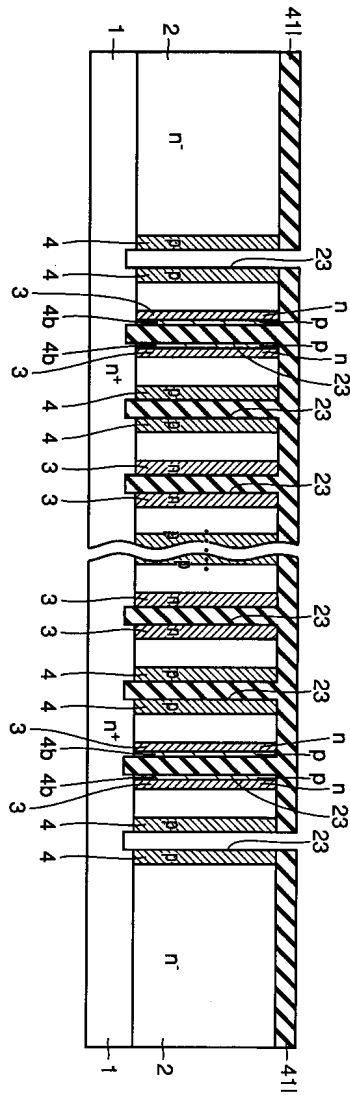
도면111



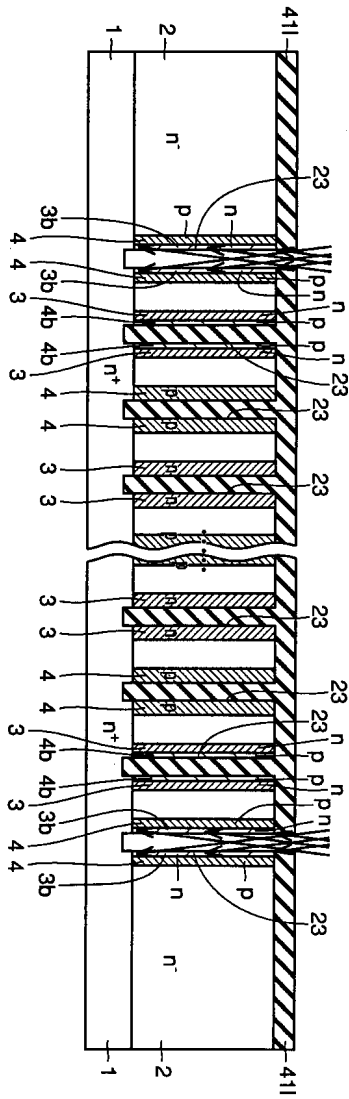
도면112



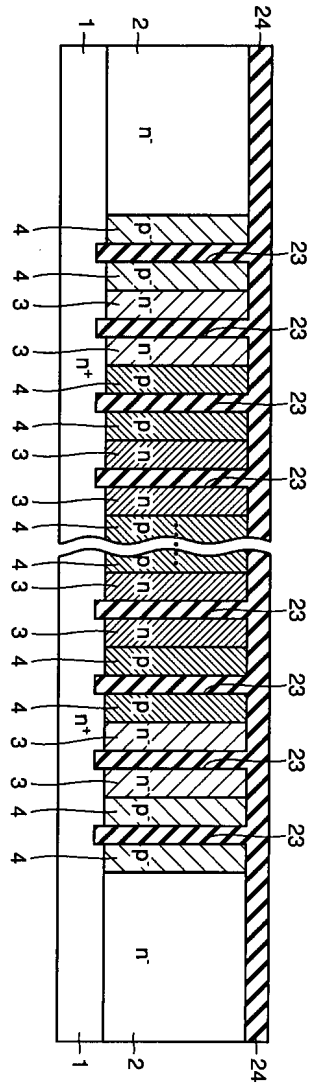
도면113



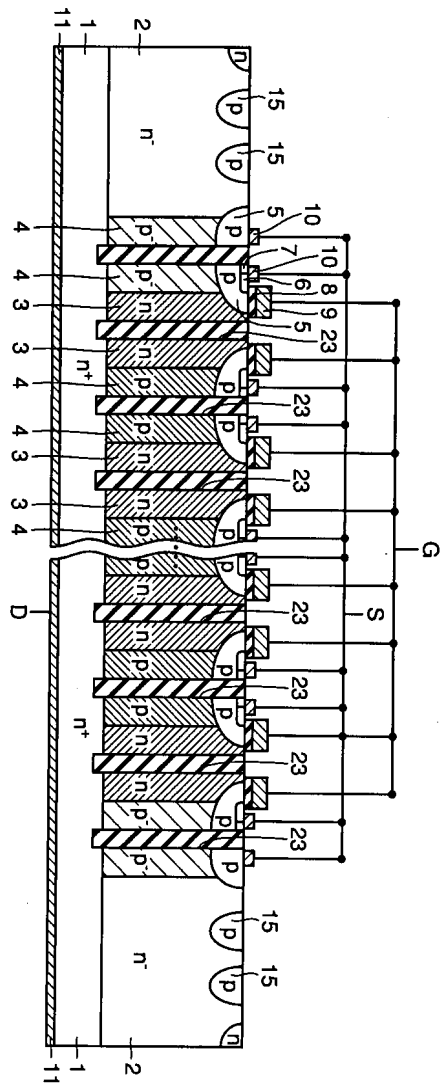
도면114



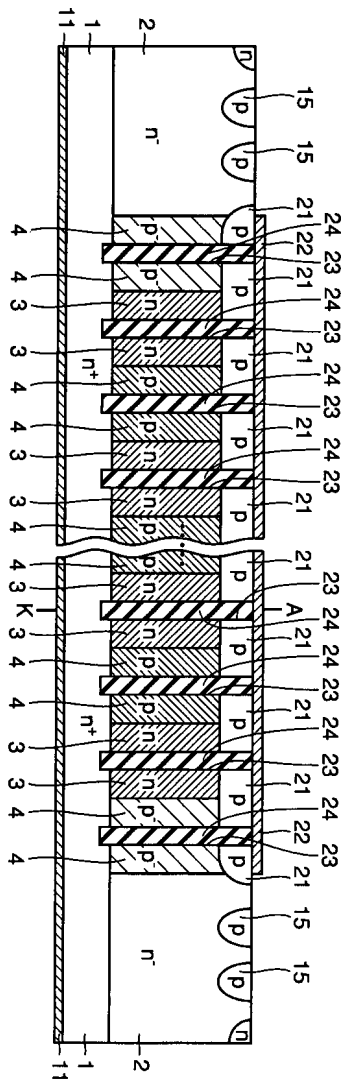
도면115



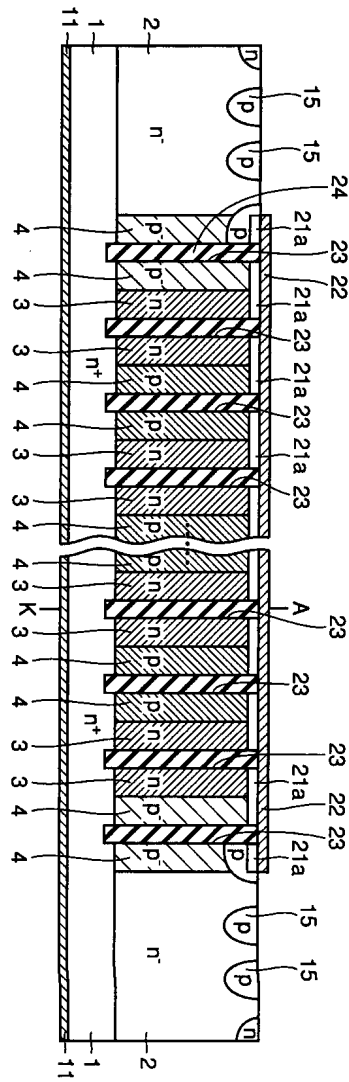
도면116



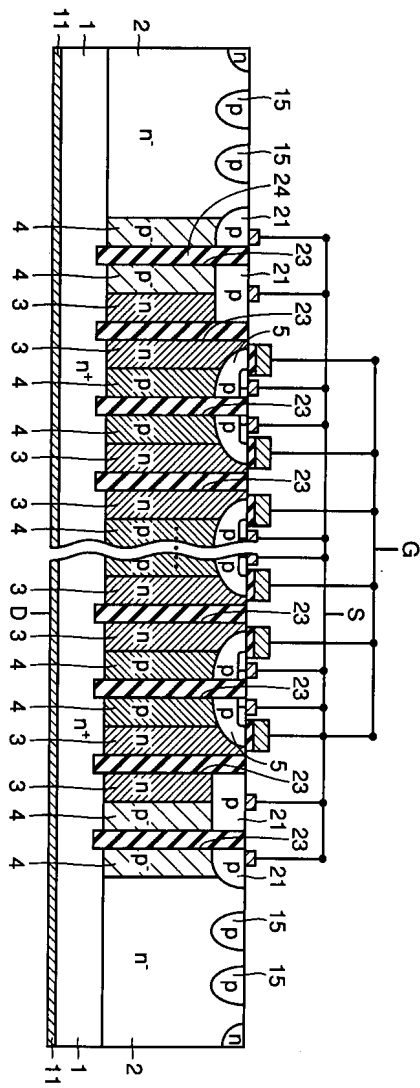
도면117



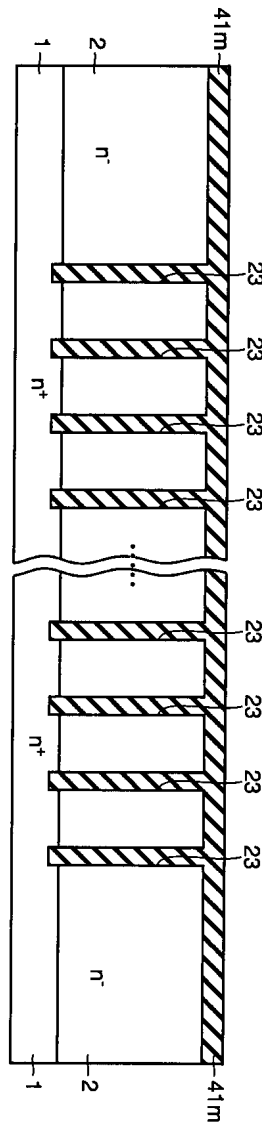
도면118



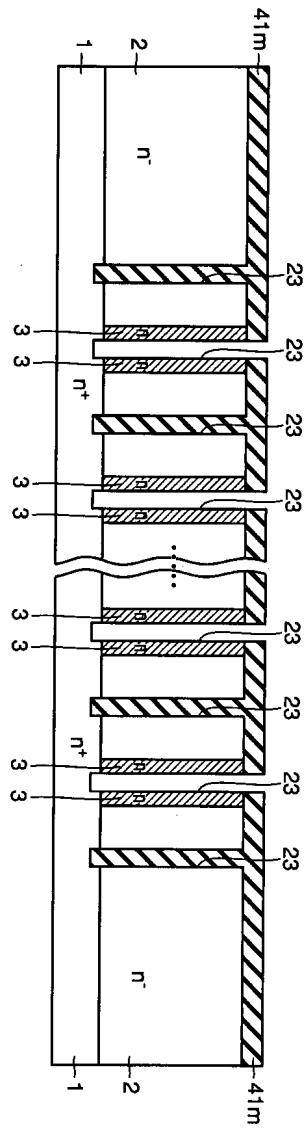
도면119



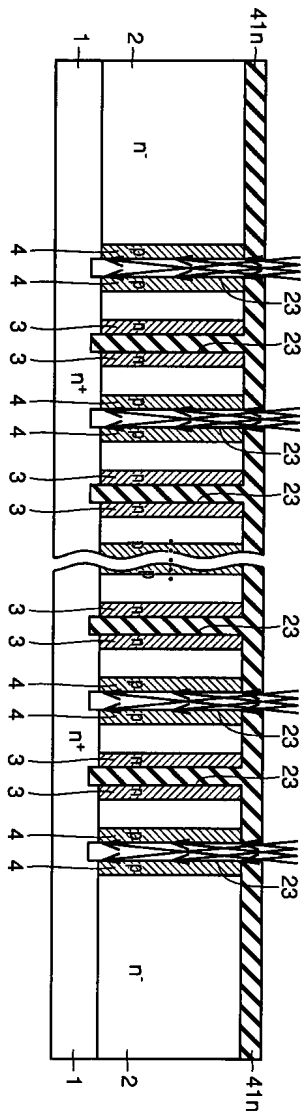
도면120



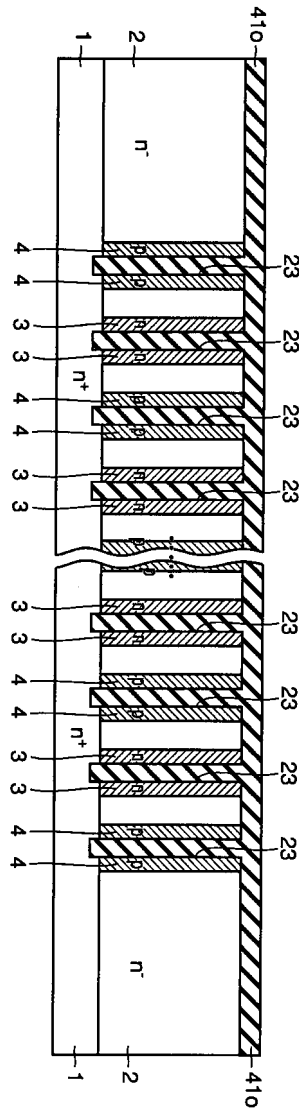
도면121



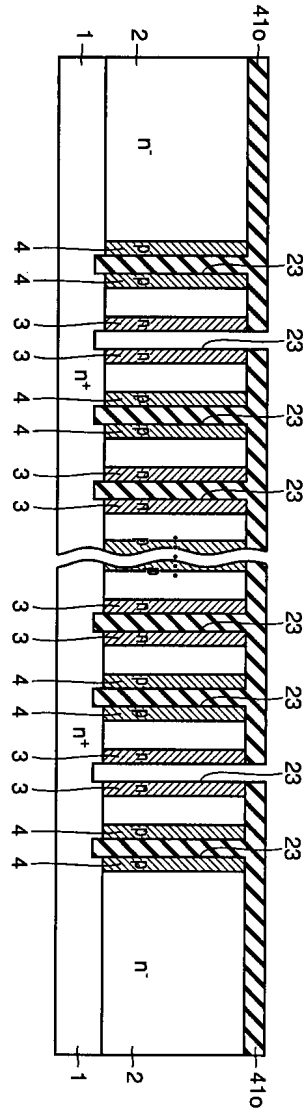
도면122



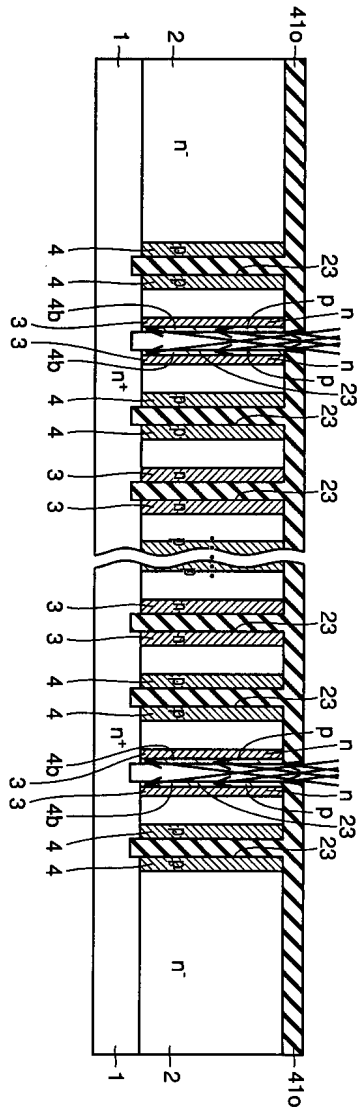
도면123



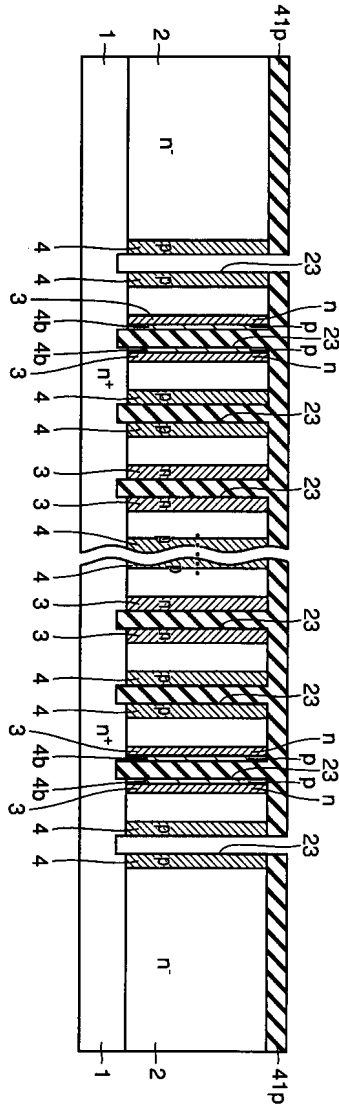
도면124



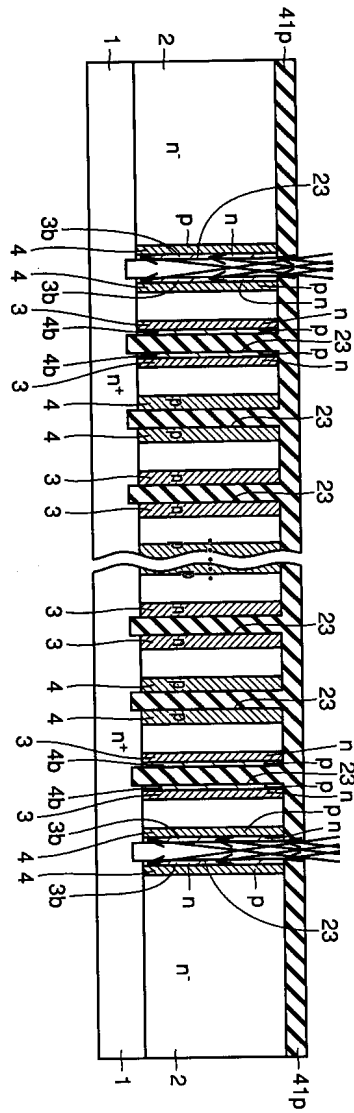
도면125



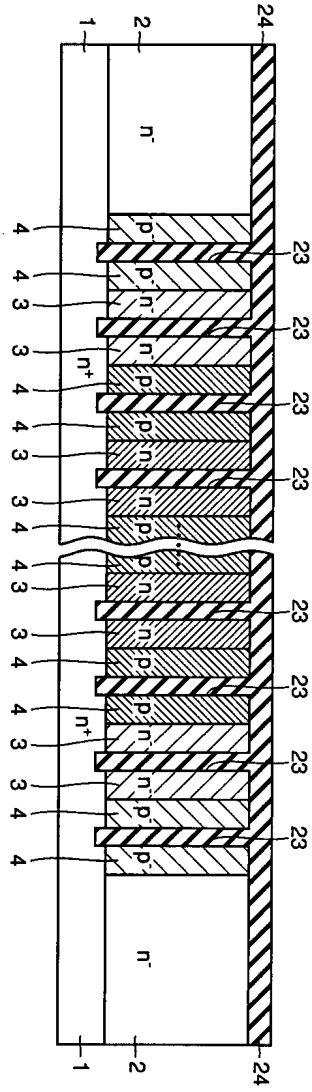
도면126



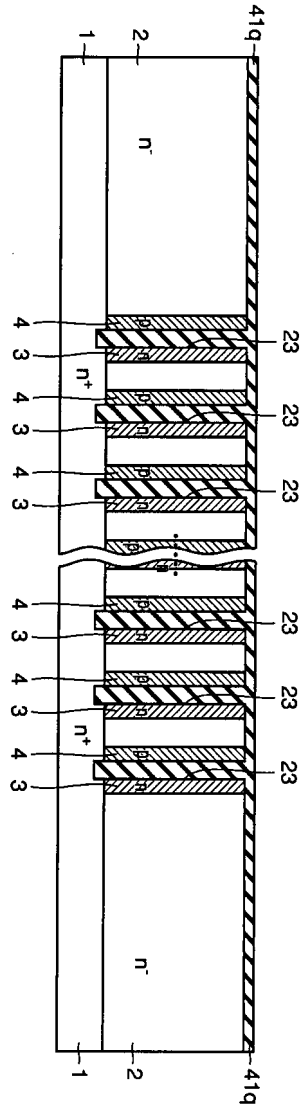
도면127



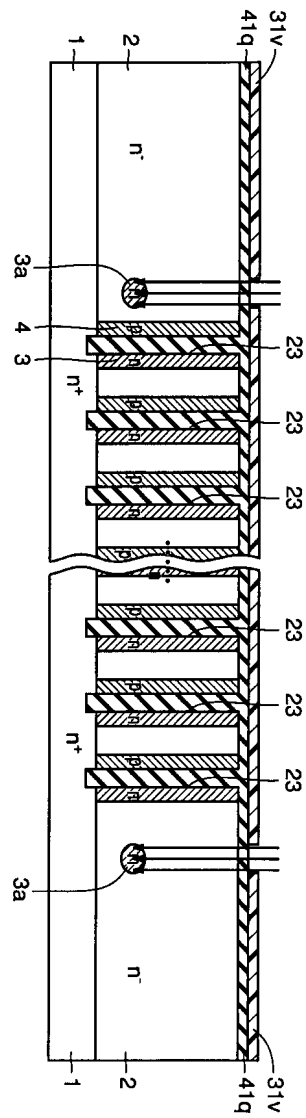
도면128



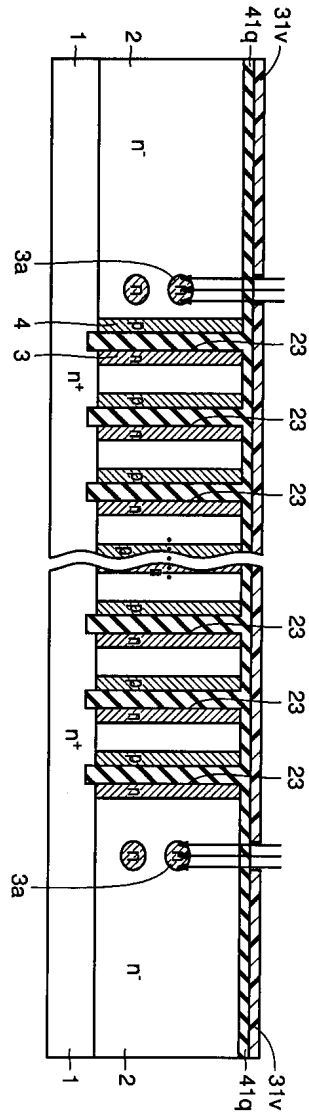
도면129



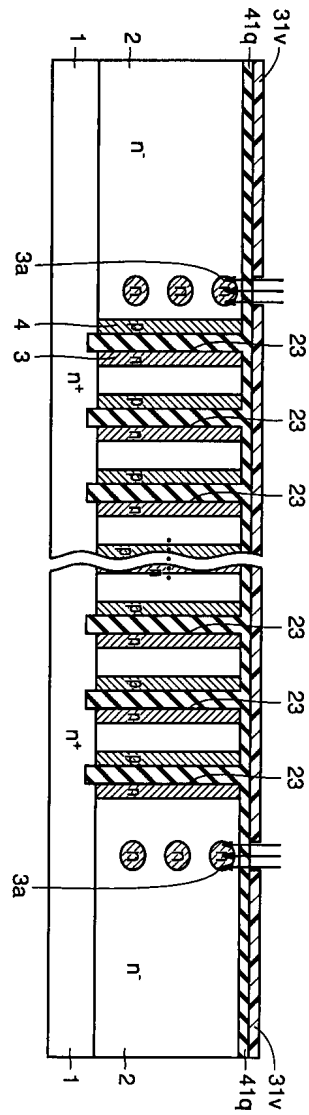
도면130



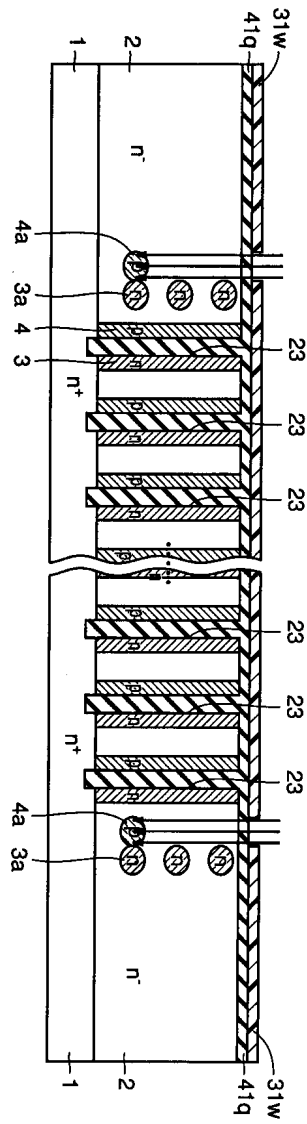
도면131



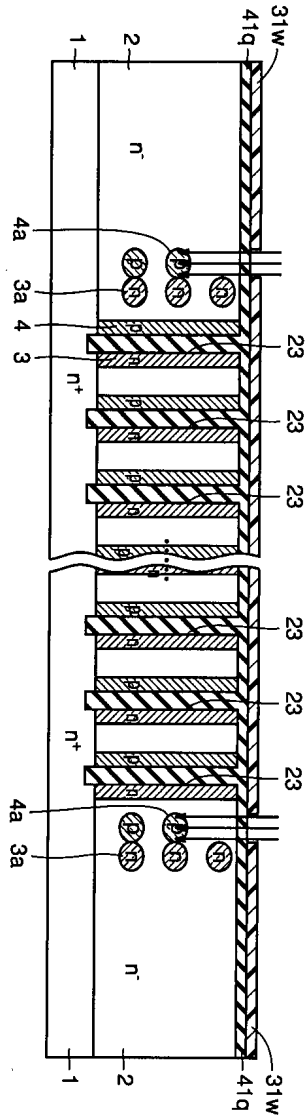
도면132



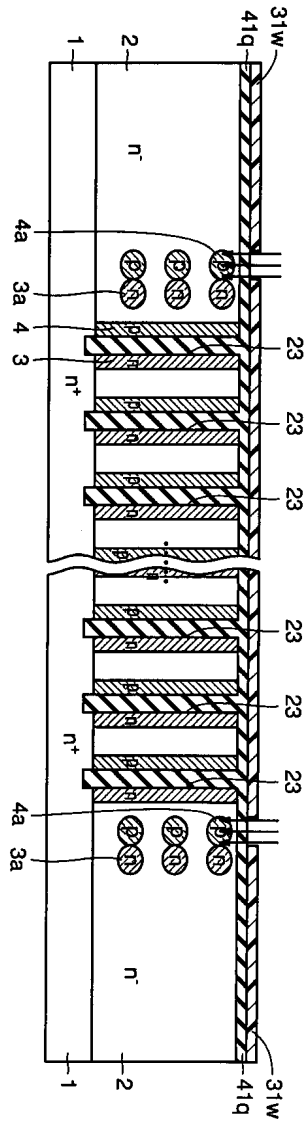
도면133



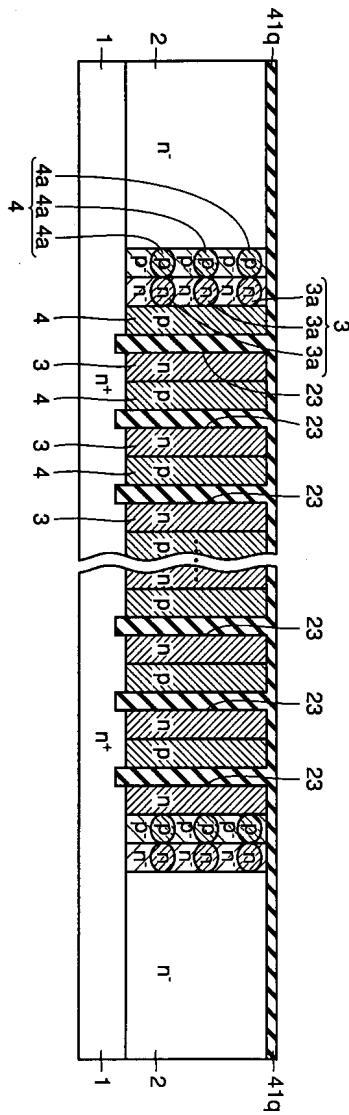
도면134



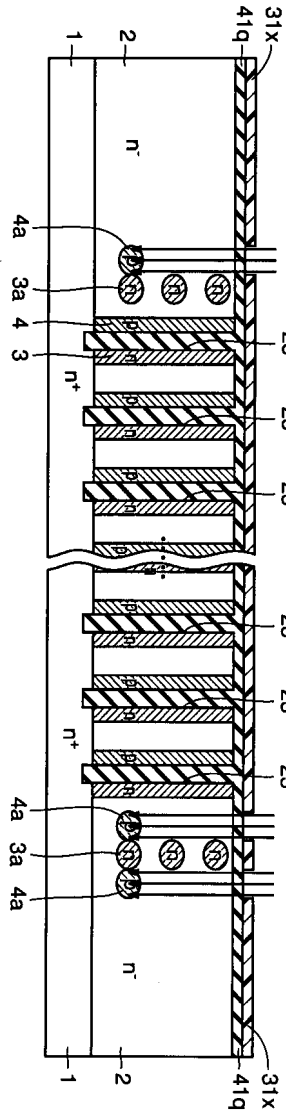
도면135



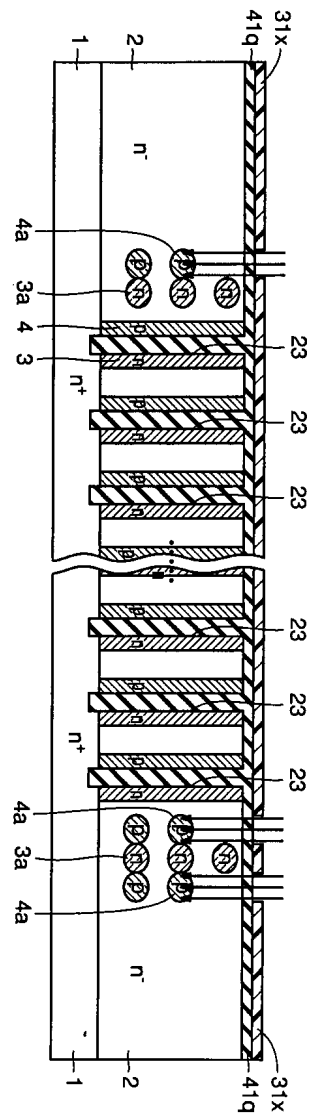
도면136



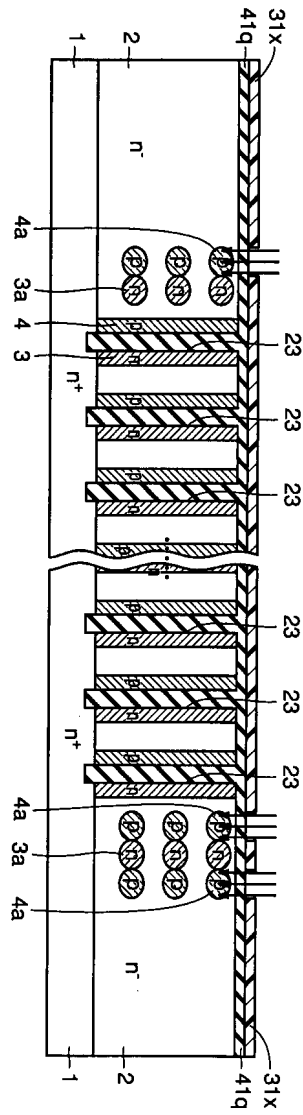
도면137



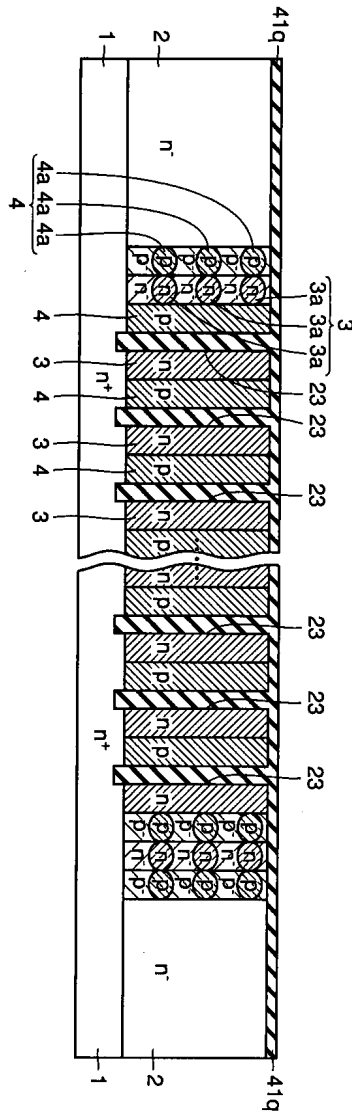
도면138



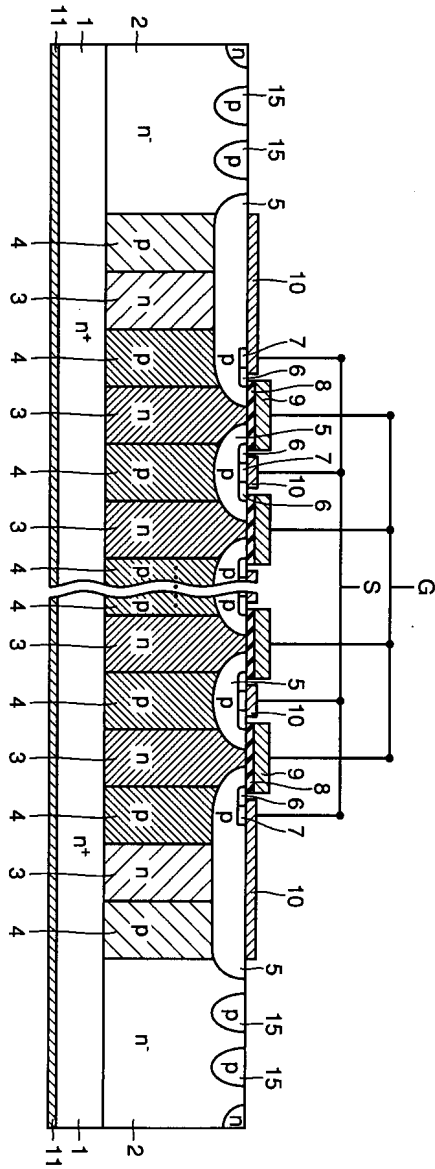
도면139



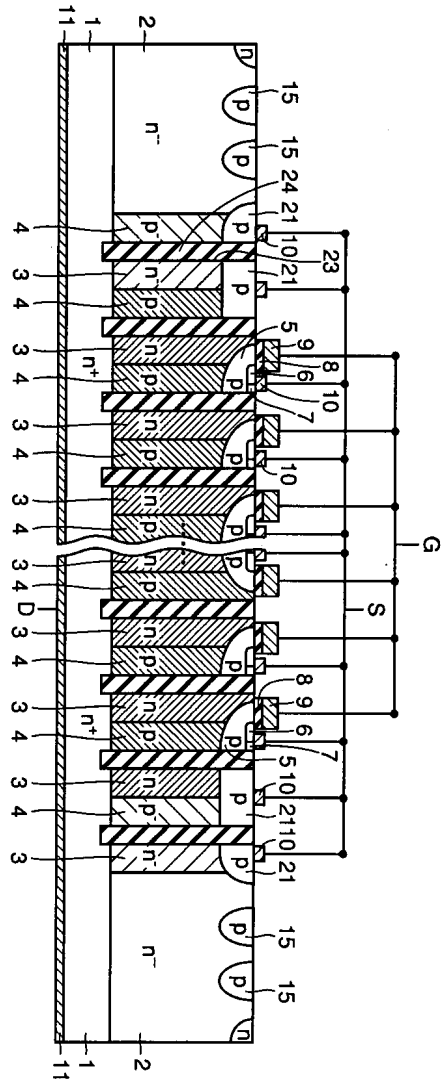
도면140



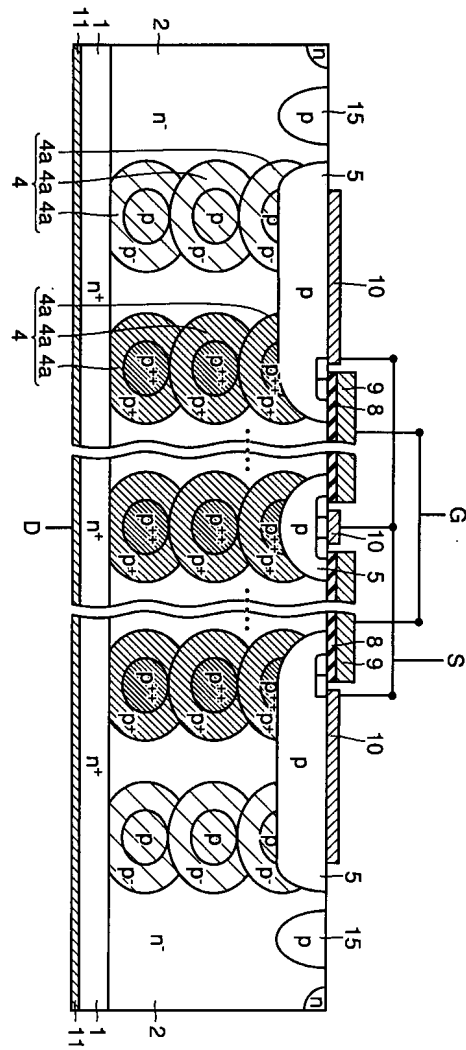
도면141



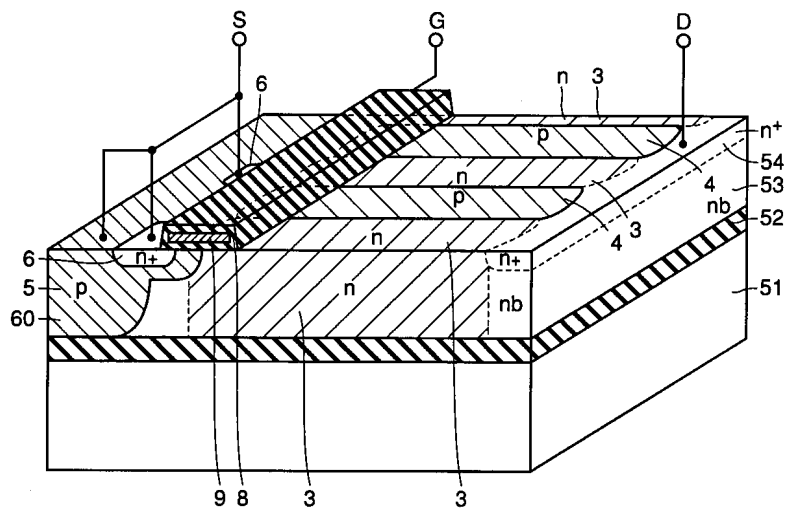
도면142



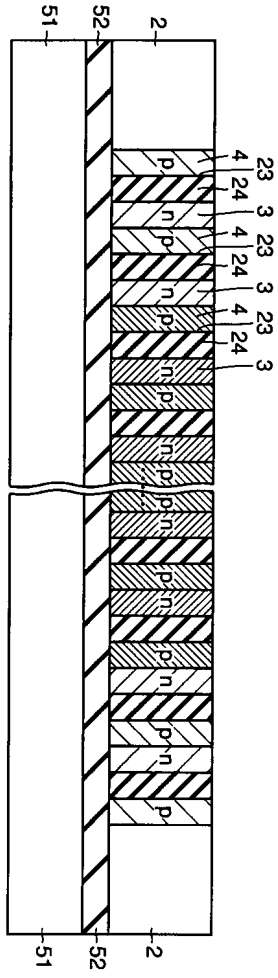
도면143



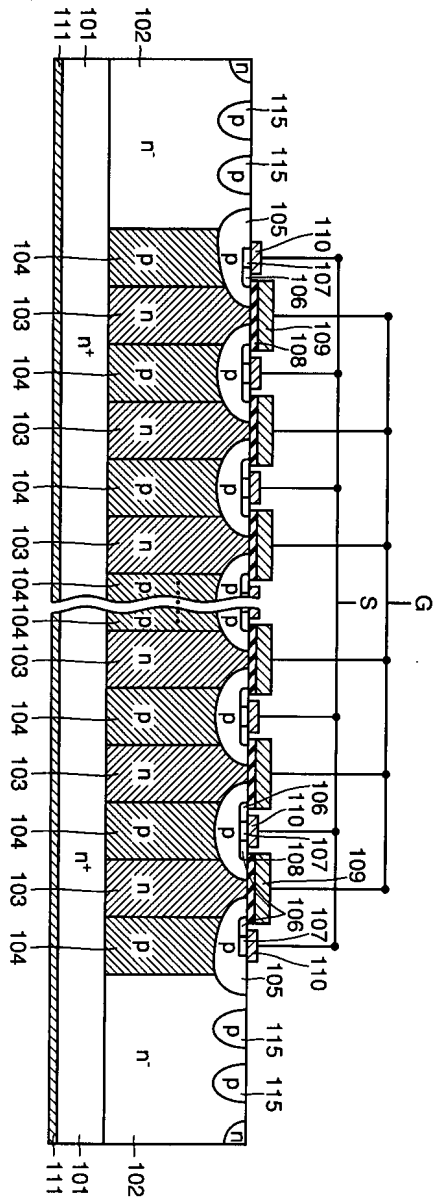
도면144



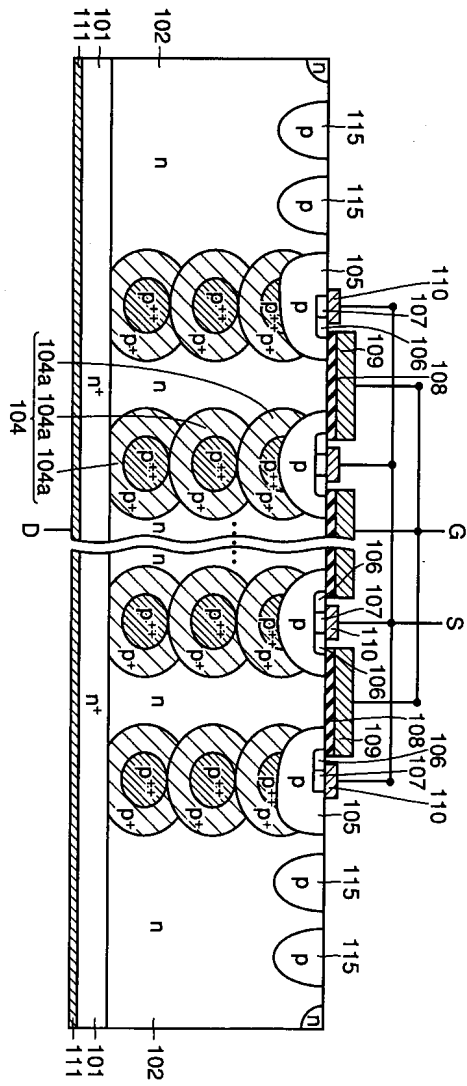
도면147



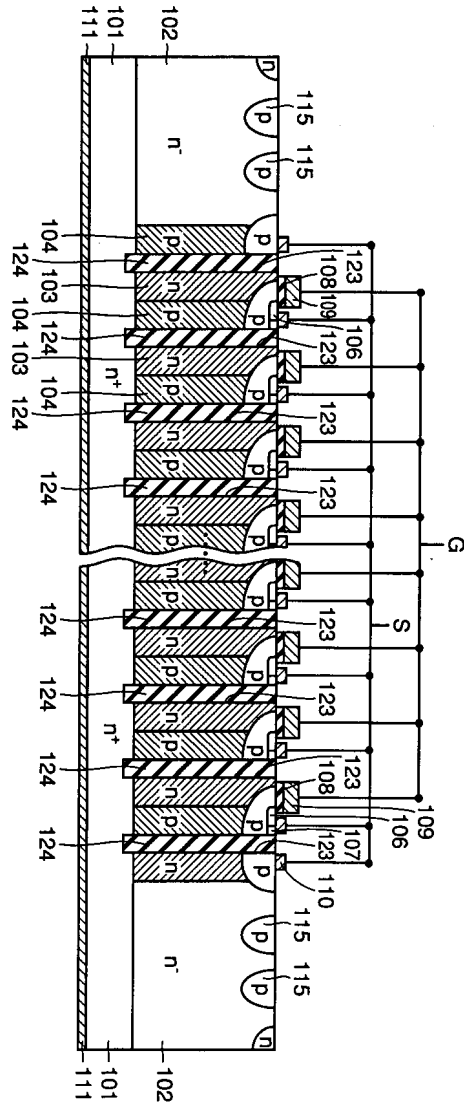
도면148



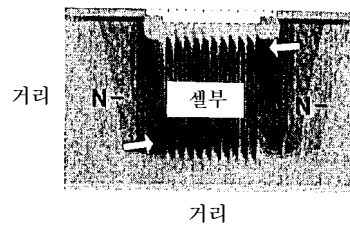
도면149



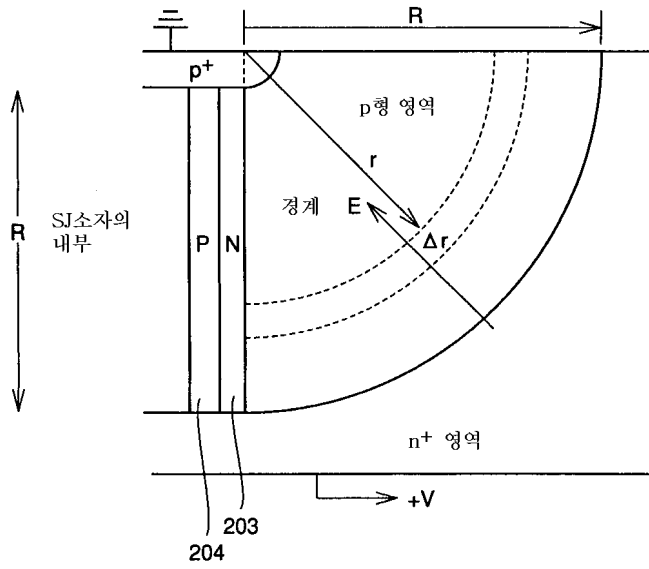
도면150



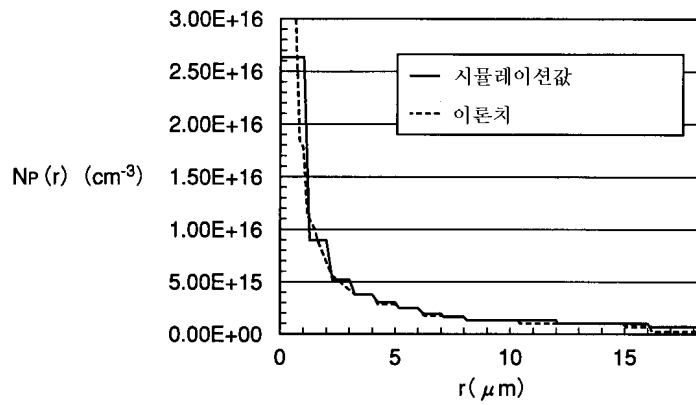
도면151



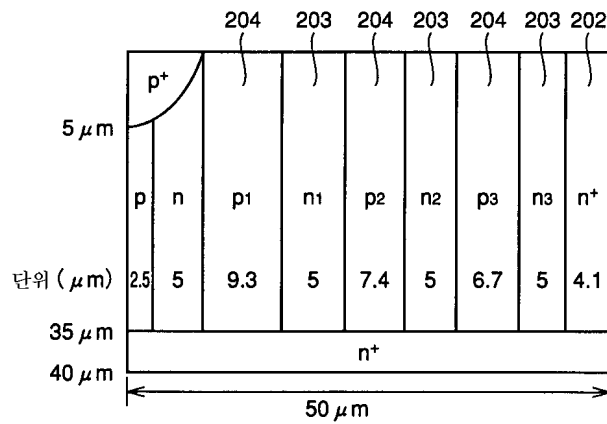
도면152



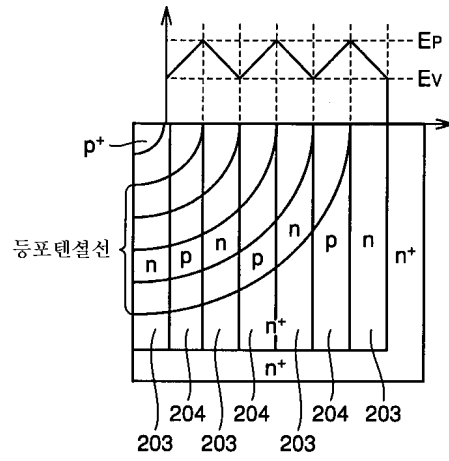
도면153



도면154



도면155



도면156

