



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I680511 B

(45)公告日：中華民國 108 (2019) 年 12 月 21 日

(21)申請案號：108107421

(22)申請日：中華民國 108 (2019) 年 03 月 06 日

(51)Int. Cl. : H01L21/31 (2006.01)

H01L21/36 (2006.01)

(30)優先權：2018/11/23 美國

62/770,952

2019/02/06 美國

16/268,954

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72)發明人：吳珮甄 WU, PEI-JHEN (TW)；施江林 SHIH, CHIANG-LIN (TW)；丘世仰 CHIU,
HSIH-YANG (TW)

(74)代理人：陳長文；馮博生

(56)參考文獻：

TW I319614

TW 200701397A

US 2014/0273453A1

US 2015/0364434A1

審查人員：翁佑菱

申請專利範圍項數：12 項 圖式數：16 共 39 頁

(54)名稱

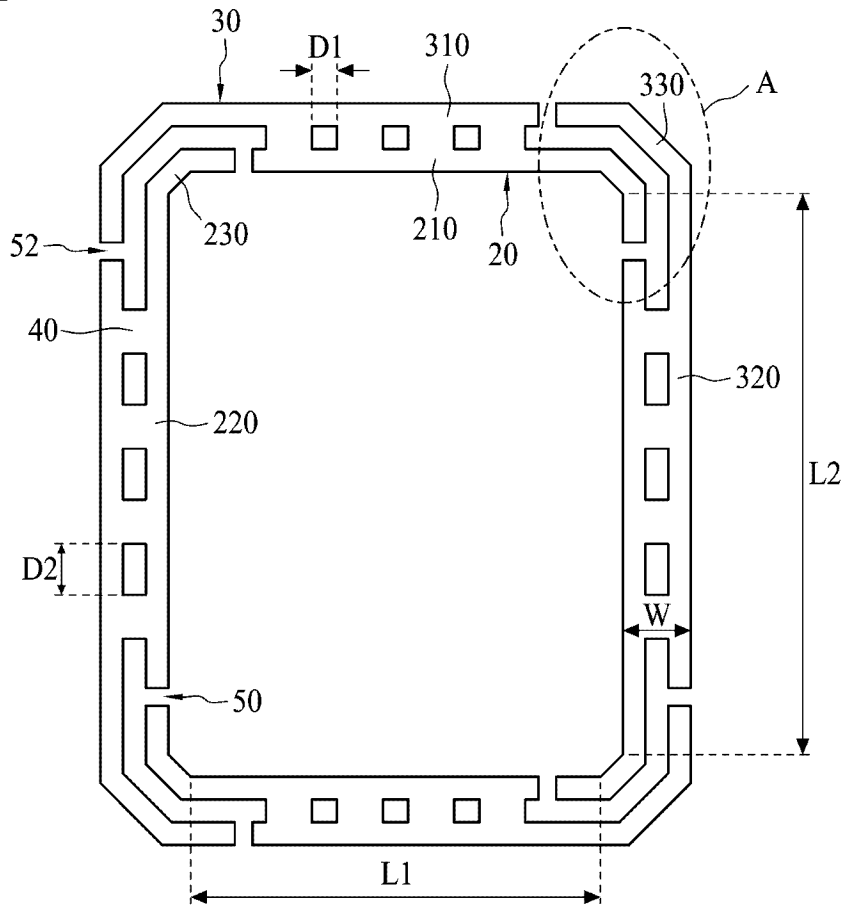
半導體結構及其製造方法

(57)摘要

本揭露關於一種多環接合墊、具有多環接合墊的半導體結構及其製造方法。該接合墊包括一內環構件、一外環構件以及複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及連接該第一內邊緣到該第二內邊緣的複數個第三內邊緣。該外環構件環繞該內環構件並且具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及連接該第一外邊緣到該第二外邊緣的複數個第三外邊緣。該複數個橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

The present disclosure relates to a multi-ring bonding pad, a semiconductor structure having the multi-ring bonding pad, and a method of manufacturing the semiconductor structure. The bonding pad includes an inner ring member, an outer ring member, and multiple bridge members. The inner ring member has a pair of first inner edges opposite to each other, a pair of second inner edges opposite to each other, and multiple third inner edges for connecting the first inner edges to the second inner edges. The outer ring member surrounds the inner ring member and has a pair of first outer edges opposite to each other, a pair of second outer edges opposite to each other, and multiple third outer edges for connecting the first outer edges to the second outer edges. The bridge members are disposed between the inner ring member and the outer ring member for connecting the inner ring member to the outer ring member.

指定代表圖：



【圖1】

符號簡單說明：

- 10 . . . 接合墊
- 20 . . . 內環構件
- 30 . . . 外環構件
- 40 . . . 橋接構件
- 50 . . . 內凹口
- 52 . . . 外凹口
- 210 . . . 第一內邊緣
- 220 . . . 第二內邊緣
- 230 . . . 第三內邊緣
- 310 . . . 第一外邊緣
- 320 . . . 第二外邊緣
- 330 . . . 第三外邊緣
- A . . . 區域
- D1 . . . 距離
- D2 . . . 距離
- L1 . . . 第一長度
- L2 . . . 第二長
- W . . . 寬度

【發明說明書】

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD THEREOF

【技術領域】

【0001】本申請案主張2018/11/23申請之美國臨時申請案第62/770,952號及2019/02/06申請之美國正式申請案第16/268,954號的優先權及益處，該美國臨時申請案及該美國正式申請案之內容以全文引用之方式併入本文中。

【0002】本揭露關於一種接合墊、具有接合墊的半導體結構及其製造方法，特別是關於一種多環接合墊、具有多環接合墊的半導體結構及其製造方法。

【先前技術】

【0003】半導體積體電路的製造流程包括前段(front-end-of-line，FEOL)、中段(middle-end-of-line，MEOL)和後段(back-end-of-line，BEOL)製程。前段製程包括晶圓製備、隔離、阱形成、閘極圖案化、間隔物、延伸和源極(與)汲極植入、矽化物形成和雙應力襯墊形成。中段製程包括閘極接觸形成。後段製程包括一系列晶圓處理步驟，以互連在前段製程和中段製程期間產生的半導體元件。此外，成功製造合格的半導體晶片產品需要考慮材料和製程之間的相互作用。

【0004】上文之「先前技術」說明僅係提供背景技術，並未承認上

文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應作為本案之任一部分。

【發明內容】

【0005】 本揭露提供一接合墊，包括一內環構件、一外環構件以及複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣。該第一內邊緣透過該第三內邊緣連接到該第二內邊緣。該外環構件環繞該內環構件並且與該內環構件間隔開。該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣。該第一外邊緣透過該第三外邊緣連接到該第二外邊緣。該複數個橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

【0006】 在一些實施例中，該第三內邊緣與該第一內邊緣之間的夾角約為135度，該第三內邊緣與該第二內邊緣之間的夾角約為135度。

【0007】 在一些實施例中，該第一外邊緣實質上平行於該第一內邊緣，該第二外邊緣實質上平行於該第二內邊緣。

【0008】 在一些實施例中，連接到該第一內邊緣的兩個相鄰橋接構件之間的第一距離實質上小於連接到該第二內邊緣的兩個相鄰橋接構件之間的第二距離。

【0009】 在一些實施例中，該內環構件更包括設置在該第一內邊緣和該第二內邊緣上的複數個內凹口，以及設置在該第一外邊緣和該第二外邊緣上的複數個外凹口。

【0010】 在一些實施例中，該內凹口與該第三內邊緣等距，該外凹口與該第三外邊緣等距。

【0011】 在一些實施例中，該內凹口經佈置在該第三內邊緣和該橋接構件之間最接近該第三內邊緣的位置，該外凹口設置在該第三外邊緣與該橋接構件之間最接近第三外邊緣的位置。

【0012】 在一些實施例中，該內凹口和該外凹口分別設置在該第一內邊緣和該第一外邊緣上，或分別設置在該第二內邊緣和該第二外邊緣上，彼此遠離地設置。

【0013】 在一些實施例中，該內環構件和該外環構件具有一均勻的寬度。

【0014】 在一些實施例中，該內環構件的該寬度等於該橋接構件的一寬度的兩倍。

【0015】 本揭露另提供一種半導體結構，包括一多層部件、一介電層和一接合墊。該介電層設置在該多層部件的上方。該接合墊設置在該介電層內，並且包括一內環構件、一外環構件和複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣。該第一內邊緣透過該第三內邊緣連接到該第二內邊緣。該外環構件環繞該內環構件並且與該內環構件間隔開。該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣。該第一外邊緣透過該第三外邊緣連接到該第二外邊緣。該複數個橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

【0016】 在一些實施例中，該多層部件包括一主要部件、一絕緣層和至少一個通孔，其中該絕緣層設置在該主要部件的上方，該通孔設置在該絕緣層內，該主要部件透過該通孔電連接到該接合墊。

【0017】 本揭露另提供一種半導體結構的製造方法，包括步驟：提供一多層部件；在該多層器件上方沉積一介電層；在該介電層內形成一凹陷圖案；以及在該凹陷圖案內沉積一金屬層。

【0018】 在一些實施例中，該金屬層沿該介電層的一上表面延伸並且進入該凹陷圖案。

【0019】 在一些實施例中，該製造方法更包括：執行一平坦化製程以去除該上表面上方的該金屬層的一部分。

【0020】 在一些實施例中，該製造方法更包括：執行一研磨製程以獲得該介電層的一平坦的上表面。

【0021】 在一些實施例中，該製造方法更包括：在沉積該金屬層之前，在該介電層的上方沉積一阻障層並且進入該凹陷圖案；以及在該阻障層的上方沉積一種晶層。

【0022】 在一些實施例中，該阻障層和該種晶層是實質上共形的層。

【0023】 在一些實施例中，該凹陷圖案的形成功包括步驟：在該介電層的上方塗覆一光阻層；圖案化該光阻層以在該光阻層內形成至少一個開口，其中該介電層的一部分透過該開口暴露；以及執行一蝕刻製程以去除透過該開口暴露的該介電層的一部分以形成該凹陷圖案。

【0024】 在一些實施例中，該金屬層與該多層部件接觸。

【0025】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下

文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【圖式簡單說明】

【0026】 參閱實施方式與申請專利範圍合併考量圖式時，可得更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1是頂視圖，例示本揭露一些實施例的接合墊。

圖2是圖1中區域A的放大視圖。

圖3是流程圖，例示本揭露一些實施例的半導體元件的製造方法。

圖4至圖11是剖視圖，例示本揭露一些實施例的半導體結構的形成階段。

圖12是頂視圖，例示本揭露一些實施例的半導體結構的形成階段。

圖13是剖面圖，例示本揭露一些實施例的半導體結構。

圖14至圖16是剖視圖，例示本揭露一些實施例的半導體結構的形成階段。

【實施方式】

【0027】 本揭露之以下說明伴隨併入且組成說明書之一部分的圖式，說明本揭露實施例，然而本揭露並不受限於該實施例。此外，以下的實施例可適當整合以下實施例以完成另一實施例。

【0028】 「一實施例」、「實施例」、「例示實施例」、「其他實施

例」、「另一實施例」等係指本揭露所描述之實施例可包含特定特徵、結構或是特性，然而並非每一實施例必須包含該特定特徵、結構或是特性。再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可為相同實施例。

【0029】 為了使得本揭露可被完全理解，以下說明提供詳細的步驟與結構。顯然，本揭露的實施不會限制該技藝中的技術人士已知的特定細節。此外，已知的結構與步驟不再詳述，以免不必要地限制本揭露。本揭露的較佳實施例詳述如下。然而，除了實施方式之外，本揭露亦可廣泛實施於其他實施例中。本揭露的範圍不限於實施方式的內容，而是由申請專利範圍定義。

【0030】 圖1是頂視圖，例示本揭露一些實施例的接合墊10。參照圖1，接合墊10包括內環構件20、環繞內環構件20並且與內環構件20間隔開的外環構件30、以及設置在內環構件20和外環構件30之間的複數個橋接構件40。橋接構件40將內環構件20連接到外環構件30。在一些實施例中，接合墊10做為一半導體元件的第一金屬層(即，M1層)或第二金屬層(即，M2層)，而該半導體元件可以是例如一動態隨機存取記憶體(dynamic random access memory, DRAM)。在一些實施例中，接合墊10的輪廓經設計以減輕在平坦化製程，例如化學機械拋光(CMP)製程期間所引起的應力。

【0031】 在一些實施例中，內環構件20具有一對彼此相對的第一內邊緣210、一對彼此相對的第二內邊緣220、以及做為連接第一內邊緣210到第二內邊緣220的複數個第三內邊緣230。在一些實施例中，第一內邊緣210不直接連接到第二內邊緣220。在一些實施例中，第一內邊緣210具

有第一長度L1，第二內邊緣220具有大於第一長度L1的第二長度L2。

【0032】圖2是圖1中區域A的放大視圖。參照圖1和圖2，在一些實施例中，第三內邊緣230設置在由第一內邊緣210和第二內邊緣220的延伸線212、222所定義的複數個轉角處。在一些實施例中，第一內邊緣210的延伸線212垂直於第二內邊緣220的延伸線222。在一些實施例中，第一內邊緣210和第三內邊緣230之間的夾角 α 是大約135度，第二內邊緣220和第三內邊緣230之間的夾角 β 約為135度；透過此種配置以在平坦化製程中釋放應力，如下所述。

【0033】在一些實施例中，外環構件310具有一對彼此相對的第一外邊緣310、一對彼此相對的第二外邊緣320、以及連接第一外邊緣310到第二外邊緣320的複數個第三外邊緣330。在一些實施例中，第一外邊緣310不直接連接到第二外邊緣320。在一些實施例中，第一外邊緣310實質上平行於第一內邊緣210，第二外邊緣320實質上行於第二內邊緣220，第三外邊緣330實質上行於第三內邊緣230。

【0034】在一些實施例中，第三外邊緣330設置在由第一外邊緣310和第二外邊緣320的延伸線312、322所定義的複數個轉角處。在一些實施例中，第一外邊緣310的延伸線312垂直於第二外邊緣320的延伸線322。在一些實施例中，為減輕應力，第一外邊緣310與第三外邊緣330之間的夾角 φ 約為135度，第二外邊緣320與第三外邊緣之間的夾角 δ 約為135度。

【0035】在一些實施例中，橋接構件40設置在內環構件20和外環構件30之間以將內環構件20連接到外環構件30。在一些實施例中，橋接構件40設置在第一內邊緣210和第一外邊緣310之間以及第二內邊緣220和第

二外邊緣320之間。在一些實施例中，橋接構件40不設置在第三內邊緣230和第三外邊緣330之間。在一些實施例中，因為橋接構件40具有一均勻的尺寸並且第一內邊緣210的第一長度L1小於第二內邊緣220的第二長度L2，因此連接到第一內邊緣210的兩個相鄰橋接構件40之間的第一距離D1實質上小於連接到第二內邊緣220的兩個相鄰橋接構件40之間的第二距離D2。在一些實施例中，兩個相鄰的橋接構件40之間的空間用於散熱和分散應力，並且設計成在平坦化製程中防止過度拋光。

【0036】 在一些實施例中，內環構件20更包括分別設置在第一內邊緣210和第二內邊緣220上的複數個內凹口50。在一些實施例中，內凹口50與第三內邊緣230等距。在一些實施例中，內凹口50經佈置在第三內邊緣230和橋接構件40之間最接近第三內邊緣230的位置。

【0037】 在一些實施例中，外環構件30更包括分別設置在第一外邊緣310和第二外邊緣320上的複數個外凹口52。在一些實施例中，外凹口52與第三外邊緣330等距。在一些實施例中，外凹口52經設置在第三外邊緣330和橋接構件40之間最接近第三外邊緣330的位置。在一些實施例中，內凹口50和外凹口52分別設置在第一內邊緣210和第一外邊緣310上，或分別設置在第二內邊緣220和第二外邊緣320上，彼此遠離地設置以當電力供應到具有接合墊10的半導體元件時，防止由電磁通量變化所引起的迴路電流。在一些實施例中，此種接合墊10的不連續輪廓可以減少雜訊透過其傳播。

【0038】 復參圖1和圖2，在一些實施例中，接合墊10具有一寬度W，其可以例如在2.70和6.0微米(μm)之間的範圍內，例如約2.75微米。在一些實施例中，內環構件20具有第一寬度W1，外環構件30具有實質上

等於第一寬度W1的第二寬度W2，並且橋接構件40具有實質上小於第一寬度W1的第三寬度W3。在一些實施例中，第三寬度W3可以等於第一寬度W1的一半。例如，第一寬度W1和第二寬度W2約為1.1微米，第三寬度W3約為0.55微米。在一些實施例中，內環構件20、外環構件30和橋接構件40一體地形成。在一些實施例中，接合墊10由金屬材料製成，例如銅或鋁。

【0039】圖3是流程圖，例示本揭露一些實施例的半導體結構70/70A的製造方法600。圖4至圖12是剖視圖，例示本揭露一些實施例的半導體結構70/70A的形成階段。圖3的流程圖也示意性地示出了圖4至圖12中的各階段。在隨後的討論中，圖4到圖12中所示的製造階段參考圖3中的流程步驟。

【0040】參照圖4，根據圖3中的步驟602，提供多層部件700。在一些實施例中，多層部件700可以包括主要組部710，主要部件710包括一個或複數個特徵，例如電晶體、電阻器、電容器，二極體、介電質、通孔等。在一些實施例中，多層部件700更可以包括覆蓋主要部件710的絕緣層720，和設置在絕緣層720內的至少一個通孔730。在一些實施例中，通孔730的端面732與絕緣層720的上表面722共面。在一些實施例中，可以使用常規製程步驟形成多層部件700。

【0041】參照圖5，在一些實施例中，根據圖3中的步驟604，在絕緣層720和通孔730的上方沉積介電層740。在一些實施例中，介電層740完全覆蓋絕緣層720和通孔730。在一些實施例中，介電層740包括氧化物。在一些實施例中，介電層740可以透過化學氣相沉積(CVD)、旋塗或其他合適的方法形成。在一些實施例中，在沉積介電層740之後，可以根

據圖3中的步驟606執行研磨製程，以獲得第二介電層740的一平坦上表面742。

【0042】參照圖6，在一些實施例中，根據圖3中的步驟608，在第二介電層740上塗覆光阻層750。在一些實施例中，根據圖3中的步驟610，圖案化光阻層750以定義隨後將蝕刻介電層740的區域。在一些實施例中，透過以下步驟圖案化光阻層750，包括(1)將光阻層750暴露於圖案(未示出)，(2)執行曝光後烘烤(post-exposure bake process, PEB)製程，以及(3)顯影光阻層750，形成具有至少一開口754的光阻圖案752，如圖7所示。在一些實施例中，待隨後蝕刻的介電層740的一部分透過開口754曝露。在一些實施例中，光阻層740可以透過例如電子束寫入(electron-beam writing)、離子束寫入(ion-beam writing)或分子印記(molecular imprint)來圖案化。

【0043】參照圖8，在一些實施例中，執行一蝕刻製程以蝕刻介電層740並且根據圖3的步驟612，在介電層740中定義凹陷圖案744。在蝕刻製程之後，絕緣層720和通孔730的部分透過凹陷圖案744暴露。在一些實施例中，蝕刻製程可以是一單個或複數個步驟的蝕刻製程。在一些實施例中，蝕刻製程包括濕式法蝕刻製程、乾式蝕刻製程或其組合。在一些實施例中，乾式蝕刻製程可以是非等向性蝕刻製程。在一些實施例中，凹陷圖案744可以形成為具有與圖1中所示的接合墊10的輪廓相對應的輪廓。

【0044】參照圖9，在蝕刻製程之後，根據圖3中的步驟614，去除光阻圖案752。在一些實施例中，可以使用灰化製程或濕式剝離製程來去除光阻圖案752，其中濕式剝離製程可以化學改變光阻圖案752，使其不再黏附到剩餘的第二介電層740上。

【0045】 參照圖10，在一些實施例中，根據圖10中的步驟620，金屬層760沉積在電介質層740的上方並且沉積到凹陷圖案744內。在一些實施例中，金屬層760沿介電層740的上表面742延伸並且進入凹陷圖案744。在一些實施例中，金屬層760具有足以填充凹陷圖案744的一厚度。在一些實施例中，金屬層760與通孔730接觸。在一些實施例中，金屬層760包括銅或鋁。在一些實施例中，使用電鍍製程形成金屬層760。

【0046】 參照圖11和圖12，在一些實施例中，根據圖6中的步驟622，執行一平坦化製程以暴露介電層740。因此，完全形成半導體結構70，並且形成圖3中所示的接合墊10。在一些實施例中，半導體結構70包括主要部件710、設置在主要部件710上方的絕緣層720、設置在絕緣層720內的至少一個通孔730，設置在絕緣層720和通孔730上方的的介電層740，以及設置在介電層740內並且與通孔730接觸通孔730接觸的接合墊10。在一些實施例中，接合墊10透過通孔730電連接到主要主要部件710以用於導電。在一些實施例中，接合墊10的頂表面102與介電層740的上表面742共面。在一些實施例中，接合墊10具有小於0.2微米的一厚度。

【0047】 值得注意的是，凹陷到介電層740內的金屬層760在平坦化製程期間受到機械應力。此應力經常引起接合墊10的變形，在接合墊10的轉角處產生裂縫而產生接合缺陷或半導體結構70的劣化。因此，接合墊10的輪廓被設計成具有夾角 α 、 β 、 ϕ 、 δ ，以便在平面化製程中釋放應力。此外，設置在內環構件20和外環構件30之間的橋接構件40做為防止介電層740被過度拋光，同時內環構件20、外環構件30和橋接構件40之間的空間可用於散熱。

【0048】 圖13至圖16例示本揭露替代實施例的半導體結構70A的形

成。除非另有說明，這些實施例中的部件的材料和形成方法基本上與圖4到圖12中所示的實施例中的相同部件的材料和形成方法相同，這些部件由相同的附圖標記表示。圖13至圖16中所示的相同部件的細節可以在圖4到圖12中所示的實施例的討論中找到。

【0049】 參照圖13，在一些實施例中，半導體結構70A更包括阻障層770和設置在介電層740的凹陷圖案744內的種晶層780，其中接合墊10被種晶層780，並且阻障層770圍繞種晶層780。在一些實施例中，阻障層770與絕緣層720和通孔730接觸。

【0050】 半導體器件70A的形成過程類似於圖1和圖2中所示的形成半導體結構70的過程，如圖11和12所示，除了半導體結構70A的形成包括在形成凹陷圖案744之後的附加步驟之外。例如，圖14至圖16例示圖13所示的半導體結構70A的形成階段的剖面圖。在這些示例性實施例中，在形成凹陷圖案744之後，根據圖3中的步驟616，沉積阻障層770以沿著介電層740的上表面742延伸並進入凹陷圖案744。在一些實施例中，阻障層770做為膠合層。在一些實施例中，阻障層770是實質上共形的層。在一些實施例中，阻障層770可以包括鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)、氮化鈦矽(TiSiN)、氮化鉭矽(TaSiN)等。在一些實施例中，阻障層770可以透過例如物理氣相沉積(PVD)形成。

【0051】 參照圖15，在一些實施例中，根據圖3中的步驟618，在阻障層770的上方沉積種晶層780。在一些實施例中，種晶層780可以毯狀形成在阻障層770上方。在一些實施例中，種晶層780具有一均勻的厚度。在一些實施例中，種晶層780包括銅或銅合金，並且更可以包括例如鎢、銀、金、鋁及其組合的金屬。在一些實施例中，種晶層780通過物理氣相

沉積製程形成。在其他實施例中，可以使用其他方法，例如電鍍或無電鍍。

【0052】 參照圖16，在一些實施例中，根據圖3中的步驟620，在種晶層780上沉積金屬層760。可以參考圖10中所示的實施例找到用於形成金屬層760的製程步驟和材料。在一些實施例中，然後執行化學機械平坦化(CMP)製程以去除部分的介電層740的上表面742上方的金屬層760、種晶層780和阻障層770，以形成接合墊10。因此，完全形成了圖13中所示的半導體結構70A。在所得到的結構中，介電層740的上表面742與接合墊10的頂表面102共面。

【0053】 本揭露提供一種接合墊，包括一內環構件、一外環構件以及複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣，其中該第一內邊緣透過該第三內邊緣連接到該第二內邊緣。該外環構件環繞該內環構件並且與該內環構件間隔開。該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣，其中該第一外邊緣透過該第三外邊緣連接到該第二外邊緣。該橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

【0054】 本揭露提供一種半導體結構，包括一多層部件、一介電層和一接合墊。該介電層設置在該多層部件的上方。該接合墊設置在該介電層內，並且包括一內環構件、一外環構件和複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置

在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣。該第一內邊緣透過該第三內邊緣連接到該第二內邊緣。該外環構件環繞該內環構件並且與該內環構件間隔開。該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣。該第一外邊緣透過該第三外邊緣連接到該第二外邊緣。該橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

【0055】 本揭露另提供一種半導體結構的製造方法。該製造方法包括步驟：提供一多層部件；在該多層器件上方沉積一介電層；在該介電層內形成一凹陷圖案；以及在凹陷圖案內沉積一金屬層。

【0056】 雖然已詳述本揭露及其優點，然而應理解可進行各種變化、取代與替代而不脫離申請專利範圍所定義之本揭露的精神與範圍。例如，可用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0057】 再者，本申請案的範圍並不受限於說明書中所述之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可自本揭露的揭示內容理解可根據本揭露而使用與本文所述之對應實施例具有相同功能或是達到實質相同結果之現存或是未來發展之製程、機械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟係包含於本申請案之申請專利範圍內。

【符號說明】

【0058】

| | |
|-----|-------|
| 10 | 接合墊 |
| 20 | 內環構件 |
| 30 | 外環構件 |
| 40 | 橋接構件 |
| 50 | 內凹口 |
| 52 | 外凹口 |
| 70 | 半導體結構 |
| 70A | 半導體結構 |
| 102 | 頂面 |
| 210 | 第一內邊緣 |
| 212 | 延伸線 |
| 220 | 第二內邊緣 |
| 222 | 延伸線 |
| 230 | 第三內邊緣 |
| 310 | 第一外邊緣 |
| 312 | 延伸線 |
| 320 | 第二外邊緣 |
| 322 | 延伸線 |
| 330 | 第三外邊緣 |
| 600 | 方法 |
| 602 | 步驟 |
| 604 | 步驟 |
| 606 | 步驟 |

| | |
|-----|------|
| 608 | 步驟 |
| 610 | 步驟 |
| 612 | 步驟 |
| 614 | 步驟 |
| 616 | 步驟 |
| 618 | 步驟 |
| 620 | 步驟 |
| 622 | 步驟 |
| 700 | 多層部件 |
| 710 | 主要部件 |
| 720 | 絕緣層 |
| 722 | 上表面 |
| 730 | 埋孔 |
| 732 | 埋孔 |
| 740 | 介電層 |
| 742 | 上表面 |
| 744 | 凹陷圖案 |
| 750 | 光阻層 |
| 752 | 光阻圖案 |
| 754 | 開口 |
| 760 | 金屬層 |
| 770 | 阻障層 |
| 780 | 種晶層 |

| | |
|-----------|------|
| A | 區域 |
| D1 | 距離 |
| D2 | 距離 |
| L1 | 第一長度 |
| L2 | 第二長 |
| W | 寬度 |
| W1 | 第一寬度 |
| W2 | 第二寬度 |
| W3 | 第三寬度 |
| α | 角度 |
| β | 角度 |
| δ | 角度 |
| φ | 角度 |



I680511

【發明摘要】

公告本

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD THEREOF

【中文】

本揭露關於一種多環接合墊、具有多環接合墊的半導體結構及其製造方法。該接合墊包括一內環構件、一外環構件以及複數個橋接構件。該內環構件具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及連接該第一內邊緣到該第二內邊緣的複數個第三內邊緣。該外環構件環繞該內環構件並且具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及連接該第一外邊緣到該第二外邊緣的複數個第三外邊緣。該複數個橋接構件設置在該內環構件和該外環構件之間以將該內環構件連接到該外環構件。

【英文】

The present disclosure relates to a multi-ring bonding pad, a semiconductor structure having the multi-ring bonding pad, and a method of manufacturing the semiconductor structure. The bonding pad includes an inner ring member, an outer ring member, and multiple bridge members. The inner ring member has a pair of first inner edges opposite to each other, a pair of second inner edges opposite to each other, and multiple third inner edges for connecting the first inner edges

to the second inner edges. The outer ring member surrounds the inner ring member and has a pair of first outer edges opposite to each other, a pair of second outer edges opposite to each other, and multiple third outer edges for connecting the first outer edges to the second outer edges. The bridge members are disposed between the inner ring member and the outer ring member for connecting the inner ring member to the outer ring member.

【指定代表圖】

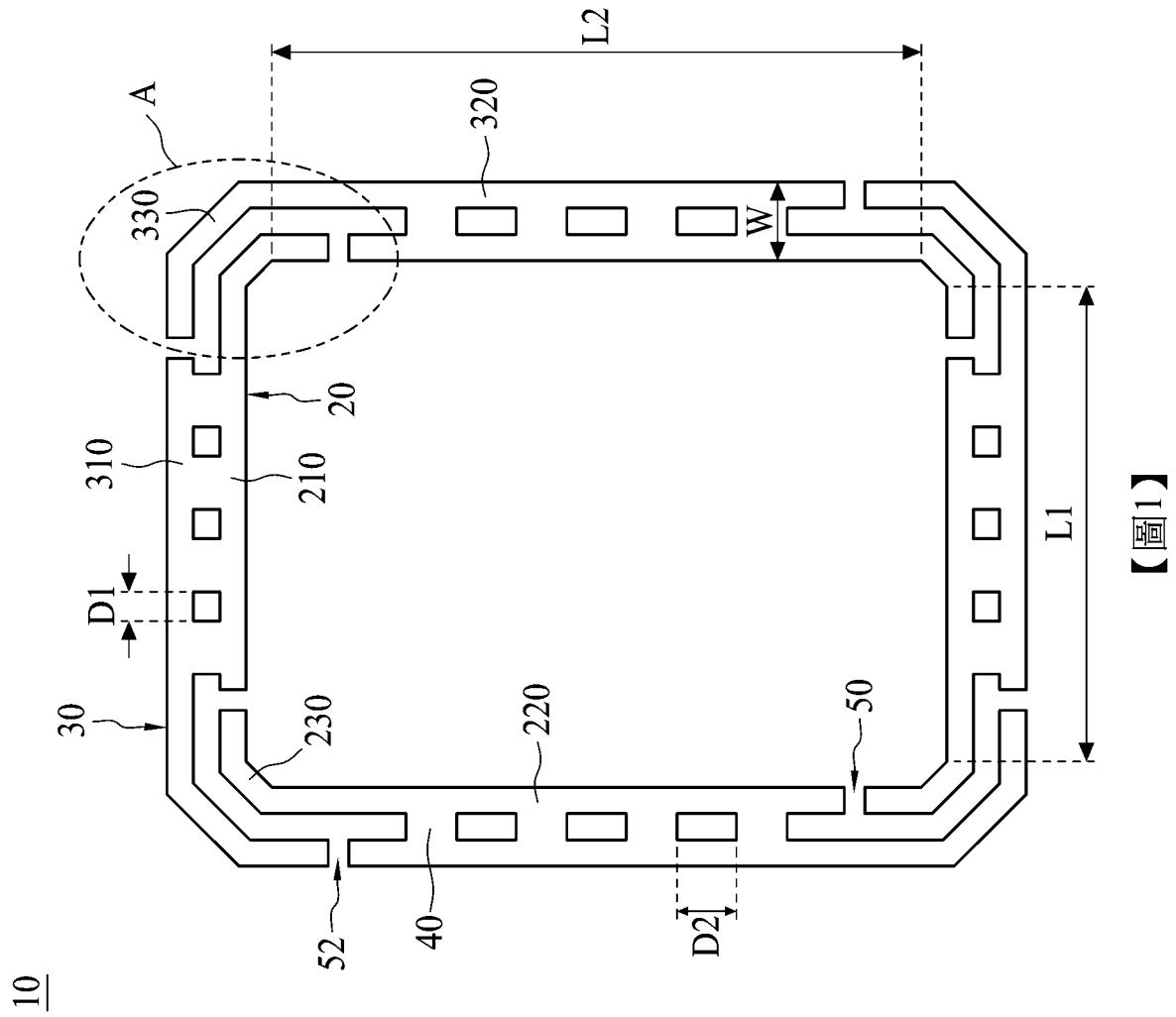
圖1

【代表圖之符號簡單說明】

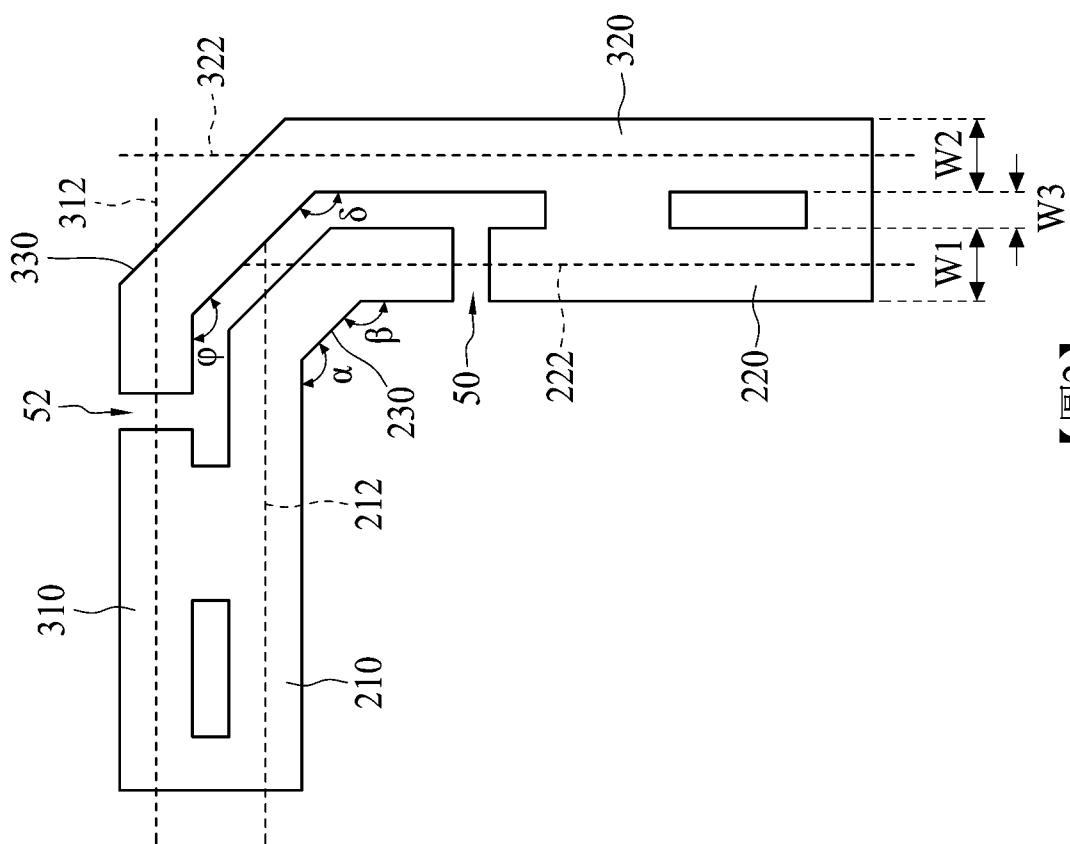
| | |
|-----|-------|
| 10 | 接合墊 |
| 20 | 內環構件 |
| 30 | 外環構件 |
| 40 | 橋接構件 |
| 50 | 內凹口 |
| 52 | 外凹口 |
| 210 | 第一內邊緣 |
| 220 | 第二內邊緣 |
| 230 | 第三內邊緣 |
| 310 | 第一外邊緣 |
| 320 | 第二外邊緣 |
| 330 | 第三外邊緣 |
| A | 區域 |

| | |
|----|------|
| D1 | 距離 |
| D2 | 距離 |
| L1 | 第一長度 |
| L2 | 第二長 |
| W | 寬度 |

【發明圖式】

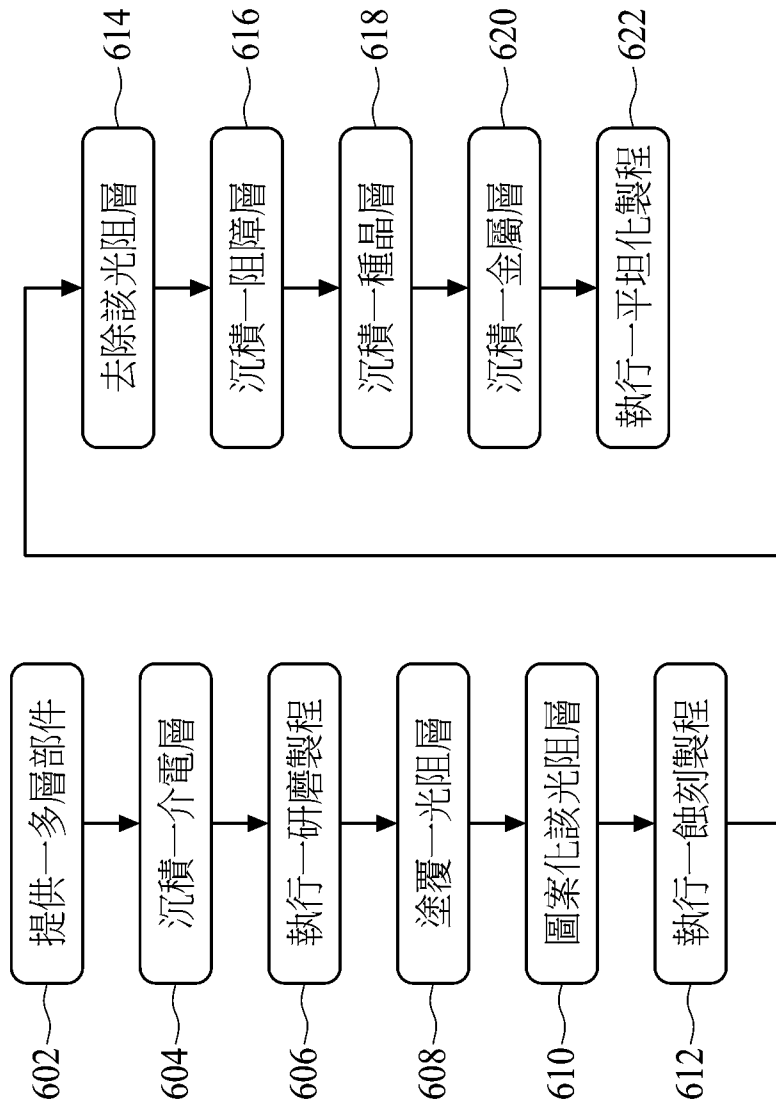


【圖1】

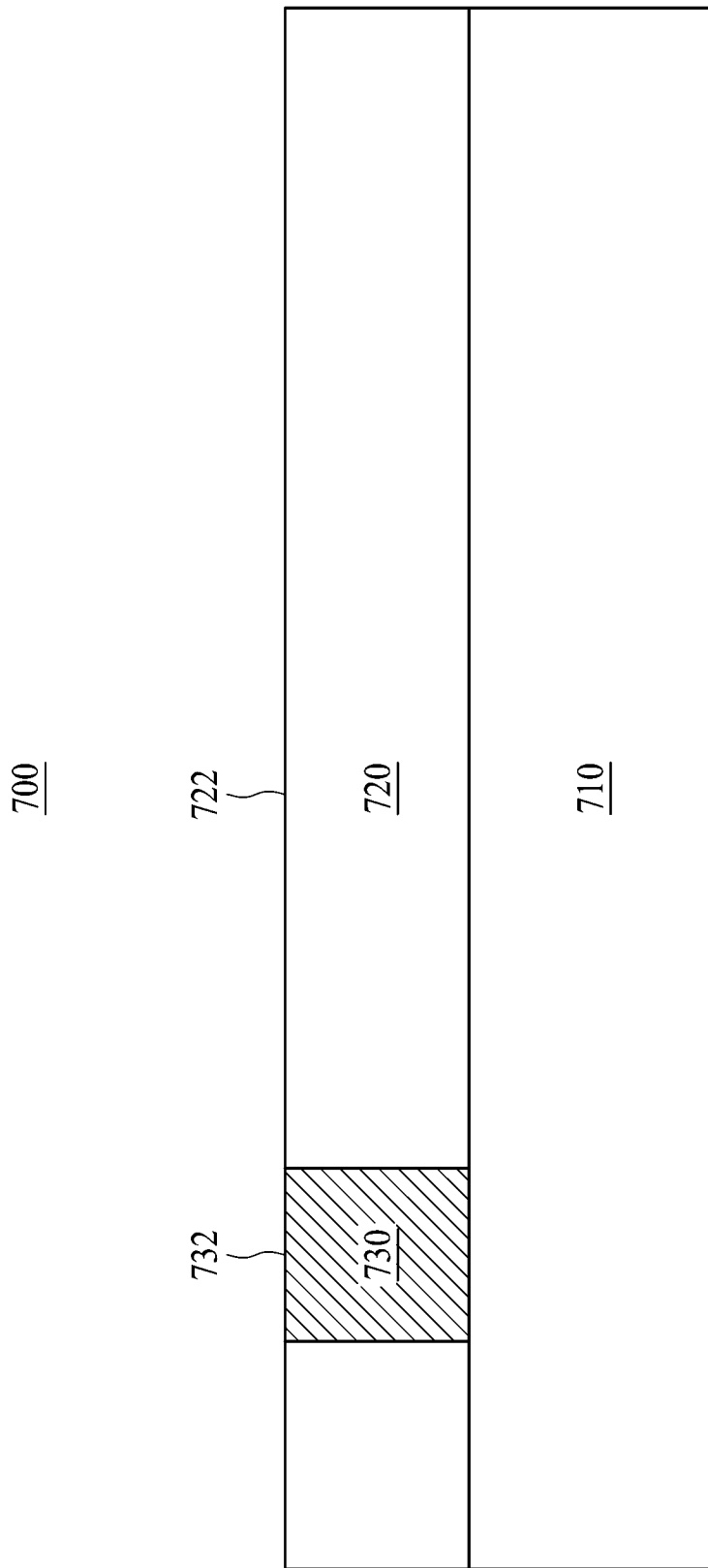


【圖2】

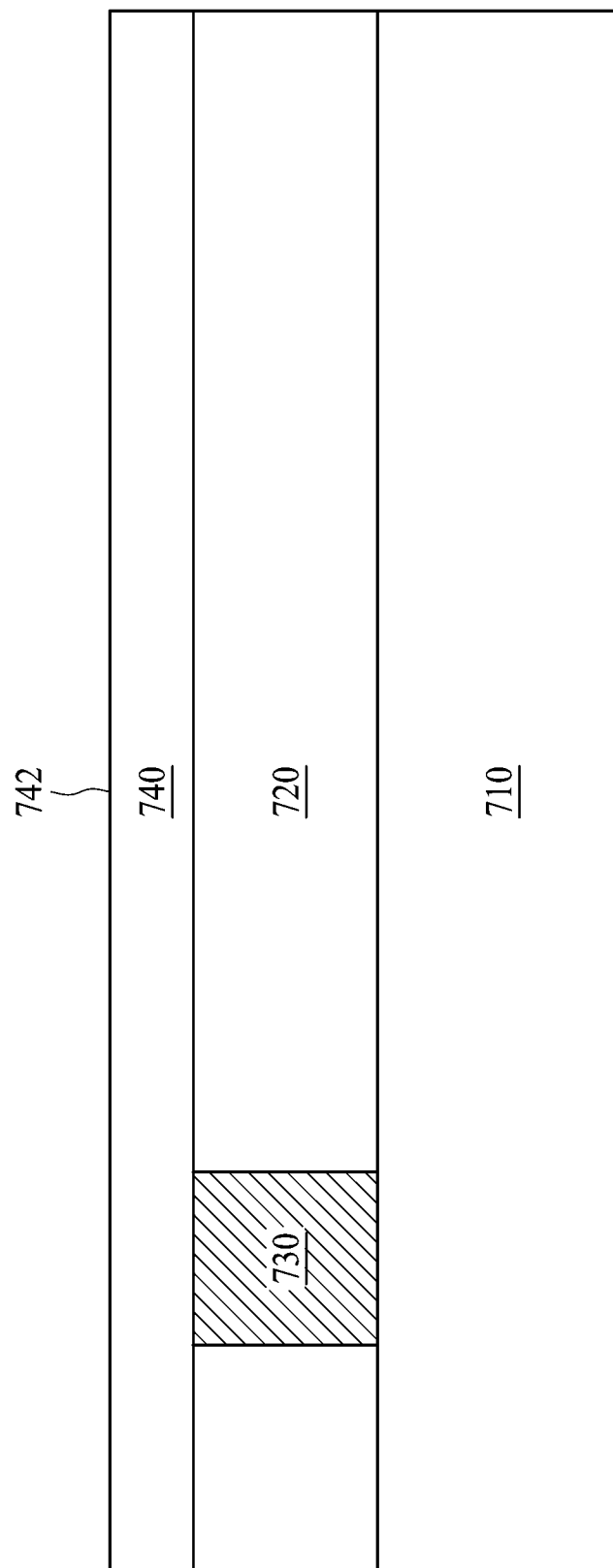
600



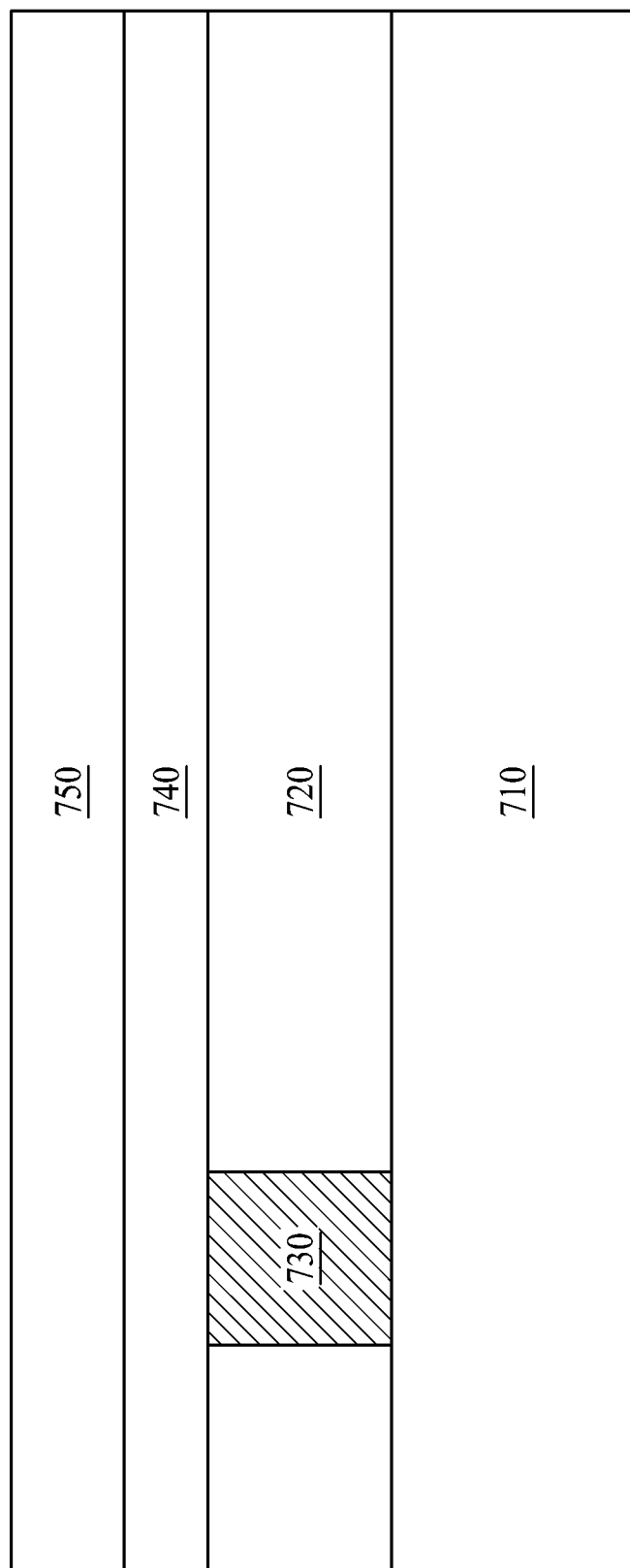
【圖3】



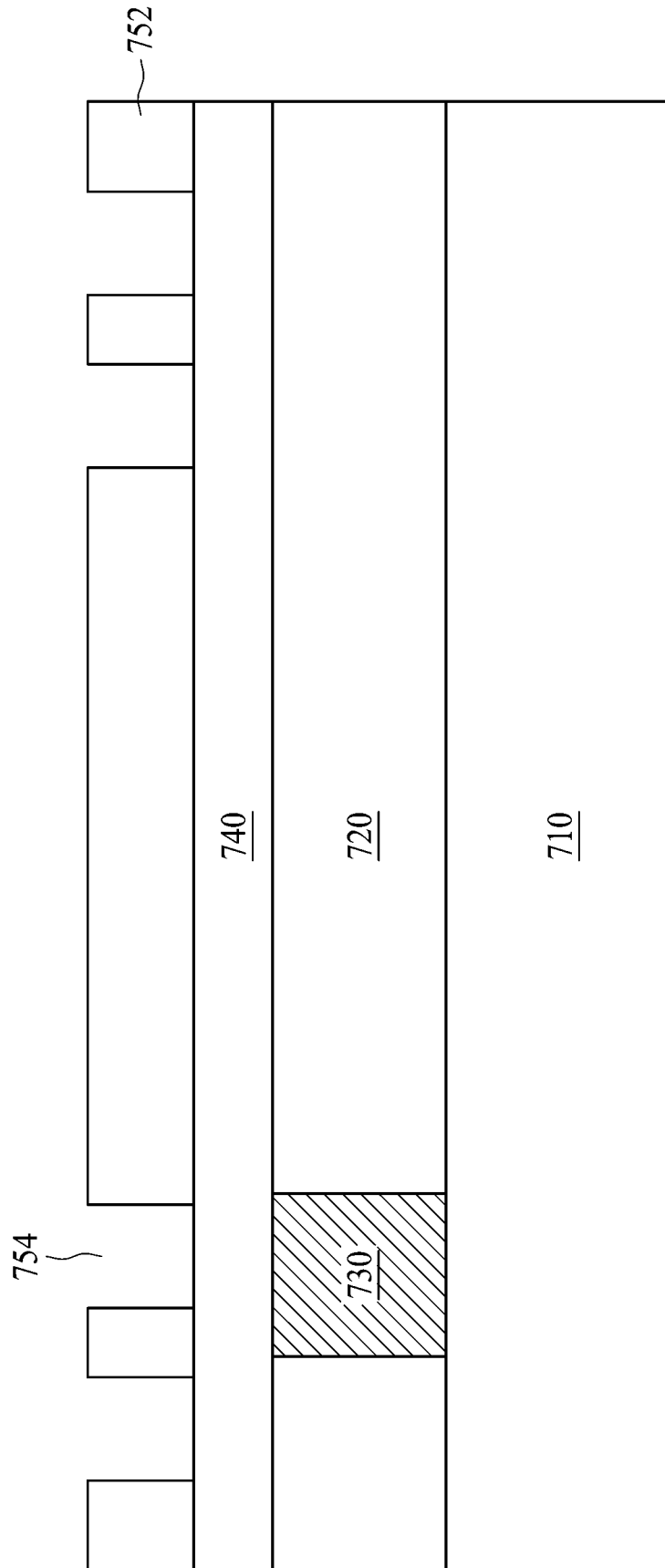
【圖4】



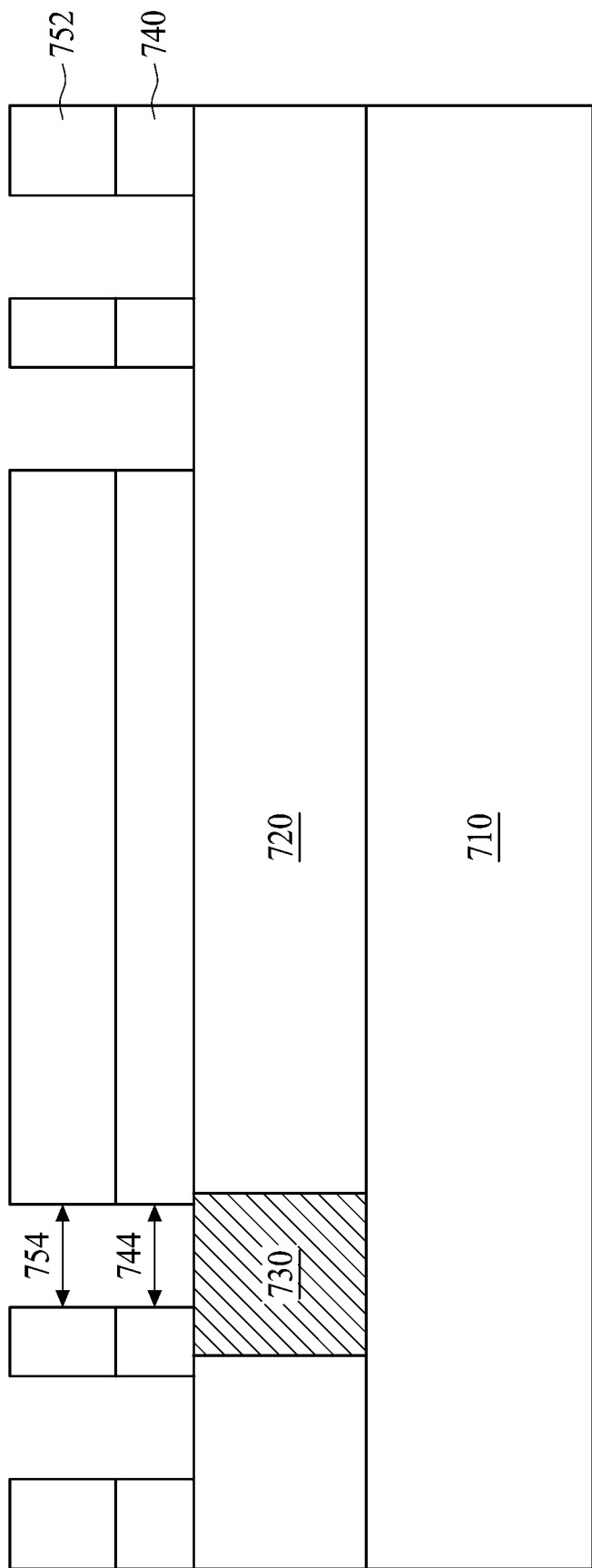
【圖5】



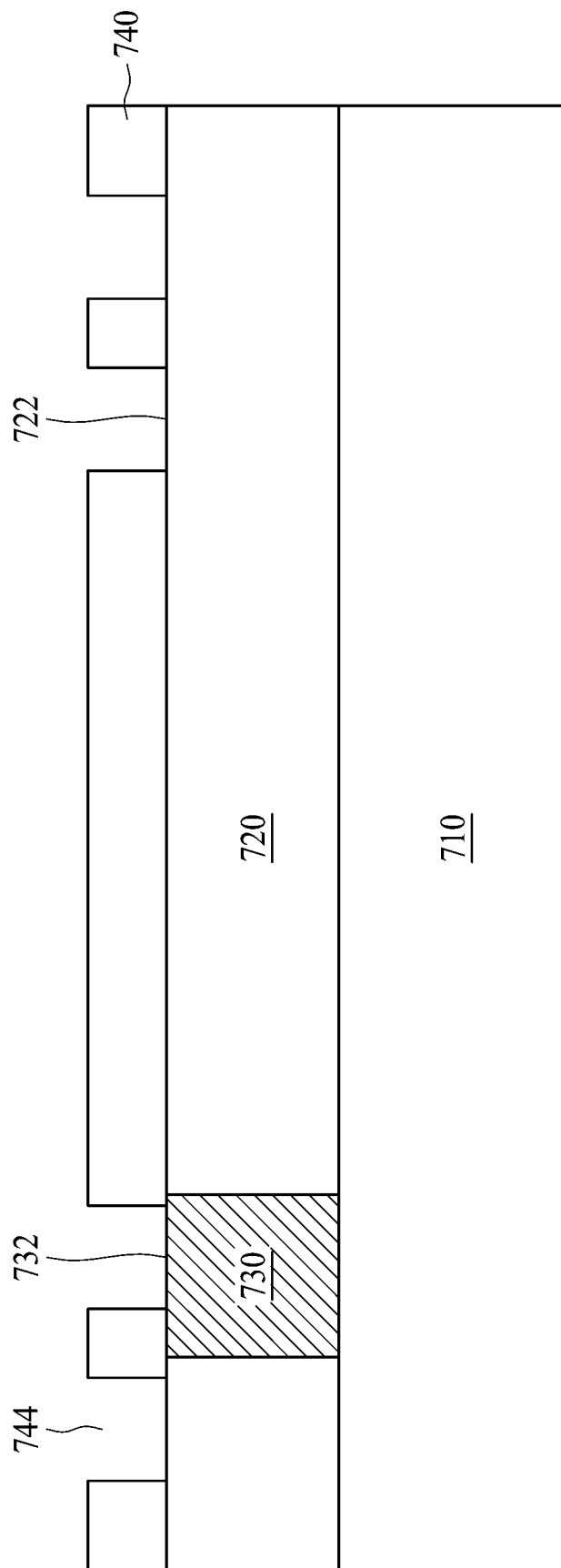
【圖6】



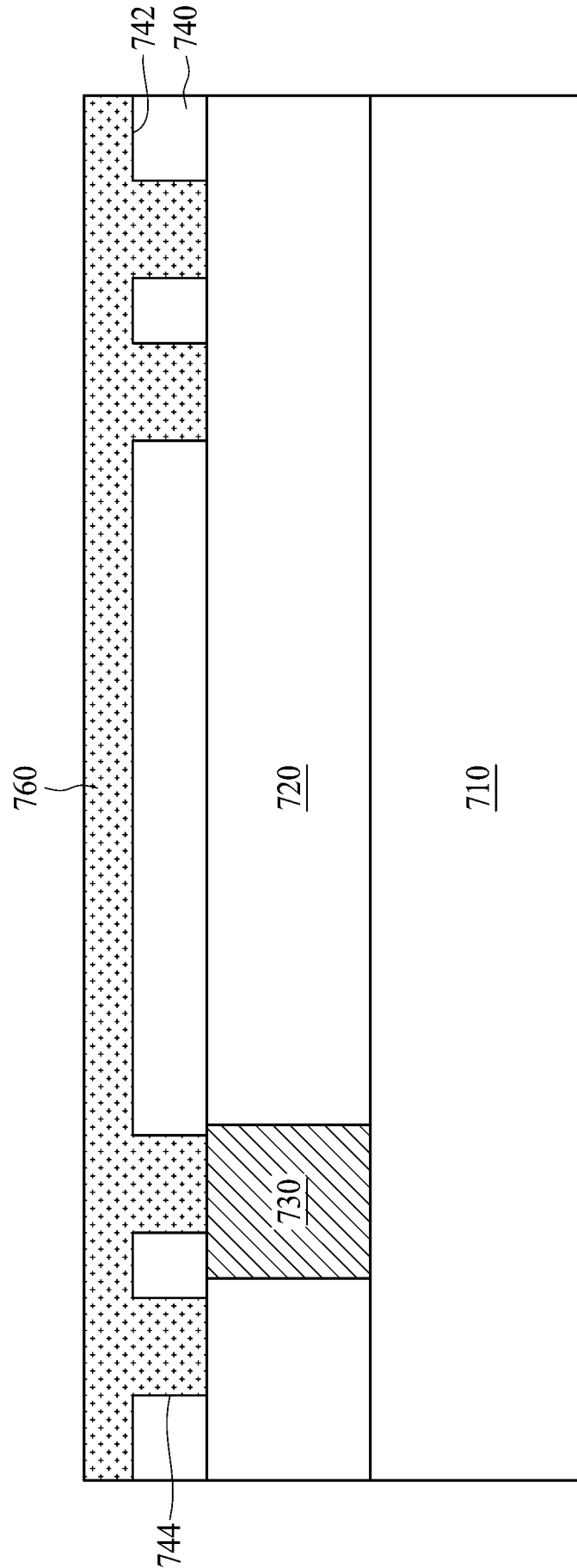
【圖7】



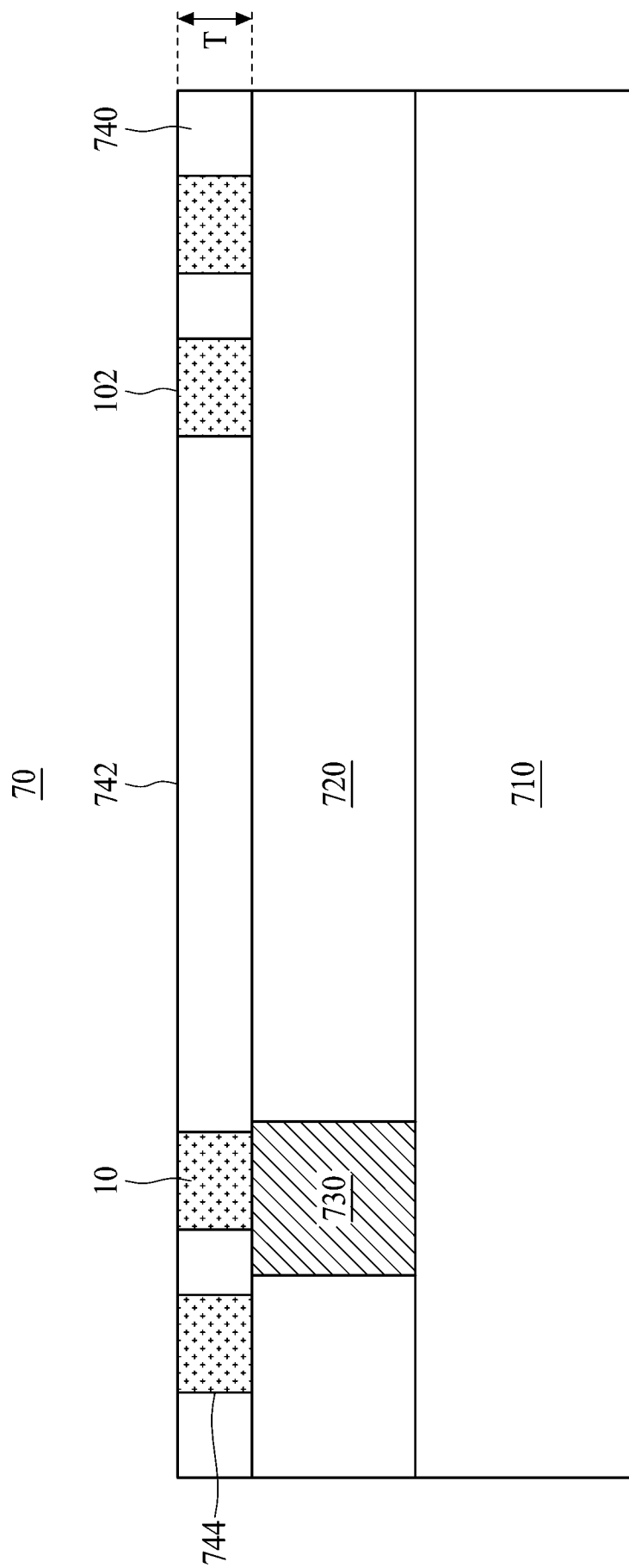
【圖8】



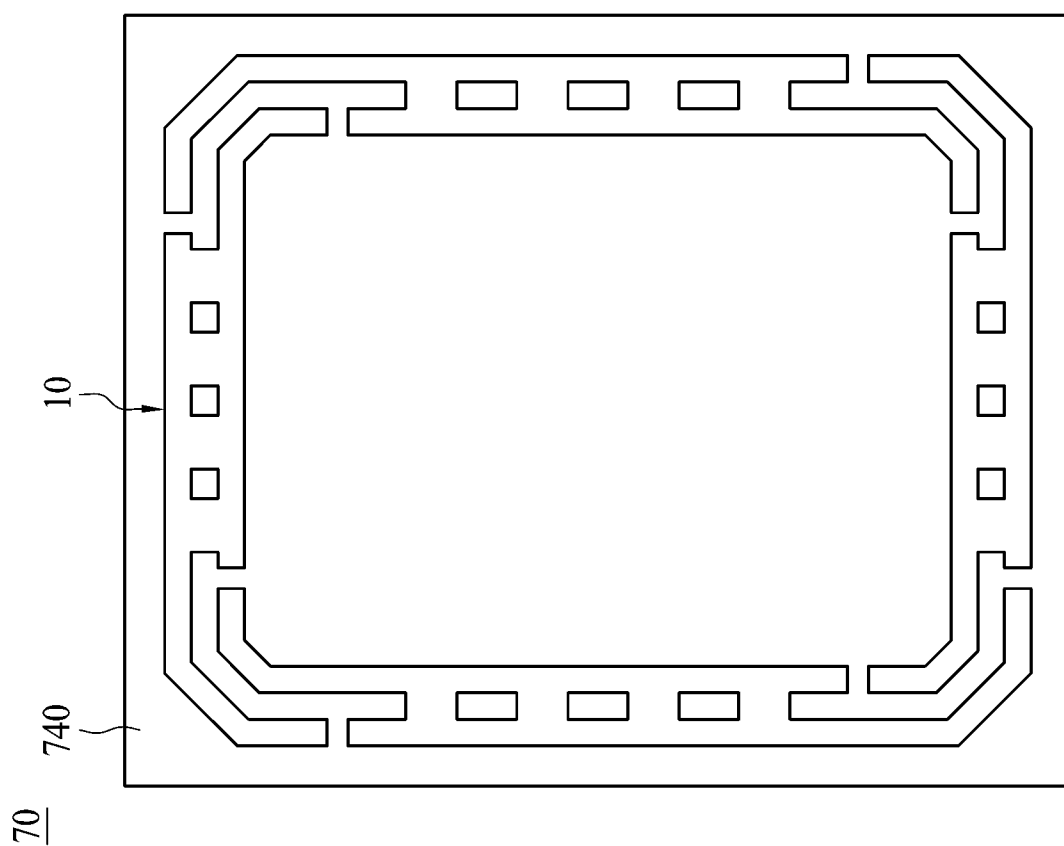
【圖9】



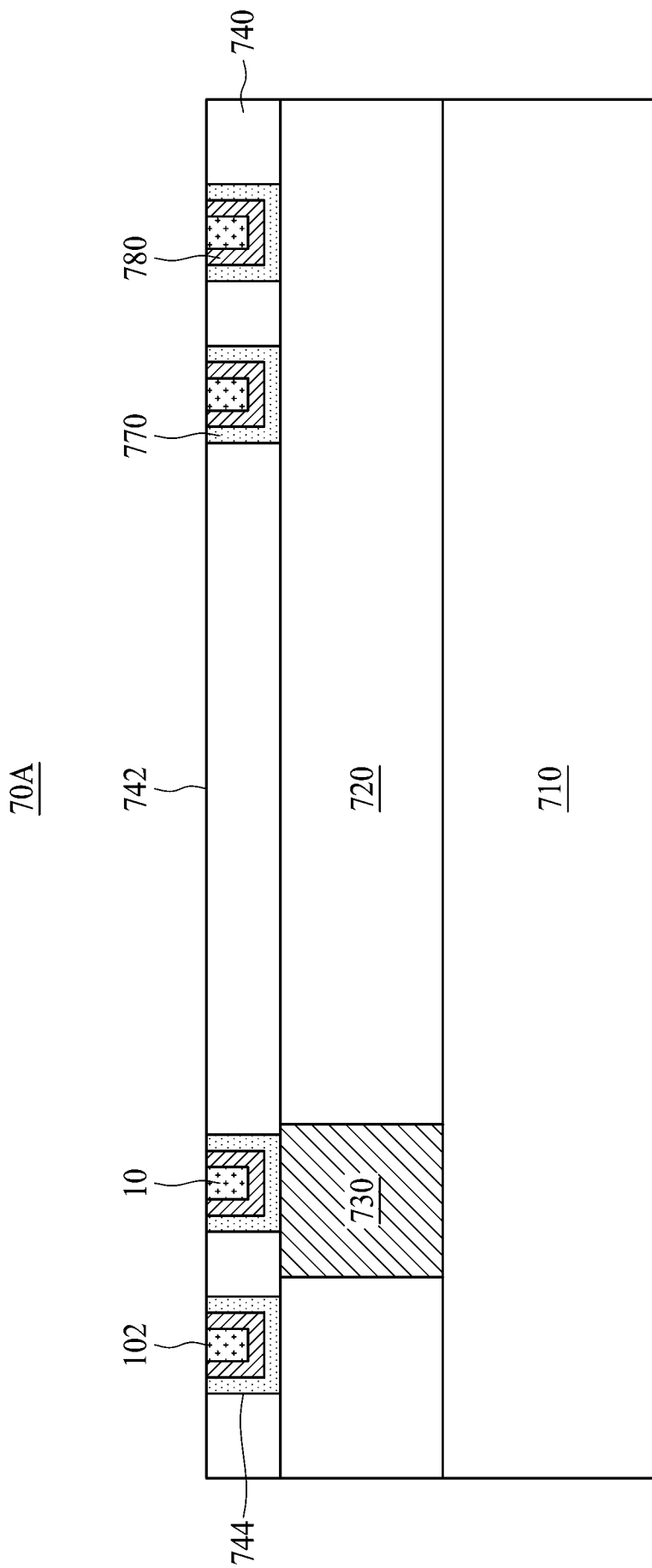
【圖10】



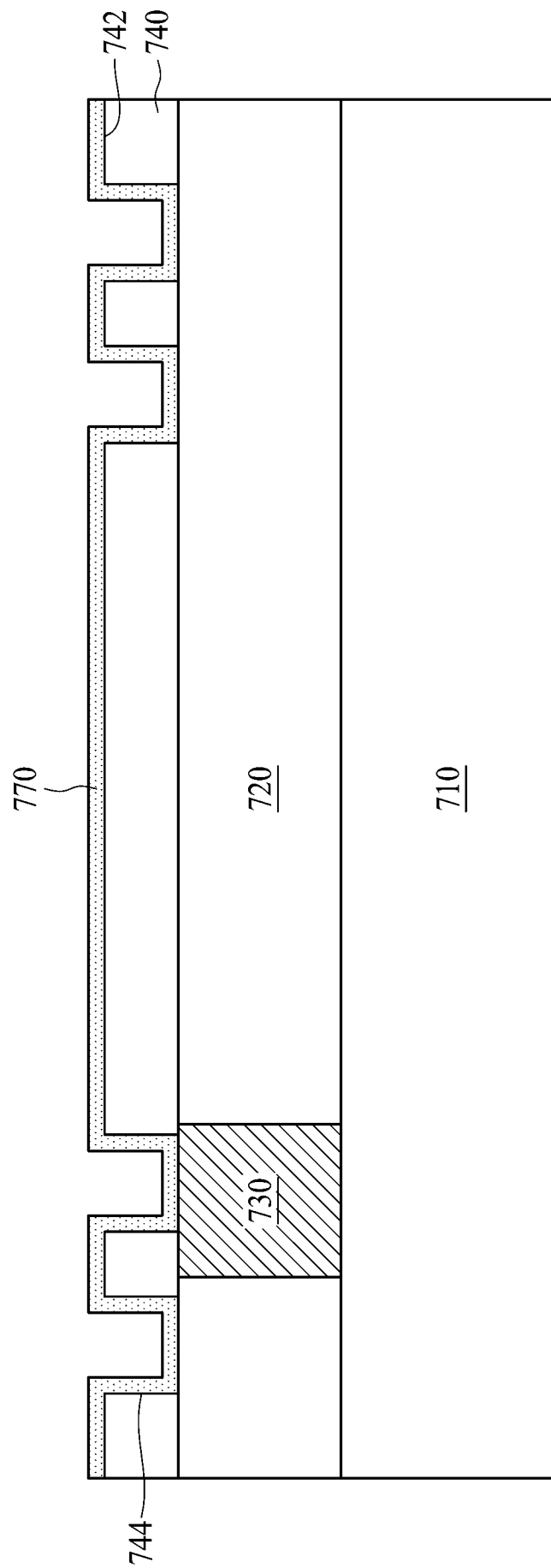
【圖11】



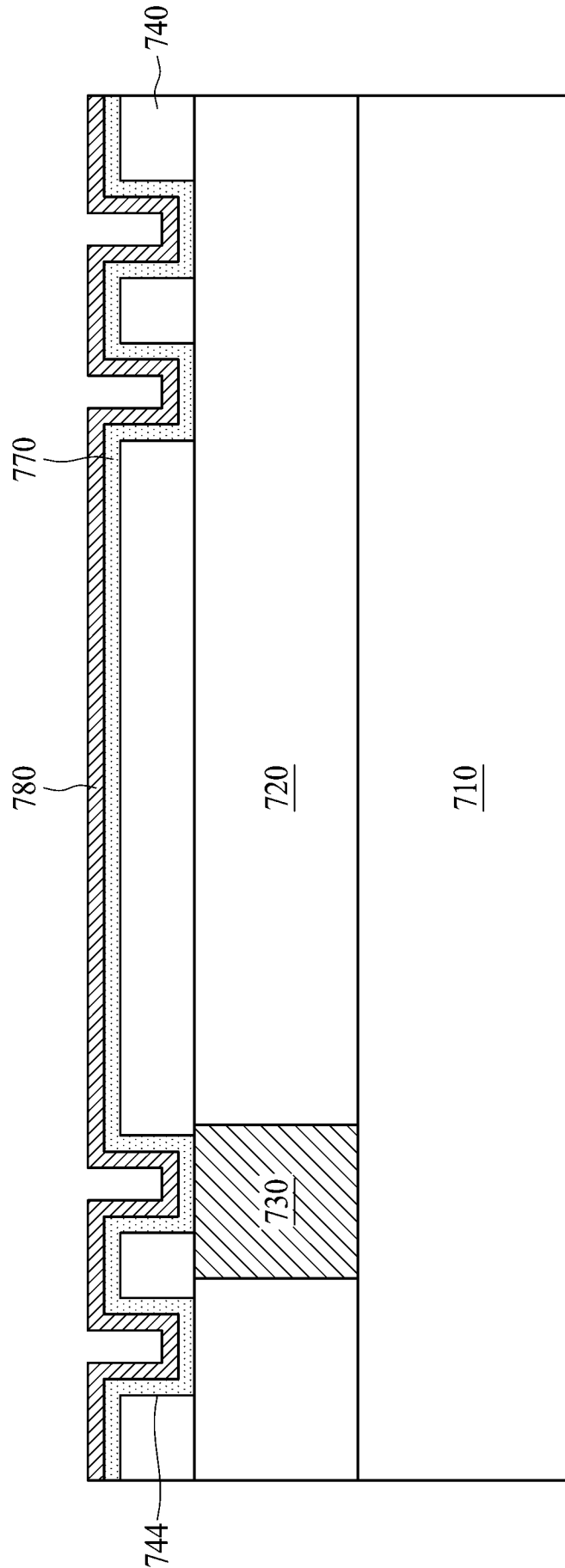
【圖12】



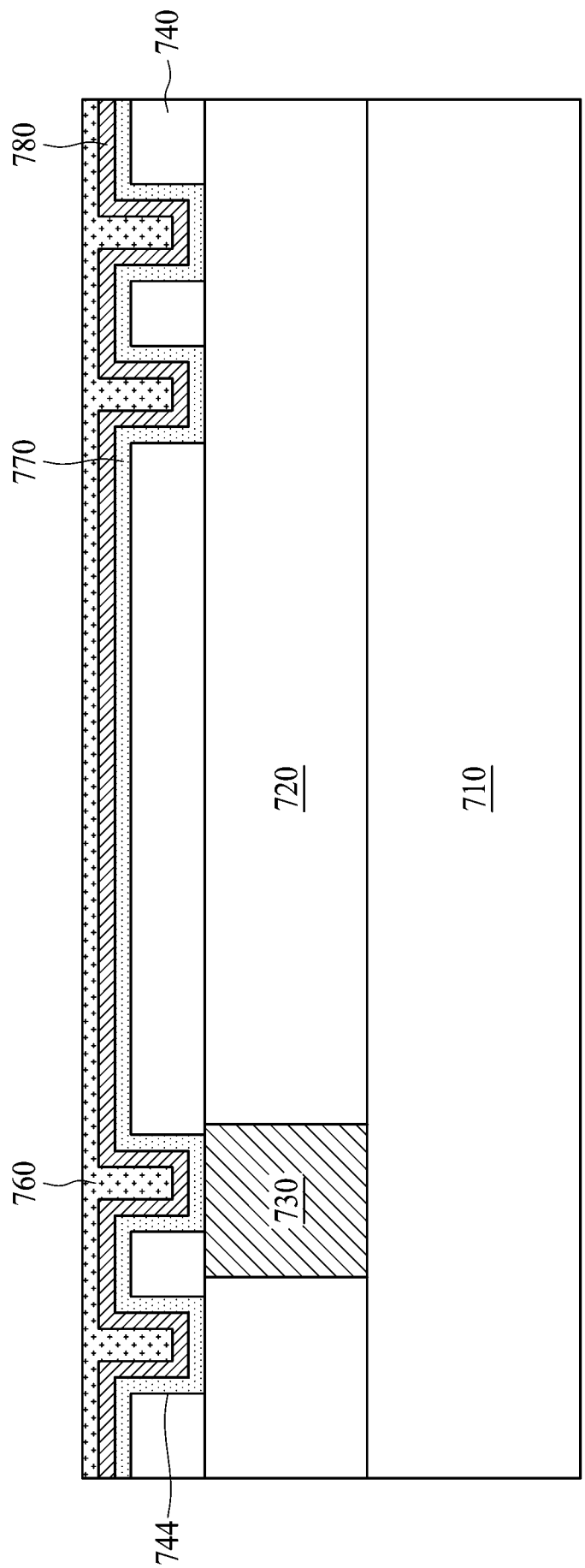
【圖13】



【圖14】



【圖15】



【圖16】

【發明申請專利範圍】

【第1項】

一種接合墊，包括：

一內環構件，具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣，其中該第一內邊緣透過該第三內邊緣連接到該第二內邊緣；

一外環構件，環繞該內環構件並且與該內環構件隔開，其中該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣，其中該第一外邊緣透過該第三外邊緣連接到該第二外邊緣；
以及

複數個橋接構件，設置在該內環構件和該外環構件之間，並且將該內環構件連接到該外環構件。

【第2項】

如請求項1所述的接合墊，其中該第三內邊緣與該第一內邊緣之間的夾角約為135度，該第三內邊緣與該第二內邊緣之間的夾角約為135度。

【第3項】

如請求項2所述的接合墊，其中該第一外邊緣實質上平行於該第一內邊緣，該第二外邊緣實質上平行於該第二內邊緣。

【第4項】

如請求項1所述的接合墊，其中連接到該第一內邊緣的兩個相鄰橋接構件之間的第一距離實質上小於連接到該第二內邊緣的兩個相鄰橋接構

件之間的一第二距離。

【第5項】

如請求項1所述的接合墊，其中該內環構件更包括設置在該第一內邊緣和該第二內邊緣上的複數個內凹口，以及設置在該第一外邊緣和該第二外邊緣上的複數個外凹口。

【第6項】

如請求項5所述的接合墊，其中該內凹口與該第三內邊緣等距，該外外凹口與該第三外邊緣等距。

【第7項】

如請求項6所述的接合墊，其中該內凹口經佈置在該第三內邊緣和該橋接構件之間最接近該第三內邊緣的位置，該外凹口設置在該第三外邊緣與該橋接構件之間最接近第三外邊緣位置。

【第8項】

如請求項6所述的接合墊，其中該內凹口和該外凹口分別設置在該第一內邊緣和該第一外邊緣上，或分別設置在該第二內邊緣和該第二外邊緣上，彼此遠離地設置。

【第9項】

如請求項1所述的接合墊，其中該內環構件和該外環構件具有一均勻的寬度。

【第10項】

如請求項8所述的接合墊，其中該內環構件的該寬度等於該橋接構件的一寬度的兩倍。

【第11項】

一種半導體結構，包括：

一多層部件；

一介電層，設置在該多層部件的上方；以及

一接合墊，設置在該介電層內並包括：

一內環構件，具有一對彼此相對的第一內邊緣、一對彼此相對的第二內邊緣、以及設置在由該第一內邊緣和該第二內邊緣的延伸線所定義的轉角處的複數個第三內邊緣，其中該第一內邊緣透過該第三內邊緣連接到該第二內邊緣；

一外環構件，環繞該內環構件並且與該內環構件隔開，其中該外環構件具有一對彼此相對的第一外邊緣、一對彼此相對的第二外邊緣、以及設置在由該第一外邊緣和該第二外邊緣的延伸線所定義的轉角處的複數個第三外邊緣，其中該第一外邊緣透過該第三外邊緣連接到該第二外邊緣；以及

複數個橋接構件，設置在該內環構件和該外環構件之間，並且將該內環構件連接到該外環構件。

【第12項】

如請求項11所述的半導體結構，其中該多層部件包括：

一主要部件；

一絕緣層，設置在該主要部件的上方；以及

至少一個通孔，設置在該絕緣層內，其中該主要部件透過該通孔電耦接到該接合墊。