

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-211780

(P2009-211780A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/42 (2006.01)	G 1 1 C 29/00 6 3 1 D	5 B 0 1 5
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 2 0 F	5 B 0 1 8
G 1 1 C 11/401 (2006.01)	G 0 6 F 12/16 3 2 0 C	5 L 1 0 6
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/34 3 7 1 C	5 M 0 2 4
	G 1 1 C 11/40 C	

審査請求 未請求 請求項の数 16 O L (全 15 頁)

(21) 出願番号 特願2008-55086 (P2008-55086)
 (22) 出願日 平成20年3月5日 (2008.3.5)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100084250
 弁理士 丸山 隆夫
 (72) 発明者 鈴木 一正
 東京都港区芝五丁目7番1号 日本電気株式会社内
 Fターム(参考) 5B015 HH01 NN09
 5B018 GA01 GA02 HA14 NA01 RA13
 5L106 AA01 AA02 BB01 EE05 FF05
 5M024 AA21 MM09

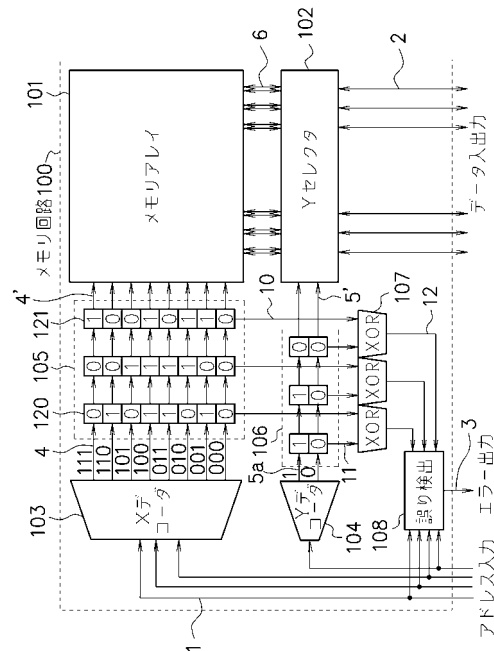
(54) 【発明の名称】 アドレスエラー検出装置、アドレスエラー検出方法

(57) 【要約】

【課題】メモリ回路のアドレスデコード部で発生する障害を高確率で検出できる小面積のアドレスエラー検出装置およびアドレスエラー検出方法を提供する。

【解決手段】Xデコーダ103の出力から複数ビットの冗長符号を生成するX符号化器105と、Yデコーダ104の出力から前記冗長符号と同じビット数の冗長符号を出力するY符号化器106と、X符号化器105の出力10とY符号化器106の出力11を各ビット排他的論理和するXOR回路107と、XOR回路107の出力12とアドレス信号1を入力し、誤り検出を行う誤り検出器108と、を備える。X符号化器105とY符号化器106、およびXOR回路107によって、アドレス信号をハミング符号化した冗長部12を生成する。誤り検出器108では、元のアドレス信号と生成された冗長符号に対して検査行列の掛け算を行い、エラーが発生したか否かを検出し、エラー出力3を得る。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

アドレス信号に基づいてメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出装置であって、

前記アドレス信号の一部をデコードし、前記メモリアレイのローを選択する信号を生成する第 1 のデコーダ手段と、

前記アドレス信号の残りをデコードし、前記メモリアレイのカラムを選択する信号を生成する第 2 のデコーダ手段と、

前記第 1 のデコーダ手段により出力された出力信号を受けて、前記第 1 のデコーダ手段の入力値に基づいた複数ビットの第 1 の符号を生成する第 1 の符号生成手段と、

前記第 2 のデコーダ手段により出力された出力信号を受けて、前記第 2 のデコーダ手段の入力値に基づいた複数ビットの第 2 の符号を生成する第 2 の符号生成手段と、

前記第 1 の符号と前記第 2 の符号とのビット毎の排他的論理和から第 3 の符号を求める XOR 手段と、

前記アドレス信号と前記 XOR 手段により求めた前記第 3 の符号とを入力するエラー検出手段と、を備えることを特徴とするアドレスエラー検出装置。

【請求項 2】

前記第 1 の符号生成手段は、前記アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき前記第 1 の符号を生成し、

前記第 2 の符号生成手段は、前記生成行列の異なる部位の部分行列に基づき前記第 2 の符号を生成し、

前記第 1 の符号と前記第 2 の符号との排他的論理和から求めた前記第 3 の符号は、前記誤り訂正符号の冗長部であることを特徴とする請求項 1 記載のアドレスエラー検出装置。

【請求項 3】

前記第 1 の符号生成手段により生成された前記第 1 の符号の符号長と前記第 2 の符号生成手段により生成された前記第 2 の符号の符号長が等しく、

前記第 1 の符号の符号長は、前記第 1 のデコーダ手段の入力信号長と等長以上で、

前記第 2 の符号の符号長は、前記第 2 のデコーダ手段の入力信号長と等長以上であることを特徴とする請求項 1 又は 2 記載のアドレスエラー検出装置。

【請求項 4】

前記冗長部は、前記アドレス信号をハミング符号化したものであることを特徴とする請求項 2 又は 3 記載のアドレスエラー検出装置。

【請求項 5】

アドレス信号に基づいて複数に分割されたメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出装置であって、

前記アドレス信号の一部をデコードし、前記メモリアレイの分割された 1 つを選択する信号を生成する第 1 のデコーダ手段と、

前記アドレス信号の別の一部をデコードし、前記メモリアレイのローを選択する信号を生成する第 2 のデコーダ手段と、

前記アドレス信号の残りをデコードし、前記メモリアレイのカラムを選択する信号を生成する第 3 のデコーダ手段と、

前記第 1 のデコーダ手段により選択された出力信号を受けて、前記第 1 のデコーダ手段の入力値に基づいた複数ビットの第 1 の符号を生成する第 1 の符号生成手段と、

前記第 2 のデコーダ手段により生成された出力信号を受けて、前記第 2 のデコーダ手段の入力値に基づいた複数ビットの第 2 の符号を生成する第 2 の符号生成手段と、

前記第 3 のデコーダ手段により生成された出力信号を受けて、前記第 3 のデコーダ手段の入力値に基づいた複数ビットの第 3 の符号を生成する第 3 の符号生成手段と、

前記第 1 の符号と前記第 2 の符号と前記第 3 の符号とのビット毎の排他的論理和から第 4 の符号を求める XOR 手段と、

前記アドレス信号と前記 XOR 手段により求めた前記第 4 の符号とを入力するエラー検

10

20

30

40

50

出手段と、を備えることを特徴とするアドレスエラー検出装置。

【請求項 6】

前記第 1 の符号生成手段は、前記アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき前記第 1 の符号を生成し、

前記第 2 の符号生成手段は、前記生成行列の異なる部位の部分行列に基づき前記第 2 の符号を生成し、

前記第 3 の符号生成手段は、前記生成行列のさらに異なる部位の部分行列に基づき前記第 3 に符号を生成し、

前記第 1 の符号と前記第 2 の符号と前記第 3 の符号との排他的論理和から求めた前記第 4 の符号は、前記誤り訂正符号の冗長部であることを特徴とする請求項 5 記載のアドレスエラー検出装置。

10

【請求項 7】

前記第 1 の符号生成手段により生成された第 1 の符号の符号長と、前記第 2 の符号生成手段により生成された第 2 の符号の符号長と、前記第 3 の符号生成手段により生成された第 3 の符号の符号長と、がすべて等しく、

前記第 1 の符号の符号長は、前記第 1 のデコーダ手段の入力信号長と等長以上で、

前記第 2 の符号の符号長は、前記第 2 のデコーダ手段の入力信号長と等長以上で、

前記第 3 の符号の符号長は、前記第 3 のデコーダ手段の入力信号長と等長以上であることを特徴とする請求項 5 又は 6 記載のアドレスエラー検出装置。

20

【請求項 8】

前記冗長部は、前記アドレス信号をハミング符号化したものであることを特徴とする請求項 6 又は 7 記載のアドレスエラー検出装置。

【請求項 9】

アドレス信号に基づいてメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出方法であって、

前記アドレス信号の一部をデコードし、前記メモリアレイのローを選択する信号を生成する第 1 のデコーダステップと、

前記アドレス信号の残りをデコードし、前記メモリアレイのカラムを選択する信号を生成する第 2 のデコーダステップと、

前記第 1 のデコーダステップにより出力された出力信号を受けて、前記第 1 のデコーダステップの入力値に基づいた複数ビットの第 1 の符号を生成する第 1 の符号生成ステップと、

30

前記第 2 のデコーダステップにより出力された出力信号を受けて、前記第 2 のデコーダステップの入力値に基づいた複数ビットの第 2 の符号を生成する第 2 の符号生成ステップと、

前記第 1 の符号と前記第 2 の符号とのビット毎の排他的論理和から第 3 の符号を求める XOR ステップと、

前記アドレス信号と前記 XOR ステップにより求めた前記第 3 の符号とを入力するエラー検出ステップと、を備えることを特徴とするアドレスエラー検出方法。

40

【請求項 10】

前記第 1 の符号生成ステップは、前記アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき前記第 1 の符号を生成し、

前記第 2 の符号生成ステップは、前記生成行列の異なる部位の部分行列に基づき前記第 2 の符号を生成し、

前記第 1 の符号と前記第 2 のとの排他的論理和から求めた前記第 3 の符号は、前記誤り訂正符号の冗長部であることを特徴とする請求項 9 記載のアドレスエラー検出方法。

【請求項 11】

前記第 1 の符号生成ステップにより生成された前記第 1 の符号の符号長と前記第 2 の符号生成ステップにより生成された前記第 2 の符号の符号長が等しく、

前記第 1 の符号の符号長は、前記第 1 のデコーダステップの入力信号長と等長以上で、

50

前記第 2 の符号の符号長は、前記第 2 のデコーダステップの入力信号長と等長以上であることを特徴とする請求項 9 又は 10 記載のアドレスエラー検出方法。

【請求項 12】

前記冗長部は、前記アドレス信号をハミング符号化したものであることを特徴とする請求項 10 又は 11 記載のアドレスエラー検出方法。

【請求項 13】

アドレス信号に基づいて複数に分割されたメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出方法であって、

前記アドレス信号の一部をデコードし、前記メモリアレイの分割された 1 つを選択する信号を生成する第 1 のデコーダステップと、

前記アドレス信号の別の一部をデコードし、前記メモリアレイのローを選択する信号を生成する第 2 のデコーダステップと、

前記アドレス信号の残りをデコードし、前記メモリアレイのカラムを選択する信号を生成する第 3 のデコーダステップと、

前記第 1 のデコーダステップにより選択された出力信号を受けて、前記第 1 のデコーダステップの入力値に基づいた複数ビットの第 1 の符号を生成する第 1 の符号生成ステップと、

前記第 2 のデコーダステップにより生成された出力信号を受けて、前記第 2 のデコーダステップの入力値に基づいた複数ビットの第 2 の符号を生成する第 2 の符号生成ステップと、

前記第 3 のデコーダステップにより生成された出力信号を受けて、前記第 3 のデコーダステップの入力値に基づいた複数ビットの第 3 の符号を生成する第 3 の符号生成ステップと、

前記第 1 の符号と前記第 2 の符号と前記第 3 の符号とのビット毎の排他的論理和から第 4 の符号を求める XOR ステップと、

前記アドレス信号と前記 XOR ステップにより求めた前記第 4 の符号とを入力するエラー検出ステップと、を備えることを特徴とするアドレスエラー検出方法。

【請求項 14】

前記第 1 の符号生成ステップは、前記アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき前記第 1 の符号を生成し、

前記第 2 の符号生成ステップは、前記生成行列の異なる部位の部分行列に基づき前記第 2 の符号を生成し、

前記第 3 の符号生成ステップは、前記生成行列のさらに異なる部位の部分行列に基づき前記第 3 に符号を生成し、

前記第 1 の符号と前記第 2 の符号と前記第 3 の符号との排他的論理和から求めた前記第 4 の符号は、前記誤り訂正符号の冗長部であることを特徴とする請求項 13 記載のアドレスエラー検出方法。

【請求項 15】

前記第 1 の符号生成ステップにより生成された第 1 の符号の符号長と、前記第 2 の符号生成ステップにより生成された第 2 の符号の符号長と、前記第 3 の符号生成ステップにより生成された第 3 の符号の符号長と、がすべて等しく、

前記第 1 の符号の符号長は、前記第 1 のデコーダステップの入力信号長と等長以上で、

前記第 2 の符号の符号長は、前記第 2 のデコーダステップの入力信号長と等長以上で、

前記第 3 の符号の符号長は、前記第 3 のデコーダステップの入力信号長と等長以上であることを特徴とする請求項 13 又は 14 記載のアドレスエラー検出方法。

【請求項 16】

前記冗長部は、前記アドレス信号をハミング符号化したものであることを特徴とする請求項 14 又は 15 記載のアドレスエラー検出方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、メモリ回路におけるアドレス入力部およびアドレスデコード部に発生する障害を検出するアドレスエラー検出装置、アドレスエラー検出方法に関する。

【 背景技術 】

【 0 0 0 2 】

高度な信頼性が要求されるシステムでは、動作中に発生する障害を検出する機構が必須である。搭載されているメモリに関しても例外ではないが、データを保持する部位であることから特に高度な信頼性が求められている。メモリは、データを記憶するメモリセルアレイ部と、データを記憶する位置を指定するアドレスをデコードするデコーダ部とで構成される。メモリアレイに保持されるデータに関しては、パリティやエラー訂正符号などの冗長ビットを追加することによって、データの1ビットまたは2ビットが誤る障害を検出する機構が広く用いられている。

10

【 0 0 0 3 】

例えば特許文献1では、データを誤り訂正符号化して保持することによって、シンクロナスD R A M (Dynamic Random Access Memory) がリフレッシュ時にエラー救済を行う例が示されている。また、冗長符号部が複数のメモリアレイに分散して保持されているため、別々に求めたエラー検出符号を統合して全体の誤り検出を行う機構が示されている。このように、データに関しては、冗長符号を併せてメモリ領域に保持することによって、エラー検出を行う方法が数多く開示されている。

20

【 0 0 0 4 】

デコーダ部に関しては障害を検出する機構が設けられていないことも多い。それでも障害検出を行うために、特許文献2、3、4では、データを保持するメモリアレイを拡張して、拡張した部分にアドレスから生成したパリティや誤り訂正符号の冗長コード、あるいはアドレス値そのものを保持しておき、読み出し時にその拡張部分の出力を検査することで誤ったアドレスがアクセスされていないかを検出している。

【 0 0 0 5 】

また、デコーダで発生する障害を検出する方法も提案されている。メモリアレイにはアドレスに応じて多数のデータが保持されている。一般的メモリでは、データの、ある1ビットに着目すると、アドレスが異なるデータはロー方向(X方向)とカラム方向(Y方向)にそれぞれ複数個並んでいて、アドレスの一部のビットでX方向のセル、残りのビットでY方向のセルを選択して1つのセルを選択する構成になっている。特許文献5では、X方向を指定するアドレスをデコードして選択された1本の信号から、対応するアドレス部のパリティを生成して出力する回路と、Y方向を指定するアドレスをデコードして選択された1本の信号から対応するアドレス部のパリティを生成して出力する回路を搭載し、それぞれの回路の出力をX O R (eXclusive OR) することによって、アドレス全体のパリティを生成し、入力したアドレスのパリティと比較することによって、アドレスデコーダ部の障害を検出している。

30

【 特許文献 1 】 特開 2 0 0 4 - 4 6 9 6 9 号 公 報

【 特許文献 2 】 特開平 5 - 1 8 1 7 5 7 号 公 報

【 特許文献 3 】 特開平 7 - 1 0 5 1 0 2 号 公 報

【 特許文献 4 】 特開平 1 1 - 1 6 1 5 6 0 号 公 報

【 特許文献 5 】 特開平 5 - 2 2 5 7 9 7 号 公 報

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかしながら、メモリ領域を増やして冗長コードやアドレス値を保持する方法にはいくつかの問題がある。第1の問題点は、メモリ容量を増やす必要があり、メモリマクロのサイズが増大することである。さらに、メモリマクロは扱えるビット数に制限がある場合があり、このような冗長コードを搭載することが不可能な場合もある。特に、ビット数が大きい場合には複数のメモリマクロに分割して保持することがあるが、デコーダ部の障害を

50

検出するために記憶させるこの冗長なコードは、それぞれのメモリマクロに搭載する必要があり、多くの領域を必要とする。第2の問題点は、消費電力が増加することである。それは、冗長コードを保持するために、メモリ容量が増大することに伴う。

【0007】

また、デコーダ部にパリティ生成回路を組み込む方法にも問題がある。それは、障害検出能力がそれほど高くないということである。なぜなら、パリティだけではアドレスビットの1ビットの誤りしか検出できないことや、X方向のデコーダ出力はデコードするビットがnビットなら2のn乗本であることから、0と1のパリティだけでは区別のつかない信号が数多くあるためである。

【0008】

上記特許文献1に開示されている発明は、データのエラー検出を行う装置に関するものであり、後述する本発明のアドレスエラー検出装置とは目的、構成が異なる。特許文献2、3、4、5も本発明とは、構成が異なり、上記の問題を十分に解決することはできない。

【0009】

本発明はこのような実情を鑑みてなされたものであり、メモリのアドレスデコード部で発生する障害を高確率で検出できる小面積なアドレスエラー検出装置およびアドレスエラー検出方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明によるアドレスエラー検出装置は、アドレス信号に基づいてメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出装置であって、アドレス信号の一部をデコードし、メモリアレイのローを選択する信号を生成する第1のデコーダ手段と、アドレス信号の残りをデコードし、メモリアレイのカラムを選択する信号を生成する第2のデコーダ手段と、第1のデコーダ手段により出力された出力信号を受けて、第1のデコーダの入力値に基づいた複数ビットの第1の符号を生成する第1の符号生成手段と、第2のデコーダ手段により出力された出力信号を受けて、第2のデコーダ手段の入力値に基づいた複数ビットの第2の符号を生成する第2の符号生成手段と、第1の符号と第2の符号とのビット毎の排他的論理和から第3の符号を求めるXOR手段と、アドレス信号とXOR手段により求めた第3の符号とを入力するエラー検出手段と、を備えることを特徴とする。

【0011】

本発明によるアドレスエラー検出装置は、第1の符号生成手段は、アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき第1の符号を生成し、第2の符号生成手段は、生成行列の異なる部位の部分行列に基づき第2の符号を生成し、第1の符号と第2のとの排他的論理和から求めた第3の符号は、誤り訂正符号の冗長部であることを特徴とする。

【0012】

本発明によるアドレスエラー検出装置は、アドレス信号の一部をデコードし、メモリアレイの分割された1つを選択する信号を生成する第1のデコーダ手段と、アドレス信号の別の一部をデコードし、メモリアレイのローを選択する信号を生成する第2のデコーダ手段と、アドレス信号の残りをデコードし、メモリアレイのカラムを選択する信号を生成する第3のデコーダ手段と、第1のデコーダ手段により選択された出力信号を受けて、第1のデコーダ手段の入力値に基づいた複数ビットの第1の符号を生成する第1の符号生成手段と、第2のデコーダ手段により生成された出力信号を受けて、第2のデコーダ手段の入力値に基づいた複数ビットの第2の符号を生成する第2の符号生成手段と、第3のデコーダ手段により生成された出力信号を受けて、第3のデコーダ手段の入力値に基づいた複数ビットの第3の符号を生成する第3の符号生成手段と、第1の符号と第2の符号と第3の符号とのビット毎の排他的論理和から第4の符号を求めるXOR手段と、アドレス信号とXOR手段により求めた第4の符号とを入力するエラー検出手段と、を備えることを特徴とする。

10

20

30

40

50

【0013】

本発明によるアドレスエラー検出装置は、第1の符号生成手段は、アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき第1の符号を生成し、第2の符号生成手段は、生成行列の異なる部位の部分行列に基づき第2の符号を生成し、第3の符号生成手段は、生成行列のさらに異なる部位の部分行列に基づき第3に符号を生成し、第1の符号と第2の符号と第3の符号との排他的論理和から求めた第4の符号は、誤り訂正符号の冗長部であることを特徴とする。

【0014】

本発明によるアドレスエラー検出方法は、アドレス信号に基づいてメモリアレイ内の記憶位置を指定するメモリ回路のアドレスエラー検出方法であって、アドレス信号の一部をデコードし、メモリアレイのローを選択する信号を生成する第1のデコードステップと、アドレス信号の残りをデコードし、メモリアレイのカラムを選択する信号を生成する第2のデコードステップと、第1のデコードステップにより出力された出力信号を受けて、第1のデコードステップの入力値に基づいた複数ビットの第1の符号を生成する第1の符号生成ステップと、第2のデコードステップにより出力された出力信号を受けて、第2のデコードステップの入力値に基づいた複数ビットの第2の符号を生成する第2の符号生成ステップと、第1の符号と第2の符号とのビット毎の排他的論理和から第3の符号を求めるXORステップと、アドレス信号とXORステップにより求めた第3の符号とを入力するエラー検出ステップと、を備えることを特徴とする。

【0015】

本発明によるアドレスエラー検出方法は、第1の符号生成ステップは、アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき第1の符号を生成し、第2の符号生成ステップは、生成行列の異なる部位の部分行列に基づき第2の符号を生成し、第1の符号と第2のとの排他的論理和から求めた第3の符号は、誤り訂正符号の冗長部であることを特徴とする。

【0016】

本発明によるアドレスエラー検出方法は、アドレス信号の一部をデコードし、メモリアレイの分割された1つを選択する信号を生成する第1のデコードステップと、アドレス信号の別の一部をデコードし、メモリアレイのローを選択する信号を生成する第2のデコードステップと、アドレス信号の残りをデコードし、メモリアレイのカラムを選択する信号を生成する第3のデコードステップと、第1のデコードステップにより選択された出力信号を受けて、第1のデコードステップの入力値に基づいた複数ビットの第1の符号を生成する第1の符号生成ステップと、第2のデコードステップにより生成された出力信号を受けて、第2のデコードステップの入力値に基づいた複数ビットの第2の符号を生成する第2の符号生成ステップと、第3のデコードステップにより生成された出力信号を受けて、第3のデコードステップの入力値に基づいた複数ビットの第3の符号を生成する第3の符号生成ステップと、第1の符号と第2の符号と第3の符号とのビット毎の排他的論理和から第4の符号を求めるXORステップと、アドレス信号とXORステップにより求めた第4の符号とを入力するエラー検出ステップと、を備えることを特徴とする。

【0017】

第1の符号生成ステップは、アドレス信号の誤り訂正符号を生成する生成行列の部分行列に基づき第1の符号を生成し、第2の符号生成ステップは、生成行列の異なる部位の部分行列に基づき第2の符号を生成し、第3の符号生成ステップは、生成行列のさらに異なる部位の部分行列に基づき第3に符号を生成し、第1の符号と第2の符号と第3の符号との排他的論理和から求めた第4の符号は、誤り訂正符号の冗長部であることを特徴とする。

【発明の効果】

【0018】

本発明によれば、エラー検出のための冗長符号生成回路を備えることによって、メモリの領域を削減することができる。本発明は、特に、高度な信頼性が要求されるシステムで

10

20

30

40

50

使用する半導体記憶回路（メモリ）におけるアドレス入力部およびアドレスデコード部に発生する障害を検出する場合に用いて好適である。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態を図面と共に説明する。

【0020】

本発明の第一の実施の形態について、以下に説明する。図1は本発明の実施の形態によるエラー検出装置の構成例を示すブロック図である。図1において、エラー検出装置は、メモリ回路100に設けられた、メモリアレイ101、Yセクタ102、Xデコーダ103、Yデコーダ104、X符号化器105、Y符号化器106、XOR回路107、誤り検出器108により図示のように構成される。Xデコーダ103、Yデコーダ104、誤り検出器108にアドレス入力1が与えられ、Yセクタ102に対してデータ入出力2が行われる。そして誤り検出器108よりエラーを検出したエラー出力3が得られる。図示される矢印はワード線4、4'、Y選択線5、5'、ビット線6を示している。

10

【0021】

メモリアレイ101は、データを保持するメモリである。メモリアレイ101は、1ビットが複数のカラム構成となっていて、Yセクタ102によってその1つをアドレスに応じて選択する。Xデコーダ103は、アドレスに合わせてメモリアレイ101の縦方向（X方向）のローを選択する信号を発生する。Yデコーダ104は、アドレスにあわせてメモリアレイ101の縦方向（Y方向）のカラムを選択する信号を発生する。X符号化器105は、Xデコーダ103の出力から複数ビットの冗長符号10を生成する。Y符号化器106は、Yデコーダ104の出力からX符号化器105が生成した冗長符号と同じビット数の冗長符号11を出力する。XOR回路107は、X符号化器105の出力10とY符号化器の出力11を各ビット排他的論理和する。誤り検出器108は、XOR回路107の出力12と、アドレス信号1を入力し、誤り検出を行う。

20

【0022】

図2は、入力されるアドレスを4ビットとし、そのうちの3ビットをXデコーダ103でデコードし、残りの1ビットをYデコーダ104でデコードする場合の動作を示す図である。Xデコーダ103は3ビットを入力し、000から111に対応して8本のワード線4のいずれかに信号を出力する。この信号を受けて、X符号化器105は3ビットの符号10を出力する。この符号10は後述するハミング符号の生成行列の一部を使って決められる値で、8つのデコード信号それぞれに対して異なる3ビットの符号が割り当てられている。

30

【0023】

Yデコーダ104は1ビットをデコードして2本のY選択線5のうちのいずれかに信号を出力する。この信号を受けて、Y符号化器106は3ビットの符号11を出力する。この符号11も後述するハミング符号の生成行列の一部を使って決められる。X符号化器105とY符号化器106の3ビット出力の符号10、11は、それぞれのビット毎にXOR回路107で排他的論理和され、アドレスのハミング符号の冗長部12となり、誤り検出器108に入力される。

40

【0024】

図3は、本発明の実施の形態に係る符号化器の出力符号を説明する構成図である。図3を用いて、X符号化器105とY符号化器106が出力する符号10、11について説明する。4ビットの信号をハミング符号化すると7ビットのコードとなる。そのうち4ビットは元の信号そのものであり、3ビットが冗長部12である。このようなハミング符号を作る動作について、以下に示す。

【0025】

図3において、3ビットの符号を検査する検査行列Hを先に作成する。これは、3ビットのコードのうち、000を除いた7種類を各列に配置した行列で、3行7列の行列である。列は任意の順番で並べてかまわないが、この検査行列から作成する生成行列を作っ

50

得られるハミング符号が元の4ビット値と冗長符号部とにきれいに分割できるようなコードにするには、右3列は3行3列の単位行列になるようにする。また、便宜的に、左から3行は独立した3つの値を選択する。ここで言う独立とは2つの値を選択して加算(排他的論理和)をしたときに残りの値にならないような3つの値である。

【0026】

この検査行列から4行7列の生成行列Gを作成するには、検査行列Hのうち単位行列でない3行4列の部分を転置し、4行3列の行列を作り右3列に配置し、その左側に4行4列の単位行列を付加すればよい。ある4ビット値のハミング符号を生成するには、その4ビット値に右から生成行列Gを掛けてやればよい。4行7列の行列を掛けるため、4ビットの数值は7ビットの符号となる。このとき、単位行列部分を掛けた結果はそのものの値になるので、左4ビットは元の4ビットの値に、残りの3ビットには冗長の符号ビットが付加された形式となる。

10

【0027】

生成行列Gの4行3列の部分を使って、本発明の冗長部12の冗長符号は作られる。アドレス4ビットとこの4行3列の行列を掛け合わせるのだが、X符号化器105では、4行3列のうち上部の3行3列の行列を使って符号を生成する。Xデコーダ103は000から111の8通りの値に対応して1つが出力されるが、それに合わせて、この3ビットの値と3行3列の行列を掛け算した結果を出力するような符号化器にする。例えば、000にこの行列を掛けると結果は000であるから、ワード線5において000に対応する信号を受けたら、X符号化器105は000を出力する。また、111に掛けた結果は001であるから出力は001である。同様に他の値に対しても3ビットの値を出力するようにする。

20

【0028】

Yデコーダ104の出力5は1ビットの0と1に対していずれかが出力される。ここでも生成行列Gの右下の1行3列の行列を掛け合わせて出力する符号を決める。つまり、0には000を1には110を出力する。

【0029】

これらによって出力された2つの符号10、11をXOR回路107で排他的論理和することによって4行3列の行列を掛けた結果となる。これは冗長部12の符号そのものである。誤り検出器108は、冗長部12の符号とアドレス入力1に基づいてエラー出力3を得る。

30

【0030】

図4は一番簡単な0出力回路120と1出力回路121の回路例である。図5は0出力回路と1出力回路の他の構成例である。X符号化器105やY符号化器106には、0出力回路120や1出力回路121が使われる。その構成例を図4、図5を用いて説明する。

【0031】

図4に図示するように、符号の各ビットに対して2本の出力線21、21'を用意し、プリチャージ信号22によりpMOS(Positive channel Metal Oxide Semiconductor)トランジスタ200、201によってあらかじめプリチャージしておく。0出力回路120では、出力線21にドレインが接続され、ゲートが選択線20に接続されたnMOS(Negative channel Metal Oxide Semiconductor)トランジスタ300によって、出力線21をディスチャージする。

40

【0032】

1出力回路121では、出力線21'にドレインが接続され、ゲートが選択線20'に接続されたnMOSトランジスタ301によって出力線21'をディスチャージする。出力線21がディスチャージされたら0を、出力線21'がディスチャージされたら1を表すものとして検出すればよい。この回路は最もトランジスタを少なく作れる構成であるので、X符号化器105だけでなく、Y符号化器106でも使用できる。X符号化器105では、選択線20、20'はワード線4に相当し、Y符号化器106では選択線20、20'

50

は Y 選択線 5 に相当する。

【 0 0 3 3 】

X 符号化器 1 0 5 は通常メモリセルに隣接して配置されるので、通常の 6 トランジスタメモリセルを改良した形の回路にしてあるとレイアウトしやすい。そこで、図 5 に、2 つの p M O S トランジスタと 4 つの n M O S トランジスタからなる 6 トランジスタの 0 出力回路 1 2 0 ' と 1 出力回路 1 2 1 ' の回路を示す。

【 0 0 3 4 】

0 出力回路 1 2 0 ' では、出力線 2 1 ' 側のロード p M O S トランジスタ 2 0 3 のドレインをドライブ n M O S トランジスタ 3 0 5 のドレイン、アクセス n M O S トランジスタ 3 0 3 のソースから切り離し、p M O S トランジスタ 2 0 3 と n M O S トランジスタ 3 0 5 のゲートをグランド電位に接続する。これによって、p M O S トランジスタ 2 0 3 は常にオン状態になり、反対側のインバータを構成する p M O S トランジスタ 2 0 2 をオフ、n M O S トランジスタ 3 0 4 をオンさせ、選択線 2 0 が立ち上がったときに出力線 2 1 をプルダウンする。

10

【 0 0 3 5 】

1 出力回路 1 2 1 ' は 0 出力回路 1 2 0 ' の出力線 2 1 と出力線 2 1 ' を入れ替えたものである。図 4 の回路と同様に、出力線 2 1 がプルダウンされたら 0 を、出力線 2 1 ' がプルダウンされたら 1 を検出すればよい。選択線 2 0、2 0 ' はワード線 4 に相当する。

【 0 0 3 6 】

ここでは 4 ビットのアドレス信号を、3 ビットの X デコードと 1 ビットの Y デコードに分けた場合を示した。さらにアドレスのビット長が長い場合は、1 1 ビットのアドレスまでなら 4 ビットの冗長符号を使えばよく、それ以上でも 2 6 ビットまでなら 5 ビットの冗長符号を使えば同様な回路を作成できる。

20

【 0 0 3 7 】

検査行列 H を作成するとき、1 1 ビットアドレスで 4 ビットの冗長符号では 4 行 1 5 列の行列となるのだが、独立な列は 4 列しか選べないため、1 6 ビットまでしかデコード信号を完全に区別することができない。それ以上のデコード信号の場合は同じ符号が出力されることになる。そのため、完全にデコード信号の誤りを検出できないが、パリティのように 0 と 1 しかない場合と比較すれば、検出能力は大幅に向上する。また、完全に誤りを検出したい場合は、独立な行を増やすため冗長符号のビット数を増やせばよい。n ビットのデコード出力を区別するには、n ビットの冗長符号があれば十分である。

30

【 0 0 3 8 】

上述した動作を要約して説明する。図 1、図 2 において、メモリアレイ 1 0 1 は、X デコーダ 1 0 3 で生成し、X 符号化器 1 0 6 を素通りしてワード線 4 ' に出力されるロー方向選択信号が入力されることにより動作し、ビット線 6 にデータを入出力し、Y 符号化器 1 0 5 を素通りして Y 選択線 5 ' に出力されるカラム方向選択信号が Y セクタ 1 0 2 に入力されることによって、Y セクタ 1 0 2 を介して、データ入出力 2 が行われる。

【 0 0 3 9 】

X 符号化器 1 0 5 と Y 符号化器 1 0 6、および X O R 回路 1 0 7 によって、アドレス信号をハミング符号化した冗長部 1 2 を生成する。ハミング符号は元のビット列に生成行列を掛けることで生成できる。ここでは 2 進法としているため、この行列の掛け算において内積演算を行う際は各要素を論理積して排他的論理輪をとることで行う。この内積演算は結合則が成り立つため、部分ごとに並行して演算することができる。そこで、X デコーダ 1 0 3 でデコードするビット部分の内積演算を X 符号化器 1 0 5 で行い、並行して Y デコーダ 1 0 3 でデコードするビット部分の内積演算を Y 符号化器 1 0 6 で行い、最後に X O R 回路 1 0 7 で合わせて演算することが可能である。

40

【 0 0 4 0 】

誤り検出器 1 0 8 では、生成されたハミング符号に対して検査行列の掛け算を行い、エラーが発生したか否かを検出して、エラー出力 3 を得る。アドレス値をハミング符号化した結果は、元のアドレス値と X O R 回路 1 0 7 の出力を合わせることで得られる。これら

50

に検査行列を掛けて、結果がすべて0であればエラーは無く、何らかのビットが1になっていればエラーが検出されたことになる。

【0041】

図6はビット線に階層を持たせた場合の例である。本発明の第2の実施形態について図6を用いて説明する。図6においては、上述した図1、図2と対応する部分には同一番号を付して重複する説明は省略する。

【0042】

ビット線に階層を持たせると、メモリアレイが複数に分割され、Xデコーダは階層構成となる。1つのメモリアレイ内のX方向のローを選択する第1Xデコーダ109と、複数のメモリアレイのうちひとつを選択する第2Xデコーダ110との階層構成である。

10

【0043】

7ビットのアドレスのうち、3ビットを第1Xデコーダ109が、他の3ビットを第2Xデコーダ110が、残りの1ビットをYデコーダ104がデコードする構成を示す。アドレスは7ビットなので、冗長部12'の冗長符号は4ビット必要になる。第1Xデコーダ109からのデコード信号を受けて、X符号化器105は000から111のコードに対応する4ビット冗長符号10"を出力する。また、Yデコーダ104からの出力を受けてY符号化器106は4ビットの符号11'を出力する。

【0044】

さらに、第2Xデコーダ110の出力される8本のバンク選択線のうちの1本の信号7によって、第1Xデコーダ109とYデコーダ104は動作するが、この信号からも対応するビットの4ビット符号13を出力し、これらの3つの出力10"、11'、13をXORすることで冗長部12'の冗長符号を生成する。誤り検出器108は、7ビットのアドレス入力1と冗長コードとによってエラーを検出し、エラー出力3を得る。尚、図6にはメモリアレイ1つ分しか記載していないが、他の7つのメモリアレイに対しても同様な回路構成をとる。

20

【0045】

図7は7ビットのアドレスから4ビットの冗長符号を生成する方法を示す図である。11ビットの数値に対して4ビットの冗長符号を付加して15ビットのハミング符号が生成できるが、7ビットのアドレスの場合、11ビットのうち4ビットが0であるとして、検査行列H、生成行列Gを考えればよい。検査行列Hは0000を除いた4ビットの値15個を各列に並べた4行15列の行列である。上述した図3の場合と同様に、右4列は単位行列とする。また便宜上、左4列は独立した4つの値を並べ、次の4列も別の独立した4つの値を、さらに次の3列も独立した3つの値を並べる。

30

【0046】

生成行列Gは11行11列の単位行列に、検査行列Hから単位行列部を除いた4行11列の行列を転置した11行4列の行列を右に付加した11行15列の行列である。11ビットの値のハミング符号を生成するには右から生成行列Gを掛けて15ビットの値を得ればよい。右側11行11列が単位行列であることから、生成されたハミング符号の左11ビットは元の値そのもので、これに4ビットの冗長符号を付加した形になる。X符号化器105、Y符号化器106、さらに第1Xデコーダ109に対応した4ビットコードを生成する部分は冗長符号部分を生成する11行4列の行列から生成する。

40

【0047】

X符号化器105では、上から4行のうち3行を使って4ビットのコードを生成する。上から4行は各行独立な値であるため、そこから3行を選択して得られた3行4列を3ビットの値に掛けてもすべて異なる符号が生成でき、デコードされた各信号に対して異なる符号を出力する構成になる。同様に、第2Xデコーダ110の8本の出力に対しても、5行目から8行目の4つの独立した行から3つを選んで3行4列の行列を掛けることで異なる4ビットの符号を生成することが可能である。Yデコーダ104に関しても最後の3行から1行を選んで符号を生成する。

【0048】

50

ここでは、簡単のため第1Xデコーダ109は3ビットを、第2Xデコーダ110は3ビットを、Yデコーダ104は1ビットをデコードする構成にしている。冗長符号を生成する11行4列の行列は、4行、4行、3行と独立した行になっているため、第1Xデコーダ109と第2Xデコーダ110は、4ビットを16本にデコードする場合でも、異なる符号を出力することが可能である。また、Yデコーダ104は、3ビットをデコードして8本の信号を出力するデコーダでも異なる符号を出力することができる。このような構成にすれば、デコーダごとに違う信号線が選択された障害を検出することができる。

【0049】

上述した第1、第2の実施の形態の効果について説明する。第1の効果は、メモリの領域を削減できることである。その理由は、エラー検出のための冗長符号生成回路を加えることによって、メモリマクロ内に冗長符号を保存する領域を確保する必要がないからである。例えば、メモリアレイの構成が1ビットあたり4カラムの構成である場合、冗長コードを保存する領域は冗長コードが4ビットなら16カラム幅必要になるが、4カラム分の面積で実現することが可能である。さらに1ビットあたり8カラム構成であれば、32カラム幅が4カラム幅に減らせるため、面積が大幅に削減できる。また、特に、高度な信頼性が要求されるシステムで使用する半導体記憶回路（メモリ）におけるアドレス入力部およびアドレスデコード部に発生する障害を検出する場合に用いて好適である。

10

【0050】

第2の効果は、消費電力を削減できることである。その理由は、冗長符号やアドレス値を保持するメモリ領域が不要になることによって、無駄な電力が発生しないからである。第3の効果は、アドレスのデコーダ部で発生する障害が高確率で検出できることである。その理由は、デコード後の信号それぞれに異なる冗長符号を割り付けることができる、または、すべてに異なる冗長符号が割り付けられないにしても、パリティでは2種類であったものが、それ以上の種類のコードを割り付けることができるため、高い確率で選択されたデコード信号の区別がつくからである。また、ハミング符号化を用いることにより、冗長部の冗長符号を容易に生成することができる。

20

【0051】

上記の効果をもたらす本発明の実施形態による各手段の働きについて述べる。本発明の実施形態によるアドレスエラー検出装置では、アドレス信号をローアドレスとカラムアドレス、さらにはバンクアドレスに分割し、それぞれデコードされた結果から並行して複数ビットの複数の符号を生成し、これらを排他的論理和することによって元のアドレスの1つのエラー訂正符号の冗長部を生成する。この符号と元のアドレスからエラー検出回路によってシンドロームを求めることによって、エラー検出を行う。

30

【0052】

また本発明の実施形態によるアドレスエラー検出装置では、入力するアドレスのビット長や、各デコーダに分割したそれぞれのビット長に、符号ビット長から来る制約を与えることによって、デコード結果に対応して得られる出力の符号がすべて異なるようにすることによって、エラー検出確率を高める。

【図面の簡単な説明】

【0053】

40

【図1】本発明の実施の形態によるエラー検出装置の構成例を示すブロック図である。

【図2】本発明の実施形態の動作を説明するブロック図である。

【図3】本発明の実施形態に係る符号化器の出力符号を説明する構成図である。

【図4】本発明の実施形態における0出力回路と1出力回路を示す回路図である。

【図5】本発明の実施形態における他の0出力回路と1出力回路を示す回路図である。

【図6】本発明の実施の形態によるエラー検出装置の構成を示すブロック図である。

【図7】本発明の実施の形態における符号化器の出力符号を説明する構成図である。

【符号の説明】

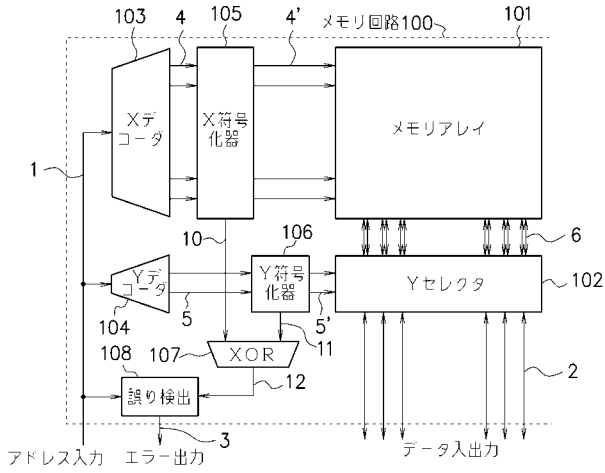
【0054】

1 アドレス入力

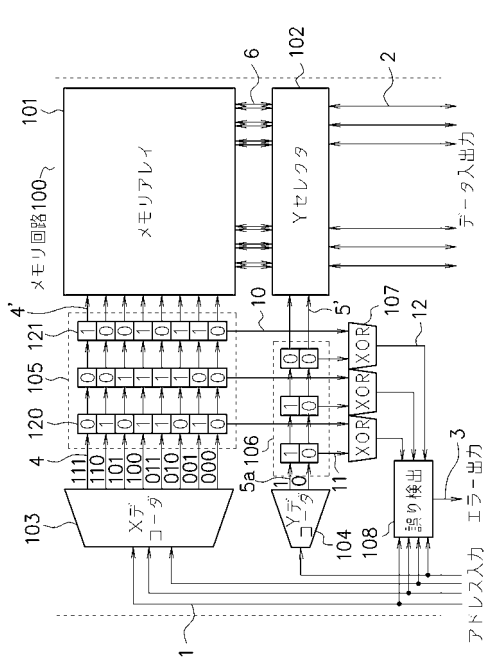
50

2	データ入出力	
3	エラー出力	
4、4'	ワード線	
5、5'	Y選択線	
6	ビット線	
10	X符号	
11	Y符号	
12	冗長部	
20、20'	選択線	
21、21'	出力線	10
22	プリチャージ信号	
100	メモリ回路	
101	メモリアレイ	
102	Yセクタ	
103	Xデコーダ	
104	Yデコーダ	
105	X符号化器	
106	Y符号化器	
107	XOR回路	
108	誤り検出回路	20
109	第1Xデコーダ	
110	第2Xデコーダ	
120、120'	0出力回路	
121、121'	1出力回路	
200~204	pMOSトランジスタ	
300~309	nMOSトランジスタ	

【図1】



【図2】



【図3】

検査行列

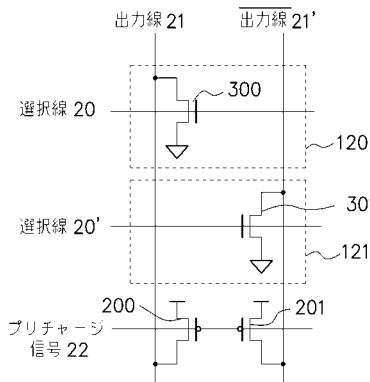
$$H = [A^T \ E] = \begin{pmatrix} 1 & 0 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 \end{pmatrix}$$

生成行列

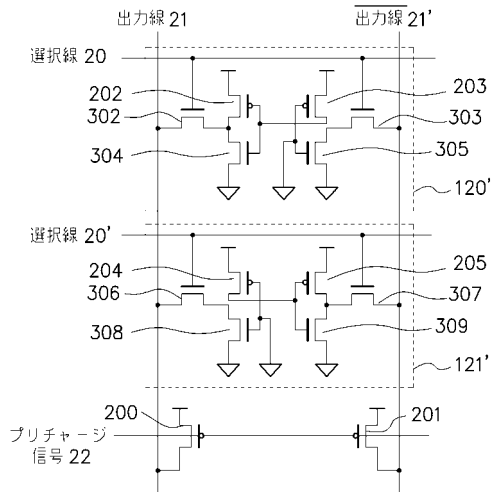
$$G = [E \ A] = \begin{pmatrix} 1 & 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 \end{pmatrix}$$

Xデコーダの符号生成に使用する部分
 Yデコーダの符号生成に使用する部分

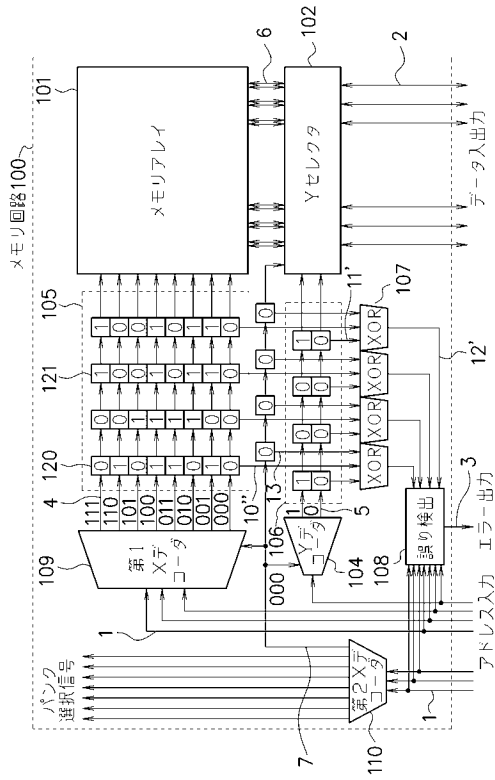
【図4】



【図5】



【 図 6 】



【 図 7 】

検査行列

$$H=[A^T E]= \begin{pmatrix} 101111101001000 \\ 110111000110100 \\ 111010110010010 \\ 111100011100001 \end{pmatrix}$$

生成行列

$$G=[E A]= \begin{pmatrix} 10000000000001111 \\ 01000000000001111 \\ 00100000000010111 \\ 00010000000011011 \\ 00001000000011101 \\ 00000100000011001 \\ 00000010000010101 \\ 00000001000001111 \\ 00000000100010011 \\ 00000000010010101 \\ 00000000001011101 \end{pmatrix}$$

第一階層Xデコーダの符号生成に使用する部分

第二階層Xデコーダの符号生成に使用する部分

Yデコーダの符号生成に使用する部分