

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93112327

※申請日期：93.4.30

※IPC 分類：G11C 11/15

一、發明名稱：(中文/英文)

磁性隨機存取記憶體(MRAM)及其資料讀取方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

岡村 正

OKAMURA, TADASHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1.土田 賢二

2.岩田 佳久

3.東 知輝

住居所或營業所地址：(中文/英文)

1.-3.均日本國東京都港區芝浦一丁目 1 番 1 號東芝股份有限公司
知的財產部內

C/O INTELLECTUAL PROPERTY DIVISION, TOSHIBA
CORPORATION, 1-1, SHIBAURA 1-CHOME, MINATO-KU,
TOKYO, 105-8001, JAPAN

國 籍：(中文/英文)

1.-3.均日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年05月22日；特願2003-144792

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於利用磁阻 (Magneto Resistive) 效應記憶 "1"、"0" 之資料的磁性隨機存取記憶體 (MRAM : Magnetic Random Access Memory) 及其資料讀取方法。特別係關於以分割位元線構造 (階層位元線方式) 配置交叉點型記憶胞之記憶胞陣列的讀出時之主 / 副位元線以及字元線的電位控制。

【先前技術】

MRAM 係藉由利用磁阻效應儲存 "1" 或 "0" 資料進行記憶體動作之裝置，其係兼具非揮發性、高集成性、高可靠性、低消耗電力性、以及高速動作性之一般儲存裝置的候補之一者，於各公司正在開始開發。

眾所周知磁阻效應中主要有 GMR (Giant Magneto Resistive, 巨磁阻) 以及 TMR (Tunneling Magneto Resistive, 隧道式磁阻) 之兩種效應。利用其中之 GMR 效應的元件 (GMR 元件) 係利用夾於兩個強磁性層之導體的電阻藉由上下強磁性層之旋轉方向而變化之現象記憶資料者。然而，GMR 元件因表示磁阻值之變化比例的 MR 比低為 10% 左右，故而記憶資料之讀出訊號較小，因此確保讀出範圍之處理成為實現 MRAM 之最大課題。因此，業者認為目前之實用性並非充分。

另外，作為利用 TMR 效應之代表元件，眾所周知有利用因旋轉偏局通道效果造成磁阻變化之 MTJ (Magnetic Tunnel

Junction, 磁性穿隧接面)元件。該MTJ元件係於強磁性層之雙金屬層中夾有絕緣膜(通道絕緣膜)之疊層構造。根據MTJ元件,於上下強磁性層之旋轉方向互為平行時,介以通道絕緣膜之兩個強磁性層間之通道機率為最大,其結果為電阻值為最小。與此相對,於旋轉之方向互為反平行時,同通道機率為最小,故而電阻值為最大。為實現該兩種旋轉狀態,通常,預先固定上述強磁性層(磁性體膜)中之任一方之磁化方向,設定其不受外部磁化之影響。一般,固定該磁化方向之強磁性層稱為銷(pin)層。另一強磁性層(磁性體膜)可藉由施加之磁場之方向,使磁化方向與上述銷層平行或反平行地進行程式規劃。該強磁性層一般稱為自由層,發揮儲存資料之作用。就MTJ元件而言,目前因可獲得作為電阻變化率之MR比超過50%者,故而逐步成為MRAM開發之主流。

對於使用上述MTJ元件之MRAM之寫入因使上述自由層之磁化方向反轉,故而於以正交於各個記憶胞之方式通過的位元線與字元線中流動有固定以上之電流,相應藉此產生之合成磁場之大小可控制自由層之磁化方向。

對此而言,讀出可藉由以下方法進行:將電壓施加於對應所選出之位元之MTJ元件的兩片磁性體膜間,自流動於其中之電流讀取電阻值之方法,或於所選出之MTJ元件流動恒定電流,檢知因此產生之兩片磁性體膜間之電壓之方法等。

關於使用如此之MTJ元件之MRAM的一例,例如揭示於

ISSCC2000 Digest of Technical Paper p.128 "A 10ns Read and Write Non-Volatile Memory Array using a Magnetic Tunnel Junction and FET Switch in each Cell"中。然而，因揭示於該文獻之MRAM之構成為以兩個MOS電晶體以及兩個MTJ元件記憶一位元之資料，故而難以大容量化或高集成化。又，若實現大容量化或高集成化，則可能因寄生電容或寄生電阻之增大而造成存取速度之降低。

為實現大容量化與高集成化，提出有以一個選擇元件(MOS電晶體或二極體)以及一個MTJ元件記憶一位元之資料的構成。又，提出稱為交叉點型之無需胞選擇元件之記憶胞，即以一個MTJ元件記憶一個位元資料的構成。使用交叉點型記憶胞，則可能降低讀出速度，或減小讀出動作範圍，故而業者期望更佳之改良。

【發明內容】

因此，本發明之目的在於提供一種可實現大容量化或高集成化，且可實現存取速度高速化之磁性隨機存取記憶體及其資料讀取方法。

根據本發明之一態樣，提供一種磁性隨機存取記憶體，其含有：複數個胞單元，其包括具有磁阻效應之交叉點型之記憶胞；字元線，其分別連接於上述各胞單元中之記憶胞之一端；副位元線，其以特定單位共通連接於上述各胞單元中之複數個記憶胞之另一端；主位元線，其介以開關電路分別共通連接於複數條副位元線，且與上述副位元線一同構成階層位元線構造；行選擇電路，其構成為選擇上

述主位元線連接於感測放大器；以及列選擇電路，其構成為，藉由控制上述開關電路以上述胞單元單位進行上述字元線之選擇動作，於讀出動作時將連接有所選出之記憶胞之選擇字元線以外的，即連接有與連接有上述選出之記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態，將連接於不包含所選出之記憶胞的胞單元中之記憶胞的字元線設定為與上述主位元線相同之電位。

又，根據本發明之一態樣，提供一種磁性隨機存取記憶體，其含有：階層位元線方式之記憶胞陣列，其將具有磁阻效應之交叉點型記憶胞配置為矩陣狀，且於讀出資料時使用之讀出位元線包含主位元線與副位元線；以及字元線電位設定機構，其於讀出動作時，將連接有與連接有選擇記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態，且將連接於不包含所選出之記憶胞的副位元線之上述以外的字元線設定為與上述主位元線實質相等之電位。

進而，根據本發明之一態樣，提供一種磁性隨機存取記憶體，其含有：階層位元線方式之記憶胞陣列，其將具有磁阻效應之交叉點型記憶胞配置為矩陣狀，且於讀出資料時使用之讀出位元線包含主位元線與副位元線；連接機構，其將用於選擇上述記憶胞之字元線分別選擇性地連接於不同的第一、第二電位供給源；以及控制機構，其控制上述連接機構，將上述字元線電性地設定為浮動狀態。

根據本發明之一態樣，提供一種磁性隨機存取記憶體之

資料讀取方法，其特徵在於：該磁性隨機存取記憶體含有將具有磁阻效應之交叉點型記憶胞配置為矩陣狀，且於讀出資料時使用之讀出位元線為由主位元線與副位元線構成之階層位元線方式的記憶胞陣列，且設定連接於應選擇之記憶胞的字元線為有效位準，且將連接有與連接有應選擇記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態，且將連接於不包含所選出之記憶胞的副位元線之上述以外的字元線設定為與上述主位元線實質相等之電位。

根據上述構成以及方法，因使用不需要胞之選擇元件的交叉點型記憶胞，故而較易地大容量化與高集成呈化。又，藉由採用階層位元線方式(分割位元線構造)，於該讀出動作時，將連接於與所選出之記憶胞為相同之副位元線(分割位元線)的所有記憶胞之位元線電性地保持為浮動狀態，且供給與所有主位元線相同之電位於連接於與選擇胞不同之副位元線的所有記憶胞之字元線，故而可抑制交叉點型記憶胞固有的讀出時之誤差電流成分。並且，藉由將非選擇狀態之所有副位元線之電位設定為與主位元線相同，可實現讀出動作之高速化。藉此，可容易地實現大容量化與高集成化，且讀出動作邊限較大，並高速地讀出之MRAM及其資料讀取方法。

【實施方式】

〔第一實施態樣〕

圖1係抽取顯示本發明之第一實施態樣之磁性隨機存取

記憶體(MRAM)之主要部分之方塊圖。因本發明係關於讀出動作者，故此處為簡化說明僅表示讀出系之核心部，而省略寫入系之核心部。由MTJ元件構成之交叉點型記憶胞MC11~MC48配置於複數個(此處為兩個)記憶胞區塊(胞單元)中。第一記憶胞區塊中之記憶胞MC11~MC14、MC21~MC24、MC31~MC34、MC41~MC44分別以四個為單位將其一端連接於作為共同節點之副位元線SBL1、SBL3、SBL5、SBL7。又，第二記憶胞區塊中之記憶胞MC15~MC18、MC25~MC28、MC35~MC38、MC45~MC48分別以四個一組將其一端連接於作為共同節點之副位元線SBL2、SBL4、SBL6、SBL8。該等副位元線SBL1~SBL8介以作為選擇開關(開關電路)動作之選擇MOS電晶體Q1~Q8之電流通路，以行為單位分別連接於主位元線MBL1-MBL4。即，含有選擇胞之副位元線SBL1~SBL8之選擇MOS電晶體Q1~Q8中供給有作為胞單元之選擇訊號的高(High)位準之閘極訊號，換言之，藉由使選擇線SS1或SS2遷移至高電位，將特定之副位元線SBL1~SBL8以胞單元單位選擇性地連接於主位元線MBL1~MBL4。

上述主位元線MBL1~MBL4連接有行選擇電路。該行選擇電路含有偏壓電路31-1~31-4，作為行選擇閘極之MOS電晶體Q11~Q14、行選擇線CSL1~CSL4、行解碼器以及行選擇線(CSL：Column Select Line)驅動器33等而構成。

即，主位元線MBL1~MBL4於其一端部連接於上述偏壓電路31-1~31-4，所有主位元線MBL1~MBL4中施加有特

定之偏壓電壓。進而，各主位元線 MBL1~MBL4 之一端部介以上述 MOS 電晶體 Q11~Q14 之電流通路，選擇性地連接於感測放大器 (Sense Amp.)³²，可檢知放大記憶胞 MC11~MC18、MC21~MC28、MC31~MC38、MC41~MC48 之記憶資料，讀出至晶片外或晶片內之其他電路。上述 MOS 電晶體 Q11~Q14 之閘極連接於行選擇線 CSL1~CSL4，該等行選擇線 CSL1~CSL4 中輸入有上述行解碼器以及 CSL 驅動器³³之輸出訊號。

另外，上述交叉點型記憶胞 MC11~MC18、MC21~MC28、MC31~MC38、MC41~MC48 之他端分別連接於每列不同之配線層。於讀出時，該等配線層發揮作為讀出用字元線 RWL (RWL1~RWL8) 功能。上述讀出用字元線 RWL1~RWL8 之兩端設有列選擇電路。該列選擇電路含有 MOS 電晶體 Q31~Q38，偏壓電路³⁶，第一列解碼器以及讀出字元線驅動器 (Row Decoder & Read Word Line Driver)³⁵⁻¹、³⁵⁻²，MOS 電晶體 Q21~Q28，第二列解碼器以及讀出字元線驅動器 (Row Decoder & Read Word Line Driver)³⁴⁻¹、³⁴⁻²等而構成。

即，上述讀出用字元線 RWL1~RWL8 之一端分別連接於 MOS 電晶體 Q31~Q38 之電流通路之一端，MOS 電晶體 Q31~Q38 之電流通路之他端連接於偏壓電路³⁶之輸出端子。該等 MOS 電晶體 Q31~Q38 藉由自第一列解碼器以及讀出字元線驅動器 (Row Decoder & Read Word Line Driver)³⁵⁻¹、³⁵⁻²輸出之字元線電位設定訊號 RWLSET1、RWLSET2 以胞

單元單位所驅動，上述讀出用字元線RWL1~RWL4或RWL5~RWL8選擇性地設定為自偏壓電路36輸出之偏壓電壓。該偏壓電路36產生與位元線用之偏壓電路31-1~31-4實質性相等之偏壓電壓。

上述讀出用字元線RWL1~RWL8之他端分別連接有MOS電晶體Q21~Q28之電流通路之一端，MOS電晶體Q21~Q28之電流通路之他端連接於作為基準電位之Vss電源(接地電位)。該等MOS電晶體Q21~Q28以自第二列解碼器以及讀出字元線驅動器(Row Decoder & Read Word Line Driver)34-1、34-2輸出之字元線驅動訊號RWLACT1~RWLACT8分別驅動，上述讀出用字元線RWL1~RWL8(配線層)選擇性地設定為低電壓位準(例如Vss位準)。

該等藉由兩個列解碼器以及讀出字元線驅動器34-1、34-2、35-1、35-2控制字元線電位元之方法的差異在於，可否單獨控制各字元線RWL1~RWL8，可否以胞單元單位(或副位元線單位)控制之差異。

於資料讀取時，例如當選擇以虛線包圍之記憶胞MC22時，則藉由使對應該記憶胞MC22之設於副位元線SBL3與主位元線MBL2間之選擇MOS電晶體Q3之閘極輸入訊號(選擇線SS1)遷移至高電位而使其導通，連接主位元線MBL2與副位元線SBL3。又，藉由第二列解碼器以及讀出字元線驅動器34-1僅使相應選擇胞MC22之字元線驅動訊號RWLACT2遷移至高電位，藉由第一列解碼器以及讀出字元線驅動器35-1使字元線電位設定訊號RWLSET1遷移至低位準。

藉此，產生自主位元線 MBL2 經由副位元線 SBL3 流向讀出用字元線 RWL2 之電流路徑。然後，藉由行解碼器以及 CSL 驅動器 33 中之行解碼器解碼自外部輸入之行位址訊號，藉由 CSL 驅動器使行選擇訊號 CSL2 遷移至高電位狀態，導通 MOS 電晶體 Q12 將主位元線 MBL2 連接至感測放大器 32。此時，藉由上述行選擇訊號 CSL2 連接於主位元線 MBL2 之偏壓電路 (位元線偏壓電路) 31-2 設定為不作用狀態。

藉由上述所選出之主位元線 MBL2 中自感測放大器 32 施加有與上述位元線偏壓電路 31-2 為相同之電位 (實質相等之電位)，檢知放大選擇胞 MC22 中流動之電流而讀出記憶資料。

此時，連接於與包含選擇胞 MC22 之副位元線 SBL3 相連之非選擇胞群 (MC21、MC23、MC24) 的字元線群 RWL1、RWL3、RWL4 介以列解碼器以及讀出字元線驅動器 35-1、34-1 控制為浮動狀態。另外，連接於與不含有選擇胞 MC22 之副位元線 SBL2、SBL4、SBL6、SBL8 相連之非選擇胞群 MC15~MC18、MC25~MC28、MC35~MC38、MC45~MC48 的字元線群 RWL5~RWL8，藉由列解碼器以及讀出字元線驅動器 35-2、34-2 設定 MOS 電晶體 Q35-Q38 為導通狀態，MOS 電晶體 Q27~Q28 為非導通狀態，藉此設定為與自偏壓電路 36 輸出之偏壓電壓，即主位元線 MBL1~MBL4 實質相等之偏壓電壓。

再者，上述圖 1 所示之電路中，例示有 32 位元份之記憶胞

MC11 ~ MC18、MC21 ~ MC28、MC31 ~ MC38、MC41 ~ MC48，但於實際之MRAM中，可採用將記憶胞適當集成配置為二次元之構成。又，例示有副位元線SBL1 ~ SBL8分別連接有4位元之記憶胞，但此亦可適當變更。

圖2係表示選擇上述記憶胞MC22時之讀出動作時之順序圖。等待狀態下，副位元線SBL1 ~ SBL8與主位元線MBL1 ~ MBL4間之作為選擇開關的MOS電晶體Q1 ~ Q8為全部非導通狀態，故而選擇線SS1，SS2為低電位狀態。另外，所有主位元線MBL1 ~ MBL4藉由位元線偏壓電路31-1 ~ 31-4設定為特定偏壓電壓。進而，將作為行解碼器以及CSL驅動器33之輸出訊號之行選擇訊號CSL1 ~ CSL4設定為低電位，藉此感測放大器32自所有位元線(主位元線MBL1 ~ MBL4以及副位元線SBL1 ~ SBL8)脫離。所有字元線RWL1 ~ RWL8藉由設定第二列解碼器以及讀出字元線驅動器34-1、34-2之輸出訊號RWLACT1 ~ RWLACT8為低電位，設定第一列解碼器以及讀出字元線驅動器35-1、35-2之輸出訊號RWLSET1、RWLSET2為高電位，連接於偏壓電路(字元線偏壓電路)36。

另外，上述字元線偏壓電路36以及位元線偏壓電路34-1 ~ 34-4係產生實質性相等之偏壓電壓者，故而等待(Stand-by)狀態中，所有主位元線MBL1 ~ MBL4與讀出字元線RWL1 ~ RWL8預充電為相同電位。又，所有副位元線SBL1 ~ SBL8，因MTJ元件MC11 ~ MC48僅為電阻器，故可經由讀出字元線RWL1 ~ RWL8設定為與字元線以及位元線

相同之電位。

對此，作用(Active)狀態中，因假設選定記憶胞MC22，故而作為閘極輸入訊號之選擇線SS1與字元線驅動訊號RWLACT2遷移至高電位，且字元線電位設定訊號RWLSET1遷移至低電位。藉此，以MBL2→SBL3→RWL2之路徑形成電流路徑。又，藉由輸入相應選擇胞MC22之行位址訊號，行選擇訊號CSL2遷移至高電位，所選出之主位元線MBL2與感測放大器32電性地連接。結果，僅選擇胞MC22之資料傳送至感測放大器32，於此處檢知·放大後，經由未圖示之讀出系電路群讀出至記憶體外部。此時，藉由行選擇訊號CSL2，選擇主位元線MBL2之偏壓電路31-2設為不作用狀態。

然而，因字元線電位設定訊號RWLSET1遷移向低電位，故而連接於含有選擇胞MC22之副位元線SBL3之其他非選擇胞用的字元線RWL1、RWL3、RWL4電性控制為浮動狀態。此時，因字元線電位設定訊號RWLSET2依然保持為高電位狀態，故而連接於不含選擇胞MC22之副位元線SBL2、SBL4、SBL6、SBL8之記憶胞MC15～MC18、MC25～MC28、MC35～MC38、MC45～MC48之字元線群RWL5～RWL8保持連接於字元線偏壓電路36之狀態。其結果為，字元線群RWL5～RWL8保持與主位元線MBL1～MBL4相同之電位狀態。故而，作為脫離主位元線MBL1～MBL4之狀態的副位元線SBL2、SBL4、SBL6、SBL8之電位亦介以RWL5～RWL8成為低阻抗狀態，可保持與主位元線MBL1～MBL4相同之

電位狀態。藉此，於下一循環中，可抑制存取連接於副位元線SBL2、SBL4、SBL6、SBL8之任意的記憶胞時產生之速度不均一以及速度的降低。

〔第二實施態樣〕

圖3表示本發明之第二實施態樣之MRAM之概略構成的方塊圖。圖3中，賦予相同元件符號於與圖1相同之構成部，並省略其詳細說明。本第二實施態樣與前述第一實施態樣之不同處在於將圖1中設置於讀出字元線RWL1~RWL8之兩端的列解碼器以及讀出字元線驅動器，僅設置於一端側。

為實現該電路方式，設有選擇電路37-1、37-2，其將讀出字元線RWL1~RWL4、RWL5~RWL8就各胞單元選擇性地連接於偏壓電路36。選擇電路37-1含有：N通道型MOS電晶體Q41~Q44，其電流通路之一端分別連接於上述讀出字元線RWL1~RWL4，他端共通連接於偏壓電路36之輸出端子；以及反相器38-1，其邏輯反轉自列解碼器以及讀出字元線驅動器34輸出之閘極訊號(轉送選擇線SS1，將副位元線SBL1、SBL3、SBL5、SBL7選擇性地連接於主位元線MBL1~MBL4之訊號)。自該反相器38-1輸出之訊號bSS1供給至上述MOS電晶體Q41~Q44之閘極。同樣地，選擇電路37-2含有：N通道型MOS電晶體Q45~Q48，其電流通路之一端分別連接於上述讀出字元線RWL5~RWL8，他端共通連接於偏壓電路36之輸出端；以及反相器38-2，其邏輯反轉自列解碼器以及讀出字元線驅動器35輸出之閘極訊號(轉送選擇線SS2，將副位元線SBL2、SBL4、SBL6、SBL8

選擇性地連接於主位元線 MBL1~MBL4 之訊號)。自該反相器 38-2 輸出之訊號 bSS2 供給至上述 MOS 電晶體 Q45~Q48 之閘極。

圖 4 係表示本第二實施態樣之 MRAM 之動作時序圖。若比較圖 4 與圖 2 之時序圖可知，基本動作與第一實施態樣相同，僅於以下處存有不同：於將讀出字元線 RWL1~RWL4、RWL5~RWL8 就各胞單元選擇性地連接於偏壓電路 36 之動作中，使用閘極訊號(選擇線 SS1、SS2)之反轉訊號 bSS1、bSS2。

因此，本第二實施態樣中，亦可獲得與前述第一實施態樣相同之作用效果。

[第三實施態樣]

圖 5 係表示本發明之第三實施態樣之 MRAM 之概略構成的方塊圖。本第三實施態樣中，亦與圖 3 同樣將配置於讀出字元線 RWL1~RWL8 之兩端的列解碼器以及讀出字元線驅動器僅設於一端側。而且，藉由以 P 通道型 MOS 電晶體 Q51~Q54、Q55~Q58 構成選擇電路 39-1、39-2，將閘極訊號(轉送選擇線 SS1、SS2，將副位元線選擇性地連接至主位元線之訊號)直接供給至該等 MOS 電晶體 Q51~Q54、Q55~Q58。

圖 6 表示本第三實施態樣之動作時序圖。基本動作與第一、第二實施態樣相同，僅於以下處存有不同：於將讀出字元線 RWL1~RWL4、RWL5~RWL8 就各胞單元選擇性地連接於偏壓電路 36 之動作中，使用閘極訊號(選擇線 SS1、SS2 之電位)。

因此，本第三實施態樣中，亦可獲得與前述第一、第二實施態樣相同之作用效果。

如上所述，根據本發明之各實施態樣，因使用不需要胞選擇元件之交叉點型記憶胞故而可容易地實現大容量化或高集成化。又，因採用分割位元線構造(階層位元線方式)，於該讀出動作時，將連接於與所選出之記憶胞為同一副位元線(分割位元線)之所有記憶胞的字元線電性地保持為浮動狀態，且連接於與選擇胞不同之副位元線(分割位元線)之所有記憶胞的字元線中供給有與所有主位元線相同之電位，故而可抑制交叉點型記憶胞固有的讀出時之誤差電流成分。而且，將非選擇狀態之所有副位元線(分割位元線)之電位設定為與主位元線相同，可實現讀出動作之高速化。因此，可容易地實現大容量化，且可實現讀出動作範圍較大，可高速讀出之MRAM。

再者，本發明之第一至第三實施態樣之磁性隨機存取記憶體(半導體記憶裝置)可使用於各種裝置，圖7至圖13表示該等適用例之數例。

(適用例1)

圖7係抽取表示數位加入者線(DSL)用數據機之DSL資料路徑部分。該數據機含有：可程式化數位訊號處理器(DSP：Digital Signal Processor)100、類比-數位(A/D)轉換器110、數位-類比(D/A)轉換器120、發送驅動器150、以及接收機放大器160等。圖7中省略帶通濾波器，取而代之表示本實施態樣之磁性隨機存取記憶體170與EEPROM(可電

性抹除程式規劃唯讀記憶體)180，以作為用以保持回線碼程式(DSP中執行之按照編碼化之加入者回線資料、傳送條件等(回線碼；QAM、CAP、RSK、FM、AM、PAM、DWMT等)選擇數據機，使其動作之程式)用之各種類型之附件記憶體。

再者，本適用例中，使用作為用以保持回線碼程式之記憶體的磁性隨機存取記憶體170以及EEPROM180之兩種記憶體，但亦可將EEPROM180更換為磁性隨機存取記憶體。即，亦可不使用二種記憶體，而僅使用磁性隨機存取記憶體而構成。

(適用例2)

圖8表示作為其他使用例之行動電話終端機300。實現通信機能之通信部200含有：收發天線201、天線共用器202、接收部203、基頻處理部204、作為聲頻編碼/解碼器使用之DSP205、揚聲器(受話器)206、麥克風(送話器)207、發送部208、以及頻率合成器209等。

又，該行動電話終端機300中，設有控制該行動電話終端機之各部分的控制部220。控制部220係介以CPU匯流排225連接CPU221、ROM222、本實施態樣之磁性隨機存取記憶體(MRAM)223、以及快閃記憶體224而形成之微電腦。上述ROM222中預先儲存有於CPU221中執行之程式或顯示用之字體等必要資料。MRAM223係主要用於作業區域者，CPU221係用於在程式執行中根據需要儲存計算中之資料，或用於暫時儲存於控制部220與各部間交換之資料之情

形等。又，快閃記憶體224係採用即使行動電話終端機300之電源斷開，亦可儲存例如斷開前之設定條件等，於下次電源接通時進行同樣設定之使用方法時，儲存該等設定參數者。藉此，即使行動電話終端機之電源斷開，所儲存之設定參數亦不會消失。

再者，該行動電話終端機300中設有聲頻再生處理部211、外部輸出端子212、LCD控制器213、顯示用LCD(液晶顯示器)214、以及產生呼叫聲之振鈴器215等。上述聲頻再生處理部211播放輸入至行動電話終端機300之聲頻資料(或儲存於後述之外部記憶體240之聲頻資料)。播放之聲頻資料介以外部輸出端子212傳至耳機或可攜式揚聲器等，藉此可取出至外部。如此，藉由設置聲頻再生處理部211，可播放聲頻資料。上述LCD控制器213介以CPU匯流排225受理例如來自上述CPU221之顯示資料，變更用於控制LCD214之LCD控制資料，驅動LCD214進行顯示。

上述行動電話終端機300中設有：介面電路(I/F)231、233、235，外部記憶體240，外部記憶體槽232、鍵操作部234、以及外部輸出入端子236等。上述外部記憶體槽232中插入有記憶卡等外部記憶體240。該外部記憶體槽232介以介面電路(I/F)231連接於CPU匯流排225。如此，藉由於行動電話終端機300中設有槽232，可將行動電話終端機300之內部資料寫入至外部記憶體240，或將儲存於外部記憶體240之資料(例如聲頻資料)輸入至行動電話終端機300。上述鍵操作部234介以介面電路(I/F)233連接於CPU匯流排

225。自鍵操作部234輸入之鍵輸入資料傳至例如CPU221。上述外部輸出入端子236介以介面電路(I/F)233連接於CPU匯流排225，發揮作為自外部將各種資料輸入至行動電話終端機300，或自行動電話終端機300將資料輸出至外部時之端子機能。

再者，本適用例中，使用有ROM222、MRAM223以及快閃記憶體224，但可將快閃記憶體224替換為磁性隨機存取記憶體，進而亦可將ROM222替換為磁性隨機存取記憶體。(適用例3)

圖9至圖13分別表示將磁性隨機存取記憶體適用於智慧媒體等之儲存有媒體內容之卡(MRAM卡)之例。

MRAM卡本體400中內設有MRAM晶片401。該卡本體400中於對應MRAM晶片401之位置形成有開口部402，露出MRAM晶片401。該開口部402中設有擋板403，於移動該MRAM卡時以擋板403保護MRAM晶片401。該擋板403以具有遮蔽外部磁場之效果的材料，例如陶瓷而構成。於轉印資料時，打開擋板403露出MRAM晶片401而執行。外部端子404係用於將記錄於MRAM卡之內容資料取出至外部者。

圖10及圖11分別表示用於將資料轉印至上述MRAM卡之轉印裝置。圖10係插卡型之轉印裝置的上視圖，圖11係其剖面圖。將終端使用者使用之第二MRAM卡450如箭頭所示般藉由轉印裝置500之插入部510插入，壓入至止動器520為止。該止動器520亦可作為位置對準第一MRAM550與第二MRAM卡450之構件而動作。若第二MRAM卡450配置於

特定位置時，則控制訊號自第一MRAM資料覆寫控制部供給至外部端子530，將記憶於第一MRAM550之資料轉印至第二MRAM卡450。

圖12表示嵌入型轉印裝置。該轉印裝置係如箭頭所示般，以將止動器520為目標，將第二MRAM卡450嵌入至第一MRAM550上之方式載置之類型。關於轉印方法係與插卡型相同者，故而省略說明。

圖13表示滑桿型轉印裝置。該轉印裝置與CD-ROM驅動器或DVD驅動器相同，於轉印裝置500中設有托盤滑桿560，該托盤滑桿560以箭頭所示之方式移動。托盤滑桿560移動於虛線位置時，第二MRAM卡450載置於托盤滑桿560，將第二MRAM卡450搬送至轉印裝置500之內部。就以第二MRAM卡450之先端部抵接於止動器520之方式搬送之方面以及轉印方法而言，因與插卡型相同，故而省略說明。

如上所述，根據本發明可獲得一種實現大容量化或高集成化，且可實現存取速度高速化之磁性隨機存取記憶體及其資料讀取方法。

熟悉此項技術者將不難發現額外的優勢及修改。因此，本發明在廣義上並不受限於本文所顯示及描述的特定細節及代表性實例。相應地，可在不脫離由隨附之申請專利範圍及其對等物所界定之一般發明性概念的精神或範圍的情況下作出各種修改。

【圖式簡單說明】

圖1係抽取表示本發明之第一實施態樣的磁性隨機存取

記憶體(MRAM)之主要部分者，係表示讀出系之核心部之方塊圖。

圖2係圖1所示之MRAM之讀出動作時的時序圖。

圖3係抽取表示本發明之第二實施態樣的磁性隨機存取記憶體(MRAM)之主要部分者，係表示讀出系之核心部之方塊圖。

圖4係圖3所示之MRAM之讀出動作時的時序圖。

圖5係抽取表示本發明之第三實施態樣的磁性隨機存取記憶體(MRAM)之主要部分者，係表示讀出系之核心部之方塊圖。

圖6係圖5所示之MRAM之讀出動作時的時序圖。

圖7係用於說明本發明之第一至第三實施態樣之MRAM的適用例1者，係表示數位加入者線(DSL)用數據機之DSL資料路徑部分的方塊圖。

圖8係用於說明本發明之第一至第三實施態樣之MRAM的適用例2者，係表示行動電話終端機的方塊圖。

圖9係用於說明本發明之第一至第三實施態樣之MRAM的適用例3者，係表示將MRAM適用於收容智慧媒體等之媒體內容的卡(MRAM卡)之例的上視圖。

圖10係表示用於將資料轉印至MRAM卡之轉印裝置的俯視圖。

圖11係表示用於將資料轉印至MRAM卡之轉印裝置的剖面圖。

圖12係表示用於將資料轉印至MRAM卡之嵌入型轉印裝

置的剖面圖。

圖 13 係表示用於將資料轉印至 MRAM 卡之滑桿型轉印裝置的剖面圖。

【主要元件符號說明】

MC11 ~ MC48	記憶胞
Q1 ~ Q38	選擇 MOS 電晶體
31-1 ~ 31-4, 36	偏壓電路
32	感測放大器
33	CSL 驅動器
34-1 ~ 34-2, 35-1 ~ 35-2	讀出字元線驅動器
MBL1 ~ MBL4	主位元線
RWL1 ~ RWL8	讀出用字元線
SBL1 ~ SBL8	副位元線
CSL1 ~ CSL4	行選擇線
RWLSET1 ~ RWLSET2	輸出訊號
SS1, SS2	選擇線
100	可程式化數位訊號處理器
110	類比-數位(A/D)轉換器
120	數位-類比(D/A)轉換器
150	發送驅動器
160	接收機放大器
170	磁性隨機存取記憶體
180	可電性可抹除可程式規劃唯讀記憶體

200	通信部
201	收發天線
202	天線共用器
203	接收部
204	基頻處理部
205	編碼/解碼器(DSP)
206	揚聲器
207	麥克風
208	發送部
209	頻率合成器
211	聲頻再生處理部
212	外部輸出端子
213	LCD控制器
214	顯示用LCD
215	振鈴器
221	CPU
222	ROM
223	磁性隨機存取記憶體
224	快閃記憶體
225	CPU匯流排
231 , 233 , 235	介面電路(I/F)
232	外部記憶體槽
234	鍵操作部
236	外部輸出入端子

240	外部記憶體
300	行動電話終端機
400	MRAM卡本體
401	MRAM晶片
402	開口部
403	擋板
404	MRAM晶片
450	第二MRAM卡
500	轉印裝置
510	插入部
520	止動器
530	外部端子
550	第一MRAM

五、中文發明摘要：

本發明係關於提供一種可實現大容量化或高集成化，且可實現存取速度之高速化的磁性隨機存取記憶體。

一種MRAM（磁性隨機存取記憶體），其使用交叉點型記憶胞，且採用階層位元線構造，其特徵在於：於讀出動作時，將連接於與選擇胞為同一副位元線SBL1～SBL8之記憶胞MC11～MC48的字元線RWL1～RWL8電性地保持為浮動狀態，於連接於與選擇胞為不同之副位元線的記憶胞之字元線中，提供與主位元線MBL1～MBL4相同之電位。藉由使用交叉點型記憶胞，可容易地實現大容量化與高集成化。又，藉由抑制交叉點型記憶胞所固有之讀出時之誤差電流成分，且將處於非選擇狀態中之所有副位元線之電位設定為與主位元線相同，可實現讀出動作之高速化。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

MC11~MC48	記憶胞
Q1~Q38	選擇MOS電晶體
31-1~31-4, 36	偏壓電路
32	感測放大器
33	CSL驅動器
34-1~34-2, 35-1~35-2	讀出字元線驅動器
MBL1~MBL4	主位元線
RWL1~RWL8	讀出用字元線
SBL1~SBL8	副位元線
CSL1~CSL4	行選擇線
RWLSET1~RWLSET2	輸出訊號
SS1, SS2	選擇線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種磁性隨機存取記憶體，其含有：

複數個胞單元，其包括具有磁阻效應之交叉點型之記憶胞；

字元線，其分別連接於上述各胞單元中之記憶胞之一端；

副位元線，其以特定單位共通連接於上述各胞單元中之複數個記憶胞之另一端；

主位元線，其介以開關電路分別共通連接於複數個副位元線，且與上述副位元線一同構成階層位元線構造；

行選擇電路，其構成為選擇上述主位元線連接於感測放大器；以及

列選擇電路，其構成為藉由控制上述開關電路以上述胞單元單位進行上述字元線之選擇動作，於讀出動作時將連接有所選出之記憶胞之選擇字元線以外的，且連接有與連接有上述選出之記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態，將連接於不包含所選出之記憶胞的胞單元中之記憶胞的字元線設定為與上述主位元線相同之電位。

2. 如請求項1之磁性隨機存取記憶體，其中上述胞單元係將記憶胞配置為矩陣狀之記憶胞區塊，且上述各記憶胞區塊中之記憶胞的一端分別於每列連接於上述字元線，他端於每行連接於上述副位元線。

3. 如請求項1之磁性隨機存取記憶體，其中上述開關電路包

- 含第一MOS電晶體，其將電流通路之一端分別連接於上述副位元線，電流通路之他端於每行連接於主位元線，以自上述列選擇電路輸出之胞單元之選擇訊號進行接通/斷開控制。
4. 如請求項1之磁性隨機存取記憶體，其中上述行選擇電路含有：行選擇用第二MOS電晶體，其電流通路之一端分別連接於上述主位元線，他端連接於上述感測放大器；行選擇線，其連接於上述第二MOS電晶體之閘極；CSL驅動器，其將行位址選擇訊號輸出至上述行選擇線，選擇性地驅動；行解碼器，其解碼行位址訊號供給至上述CSL驅動器；以及第一偏壓電路，其基於自上述CSL驅動器輸出之行位址選擇訊號將偏壓電壓選擇性地供至上述主位元線。
 5. 如請求項1之磁性隨機存取記憶體，其中上述列選擇電路含有：讀出字元線驅動器，其就各上述各胞單元選擇性地驅動上述字元線，且就各上述各胞單元控制上述開關電路，將含有所選出之記憶胞的胞單元中之副位元線連接於主位元線；以及列解碼器，其解碼列位址訊號，供給至上述讀出字元線驅動器。
 6. 如請求項1之磁性隨機存取記憶體，其中上述列選擇電路含有：第三MOS電晶體，其電流通路之一端分別連接於上述字元線之一端，他端為共通連接；第二偏壓電路，其將偏壓電壓供至上述第三MOS電晶體之他端；第一讀出字元線驅動器，其以上述胞單元單位驅動上述第三

MOS電晶體；第一列解碼器，其解碼列位址訊號並供給至上述第一讀出字元線驅動器；第四MOS電晶體，其電流通路之一端分別連接於上述字元線之他端，他端共通連接於基準電位；第二讀出字元線驅動器，其選擇性地驅動上述第四MOS電晶體，且就各上述各胞單元控制上述開關電路，將含有所選出之記憶胞的胞單元中之副位元線連接於主位元線；以及第二列解碼器，其解碼上述列位址訊號並供給至上述第二讀出字元線驅動器。

7. 如請求項1之磁性隨機存取記憶體，其中上述列選擇電路含有：第三MOS電晶體，其電流通路之一端分別連接於上述字元線之一端，他端為共通連接；第二偏壓電路，其將偏壓電壓供至上述第三MOS電晶體之他端；第四MOS電晶體，其電流通路之一端分別連接於上述字元線之他端，他端共通連接於基準電位；讀出字元線驅動器，其選擇性地驅動上述第四MOS電晶體，且就各上述各胞單元控制上述開關電路與上述第三MOS電晶體，將含有所選出之記憶胞的胞單元中之副位元線連接於主位元線，並且將字元線連接於上述第二偏壓電路；以及列解碼器，其解碼列位址訊號並供給至上述讀出字元線驅動器。
8. 如請求項7之磁性隨機存取記憶體，其中上述第三MOS電晶體為N通道型，供給至上述開關電路之訊號的反轉訊號就各胞單元供給至上述第三MOS電晶體之閘極。
9. 如請求項7之磁性隨機存取記憶體，其中上述第三MOS電

晶體為P通道型，供給至上述開關電路之訊號就各胞單元供給至上述第三MOS電晶體之閘極。

10. 如請求項4之磁性隨機存取記憶體，其中上述第一偏壓電路依據自上述CSL驅動器輸出之行位址選擇訊號，停止對於所選出之主位元線施加偏壓電壓。
11. 如請求項10之磁性隨機存取記憶體，其中所選出之主位元線響應上述行位址選擇訊號連接至上述感測放大器，自上述感測放大器施加實質相等於輸出自上述第一偏壓電路之偏壓電壓的電壓。
12. 如請求項6之磁性隨機存取記憶體，其中自上述第二偏壓電路輸出之偏壓電壓實質相等於自上述第一偏壓電路輸出之偏壓電壓。
13. 如請求項7之磁性隨機存取記憶體，其中自上述第二偏壓電路輸出之偏壓電壓實質相等於自上述第一偏壓電路輸出之偏壓電壓。
14. 一種磁性隨機存取記憶體，其含有：

階層位元線方式之記憶胞陣列，其矩陣狀地配置有具有磁阻效應之交叉點型記憶胞，且用於資料讀取時之讀出位元線包含主位元線與副位元線；以及

字元線電位設定機構，其於讀出動作時將連接有與連接有上述選出之記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態，將連接於不包含所選出之記憶胞的副位元線的上述以外的字元線設定為與上述主位元線實質相等之電位。

15. 如請求項14之磁性隨機存取記憶體，其中連接於所選出之記憶胞之字元線之電位，不同於連接於不含有所選出之記憶胞的副位元線相連接之非選擇記憶胞的字元線之電位。
16. 如請求項14之磁性隨機存取記憶體，其更具有偏壓機構，其將上述主位元線之電位保持為特定偏壓電壓。
17. 如請求項16之磁性隨機存取記憶體，其中上述偏壓機構響應選擇上述記憶胞陣列之行位址之行位址選擇訊號，停止供給偏壓電壓至所選出之主位元線。
18. 如請求項17之磁性隨機存取記憶體，其中上述所選出之主位元線響應上述行位址選擇訊號連接至感測放大器，藉由上述感測放大器施加有與自上述偏壓機構輸出之偏壓電壓實質相等之電壓。
19. 一種磁性隨機存取記憶體，其含有：
 - 階層位元線方式之記憶胞陣列，其矩陣狀地配置有具有磁阻效應之交叉點型記憶胞，且用於資料讀取時之讀出位元線包含主位元線與副位元線；
 - 連接機構，其將用以選擇上述記憶胞之字元線選擇性地連接於不同之第一、第二電位供給源；以及
 - 控制機構，其控制上述連接機構，且將上述字元線電性地設定為浮動狀態。
20. 如請求項19之磁性隨機存取記憶體，其中上述控制機構含有用以於讀出時設定字元線電位之第一、第二列解碼器以及字元線驅動器；

以上述第一、第二列解碼器以及字元線驅動器使上述連接機構不作用，藉此將上述字元線電性地設定為浮動狀態。

21. 如請求項20之磁性隨機存取記憶體，其中上述連接機構具有依據上述第一、第二列解碼器以及字元線驅動器之輸出訊號將上述字元線分別連接於第一、第二電位供給源之第一、第二選擇電路，上述第一、第二選擇電路分別由N通道型MOS電晶體構成，上述MOS電晶體分別藉由上述第一、第二列解碼器以及字元線驅動器之輸出訊號而控制。

22. 如請求項21之磁性隨機存取記憶體，其中自上述第一列解碼器以及字元線驅動器供給至上述第一選擇電路之訊號就各副位元線單位獨立，自上述第二列解碼器以及字元線驅動器供給至上述第二選擇電路之訊號就各字元線獨立。

23. 如請求項19之磁性隨機存取記憶體，其中上述控制機構具有用以於讀出時設定字元線電位之列解碼器以及字元線驅動器；

以上述列解碼器以及字元線驅動器使上述連接機構不作用，藉此上述字元線電性地設定為浮動狀態。

24. 如請求項23之磁性隨機存取記憶體，其中上述連接機構具有依據上述列解碼器以及字元線驅動器之輸出訊號將上述字元線分別連接於第一、第二電位供給源的第一、第二選擇電路，上述第一、第二選擇電路分別由N通道型

MOS電晶體構成，上述MOS電晶體分別藉由上述列解碼器以及字元線驅動器之輸出訊號而控制。

25. 如請求項24之磁性隨機存取記憶體，其中自上述列解碼器以及字元線驅動器供給至上述第一選擇電路的訊號係邏輯反轉主位元線與副位元線間之選擇訊號的訊號，自上述列解碼器以及字元線驅動器供給至上述第二選擇電路之輸出訊號就各各字元線單位獨立。
26. 如請求項23之磁性隨機存取記憶體，其中上述連接機構具有依據上述列解碼器以及字元線驅動器之輸出訊號將上述字元線分別連接於第一、第二電位供給源的第一、第二選擇電路，上述第一選擇電路由P通道型MOS電晶體構成，上述第二選擇電路由N通道型MOS電晶體構成，上述各MOS電晶體分別藉由上述列解碼器以及字元線驅動器之輸出訊號而控制。
27. 如請求項26之磁性隨機存取記憶體，其中自上述列解碼器以及字元線驅動器供給至上述第一選擇電路的輸出訊號係主位元線與副位元線之間的選擇訊號，自上述列解碼器以及字元線驅動器供給至上述第二選擇電路之輸出訊號就各字元線單位獨立。
28. 一種磁性隨機存取記憶體之資料讀取方法，該磁性隨機存取記憶體具有階層位元線方式之記憶胞陣列，其矩陣狀地配置有具有磁阻效應之交叉點型記憶胞，且用於資料讀取時之讀出位元線包含主位元線與副位元線，該方法包含：

維持連接於應選擇之記憶胞的字元線，且將連接於與連接有應選擇記憶胞之副位元線連接的非選擇記憶胞的字元線設定為浮動狀態；以及

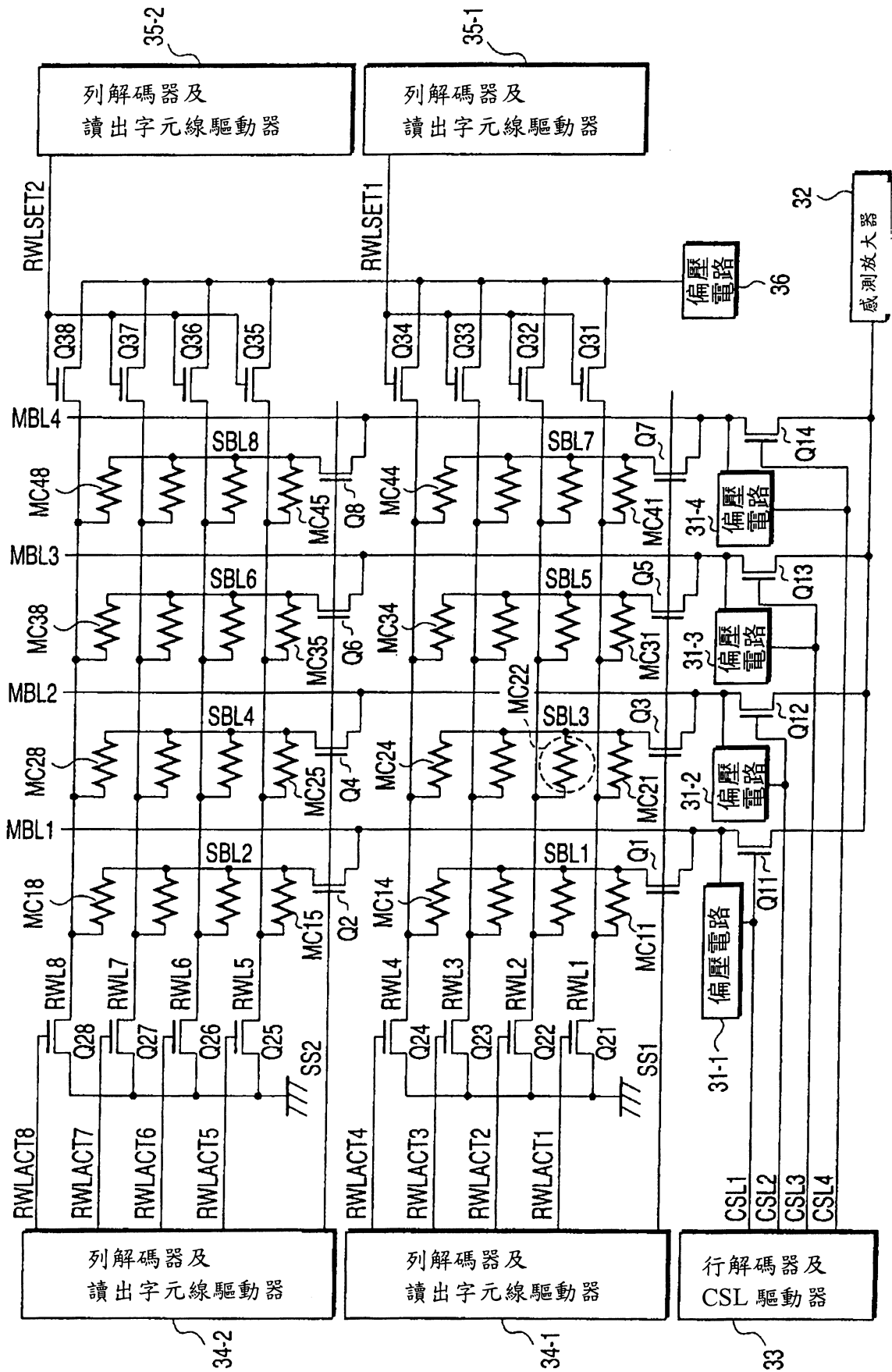
將連接於不包含所選出之記憶胞的副位元線之上述以外的字元線設定為與上述主位元線實質相等之電位。

29. 如請求項 28 之磁性隨機存取記憶體之資料讀取方法，其於將上述字元線設定為與上述主位元線實質相等之電位後，更包含：

將連接有所選出之記憶胞之副位元線連接於主位元線，選擇上述主位元線連接於感測放大器；以及

將所選出之記憶胞的記憶資料藉由上述感測放大器檢知放大並予以讀取。

十一、圖式：



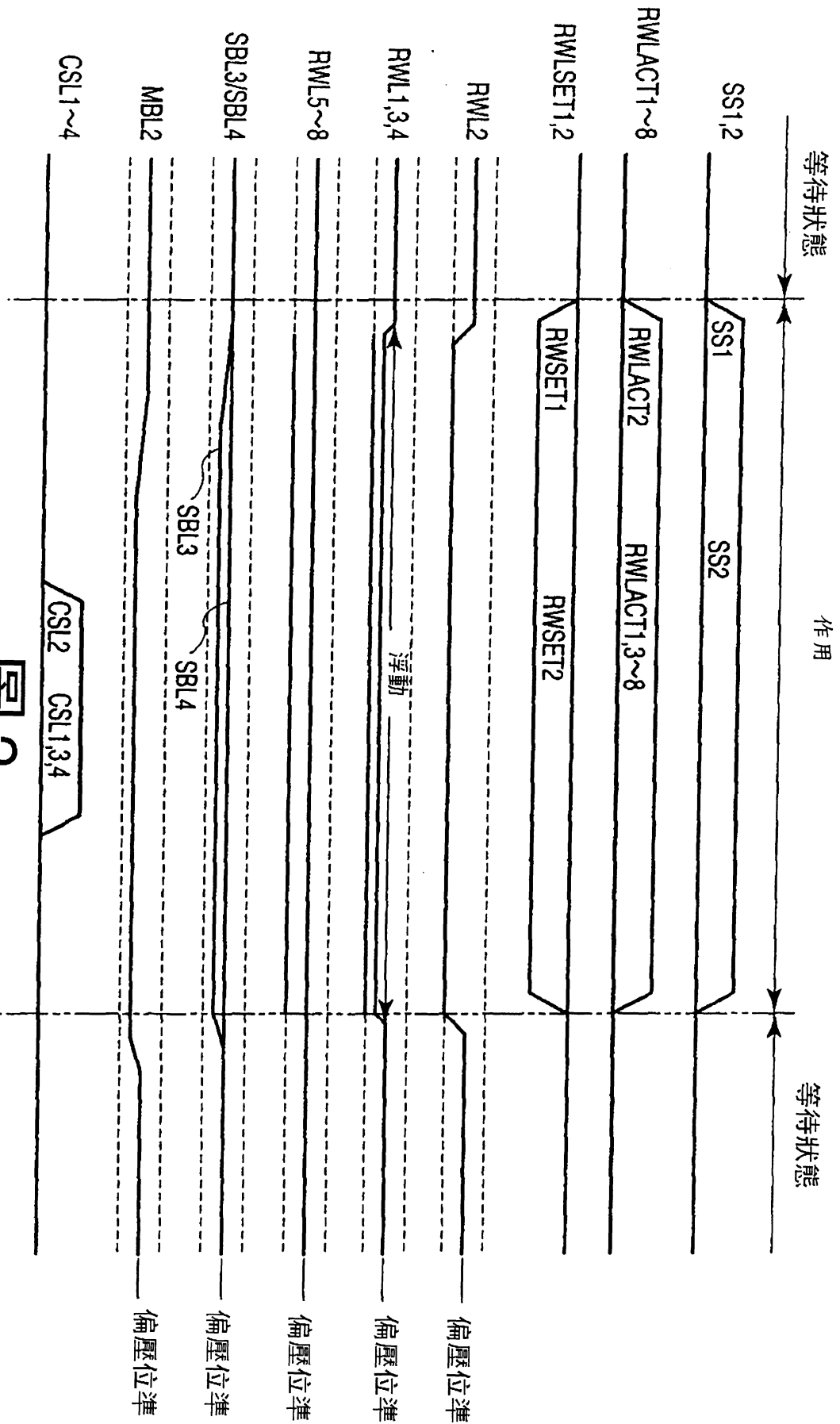


圖 2

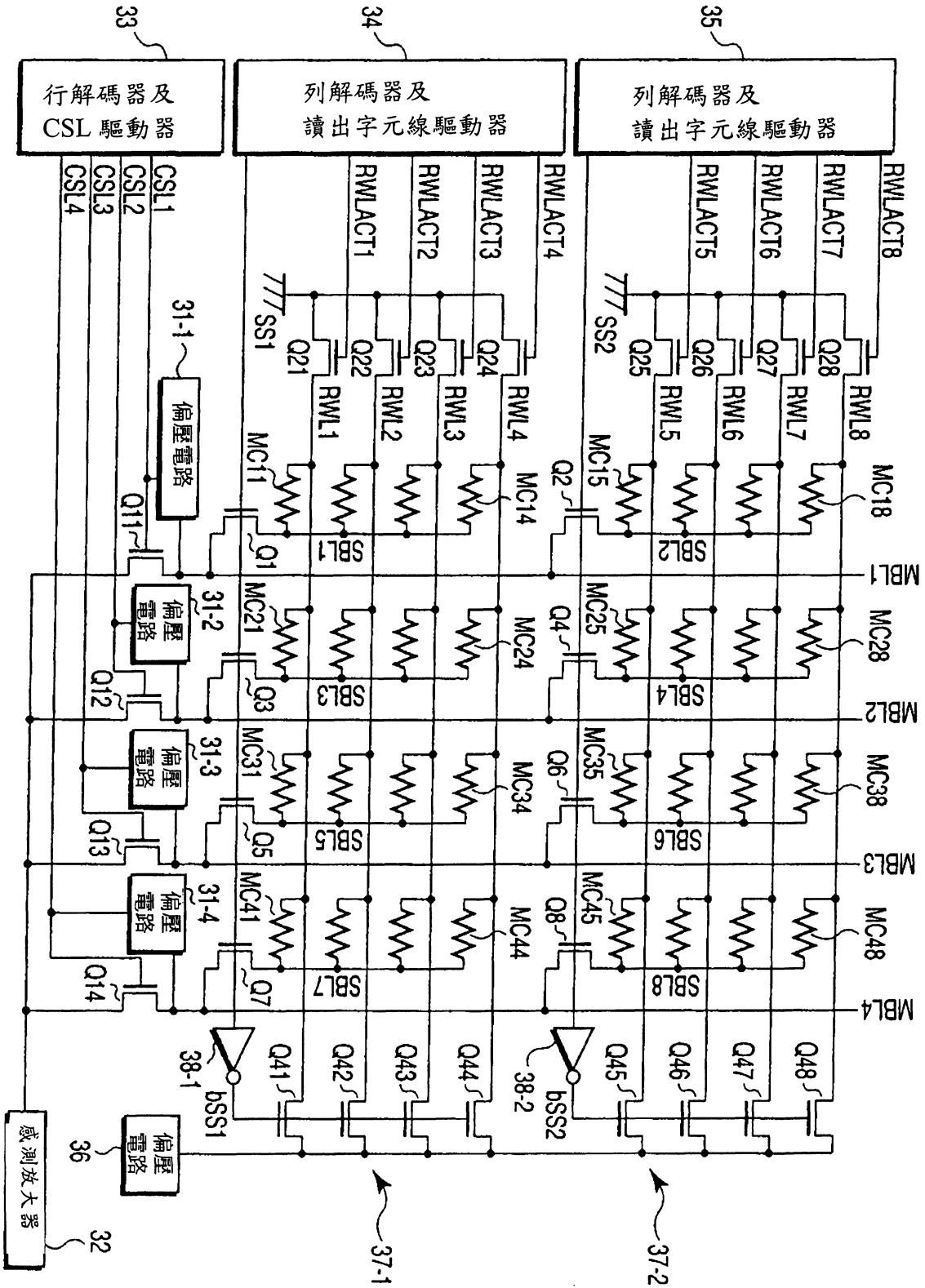


圖 3

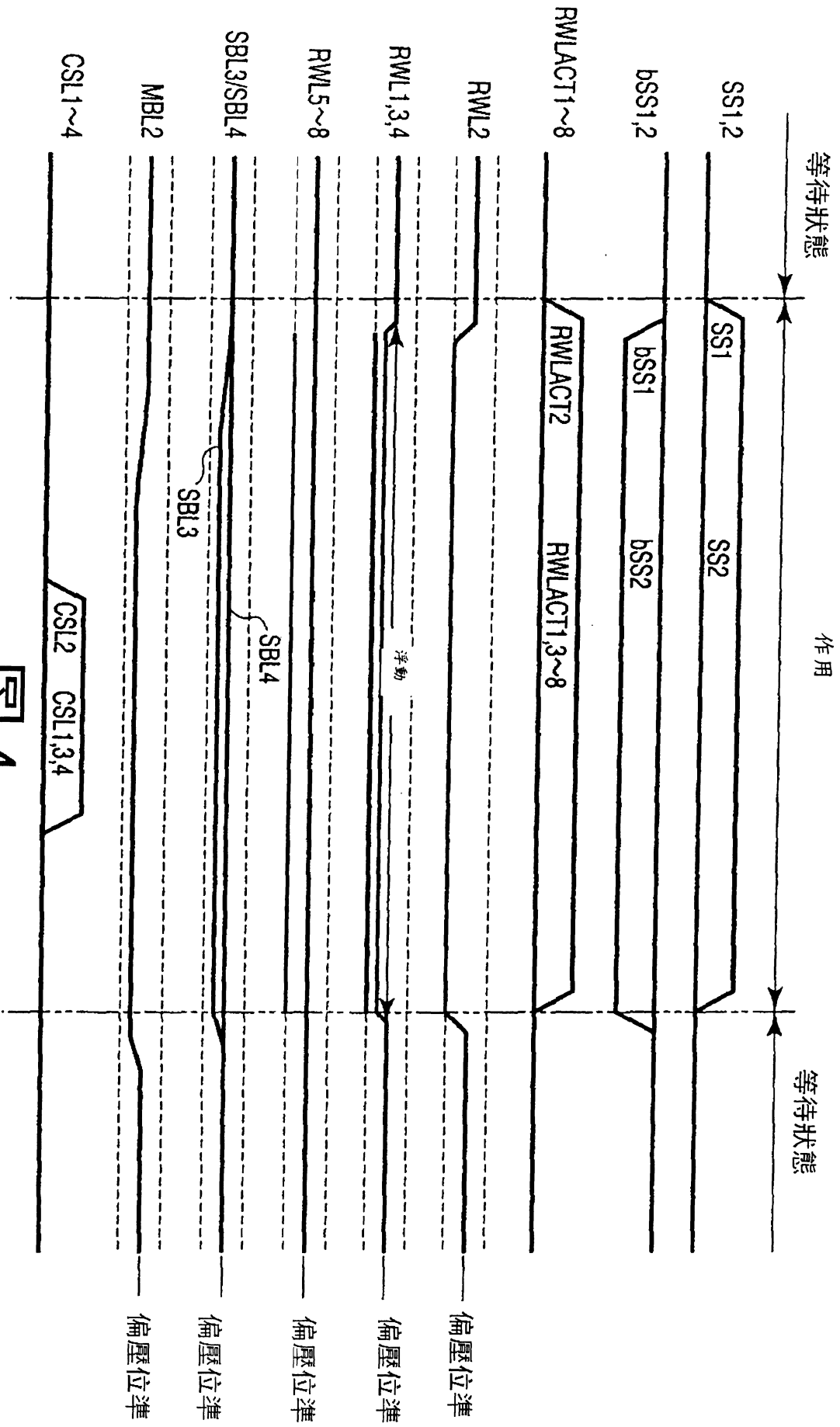


圖 4

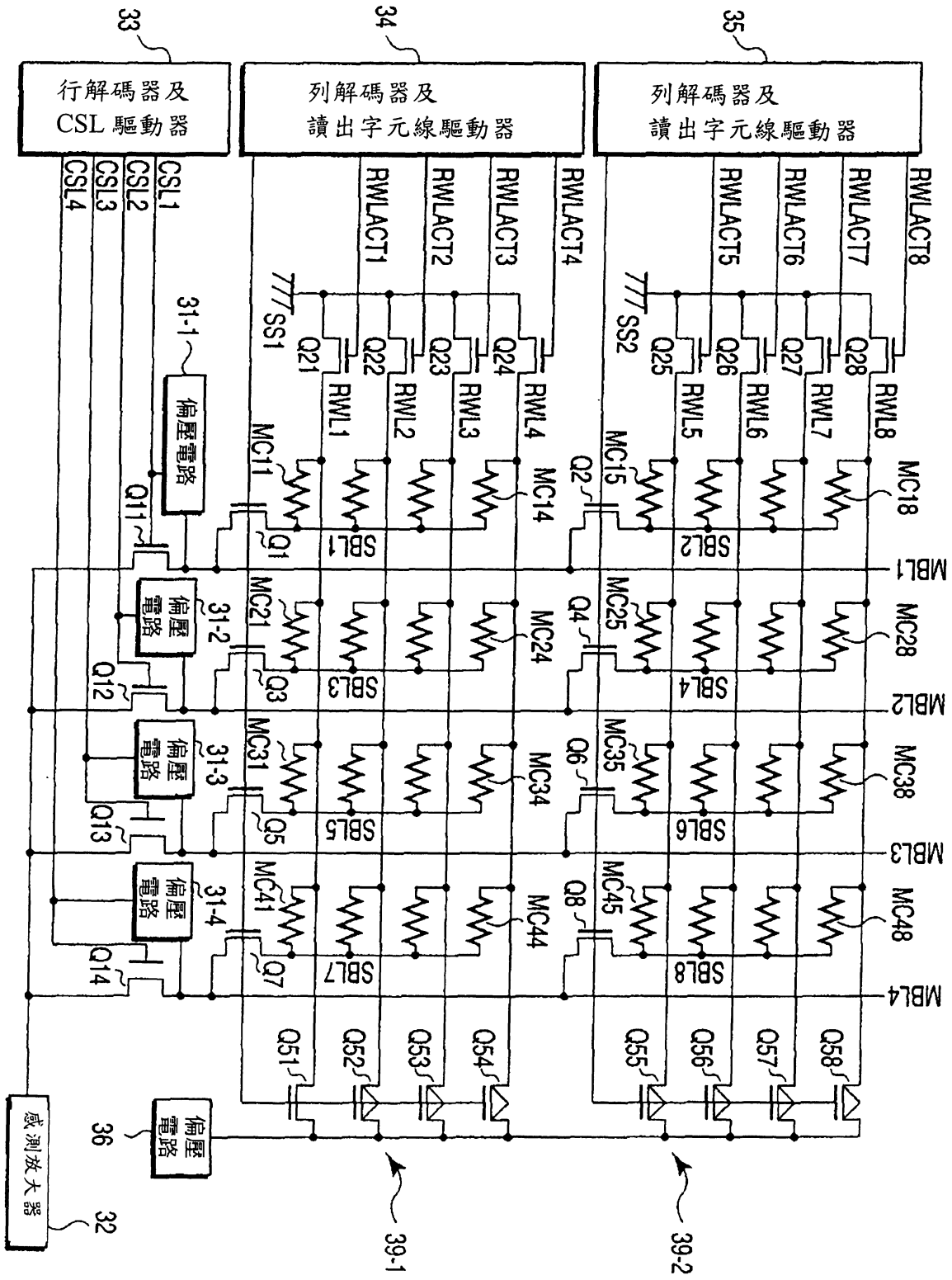


圖 5

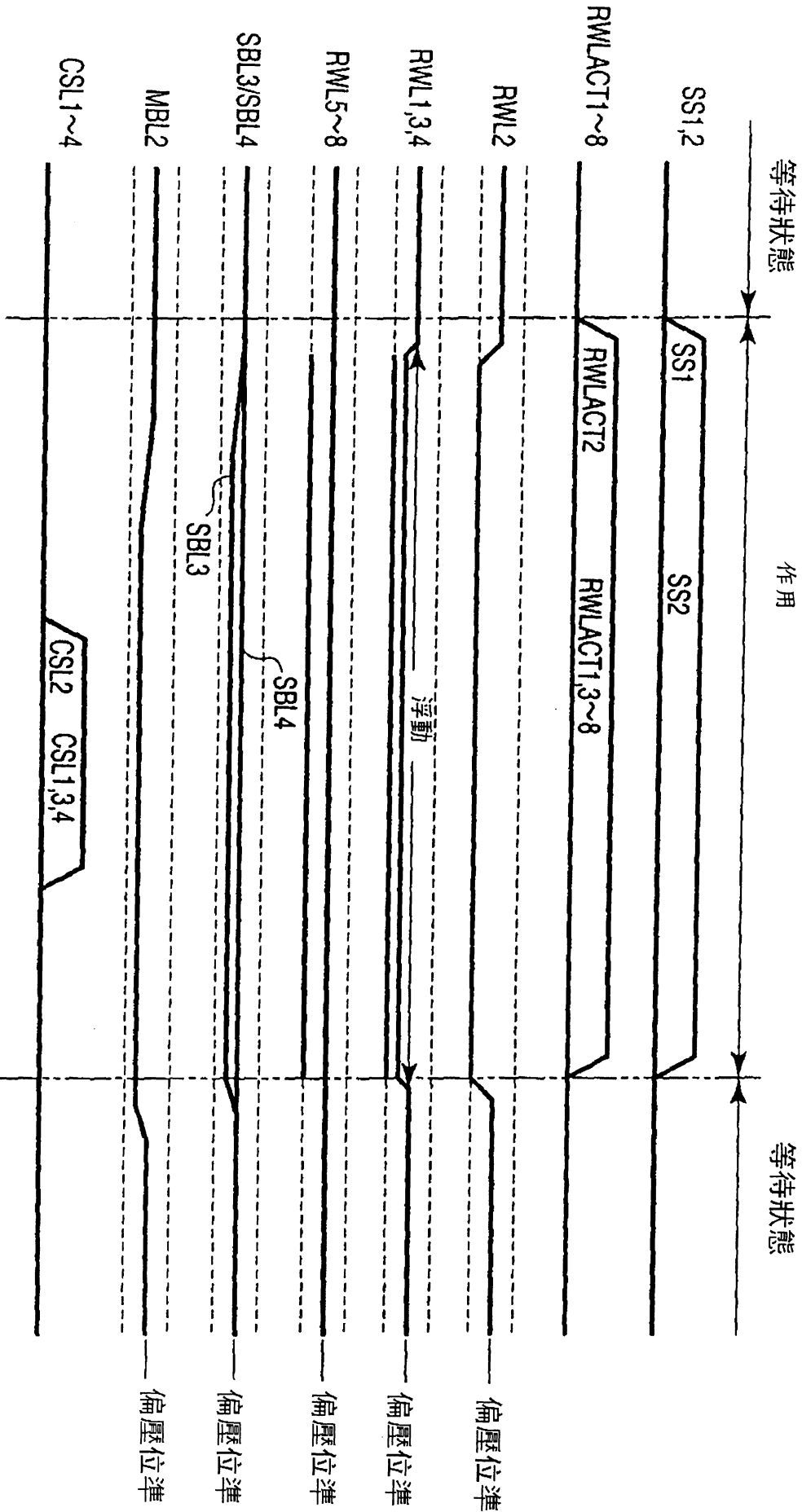


圖 6

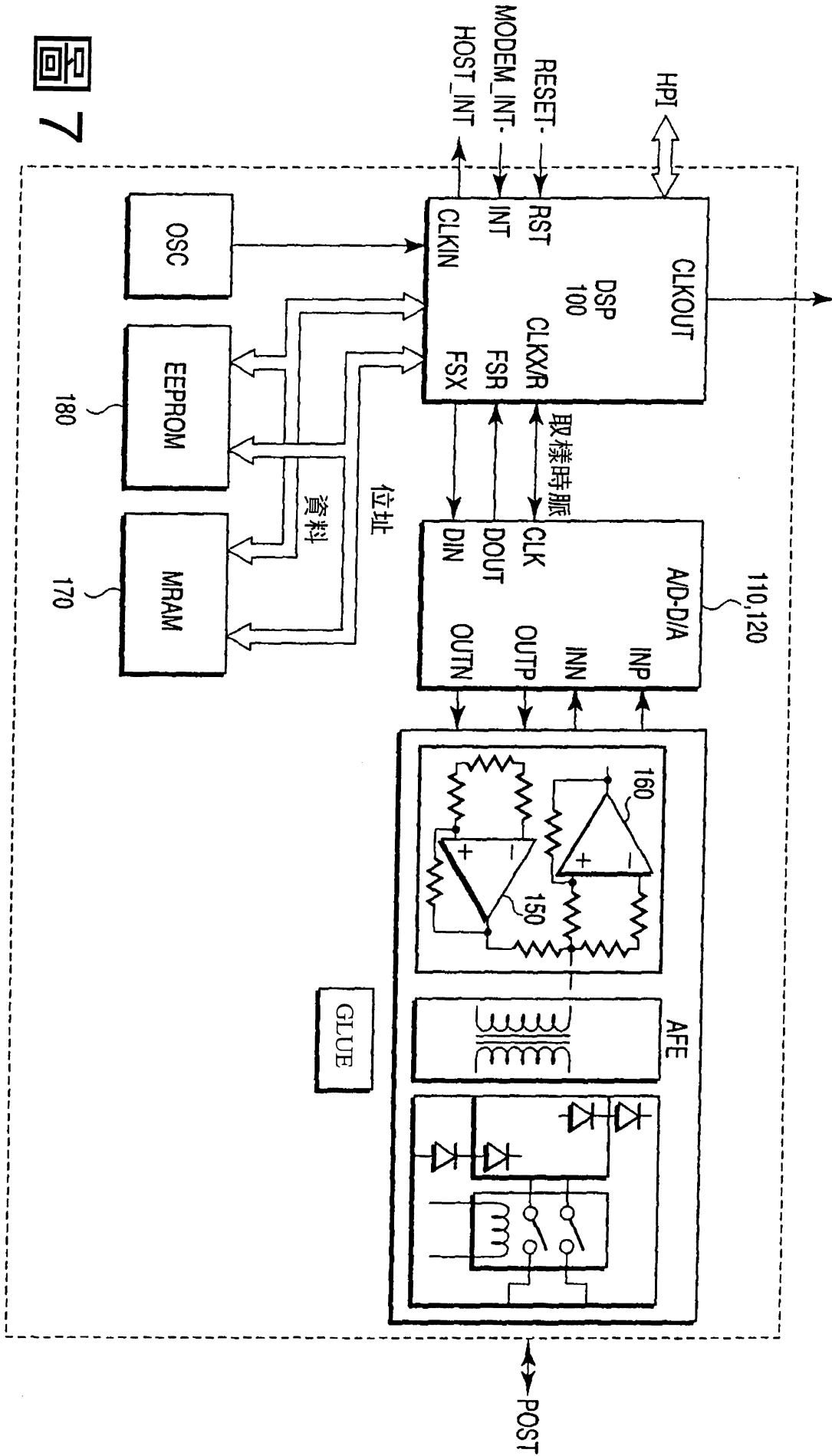


圖 7

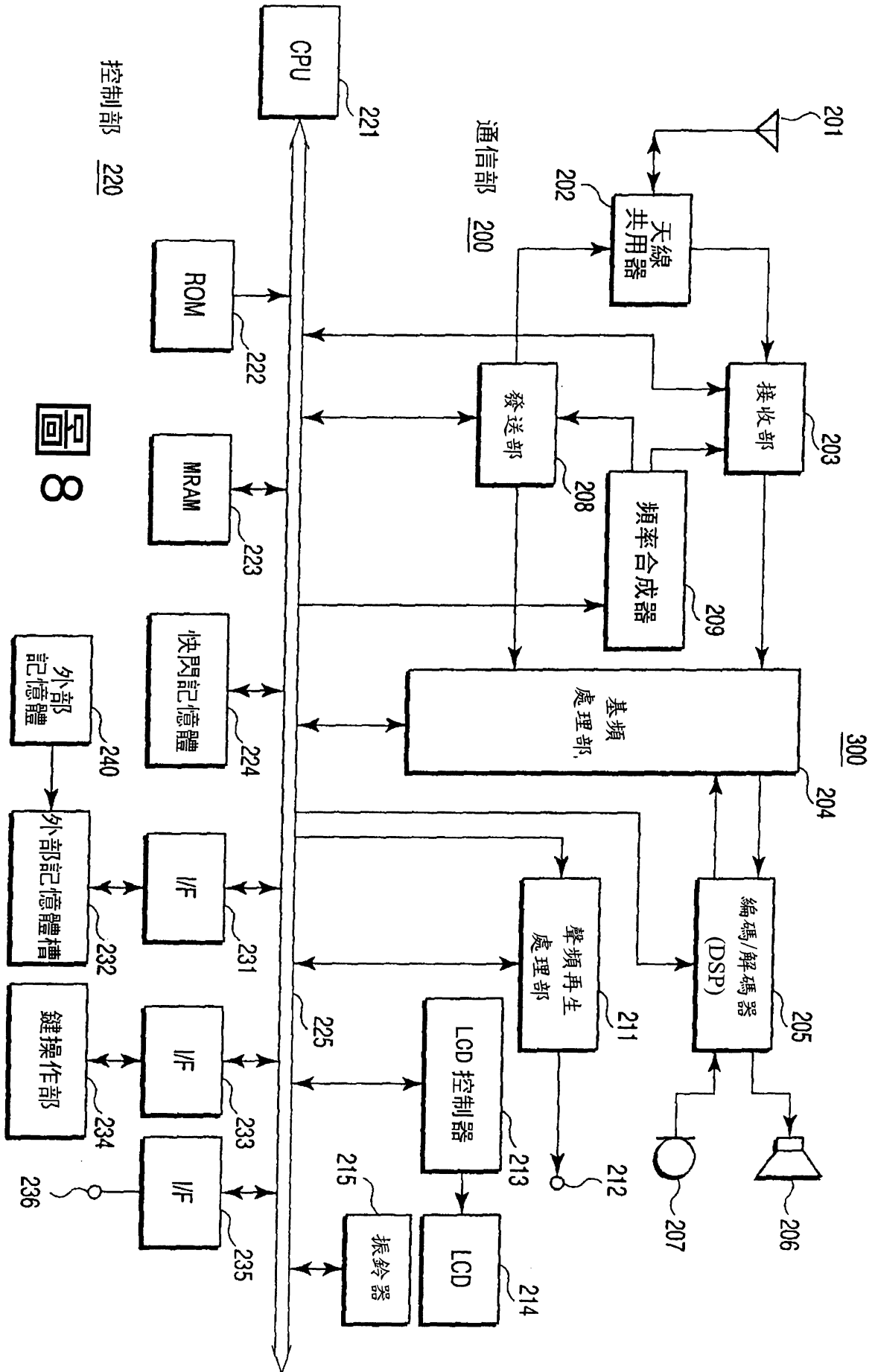
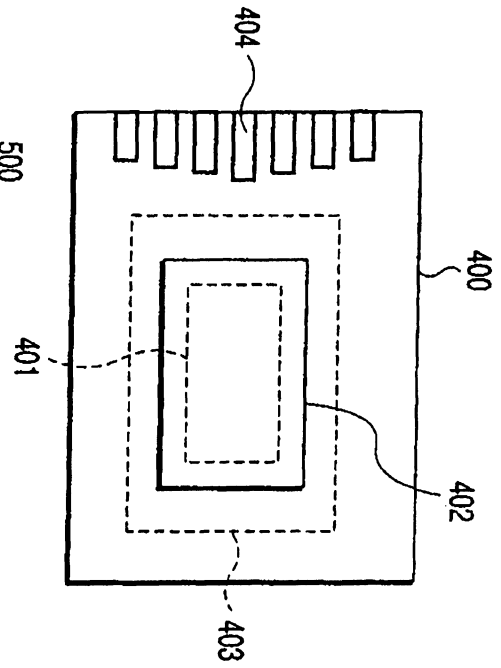
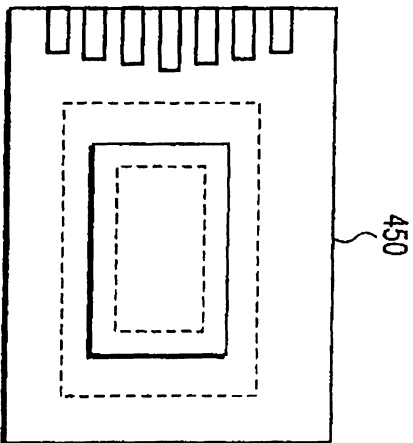
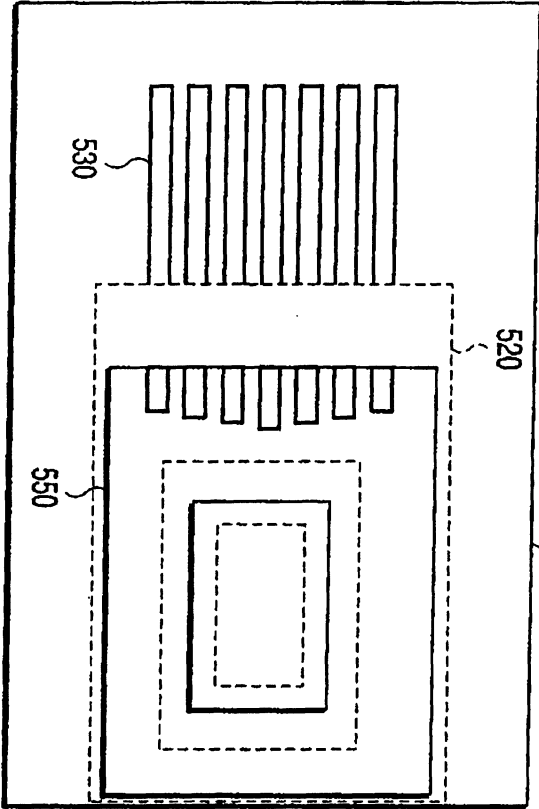


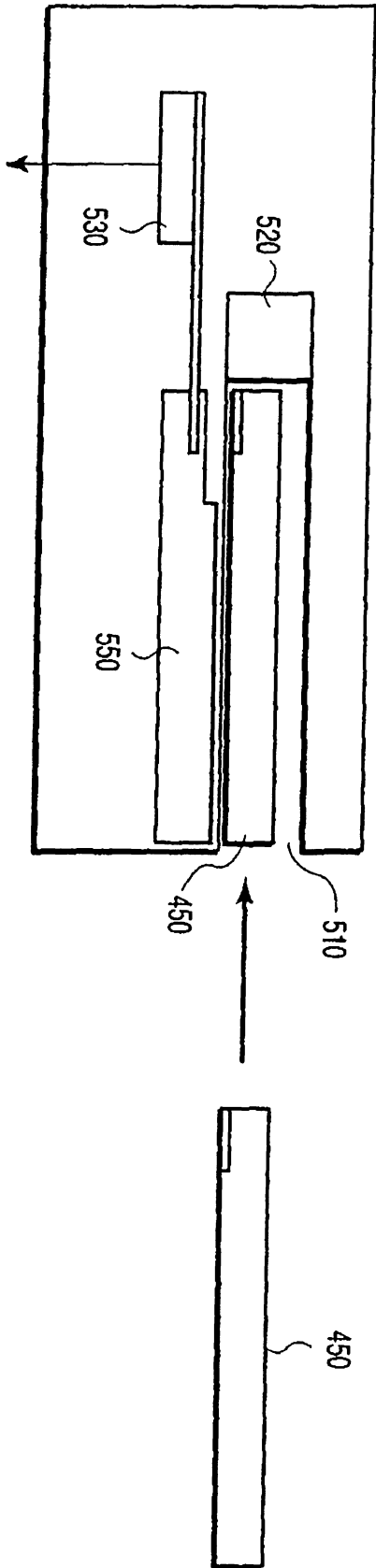
圖 8

9



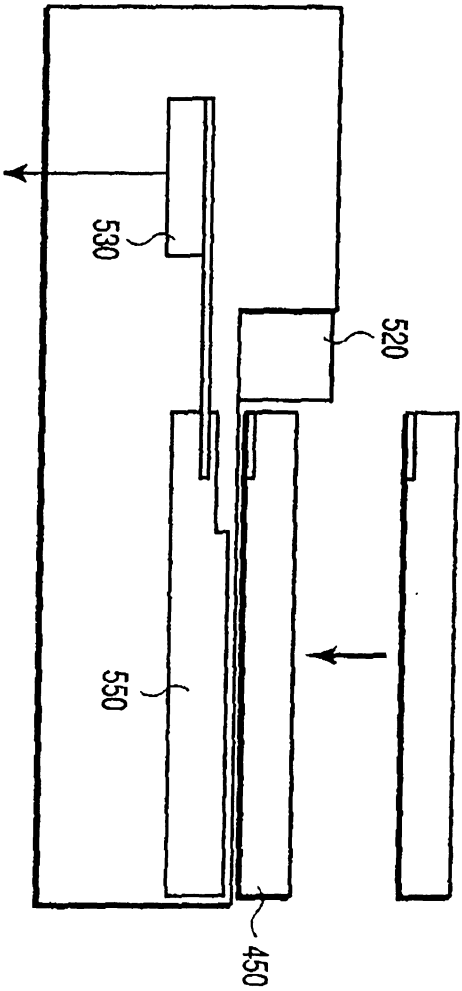
10





至第一MRAM資料覆寫控制部

圖 11



至第一MRAM資料覆寫控制部

圖 12

至第一MRAM資料覆寫控制部

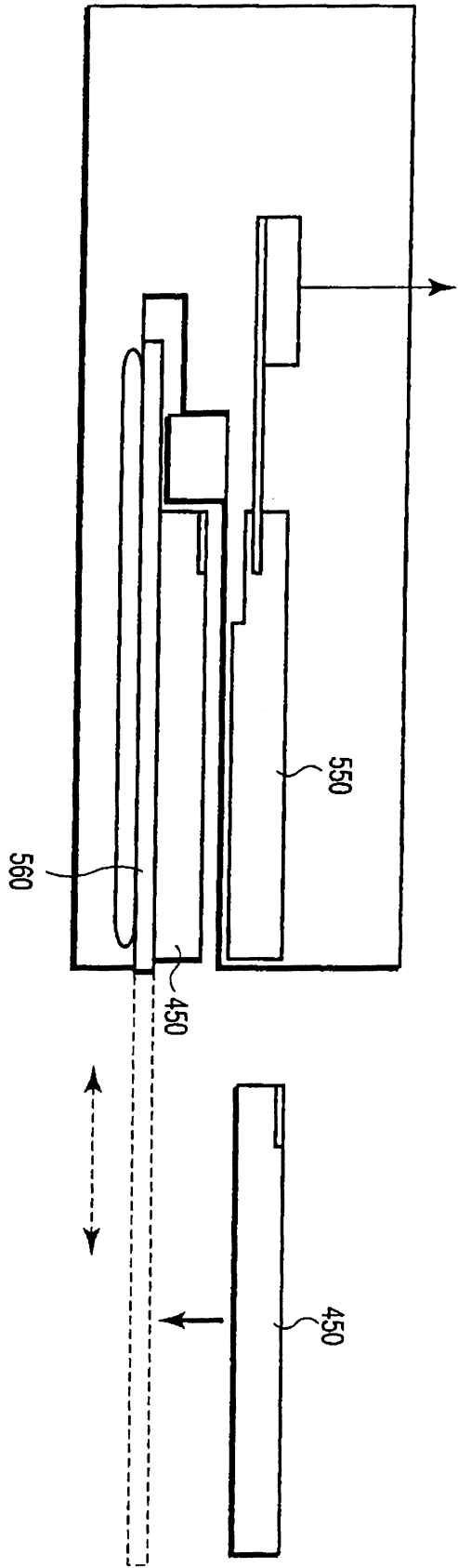


圖 13