

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4014902号

(P4014902)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.

F I

HO 1 L 21/8246 (2006.01)

HO 1 L 27/10 4 4 4 B

HO 1 L 27/105 (2006.01)

HO 1 L 27/10 6 2 1 Z

HO 1 L 21/8242 (2006.01)

HO 1 L 27/108 (2006.01)

請求項の数 3 (全 22 頁)

(21) 出願番号	特願2002-72199 (P2002-72199)	(73) 特許権者	000005223
(22) 出願日	平成14年3月15日 (2002.3.15)		富士通株式会社
(65) 公開番号	特開2003-273326 (P2003-273326A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成15年9月26日 (2003.9.26)	(74) 代理人	100091672
審査請求日	平成16年11月24日 (2004.11.24)		弁理士 岡本 啓三
前置審査		(72) 発明者	小室 玄一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	未沢 健吉
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜上に第1導電膜、誘電体膜及び第2導電膜を順に形成する工程と、

前記第2導電膜上に金属又は金属化合物よりなる第1膜を形成する工程と、

前記第1膜上に絶縁材よりなる第2膜を形成する工程と、

前記第2膜及び前記第1膜をキャパシタ平面形状にパターニングすることによりハードマスクを形成する工程と、

前記ハードマスクに覆われない領域の前記第2導電膜をエッチングしてキャパシタ上部電極を形成する工程と、

前記ハードマスクに覆われない領域の前記誘電体膜をエッチングしてキャパシタ誘電体膜を形成する工程と、

前記ハードマスクに覆われない領域の前記第1導電膜を前記絶縁膜が露出しない深さまでエッチングする工程と、

前記ハードマスクを構成する前記第2膜をエッチングして除去する工程と、

前記ハードマスクに覆われない領域の残りの前記第1導電膜を最後までエッチングしてキャパシタ下部電極を形成する工程と、

前記ハードマスクを構成する前記第1膜をエッチングにより除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】

10

20

前記キャパシタ下部電極の側面には段が形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記ハードマスクの前記第 2 膜は酸化シリコン膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、半導体基板上方にキャパシタを有する半導体装置とその製造方法に関する。

10

【0002】

【従来の技術】

近年、強誘電体キャパシタや高誘電体キャパシタを用いた半導体メモリが有望視されている。例えば、強誘電体キャパシタは次のような工程によって形成される。

【0003】

まず、図 1 (a) に示すように、半導体基板 101 を覆う層間絶縁膜 104 の上に第 1 金属層 106、PZT 層 107、第 2 金属層 108 を順に形成する。なお、半導体基板 101 には素子分離絶縁層 102 に囲まれた不純物拡散領域 103 が形成され、不純物拡散領域 103 上の層間絶縁膜 104 には導電性プラグ 105 が形成されている。

【0004】

20

第 2 金属層 108 の上に窒化チタン層 110、酸化シリコン層 111 を順に形成した後に、酸化シリコン層 111 と窒化チタン層 110 をフォトリソグラフィ法によりパターニングして導電性プラグ 105 の上方にキャパシタ平面形状のハードマスク 112 として残す。

【0005】

次に、図 1 (b) に示すように、ハードマスク 112 に覆われない領域の第 2 金属層 108、PZT 層 107 及び第 1 金属層 106 を順にエッチングすることにより、層間絶縁膜 104 上にスタック型の強誘電体キャパシタ 113 が形成される。

【0006】

この後に、図 1 (c) に示すように、ハードマスク 112 を構成する酸化シリコン層 111

30

【0007】

を除去し、ついで、エッチャントを変えて窒化チタン層 110 を除去する。

【0007】

以上のように、第 1 金属層 106、PZT 層 107、第 2 金属層 108 のパターニングのためにレジストマスクを用いずにハードマスク 112 を使用したのは次のような理由による。

【0008】

スタック型の強誘電体キャパシタ 113 を形成するために、レジストマスクを使用して第 1 金属層 106、PZT 層 107、第 2 金属層 108 を連続してエッチングすると、レジストマスクはそれらの層 106、107、108 に対してエッチング選択性に乏しくてエッチング中に消滅してしまうからである。

40

【0009】

ところで、金属膜のパターニングのために上記した二層構造のハードマスクを使用し、かつエッチングガスとして塩素、酸素及びアルゴンからなる混合ガスを使用することは特開平 11 - 34510 号公報に記載されている。また、特開平 11 - 34510 号公報には、金属膜のエッチングの最中にハードマスクの SiO₂ 膜が消滅することが記載されている。

【0010】

【発明が解決しようとする課題】

第 1 及び第 2 金属層に挟まれる PZT 層のパターニングにはハードマスクとして酸化シリコン層を用いるのが好ましい。従って、PZT 層のエッチング中にハードマスクである酸化シリコン層が消滅することは、PZT 層のエッチングレートの著しい低下を招くので、

50

PZT層のエッチングが終わるまではハードマスクとして酸化シリコン層111を残すことが重要である。

【0011】

従って、第2金属層108、PZT層107及び第1金属層106のエッチングを終えた後の状態では、図1(b)に示したように、第2金属層108の上にはハードマスク112を構成する窒化チタン層110だけでなく酸化シリコン層111が残っていることになる。

【0012】

酸化シリコン層111と窒化チタン層110は、キャパシタ113の形成を終えた後にエッチングにより除去される。

10

【0013】

しかし、ハードマスク112を構成するSiO₂層111を除去する際に、キャパシタ113の周辺では、酸化シリコンからなる層間絶縁膜104もエッチングされてしまい、キャパシタ112とその周辺で生じる段差が大きくなる。そのような段差が大きくなると、複数のキャパシタ112の間では二層目の層間絶縁膜の埋込が悪くなるという不都合が生じる。

【0014】

本発明の目的は、キャパシタを形成するために使用されるハードマスクの除去の際に下地となる絶縁膜に薄層化を生じにくくすることができる半導体装置及びその製造方法を提供することにある。

20

【0015】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜上に第1導電膜、誘電体膜及び第2導電膜を順に形成する工程と、前記第2導電膜上に金属又は金属化合物よりなる第1膜を形成する工程と、前記第1膜上に絶縁材よりなる第2膜を形成する工程と、前記第2膜及び前記第1膜をキャパシタ平面形状にパターニングすることによりハードマスクを形成する工程と、前記ハードマスクに覆われない領域の前記第2導電膜をエッチングしてキャパシタ上部電極を形成する工程と、前記ハードマスクに覆われない領域の前記誘電体膜をエッチングしてキャパシタ誘電体膜を形成する工程と、前記ハードマスクに覆われない領域の前記第1導電膜を前記絶縁膜が露出しない深さまでエッチングする工程と、前記ハードマスクを構成する前記第2膜をエッチングして除去する工程と、前記ハードマスクに覆われない領域の残りの前記第1導電膜を最後までエッチングしてキャパシタ下部電極を形成する工程と、前記ハードマスクを構成する前記第1膜をエッチングにより除去する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

30

【0018】

次に、本発明の作用について説明する。

【0019】

本発明によれば、絶縁膜上に形成された第1導電膜、誘電体膜及び第2導電膜をパターニングするために用いられるハードマスクの最上層として絶縁材料を用い、その最上層の除去は第1導電膜のエッチングを中断して行い、その後に第1導電膜のエッチングを再開するようにしている。

40

【0020】

従って、ハードマスクを構成する絶縁性の最上層をエッチングして除去する場合にその下の絶縁膜が露出することはなく、キャパシタの下地である絶縁膜のエッチングが抑制される。

【0021】

また、誘電体膜のエッチングによりハードマスクの側壁に付着するデポ物は、ハードマスクの最上層を除去する前の第1導電膜のエッチングによって除去されるので、ハードマスクの最上層の除去が容易になる。

50

【 0 0 2 2 】

なお、第 1 導電膜の 2 段階エッチングによれば、第 1 導電膜をパターンニングして形成されるキャパシタ下部電極の側面には段部が生じる。

【 0 0 2 3 】

さらに、本発明によれば、ハードマスクの最上層を窒化シリコンから構成し、このハードマスクを用いて第 1 導電膜、誘電体膜及び第 2 導電膜を連続してエッチングしてキャパシタを形成するようにしている。

【 0 0 2 4 】

キャパシタを形成した後は、ハードマスクを構成する絶縁性の最上層を絶縁膜に対して選択的にエッチングすることが容易であり、キャパシタの下地である絶縁膜のエッチングが抑制される。

10

【 0 0 2 5 】

【 発明の実施の形態 】

以下に本発明の実施形態を図面に基づいて説明する。

(第 1 の実施の形態)

図 2 ~ 図 5 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図である。

【 0 0 2 6 】

まず、図 2 (a) に示す断面構造を形成するまでの工程を説明する。

【 0 0 2 7 】

図 2 (a) に示すように、n 型又は p 型のシリコン (半導体) 基板 1 のトランジスタ形成領域の周囲にフォトリソグラフィ法により素子分離用溝を形成した後に、素子分離用溝の中に酸化シリコン (SiO_2) を埋め込んで素子分離絶縁膜 2 を形成する。そのような構造の素子分離絶縁膜 2 は、S T I (Shallow Trench Isolation) と呼ばれる。なお、L O C O S (Local Oxidation of Silicon) 法により形成した絶縁膜を素子分離絶縁膜として採用してもよい。

20

【 0 0 2 8 】

続いて、シリコン基板 1 のトランジスタ形成領域に p 型不純物を導入して p ウェル 1 a を形成する。さらに、シリコン基板 1 のトランジスタ形成領域表面を熱酸化して、ゲート絶縁膜 3 となるシリコン酸化膜を形成する。

【 0 0 2 9 】

次に、シリコン基板 1 の上側全面に非晶質又は多結晶のファスシリコン膜及びタングステンシリサイド膜を順次形成し、これらのシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法によりパターンニングして、ゲート電極 4 a , 4 b を形成する。

30

【 0 0 3 0 】

なお、1 つの p ウェル 1 a 上には 2 つのゲート電極 4 a , 4 b が並列に形成され、それらのゲート電極 4 a , 4 b はワード線の一部を構成する。

【 0 0 3 1 】

次に、p ウェル 1 a のうちゲート電極 4 a , 4 b の両側に n 型不純物をイオン注入してソース/ドレインとなる第 1 ~ 第 3 の n 型不純物拡散領域 5 a ~ 5 c を形成する。

【 0 0 3 2 】

さらに、C V D 法により絶縁膜、例えば酸化シリコン (SiO_2) 膜をシリコン基板 1 の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極 4 a , 4 b の両側部分に絶縁性のサイドウォールスペーサ 6 として残す。

40

【 0 0 3 3 】

続いて、ゲート電極 4 a , 4 b とサイドウォールスペーサ 6 をマスクに使用して、第 1 ~ 第 3 の n 型不純物拡散領域 5 a ~ 5 c に再び n 型不純物をイオン注入することにより、第 1 ~ 第 3 の n 型不純物拡散領域 5 a ~ 5 c を L D D 構造にする。

【 0 0 3 4 】

なお、1 つの p ウェル 1 a の両端側の第 1、第 2 の n 型不純物拡散領域 5 a , 5 b はキャパシタの下部電極に電氣的に接続され、また、2 つのゲート電極 4 a , 4 b の間の第 3 の

50

n型不純物拡散領域5cはビット線に電氣的に接続される。

【0035】

以上の工程により、pウェル1aにはゲート電極4a, 4bとLDD構造のn型不純物拡散領域5a~5cを有する2つのMOSトランジスタ T_1 , T_2 が形成される。

【0036】

次に、MOSトランジスタ T_1 , T_2 を覆うカバー絶縁膜7として約200nmの厚さの酸化シリコン(SiON)膜をプラズマCVD法によりシリコン基板1の全面に形成する。その後、TEOSガスを用いるプラズマCVD法により、膜厚1.0 μ m程度の酸化シリコン(SiO₂)を第1層間絶縁膜8としてカバー膜7の上に形成する。

【0037】

続いて、第1層間絶縁膜8の緻密化処理として、例えば常圧の窒素雰囲気中で第1層間絶縁膜8を700の温度で30分間熱処理する。その後、第1層間絶縁膜8の上面を化学機械研磨(CMP)法により平坦化する。

【0038】

次に、図2(b)に示すように、フォトリソグラフィ法により第1層間絶縁膜8とカバー絶縁膜7をパターニングして、第1、第2の不純物拡散領域5a, 5bのそれぞれに到達する深さの第1、第2のコンタクトホール8a, 8bを形成する。

【0039】

その後、第1層間絶縁膜8上面と第1、第2コンタクトホール8a, 8b内面に、グルー膜として膜厚30nm程度のチタン(Ti)膜と膜厚50nm程度の窒化チタン(TiN)膜をスパッタ法により順に形成する。さらに、WF₆を用いるCVD法によってタングステン(W)膜をTiN膜上に成長して第1、第2のコンタクトホール8a, 8b内を完全に埋め込む。

【0040】

続いて、図2(c)に示すように、W膜、TiN膜及びTi膜をCMP法により研磨して第1層間絶縁膜8の上面から除去する。第1のコンタクトホール8a内に残されたW膜、TiN膜及びTi膜は第1、第2の導電性プラグ9a, 9bとして使用される。

【0041】

次に、図3(a)に示す構造を形成するまでの工程を説明する。

【0042】

まず、第1、第2の導電性プラグ9a, 9b上と第1層間絶縁膜8上に第1導電膜15として例えば厚さ200nm程度のイリジウム(Ir)膜15x、厚さ50nm程度の酸化イリジウム(IrO_x)膜15y、厚さ100nm程度のプラチナ(Pt)膜15zをスパッタにより順に形成する。第1導電膜15は、その他の白金族金属又は白金族金属酸化物を含む導電膜から構成してもよい。

【0043】

なお、第1導電膜15を形成する前又は後に例えば膜剥がれ防止のために第1層間絶縁膜8をアニールする。アニール方法として、例えば、アルゴン雰囲気中で600~750のRTA(rapid thermal annealing)を採用する。

【0044】

続いて、第1導電膜15上に強誘電体膜16として例えば膜厚100nm程度のPZT膜をスパッタ法により形成する。強誘電体膜16の形成方法は、その他に、MOD(metal organic deposition)法、MOCVD(有機金属CVD)法、ゾル・ゲル法などがある。また、強誘電体膜16の材料としては、PZTの他に、PLCSZT、PLZTのような他のPZT系材料や、SrBi₂Ta₂O₉、SrBi₂(Ta,Nb)₂O₉等のBi層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。

【0045】

続いて、酸素雰囲気中で強誘電体膜16をアニールにより結晶化する。アニールとして、例えばアルゴンと酸素の混合ガス雰囲気中で基板温度600、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750、時間60秒の条件を第2ステップとする2

10

20

30

40

50

ステップのRTA処理を採用する。

【0046】

さらに、強誘電体膜16の上に、第2導電膜17として例えば膜厚200nm程度の酸化イリジウム(IrO_2)をスパッタ法により形成する。

【0047】

この後、ハードマスクとなるTiN膜18aと SiO_2 膜(絶縁膜)18bを第2導電膜17上に順に形成する。TiN膜18aは、スパッタ法によって例えば厚さ約200nmに形成される。また、 SiO_2 膜18bはTEOS(テトラエトキシシラン)を用いるプラズマCVD法によって厚さ約800nmに形成される。

【0048】

続いて、 SiO_2 膜18bの上にレジストRを塗布し、これを露光、現像して第1、第2の導電性プラグ9a, 9bの上方にキャパシタ平面形状になるようにパターンを形成する。

【0049】

続いて、 C_4F_8 とArと CF_4 をエッチングガスに用いて、レジストRに覆われない領域の SiO_2 膜18bをドライエッチングして除去する。さらに、 BCl_3 と Cl_2 をエッチングガスに用いてレジストRに覆われない領域のTiN膜18aをドライエッチングして除去する。 SiO_2 膜18bのエッチングとTiN膜18aのエッチングは、エッチャーを換えて行われる。

【0050】

図3(b)に示すように、パターンニングされた SiO_2 膜18bとTiN膜18aは、ハードマスク18として用いられる。なお、ハードマスク18の形成後に、レジストRをアッシング

【0051】

次に、ハードマスク18に覆われない領域の第2導電膜17、強誘電体膜16及び第1導電膜15をICPEッチング装置を用いて以下の条件で順にエッチングする。

【0052】

まず、第2導電膜17である IrO_x 膜をエッチングする。この場合のエッチング条件は、HBrを流量10sccm、 O_2 を流量40sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400、ソースパワー800watt、バイアスパワー700wattに設定する。なお、ソースパワーはICPEッチング装置のアンテナに印加される高周波電源のパワーであり、バイアスパワーは半導体ウェハ(シリコン基板1)に印加される高周波電源のパワーである。第2導電膜17のエッチングは終点検出器を用いて検出され、第2導電膜17の膜厚の10%程度の条件でオーバーエッチングを行う。なお、終点検出器として、例えば発光分析装置が用いられる。

【0053】

続いて、強誘電体膜16であるPZT膜をエッチングする。この場合のエッチング条件は、 Cl_2 を流量40sccm、Arを流量10sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400、ソースパワー800watt、バイアスパワー700wattに設定する。強誘電体膜16のエッチングも終点検出器を用いて検出され、ジャストエッチングが行われる。

【0054】

誘電体膜16のエッチングを終えた後にハードマスク18を構成する SiO_2 膜18bを除去することも考えられるが、第1導電膜15、強誘電体膜16のエッチングに生じた生成物が SiO_2 膜18bの側面に貴金属デポ膜として付着しているため、このままでは SiO_2 膜18bの除去が難しい。

【0055】

そこで、図4(a)に示すように、ハードマスク18の上層部である SiO_2 膜18bを残した状態で、強誘電体膜16をエッチングし、これに引き続き多層構造の第1導電膜15を途中までアンダーエッチングする。このアンダーエッチングは、例えば膜厚の50%程度のハーフエッチングとする。

【0056】

10

20

30

40

50

アンダーエッチングは、第1導電膜15のエッチング過程の途中まで行われ、例えば、Pt膜15z、Ir膜15xのエッチングが終了し、Ir膜15xの上部に達する深さまで行われる。この場合のエッチング条件として、HBrを流量10sccm、O₂を流量40sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400、ソースパワーを800watt、バイアスパワーを700wattに設定する。

【0057】

このアンダーエッチング条件により、SiO₂膜18bの側面から貴金属デポ膜が取り除かれる。

【0058】

アンダーエッチングの後に、シリコン基板1をICPEッチング装置から取り出し、プラズマエッチング装置に移す。そして、図4(b)に示すように、シリコン基板1を冷却した状態でCF₄とCHF₃とArの混合ガスを使用してハードマスク18のSiO₂膜18aをエッチングして除去する。

【0059】

SiO₂膜18aのエッチング時にはポリマー系デポ物が生じ、このポリマー系デポ物がハードマスク18から第1導電膜15までの各層の側面上に残る。そのポリマー系デポ物が厚い場合にはエッチングマスクとして機能するので、ポリマー系デポ物を酸素含有ガスを用いるアッシング装置によって除去する。

【0060】

次に、シリコン基板1をICPEッチング装置に戻す。そして、図5(a)に示すように、TiN膜18aの単層構造となったハードマスク18を用いて第1導電膜15のエッチングを再開する。この場合のエッチング条件は、第1導電膜15の上部のエッチング条件と同じに設定し、第1導電膜15の残りを所定時間でエッチングする。これにより、第1層間絶縁膜8の上面が露出する。

【0061】

このように、第1導電膜15のエッチングの途中にハードマスク18のSiO₂膜18bを除去する工程を入れると、第1導電膜15の側面には不連続面、段差などが表れ易くなる。そのような不連続面又は段差は、キャパシタ特性に影響を与えるものではない。

【0062】

これにより、1つのpウェル1aの上方において、第1層間絶縁膜8の上には2つのキャパシタQが形成される。それらのキャパシタQは、第1導電膜15からなる下部電極15aと、強誘電体膜16からなる誘電体膜16aと、第2導電膜17からなる上部電極17aとを有している。各キャパシタQの下部電極15aは、それぞれ第1、第2導電性プラグ9a、9bを介して第1、第2のn型不純物拡散領域5a、5bに接続される。

【0063】

次に、図5(b)に示すように、ハードマスク18として残っているTiN膜18aを除去する。TiN膜18aのエッチング条件としては、第1層間絶縁膜8を構成するSiO₂とのエッチング選択性を高くするために等方性エッチングを採用することが好ましい。そのエッチングとしては、例えばCF₄とO₂を含むエッチングガスを用いるダウンフローエッチングによるドライ処理、又は、NH₄OHとH₂O₂とH₂Oの混合液を用いたウェット処理が有効である。

【0064】

そのようなTiN膜18aのエッチング条件によれば、TiN膜18aをSiO₂膜に対して選択的にエッチングすることが可能であり、キャパシタQの周囲の第1層間絶縁膜8は殆どエッチングされず、キャパシタQの周囲に大きな窪みが生じない。

【0065】

続いて、エッチングによる強誘電体膜16をダメージから回復させるために、キャパシタQの回復アニールを行う。この場合の回復アニールは、例えば、基板温度650、60分間の条件で酸素雰囲気で行われる。

【0066】

10

20

30

40

50

次に、図 6 (a) に示すように、キャパシタ保護膜 19 として膜厚 50 nm のアルミナをスパッタによりキャパシタ Q 表面の上と下地絶縁膜 10 b の上に形成した後に、酸素雰囲気中で 650 °C で 60 分間の条件でキャパシタ Q をアニールする。キャパシタ保護膜 19 は、プロセスダメージからキャパシタ Q を保護するものである。

【0067】

その後、TEOS ガスを用いるプラズマ CVD 法により、第 2 層間絶縁膜 20 として膜厚 1.0 μm 程度の酸化シリコン (SiO₂) をキャパシタ保護膜 19 上に形成する。さらに、第 2 層間絶縁膜 20 の上面を CMP 法により平坦化する。この例では、CMP 後の第 2 層間絶縁膜 20 の残りの膜厚は、キャパシタ Q の上部電極 17 a 上で 300 nm 程度とする。

10

【0068】

次に、図 6 (b) に示すように、レジストマスク (不図示) を用いて第 2 層間絶縁膜 20、キャパシタ保護膜 19、第 1 層間絶縁膜 8 及びカバー膜 7 をエッチングすることにより、第 3 の n 型不純物領域 5 c の上にホール 20 a を形成する。

【0069】

さらに、ホール 20 a 内と第 2 層間絶縁膜 20 上に、グルー膜として膜厚 50 nm の TiN 膜をスパッタ法により順に形成する。さらに、CVD 法により W 膜をグルー層上に成長するとともにホール 20 a 内を完全に埋め込む。

【0070】

続いて、図 7 (a) に示すように、W 膜及び TiN 膜を CMP 法により研磨して第 2 層間絶縁膜 20 の上面上から除去する。そして、ホール 20 a 内に残されたタンゲステン膜及びグルー層を、第 3 の導電性プラグ 21 とする。

20

【0071】

次に、図 7 (b) に示す構造を形成するまでの工程を説明する。

【0072】

まず、第 3 導電性プラグ 21 上と第 2 層間絶縁膜 20 上に、酸化防止膜 (不図示) として SiON 膜を CVD 法により形成する。さらに、酸化防止膜と第 2 層間絶縁膜 20 をフォトリソグラフィ法によりパターニングしてキャパシタ Q の上部電極 17 a 上にコンタクトホール 20 b を形成する。

【0073】

コンタクトホール 20 b を形成することによりダメージを受けたキャパシタ Q はアニールによって回復される。そのアニールは、例えば酸素雰囲気中で基板温度 550 °C として 60 分間行われる。

30

【0074】

その後、第 2 層間絶縁膜 20 上に形成された酸化防止膜をエッチバックによって除去するとともに、第 3 導電性プラグ 21 の表面を露出させる。

【0075】

次に、キャパシタ Q の上部電極 17 a 上のコンタクトホール 20 b 内と第 2 層間絶縁膜 20 の上に多層金属膜を形成する。その後、多層金属膜をパターニングすることにより、コンタクトホール 20 b を通して上部電極 17 a に接続される一層目金属配線 22 a と、第 4 導電性プラグ 21 に接続される導電性パッド 22 b を形成する。その多層金属膜として、例えば、膜厚 60 nm の Ti、膜厚 30 nm の TiN、膜厚 400 nm の Al-Cu、膜厚 5 nm の Ti、及び膜厚 70 nm の TiN を順に形成した構造を採用する。

40

【0076】

なお、多層金属膜のパターニング方法として、多層金属膜の上に反射防止膜 (不図示) を形成し、さらに反射防止膜上にレジスト (不図示) を塗布した後に、レジストを露光、現像して配線形状等のレジストパターンを形成し、そのレジパターンを用いて反射防止膜と多層金属膜をエッチングする方法を採用する。

【0077】

さらに、第 2 層間絶縁膜 20、一層目金属配線 22 a 及び導電性パッド 22 b の上に第 3

50

層間絶縁膜 2 3 を形成する。続いて、第 3 層間絶縁膜 2 3 をパターニングして導電性パッド 2 2 b の上にホール 2 3 a を形成し、そのホール 2 3 a 内に下から順に TiN 膜及び W 膜からなる第 4 の導電性プラグ 2 4 を形成する。

【 0 0 7 8 】

その後、特に図示しないが、ビット線を含む二層目配線を第 3 層間絶縁膜 2 3 上に形成する。ビット線は、第 4 の導電性プラグ 2 4、導電性パッド 2 2 b、第 3 導電性プラグ 2 1 を介して第 3 の n 型不純物拡散領域 5 c に電氣的に接続される。それに続いて、二層目配線層を覆う絶縁膜等が形成されるが、その詳細は省略する。

【 0 0 7 9 】

以上のように本実施形態では、同じハードマスクを用いて第 1 導電膜 1 5、強誘電体膜 1 6 及び第 2 導電膜 1 7 をエッチングする場合に、多層構造のハードマスク 1 8 を用い、その最上層として SiO₂ 膜 1 8 b を使用している。そして、強誘電体膜 1 7 のエッチングに必要な SiO₂ 膜 1 8 b の除去は、第 1 導電膜 1 5 のエッチングを一時中断して行われる。

【 0 0 8 0 】

従って、ハードマスク 1 8 の最上の SiO₂ 膜 1 8 b を除去する際に、第 1 層間絶縁膜 8 は第 1 導電膜 1 5 によりエッチングから防御される。

【 0 0 8 1 】

また、ハードマスク 1 8 を用いて最後にエッチングされる第 1 導電膜 1 5 は白金族金属又は白金族酸化物から構成されるので、第 1 層間絶縁膜 8 を構成するシリコン化合物絶縁材料に対して第 1 導電膜 1 5 を選択的にエッチングすることが可能である。

【 0 0 8 2 】

ところで、第 1 導電膜 1 5 のエッチングの中断のタイミングは膜厚の 5 0 % 程度に限定されるものではないが、第 1 層間絶縁膜 8 を露出させない程度に第 1 導電膜 1 5 を残していることが望ましい。

【 0 0 8 3 】

ところで、第 1 導電膜 1 5 のエッチングが終わった時点で SiO₂ 膜 1 8 b が除去されるように SiO₂ 膜 1 8 b の膜厚を調整することも考えられるが、SiO₂ 膜 1 8 b は図 4 (a) に示したように、中心よりも縁部でエッチングが進み易く、そのような膜厚の調整は難しい。また、第 1 層間絶縁膜 8 の表面を窒化シリコンから構成することも考えられるが、キャパシタ Q の下部電極 1 5 a の膜質が劣ってしまい強誘電体膜 1 6 の結晶を劣化させるという別の不都合が生じる。

【 0 0 8 4 】

なお、第 3 導電性プラグ 2 1 が埋め込まれる第 3 のコンタクトホール 2 0 a は、第 2 層間絶縁膜 2 0 と第 1 層間絶縁膜 8 を一括エッチングして形成されているが、第 2 実施形態で説明するように二段階で形成してもよい。

(第 2 の実施の形態)

図 8 ~ 図 1 3 は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図である。

【 0 0 8 5 】

まず、図 8 (a) に示すように、第 1 実施形態に示した工程に従って、シリコン基板 1 に素子分離絶縁膜 2 を形成し、p ウェル 1 a を形成し、MOS トランジスタ T₁、T₂ を形成し、カバー絶縁膜 7 及び第 1 層間絶縁膜 8 を形成し、さらに、第 1 層間絶縁膜 8 の緻密化処理の後に、第 1 層間絶縁膜 8 の上面を CMP 法により平坦化する。

【 0 0 8 6 】

次に、図 8 (b) に示す構造を形成するまでの工程を説明する。

【 0 0 8 7 】

まず、フォトリソグラフィ法により第 1 層間絶縁膜 8 とカバー絶縁膜 7 をパターニングして、第 3 の n 型不純物拡散領域 5 c に到達する深さのビット線コンタクトホール 8 c を形成する。その後、第 1 層間絶縁膜 8 上面とビット線コンタクトホール 8 c 内面に、グルー膜として厚さ 3 0 n m の Ti 膜と厚さ 5 0 n m の TiN 膜をスパッタ法により順に形成する。

10

20

30

40

50

さらに、 WF_6 を用いる CVD 法によって W 膜を TiN 膜上に成長してビット線コンタクトホール 8c 内を完全に埋め込む。

【0088】

続いて、W 膜、TiN 膜及び Ti 膜を CMP 法により研磨して第 1 層間絶縁膜 8 の上面上から除去する。ビット線コンタクトホール 8c 内に残されたタングステン膜、TiN 膜及び Ti 膜は第 1 のビット線用導電性プラグ 9 として使用される。

【0089】

その後、図 8 (c) に示すように、第 1 層間絶縁膜 8 上と第 1 のビット線用導電性プラグ 9 の上に、膜厚 100 nm の Si_3N_4 よりなる酸化防止絶縁膜 10a と膜厚 100 nm の SiO_2 よりなる下地絶縁膜 10b をプラズマ CVD 法により順に形成する。その SiO_2 膜は TEOS を用いてプラズマ CVD により成長される。酸化防止絶縁膜 10a は、後のアニール等による熱処理の際に第 1 のビット線用導電性プラグ 9 が異常酸化してコンタクト不良を起ささないようにするために形成され、その膜厚を例えば 70 nm 以上にすることが望ましい。

10

【0090】

次に、図 9 (a) に示すように、レジストパターン (不図示) を用いて酸化防止絶縁膜 10a、下地絶縁膜 10b、第 1 層間絶縁膜 8 及びカバー膜 7 をエッチングすることにより、第 1 及び第 2 の不純物拡散領域 5a、5b の上にキャパシタ接続用の第 1 及び第 2 のコンタクトホール 8a、8b を形成する。

【0091】

さらに、下地絶縁膜 10b 上面と第 1、第 2 のコンタクトホール 8a、8b 内面に、グルー膜として膜厚 30 nm の Ti 膜と膜厚 50 nm の TiN 膜をスパッタ法により順に形成する。さらに、CVD 法により W 膜を TiN 膜上に成長して第 1、第 2 のコンタクトホール 8a、8b 内を完全に埋め込む。

20

【0092】

続いて、図 9 (b) に示すように、W 膜、TiN 膜及び Ti 膜を CMP 法により研磨して下地絶縁膜 10b の上面上から除去する。これにより第 1、第 2 のコンタクトホール 8a、8b 内に残されたタングステン膜、TiN 膜及び Ti 膜をそれぞれキャパシタ接続用の第 1、第 2 導電性プラグ 11a、11b とする。

【0093】

次に、図 9 (c) に示す構造を形成するまでの工程を説明する。

30

【0094】

まず、第 1、第 2 の導電性プラグ 11a、11b 上と下地絶縁膜 10b 上に第 1 導電膜 15 として例えば厚さ 200 nm の Ir 膜 15x、厚さ 50 nm の IrO_x 膜 15y、厚さ 100 nm の Pt 膜 15z をスパッタにより順に形成する。第 1 導電膜 15 は、その他の白金族金属又は白金族金属酸化物を含む導電膜から構成してもよい。

【0095】

なお、第 1 導電膜 15 を形成する前又は後に例えば膜剥がれ防止のために下地絶縁膜 10b をアニールする。アニール方法として、例えば、アルゴン雰囲気中で 600 ~ 750 の RTA を採用する。

40

【0096】

続いて、第 1 導電膜 15 上に、強誘電体膜 16 として例えば膜厚 100 nm の PZT 膜をスパッタ法により形成する。強誘電体膜 16 の形成は、第 1 実施形態に示した方法による。また、強誘電体膜 16 の材料としては、PZT の他に、PLCSZT、PLZT のような他の PZT 系材料や、 $SrBi_2Ta_2O_9$ 、 $SrBi_2(Ta,Nb)_2O_9$ 等の Bi 層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。

【0097】

さらに、酸素雰囲気中で強誘電体膜 16 をアニールにより結晶化する。アニールとして、例えばアルゴンと酸素の混合ガス雰囲気中で基板温度 600、時間 90 秒の条件を第 1 ステップ、酸素雰囲気中で基板温度 750、時間 60 秒の条件を第 2 ステップとする 2

50

ステップのRTA処理を採用する。

【0098】

この後に、強誘電体膜16の上に、第2導電膜17として例えば膜厚200nmのIrO₂をスパッタ法により形成する。

【0099】

次に、図10(a)に示すように、第2導電膜17上にTiN膜18aをスパッタにより例えば200nmの厚さに形成し、続いて、TiN膜18a上にプラズマCVD法により窒化シリコン(P-SiN)膜18cを1000nmの厚さに形成する。P-SiN膜18cは、ソースガスとしてシラン、アンモニア及び窒素(N₂)を用いて、成長雰囲気中の圧力を約4.0 Torr程度、基板温度を約400℃に設定して成長される。

10

【0100】

次に、P-SiN膜18bの上にレジストRを塗布し、これを露光、現像して、キャパシタ接続用の第1、第2の導電性プラグ9a, 9bの上方にキャパシタ平面形状になるようにパターンニングする。

【0101】

続いて、C₄H_F₃とArとCF₄をエッチングガスに用いて、レジストRに覆われない領域のP-SiN膜18cをドライエッチングする。さらに、BCl₃とCl₂をエッチングガスに用いてレジストRに覆われない領域のTiN膜18aをドライエッチングして除去する。P-SiN膜18cのエッチングとTiN膜18aのエッチングは、エッチャーを換えて行われる。

【0102】

パターンニングされたこのようなP-SiN膜18cとTiN膜18aをハードマスク18として用いる。P-SiN膜18cは、強誘電体膜16のパターンニングに適しているマスクである。なお、ハードマスク18の形成後に、レジストRをアッシングによって除去される。

20

【0103】

次に、図10(b)に示すように、ハードマスク18に覆われない領域の第2導電膜17、強誘電体膜16及び第1導電膜15をICPEッチング装置を用いて以下の条件で連続的に順次エッチングする。

【0104】

まず、第2導電膜17であるIrO_x膜をエッチングする。この場合のエッチング条件は、HBrを流量10sccm、O₂を流量40sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400℃、ソースパワー800watt、バイアスパワー700wattに設定する。第2導電膜17のエッチングは終点検出器を用いて検出され、上部電極の膜厚の10%分程度のオーバーエッチングを行う。

30

【0105】

続いて、強誘電体膜16であるPZT膜をエッチングする。この場合のエッチング条件は、Cl₂を流量40sccm、Arを流量10sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400℃、ソースパワー800watt、バイアスパワー700wattに設定する。強誘電体膜16のエッチングも終点検出器を用いて検出され、ジャストエッチングが行われる。

【0106】

さらに、第1導電膜15を構成するPt膜15z、IrO_x膜15y、Ir膜15xをエッチングする。この場合のエッチング条件は、HBrを流量10sccm、O₂を流量40sccmでエッチングチャンバ内に流し、さらにチャンバ内の圧力を0.4Pa、ウェハステージ温度を400℃、ソースパワー800watt、バイアスパワー700wattに設定する。第1導電膜15のエッチングは終点検出器を用いて検出され、さらに、オーバーエッチングが行われるが、下地絶縁膜10bは殆どエッチングされない。

40

【0107】

これにより、図11(a)に示すように、1つのpウェル1aの上方において、第1層間絶縁膜8の上には2つのキャパシタQが形成される。キャパシタQは、第1導電膜15からなる下部電極15aと、強誘電体膜16からなる誘電体膜16aと、第2導電膜17から

50

なる上部電極17aとを有している。各キャパシタQの下部電極15aは、それぞれ第1、第2導電性プラグ11a, 11bを介して第1、第2のn型不純物拡散領域5a, 5bに接続される。

【0108】

キャパシタQの形成が終了した時点で、ハードマスク18を構成するP-SiN膜18cは中央が厚く、縁が薄く残って、最も厚い部分で600nm程度となっている。

【0109】

次に、図11(b)に示すように、P-SiN膜18cをダウンフロー装置内でエッチングして除去する。この場合のエッチングは、例えばエッチング雰囲気中にCF₄を流量100sccm、N₂を流量400sccmで導入し、ウェハステージ温度を60に設定することにより行われる。これにより、SiO₂よりなる下地絶縁膜10bは殆どエッチングされずにP-SiN膜18cが除去される。

10

【0110】

次に、図12(a)に示すように、ハードマスク18として残っているTiN膜18aを除去する。TiN膜18aのエッチング条件としては、第1層間絶縁膜8を構成するSiO₂とのエッチング選択性を高くするためには等方性エッチングを採用することが好ましい。そのエッチングとしては、例えばCF₄とO₂を含むエッチングガスを用いるダウンフローエッチングによるドライ処理、又は、NH₄OHとH₂O₂とH₂Oの混合液を用いたウェット処理が有効である。

【0111】

なお、ハードマスク18を構成するP-SiN膜18cのエッチングとTiN膜18aのエッチングは別々のエッチャーを用いて行われる。

20

【0112】

続いて、エッチングによる強誘電体膜16のダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650、60分間の条件で酸素雰囲気で行われる。

【0113】

次に、図12(b)に示すように、キャパシタQを覆うキャパシタ保護膜19として膜厚50nmのアルミナ膜をスパッタにより下地絶縁膜10bの上に形成する。酸素雰囲気中で650で60分間の条件でキャパシタQをアニールする。

30

【0114】

その後、TEOSガスを用いるプラズマCVD法により、第2層間絶縁膜20として膜厚1.0μm程度の酸化シリコン(SiO₂)をキャパシタ保護膜19上に形成する。さらに、第2層間絶縁膜20の上面をCMP法により平坦化する。

【0115】

次に、図13(a)に示す構造を形成するまでの工程を説明する。

【0116】

まず、レジストマスク(不図示)を用いて、第2層間絶縁膜20、保護膜19、下地絶縁膜10b及び酸化防止絶縁膜10aをエッチングすることにより第1のビット線用導電性プラグ9の上にホール20cを形成する。

40

【0117】

さらに、ホール20c内と第2層間絶縁膜20上に、グルー膜として膜厚50nmのTiN膜をスパッタ法により順に形成する。さらに、CVD法によりW膜をグルー層上に成長するとともにホール20c内を完全に埋め込む。

【0118】

続いて、W膜及びTiN膜をCMP法により研磨して第2層間絶縁膜20の上面上から除去する。そして、ホール20c内に残されたタングステン膜及びグルー層を、第2のビット線用導電性プラグ21aとする。第2のビット線用導電性プラグ21aは、第1のビット線用導電性プラグ9を介して第3のn型不純物拡散領域5cに電氣的に接続される。

【0119】

50

次に、図 1 3 (b) に示す構造を形成するまでの工程を説明する。

【 0 1 2 0 】

まず、第 2 のビット線用導電性プラグ 2 1 a 上と第 2 層間絶縁膜 2 0 上に、第 2 の酸化防止膜 (不図示) として SiON 膜を CVD 法により形成する。さらに、第 2 の酸化防止膜 (不図示) と第 2 層間絶縁膜 2 0 をフォトリソグラフィ法によりパターニングしてキャパシタ Q の上部電極 1 7 a 上にコンタクトホール 2 0 b を形成する。

【 0 1 2 1 】

コンタクトホール 2 0 b を形成することによりダメージを受けたキャパシタ Q はアニールによって回復される。そのアニールは、例えば酸素雰囲気中で基板温度 5 5 0 として 6 0 分間行われる。

10

【 0 1 2 2 】

その後、第 2 層間絶縁膜 2 0 上に形成された酸化防止膜をエッチバックによって除去するとともに、第 2 のビット線用導電性プラグ 2 1 表面を露出させる。

【 0 1 2 3 】

次に、キャパシタ Q の上部電極 1 7 a 上のコンタクトホール 2 0 b 内と第 2 層間絶縁膜 2 0 の上に多層金属膜を形成する。その後に、多層金属膜をパターニングすることにより、コンタクトホール 2 0 b を通して上部電極 1 7 a に接続される一層目金属配線 2 2 a と、第 2 のビット線用導電性プラグ 2 1 a に接続される導電性パッド 2 2 b を形成する。

【 0 1 2 4 】

さらに、第 2 層間絶縁膜 2 0 、一層目金属配線 2 2 a 及び導電性パッド 2 2 b の上に第 3 層間絶縁膜 2 3 を形成する。続いて、第 3 層間絶縁膜 2 3 をパターニングして導電性パッド 2 2 b の上にホール 2 3 a を形成し、そのホール 2 3 a 内に下から順に TiN 膜及び W 膜からなる第 3 のビット線用導電性プラグ 2 4 を形成する。

20

【 0 1 2 5 】

その後に、特に図示しないが、ビット線を含む二層目配線を第 3 層間絶縁膜上に形成する。そのビット線は、ビット線用導電性プラグ 2 4 , 2 1 a , 9、導電性パッド 2 1 b を介して第 3 の不純物拡散領域 5 c に電氣的に接続される。それに続いて、二層目配線層を覆う絶縁膜等が形成されるが、その詳細は省略する。

【 0 1 2 6 】

次に、ハードマスク 1 8 を構成する P-SiN 膜 1 8 c を除去するための条件について説明する。

30

【 0 1 2 7 】

まず、ハードマスク 1 8 を構成する P-SiN 膜 1 8 c と、下地絶縁膜 1 0 b 及び第 1 層間絶縁膜 8 を構成する SiO₂ 膜とをそれぞれ同じ条件でエッチングする。エッチングガスとして CF₄ と N₂ 混合ガスを用い、ウェハステージ温度を 6 0 に設定し、エッチング雰囲気圧力を 1 3 3 Pa に設定し、さらに、プラズマ発生用高周波電源の周波数を 2 . 6 5 GHz、そのパワーを 1 2 0 0 W に設定する。

【 0 1 2 8 】

そして CF₄ と N₂ の混合ガスにおける CF₄ のガス流量比を 6 ~ 3 0 流量% の範囲で変化させることにより、P-SiO 膜と SiO₂ 膜のエッチングレートを調べ、それらのエッチング選択比を求めたところ、図 1 4 に示すような結果が得られた。即ち、SiO₂ 膜に対して P-SiO 膜を選択エッチングするためには、CF₄ と N₂ のそれぞれの流量比が重要であり、混合ガスのうち CF₄ が 2 0 % となる条件に設定することにより SiO₂ 膜に対する P-SiO 膜のエッチング選択比が約 3 5 となってエッチング選択比にピークが見られる。

40

【 0 1 2 9 】

また、CF₄ と N₂ の混合ガス中の CF₄ の割合を 2 0 % として、ウェハステージ温度を 6 0 ~ 2 0 0 の範囲で変化させて P-SiN 膜と SiO₂ 膜のそれぞれのエッチングレートを調べ、さらにエッチング選択比を求めたところ、図 1 5 に示すような結果が得られた。図 1 5 によれば、ウェハステージ温度が高くなるほど、エッチング選択比が低下している。エッチング選択比が約 3 5 以上になるのは、ウェハステージ温度が 6 0 以下の場合である。

50

【 0 1 3 0 】

従って、ハードマスク 1 8 を構成する P-SIN 1 8 c をエッチングして除去するためには、ウェハステージ温度を例えば 6 0 以下と低くし、且つ、混合ガス中の CF_4 を 20 ± 10 流量 % 程度に設定することが好ましい。

【 0 1 3 1 】

以上のように、P-SIN 膜を SiO_2 膜に対して選択的にエッチングすることは可能であり、P-SIN 膜をハードマスクの上層部として用いることは最適である。

【 0 1 3 2 】

CF_4 と N_2 の混合ガス中の CF_4 の流量比を 2 0 % とし、ウェハステージ温度を 6 0 に設定して P-SIN 膜を除去する処理の前と後のキャパシタの $\pm 5 V$ の分極電荷量 Q_{sw} を調べたところ、図 1 6 に示す結果が得られ、P-SIN 除去処理の前と後ではキャパシタの分極電荷量 Q_{sw} の差が見られず、キャパシタの劣化が生じないことがわかった。なお、図 1 6 において、T 1 ~ T 4、C 1 ~ C 4、B 1 ~ B 4 はそれぞれ半導体ウェハ上の異なる位置を示している。

10

【 0 1 3 3 】

ところで、第 1 導電膜 1 5 のエッチングを終えた時点でハードマスク 1 8 の P-SIN 膜 1 8 c が図 1 1 (a) のように最上層として残っていれば、上記した条件によりハードマスク 1 8 を下地絶縁膜 1 0 b に対して選択的にエッチングすることが可能である。

【 0 1 3 4 】

従って、図 1 7 に示すように、ハードマスク 1 8 を TiN 膜 1 8 a、P-SIN 膜 1 8 c 及び SiO_2 膜 1 8 b の三層構造から構成し、さらに、 SiO_2 膜 1 8 b の厚さを調整することにより、第 1 導電膜 1 5 のエッチングを終えた状態で P-SIN 膜 1 8 c と TiN 膜 1 8 a のみがハードマスク 1 8 として残っているようにしてもよい。

20

【 0 1 3 5 】

図 1 7 に示したハードマスク 1 8 は、例えば厚さ 2 0 0 nm の TiN 膜 1 8 a、厚さ 6 0 0 nm の P-SIN 膜 1 8 c、厚さ 4 0 0 nm の SiO_2 膜 1 8 b を順に形成した構造を有している。その SiO_2 膜 1 8 b は、TEOS を用いて CVD 法により形成されている。

【 0 1 3 6 】

図 1 8 (a) は、そのような三層構造を採用したハードマスクを用いて、第 1 導電膜 1 5、強誘電体膜 1 6 及び第 2 導電膜 1 7 をエッチングすることにより形成されたキャパシタの写真に基づく斜視図である。また、図 1 8 (b) は、そのキャパシタの断面図である。

30

【 0 1 3 7 】

なお、上記した 2 つの実施形態において、層間絶縁膜を構成する材料として酸化シリコン膜の代わりに酸化シリコン膜に不純物を導入した絶縁材を用いてもよい。また、上記したハードマスクの最下層として、TiN 膜の他、チタン化合物膜、又はチタン膜を使用してもよい。さらに、各導電層、絶縁層、誘電体層について示された上記した膜厚は一例であって、上記した数値に限定されるものではない。

(付記 1) 半導体基板の上方に形成された絶縁膜と、
前記第 1 絶縁膜上に形成され、側面に不連続な段を有するキャパシタ下部電極と、
前記キャパシタ下部電極上に形成され且つ前記キャパシタの上部側面と連続した側面を有するキャパシタ誘電体膜と、
前記キャパシタ誘電体膜上に形成され且つ前記キャパシタ誘電体膜の側面と連続した側面を有するキャパシタ上部電極と
を有することを特徴とする半導体装置。

40

(付記 2) 前記半導体基板の表層に形成された不純物拡散領域と、
前記絶縁膜内に形成されて前記キャパシタ下部電極に接続され、且つ前記不純物拡散領域に電氣的に接続される導電性プラグとを

さらに有することを特徴とする付記 1 に記載の半導体装置。

(付記 3) 半導体基板の上方に絶縁膜を形成する工程と、
前記絶縁膜上に第 1 導電膜、誘電体膜及び第 2 導電膜を順に形成する工程と、

50

前記第 2 導電膜上に金属又は金属化合物よりなる第 1 膜を形成する工程と、
前記第 1 膜上に絶縁材よりなる第 2 膜を形成する工程と、
前記第 2 膜及び前記第 1 膜をキャパシタ平面形状にパターニングすることによりハードマスクを形成する工程と、
前記ハードマスクに覆われない領域の前記第 2 導電膜をエッチングしてキャパシタ上部電極を形成する工程と、
前記ハードマスクに覆われない領域の前記誘電体膜をエッチングしてキャパシタ誘電体膜を形成する工程と、
前記ハードマスクに覆われない領域の前記第 1 導電膜を前記絶縁膜が露出しない深さまでエッチングする工程と、
前記ハードマスクを構成する前記第 2 膜をエッチングして除去する工程と、
前記ハードマスクに覆われない領域の残りの前記第 1 導電膜を最後までエッチングしてキャパシタ下部電極を形成する工程と、
前記ハードマスクを構成する前記第 1 膜をエッチングにより除去する工程と
を有することを特徴とする半導体装置の製造方法。

(付記 4) 前記キャパシタ下部電極の側面には段が形成されることを特徴とする付記 3 に記載の半導体装置の製造方法。

(付記 5) 前記第 2 膜は酸化シリコン膜であることを特徴とする付記 3 又は付記 4 に記載の半導体装置の製造方法。

(付記 6) 前記酸化シリコン膜は、ソースガスとして T E O S を用いて形成されることを特徴とする付記 5 に記載の半導体装置の製造方法。

(付記 7) 半導体基板の上方に絶縁膜を形成する工程と、
前記絶縁膜上に第 1 導電膜、誘電体膜及び第 2 導電膜を順に形成する工程と、

前記第 2 導電膜上に金属又は金属化合物よりなる第 1 膜を形成する工程と、
前記絶縁膜とは異なる材料である窒化シリコン膜よりなる第 2 膜を前記第 1 膜上に形成する工程と、

前記第 2 膜及び前記第 1 膜をキャパシタ平面形状にパターニングすることによりハードマスクを形成する工程と、

前記ハードマスクに覆われない領域の前記第 2 導電膜をエッチングしてキャパシタ上部電極を形成する工程と、

前記ハードマスクに覆われない領域の前記誘電体膜をエッチングしてキャパシタ誘電体膜を形成する工程と、

前記ハードマスクに覆われない領域の前記第 1 導電膜をエッチングしてキャパシタ下部電極を形成する工程と、

前記ハードマスクを構成する前記第 2 膜をフッ素と窒素を含むエッチングガスを用いてエッチングして除去する工程と、

前記ハードマスクを構成する前記第 1 膜をエッチングにより除去する工程と
を有することを特徴とする半導体装置の製造方法。

(付記 8) 前記窒化シリコン膜はプラズマ C V D 法により形成されることを特徴とする付記 7 に記載の半導体装置の製造方法。

(付記 9) 前記前記第 2 膜の除去の際には、前記半導体基板が載置されるステージ温度を 60 以下に設定することを特徴とする付記 7 又は付記 8 に記載の半導体装置の製造方法。

(付記 10) 前記エッチングガスは、CF₄ と N₂ 混合ガスであって該混合ガス中の CF₄ のガス流量比は 20 ± 10 流量%であることを特徴とする特徴とする付記 7 乃至付記 9 のいずれかに記載の半導体装置の製造方法。

(付記 11) 前記第 1 膜、前記第 2 膜をパターニングする前に、前記第 1 膜の上には酸化シリコン膜からなる第 3 膜を形成し、前記第 3 膜は前記第 1 膜及び前記第 2 膜とともにパターニングされて前記ハードマスクの一部を構成することを特徴とする付記 7 乃至付記 10 のいずれかに記載の半導体装置の製造方法。

10

20

30

40

50

(付記 1 2) 前記第 3 膜の膜厚は、前記第 1 導電膜のエッチングを終えるまでに除去される厚さに形成されることを特徴とする付記 1 1 に記載の半導体装置の製造方法。

(付記 1 3) 前記絶縁膜は、酸化シリコン又は酸化シリコン含有膜のいずれかであることを特徴とする付記 3 乃至付記 1 2 のいずれかに記載の半導体装置の製造方法。

(付記 1 4) 前記第 1 膜は、チタン膜又はチタン化合物膜のいずれかであることを特徴とする付記 3 乃至付記 1 3 のいずれかに記載の半導体装置の製造方法。

(付記 1 5) 前記第 1 導電膜は、白金族金属膜と白金族金属酸化物膜の少なくとも 1 つから構成されていることを特徴とする付記 3 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

(付記 1 6) 前記第 1 導電膜と前記第 2 導電膜のエッチングのためのエッチングガスとして、それぞれハロゲンガスに酸素を含む混合ガスを用いることを特徴とする付記 3 乃至付記 1 5 のいずれかに記載の半導体装置の製造方法。 10

(付記 1 7) 前記誘電体膜は強誘電体膜であり、前記誘電体膜のエッチングガスとして、ハロゲンガスと不活性ガスの混合ガスを用いることを特徴とする付記 3 乃至付記 1 6 のいずれかに記載の半導体装置の製造方法。

(付記 1 8) 前記半導体基板の表層には不純物拡散領域が形成され、前記不純物拡散領域に電氣的に接続され且つ前記キャパシタ下部電極の上面に接続される導電性プラグを前記絶縁膜に形成する工程と

をさらに有することを特徴とする付記付記 3 乃至付記 1 7 のいずれかに記載の半導体装置の製造方法。 20

(付記 1 9) 前記マスクの除去は、ダウンフローエッチングによることを特徴とする付記 3 乃至付記 1 8 のいずれかに記載の半導体装置の製造方法。

【 0 1 3 8 】

【 発明の効果 】

以上述べたように本発明によれば、絶縁膜上に形成された第 1 導電膜、誘電体膜及び第 2 導電膜をパターニングするために用いられるハードマスクの最上層として絶縁材料を用い、その最上層の除去は第 1 導電膜のエッチングを中断して行っているため、ハードマスクを構成する絶縁性の最上層をエッチングして除去する場合にその下の絶縁膜が露出することはなく、キャパシタの下地である絶縁膜のエッチングが抑制される。

【 0 1 3 9 】

さらに、本発明によれば、ハードマスクの最上層を窒化シリコンから構成し、このハードマスクを用いて第 1 導電膜、誘電体膜及び第 2 導電膜を連続してエッチングしてキャパシタを形成するようにしているため、キャパシタを形成した後は、ハードマスクを構成する絶縁性の最上層を絶縁膜に対して選択的にエッチングすることが容易であり、キャパシタの下地である絶縁膜のエッチングを抑制することができる。 30

【 図面の簡単な説明 】

【 図 1 】 図 1 (a) ~ (c) は、従来の半導体装置の製造工程を示す断面図である。

【 図 2 】 図 2 (a) ~ (c) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 1) 。

【 図 3 】 図 3 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 2) 。

【 図 4 】 図 4 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 3) 。

【 図 5 】 図 5 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 4) 。

【 図 6 】 図 6 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 5) 。

【 図 7 】 図 7 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図である (その 6) 。

【 図 8 】 図 8 (a) ~ (c) は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断 40

10

20

30

40

50

面図である（その１）。

【図９】図９(a)～(c)は、本発明の第２実施形態に係る半導体装置の形成工程を示す断面図である（その２）。

【図１０】図１０(a),(b)は、本発明の第２実施形態に係る半導体装置の形成工程を示す断面図である（その３）。

【図１１】図１１(a),(b)は、本発明の第２実施形態に係る半導体装置の形成工程を示す断面図である（その４）。

【図１２】図１２(a),(b)は、本発明の第２実施形態に係る半導体装置の形成工程を示す断面図である（その５）。

【図１３】図１３(a),(b)は、本発明の第２実施形態に係る半導体装置の形成工程を示す断面図である（その６）。

10

【図１４】図１４は、本発明の第２実施形態に係る半導体装置の製造方法に用いられるP-SINハードマスクを除去するためのエッチングガス混合比とエッチングレートの関係を示す図である。

【図１５】図１５は、本発明の第２実施形態に係る半導体装置の製造方法に用いられるP-SINハードマスクを除去するためのエッチング時のウェハステージ温度とエッチングレートの関係を示す図である。

【図１６】図１６は、本発明の第２実施形態に係る半導体装置の製造工程におけるハードマスクの除去前と除去後のキャパシタの Q_{sw} の値の違いを示す図である。

【図１７】図１７は、本発明の第２実施形態に係る半導体装置の製造工程の他の例を示す断面図である。

20

【図１８】図１８(a)は、図１７に示したハードマスクを用いて形成されたキャパシタの斜視図、図１８(b)は、図１７に示したハードマスクを用いて形成されたキャパシタの断面図である。

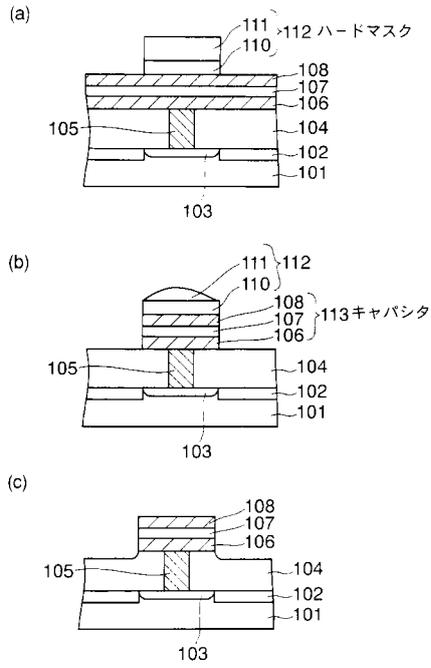
【符号の説明】

1...シリコン(半導体)基板、2...素子分離絶縁膜、3...ゲート絶縁膜、4a, 4b...ゲート電極、5a, 5b, 5c...n型不純物拡散領域、6...サイドウォールスペーサ、7...カバー絶縁膜、8...層間絶縁膜、9...導電性プラグ、10a...酸化防止絶縁膜、10b...下地絶縁膜、11a, 11b...導電性プラグ、15...第1導電膜、15a...上部電極、16...強誘電体膜、16a...誘電体膜、17...第2導電膜、17a...上部電極、18...ハードマスク、18a...TiN膜、18b...SiO₂膜、18c...P-SIN膜、19...保護膜、20...層間絶縁膜、21, 21a...導電性プラグ、22a...配線、22b...導電性パッド、23...層間絶縁膜、24...導電性プラグ。

30

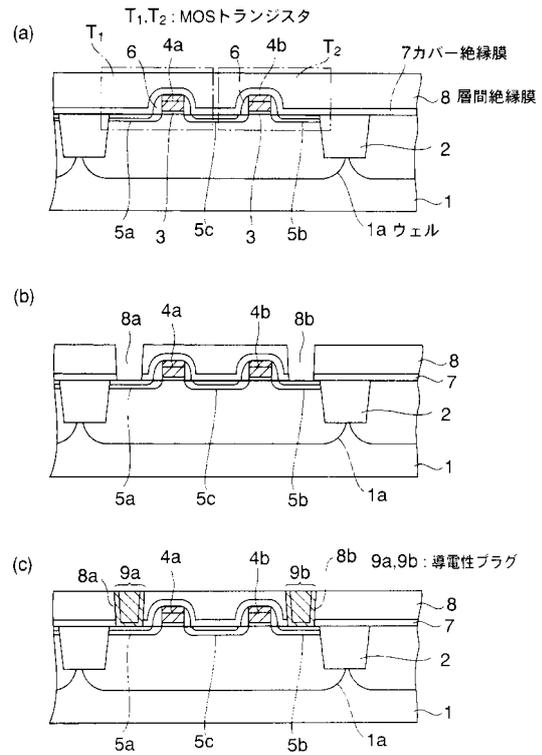
【 図 1 】

従来の半導体装置の製造工程



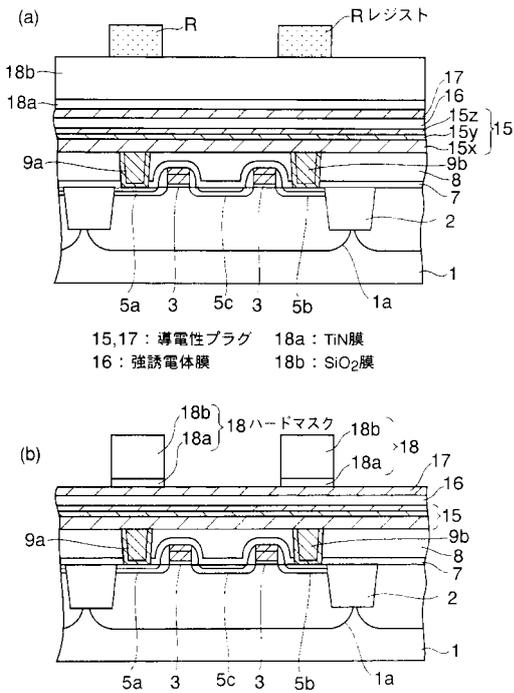
【 図 2 】

本発明の第1実施形態に係る半導体装置の形成工程断面図 (その1)



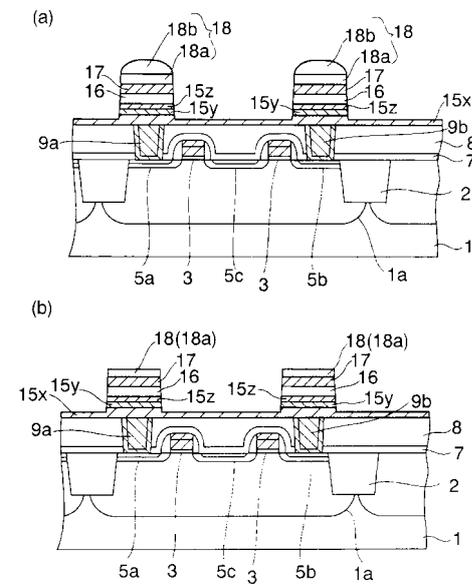
【 図 3 】

本発明の第1実施形態に係る半導体装置の形成工程断面図 (その2)



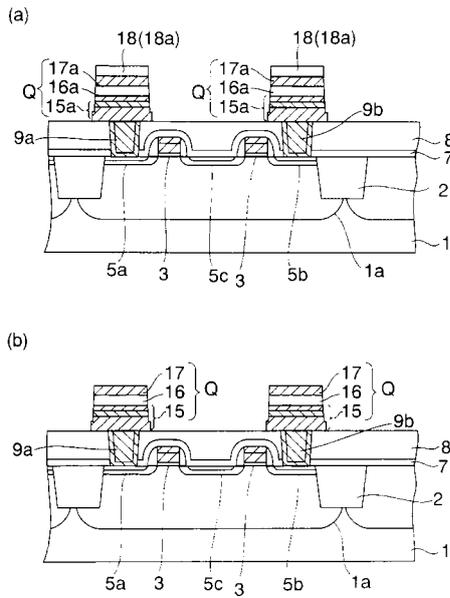
【 図 4 】

本発明の第1実施形態に係る半導体装置の形成工程断面図 (その3)



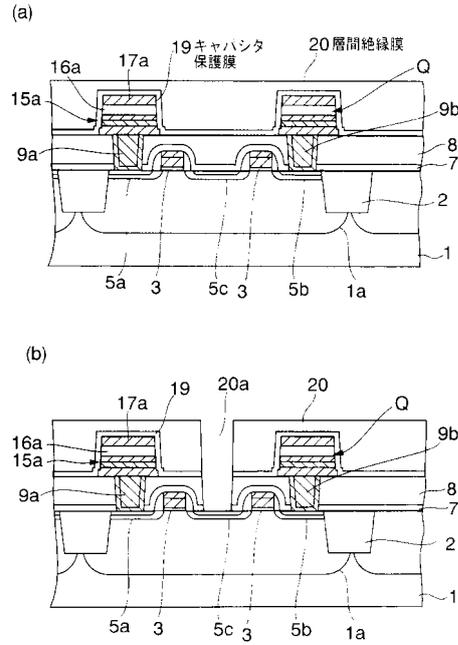
【図5】

本発明の第1実施形態に係る半導体装置の形成工程断面図（その4）



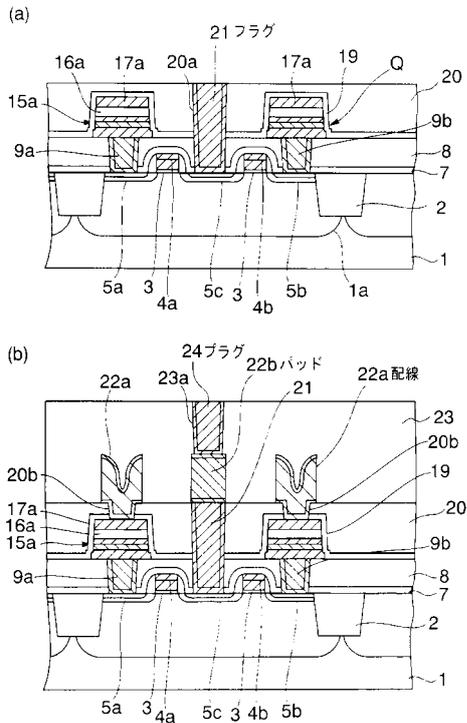
【図6】

本発明の第1実施形態に係る半導体装置の形成工程断面図（その5）



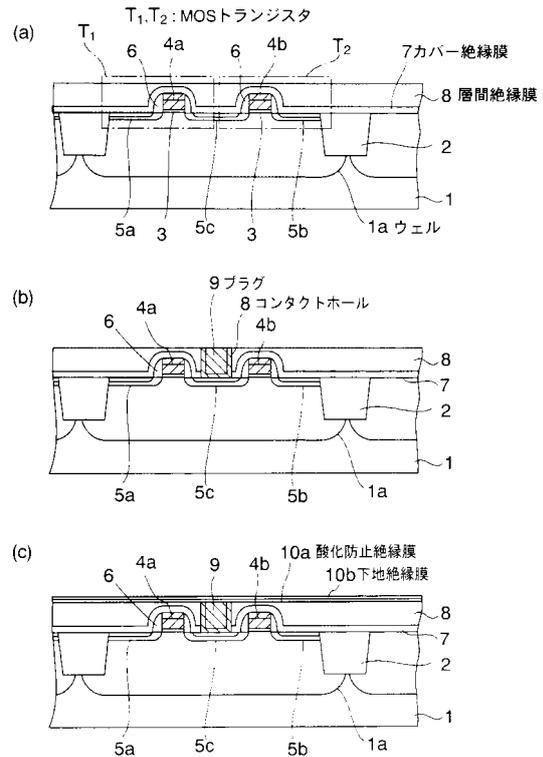
【図7】

本発明の第1実施形態に係る半導体装置の形成工程断面図（その6）



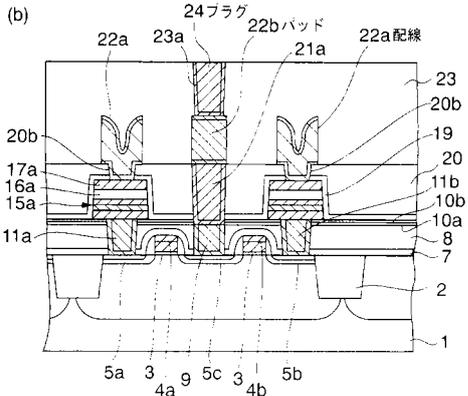
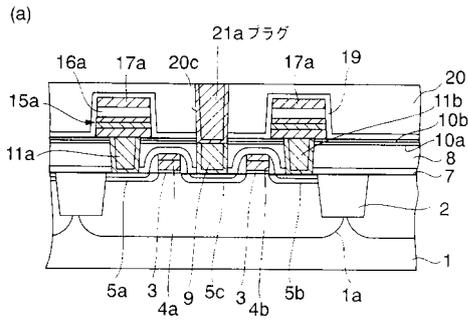
【図8】

本発明の第2実施形態に係る半導体装置の形成工程断面図（その1）



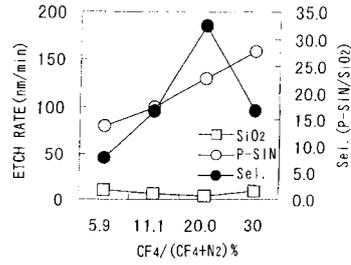
【図13】

本発明の第2実施形態に係る半導体装置の形成工程断面図（その6）



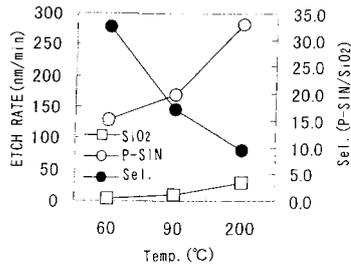
【図14】

本発明の第2実施形態に係る半導体装置の製造方法に用いられるP-SiNハードマスクを除去するためのエッチング時のエッチングガス混合比とエッチングレートの関係



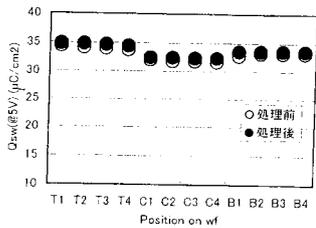
【図15】

本発明の第2実施形態に係る半導体装置の製造方法に用いられるP-SiNハードマスクを除去するためのエッチング時のウエハステージ温度とエッチングレートの関係



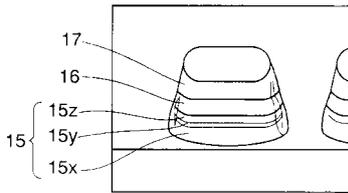
【図16】

本発明の第2実施形態に係る半導体装置の製造工程におけるハードマスクの除去前と除去後のキャパシタのQswの値の違い

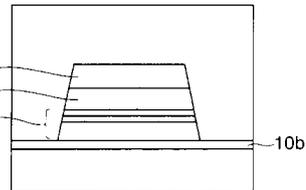


【図18】

(a)

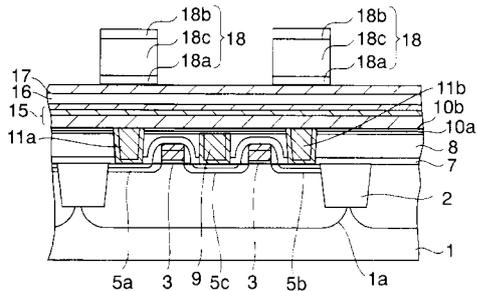


(b)



【図17】

本発明の第2実施形態に係る半導体装置の製造工程の他の例を示す断面図



フロントページの続き

- (56)参考文献 特開2002-043540(JP,A)
特開2001-274352(JP,A)
特開2001-230382(JP,A)
特開平11-186521(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

H01L 21/8242

H01L 27/105

H01L 27/108