

公告本

295646

申請日期	84. 9. 07.
案 號	84109359
類 別	G06F7/00

A4
C4

Int. Cl⁶

295646

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型 名稱	中 文	在一微處理器中之分散式完成控制
	英 文	"DISTRIBUTED COMPLETION CONTROL IN A MICROPROCESSOR"
二、發明 創 作 人	姓 名	1. 克里斯多夫·漢斯·奧森 2. 泰倫斯·馬修·波特 3. 麥可·湯瑪斯·瓦登
	國 籍	均美國
	住、居所	1. 美國德州奧斯汀市倫奇奎克路3649號 2. 美國德州奧斯汀市汀利吉灣6107號 3. 美國德州奧斯汀市佛豪道8200號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費羅普

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 1995.1.25 案號： 08/377813 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

五、發明說明(1)

發明領域

本發明係大致有關微處理器，尤係有關在此種處理器中對完成的控制。

發明背景

控制相依性(control dependencies)的處理佔用了許多微處理器大部分的邏輯電路，也造成這些微處理器大部分的複雜性。一微處理器通常設有用來處理控制相依性的許多機制，在需要不同層級的岔斷精確度時(例如，浮點異常狀況的起動/抑制)，這些機制必須以極端不同的方式運作，而得到不同的控制。例如，當一RISC(精簡指令集電腦)處理器進入一浮點異常狀況起動模式時，此處理器必須開始每一次發出一個指令(將導致效能的降低)，因而該模式對指令完成的要求將大幅影響到處理器的指令派發邏輯電路。

在其他的處理器中，總是依照與其他指令配合的順序而完成浮點指令，因而使指令完成邏輯電路中之同步性過於保守(亦即，指令完成邏輯電路的運作好像總是處於浮點異常狀況起動模式中)。在採用指令完成緩衝區的方式中，由於指令佇列結構的循序性質，所以不可能在單一周期中完成大量的指令(例如，如果要知道指令2是否將要完成，必須先知道指令0及1是否將要完成)。

與指令完成邏輯電路相關的是指令清除邏輯電路(purging logic)。當一指令完成，即有一正確的控制流程(control-flow)決定、及一不正確的控制流程決定。此種情

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

形適用於指令分支(branches)，但亦適用於可能引發一異常狀況(exception)的任何指令(亦即，有一異常狀況路徑及一非異常狀況路徑)。雖然過去係以不同的方式處理這些情況，但是控制流程的管理方法有所進展之後，(同步)異常狀況、(非同步)岔斷、及指令分支都非常類似了。

因此，傳統的完成控制系統包含一中央控制器，該中央控制器包含一中央控制佇列，用以容納所有的指令。於執行這些指令時，這些指令將把資訊送出到控制佇列。此中央控制佇列然後將決定指令執行的適當順序。因為中央控制佇列有若干必須控制的不同活動，所中央控制佇列可能成為程式執行時的主要瓶頸。因此，當控制相依性的數目增加時，將大幅降低微處理器的整體效能。

因此，重要的是提供一種以更有效率的方式處理這些控制相依性的系統。此種系統應當不增加微處理器的複雜性。最後，此種系統應該是一種可以很容易利用現有微處理器設計即可實施之系統。本發明滿足了此種需求。

發明概述

分散式完成(distributed completion)是一種控制指令完成的方法，使容許同時可完成的指令數可以很多(在沒有時序負擔的情況下)，且利用單一的相關性機制處理所有形式的控制相依性。本發揭露了一種用於微處理器的分散式完成式控制系統。此種系統包含複數個派發單元，每一派發單元又包含：一回應一所提取位址之派發佇列，用以接收指令；複數個控制相依性標記；以及指示裝置，用以指示

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

己將該等控制相依性標記指定給若干適當的指令。此系統又包含複數個執行單元，用以接受指令及控制相依性標記。

此種分散式完成機制在一超純量 (superscalar) 處理器中保持各指令間複雜的控制相依性，而不會有與大型循序佇列結構相關聯的周期時間負擔。

附圖簡述

圖1是一用於微處理器的傳統完成控制系統之方塊圖。

圖2示出微處理器中控制流程決定之表。

圖3是根據本發明的一派發單元之簡化方塊圖。

圖4是一簡單程式之流程圖。

圖5是圖3所示根據本發明的派發單元之詳細方塊圖。

圖6是一可決定控制相依性資訊的邏輯電路之方塊圖，該邏輯電路是配合根據本發明的派發單元而使用。

圖7是一包含指令清除邏輯電路的邏輯電路之方塊圖，該邏輯電路係用於根據本發明的派發單元。

圖8是一用來更新架構暫存器的邏輯電路之方塊圖，該邏輯電路係用於根據本發明的派發單元。

本發明之說明

本發明係有關一種完成控制系統，此種完成控制系統係用來控制一微處理器內的指令移動。下列說明的呈現方式可使對本門技術具有一般知識者作出並使用本發明，且係在本發明及其要求的情形下提供下列說明。熟悉本門技術者將易於對較佳實施例作出各種修改，且亦可將本文所述的一

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

般性原理應用於其他的實施例。因此，本發明並不受限於所示之實施例，而是具有最寬廣的範圍，只要其符合本文所述的原理及特徵。

為便於舉例說明，假設有一通用型超純量處理器，此處理器設有若干執行單元，及多個提供指令給這些執行單元的派發單元。並不一定要有相關的設計點(例如，可不必顧及與多個派發單元相關聯的指令派發複雜性)，而是要有一個理論上可行的機器，而此機器具有可在不同的設計點中發現的許多特徵。並假設多個派發單元係用來提取單一指令執行線(thread)內的多個指令碼段落，換言之，在各派發單元之間具有指令交付順序的要求(commission ordering requirements)。最後，可假設：可在各派發單元之間分割的指令碼段落之分割程度(granularity)係處於基本區段層級，且具有控制相依性關係的各派發單元係有部分的順序。

圖1是一根據上述假設的傳統完成控制系統(10)之方塊圖，可將此完成控制系統(10)用於一微處理器中。圖1所示的完成控制系統(10)包含複數個用來接收指令的派發單元(12)。每一個此種派發單元(12)然後將指令派發到其適當的執行單元。在本實例中，所示之執行單元係為若干執行單元(14)，而各派發單元可將信號傳送到這些執行單元(14)。此外，每一派發單元(12)又係耦合到一中央指令完成緩衝區(16)。這些執行單元(14)及中央指令完成緩衝區(16)將信號傳送到寫回交付指令邏輯電路(18)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

。中央指令完成緩衝區(16)傳送一信號，而容許指令交付(commit)一特定動作。傳統指令完成機制的一個共同特徵即是將指令完成視為決定控制流程並交付一指令之行爲。在本實施例中，指令執行率受限於可將指令自中央指令完成緩衝區取出的速率。當微處理器變得更快速，且每一周期需要處理更多的指令時，在處理此類指令時指令執行率的此種瓶頸將成爲一大缺點。

現在請參閱圖2，圖中示出一代表處理器中一指令所經歷時間的表。如圖所示，指令可存在於兩種狀態，亦即預測式執行及非預測式執行。請注意，控制流程之決定係與指令交付分開。當一指令決定其將要採用的可能控制路徑時(例如，指令分支所進行的方向、一負載是否將要被岔斷)，即發生控制流程之決定。請注意，此種情形發生時係與此指令控制所依據的各指令無關。

爲便於說明本說明書，如果有一個指令A可作出的控制流程決定，將使指令B所引發的架構狀態改變在架構上是不正確的，則指令B在控制流程上是依賴指令A的。請注意，一般而言，控制相依性關係是取決於機器狀態。在保證一指令的執行之後，即發生指令交付。當處理器決定一指令將要被執行時，即交付該指令，亦即容許更新架構暫存器。此種指令交付點即是預測式執行與非預測式執行間之分界點。在交付一指令之後，不得清除該指令。

在一根據本發明的分散式完式控制系統中，於指令派發時將一特有的指令完成標記指定給每一指令。此外，當一

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

指令在控制流程上係與若干指令相依時，則該指令係與對應於該等相依指令的表之指令碼完成標記表相關聯。當一指令作出其控制流程決定時，該指令將其標記傳送到所有的指令，而此標記是一清除指示碼、或一決定指示碼。如果一指令接收到其在控制流程上相依的一指令之清除指示碼時，則該指令清除其本身。如果一指令接收到其在控制流程上相依的一指令之決定指示碼時，則將該指令標示為已決定。當已決定一指令的所有控制相依性時，即可交付該指令。在此種方式下，無須徵詢一中央指令完成單元的意見，即可將指令交付。

經由根據本發明的複數個派發單元之使用，即可在一處理單元的設計內改變一特定指令的指令完成要求，而且其他單元的指令完成介面應保持穩定(例如，如果一浮點單元的設計在乘法階段中有決定一指令控制流程的時序問題，則只須將決定的時點移到下一周期，此時所有的連鎖(interlock)都已在適當的位置，所以不會影響到其他的單元，當然，效能將會受到影響)。

圖4示出一可以控制流程圖格式代表的程式碼，此控制流程圖明白地將若干片的程式碼基本區段示為節點，然後在一片程式碼可以接續另一片程式碼時即連接這些節點。我們可發現：當一指令有多個輸出緣時，即可使用一個新的派發單元。處理器然後可利用控制流程資訊來決定適當的路徑。

圖5是一根據本發明的派發單元(100)之簡化方塊圖。派

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

發單元(100)包含：一派發佇列(102)，用以依據一提取位址而自一記憶體(103)接收指令；一控制相依性標記(104)、及一指令完成標記指定(106)。各指令及其對應的控制相依性資訊被傳送到執行單元(108)。每一派發單元(100)將有其指定給一特定指令的控制相依性標記(104)範圍。此種方式可讓每一派發單元(100)管理其本身指令完成標記的應用及取消分配，而無須將指令完成標記傳送到任何中央單元。

當處理器決定自一指令追蹤多條路徑時，則處理器利用開始提取的位址及該路徑中第一指令的控制相依性標記(104)，而啟動至少一個新的派發單元(100)。如果追蹤兩條以上的路徑，則啟動其他的派發單元(100)(請注意，原始的派發單元(100)可追蹤這兩條路徑中的一條路徑)。一旦啟動了一個派發單元(100)之後，即可處理其程式碼路徑，直到此程式碼路徑結束為止，此時即可將該派發單元(100)重新分配給另一路徑。一旦一派發單元(100)正在提取的程式碼路徑被清除，即將該派發單元(100)視為已結束，且在該派發單元(100)的派發佇列中並未留有任何指令。

如圖所示，當一派發單元(100)被啟動時，即將一起始位址(109)及一起始控制相依性標記(110)授與該派發單元(100)。提取位址(111)指定此派發單元(100)將要處理的程式碼路徑之起始位址。起始控制相依性標記(110)即是位於起始位址(109)的指令之控制相依性標記。有多種方法可實

五、發明說明(8)

施圖4所示之指令完成標記分配邏輯電路。將於下文中說明其中一種方法。

現在請參閱圖5，圖中示出派發單元(100)的詳細方塊圖。假設將指令完成標記指定給各指令，並將這些指令放進派發佇列(202)。如果無法將一標記指定給某一指令，則不得派發該指令(直到可將一標記分配給該指令為止)。實際決定分配哪些標記的邏輯電路可以是一些解碼邏輯電路，其運作方式是先找出第一可用標記，並將該標記分配給進入派發佇列(202)的第一指令，然後將第二可用標記指定給第二指令。

一起指定各個指令完成標記(206)及控制相依性標記(204)，以便較易找出可分配的那些標記。假設已分配了一組標記，則對於控制相依性表及控制相依性標記的產生而言，只不過是將已指定的標記與已分配的標記結合而已。

我們當可了解，當派發佇列(202)處理指令時，派發佇列(202)將其已排序的各控制相依性標記(204)及已排序的指令完成標記(206)非配給對應的指令。控制相依性標記(204)為 2^k 個位元，其中假設每一個指令完成標記(206)為 k 個位元。此外，在每一機器中可存在的指令數為介於指令派發與指令交付間之 2^k 個。在一較佳實施例中，係在指令派發時將一控制相依性標記(204)指定給每一指令。於派發一指令時，連同該指令亦派發其指令完成標記(206)、及對應於該指令控制流程相依的各指令之指令完成標記(亦即控制相依性標記(204))表。因此，如果 m 個派發單元的每

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

一派發單元都有總共 n 個不同的可用指令完成標記(206)，則一指令的控制相依性表包含一 $n \times m$ 位元的匯流排，其中一表示存在一個控制相依性，而零表示缺少一個控制相依性。

因此，一指令的完成標記(206)可以是一 $n \times m$ 位元的匯流排，其中恰好有一個位元為導通狀態(表示指定給該指令的標記)，該指令完成標記(206)亦可以是 $n \times m$ 個控制標記中一個標記之編碼點。各執行單元告知兩個整體位元式三態匯流排中之一匯流排之控制相依性決定。係將其中一個匯流排用來告知正確的決定(即決定匯流排)，而另一匯流排則指示應清除與該指令相依的任何指令(即清除匯流排)。當一指令產生多個控制相依性路徑時，則將一特有的標記賦予每一路徑。

每一管線階段(pipeline stage)負責監視微處理器的決定匯流排及清除匯流排。如果一標記被放進決定匯流排，則每一階段檢視其現有的(與目前在該階段的指令相關聯之)控制相依性標記(204)，而且如果控制相依性標記(204)存在，則必須自表中去掉此控制相依性標記(204)(由於已決定了控制相依性)。因此，當一指令的控制相依性標記(204)表是空的(零)時，則可交付該指令。

如果一控制相依性標記(204)被置於清除匯流排中，則每一階段檢視其控制相依性標記表，而且如果控制相依性標記(204)存在時，則抑制其指令的輸出(可能藉由清除該指令之方式)。如果一階段能夠決定一指令，則該階段利用

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

其現有的控制相依性標記(204)(指定給目前存在於該階段的指令之特有控制相依性標記(204))，而以三態驅動器起動決定匯流排及清除匯流排之位元，並輸出適當的值。圖6-8示出用於各種管線階段的各種類型的電路。

圖6是一可決定控制相依性資訊的邏輯電路(300)之方塊圖，該邏輯電路(300)包含一指令完成邏輯電路(302)，可配合根據本發明的派發單元(100)使用。

圖7是一包含指令清除邏輯電路(402)的邏輯電路(400)之方塊圖，該邏輯電路(400)可配合根據本發明的派發單元(100)使用。

圖8是一用來更新暫存器的邏輯電路(500)之方塊圖，該邏輯電路(500)可配合根據本發明的派發單元(100)使用。

所有的邏輯電路(300)、(400)及(500)都在每一管線階段中重複出現，且在電路中佔用極小的面積。其他的指令完成架構需要圖6-8所示之指令完成邏輯電路及指令清除邏輯電路，因此將其簡單的示為邏輯泡。指令清除邏輯電路(402)通常提供一可重新設定狀態機之信號，並停止選通某些種類的有效指令信號。指令完成邏輯電路(502)決定控制指令將要採用何種方向，且在任何處理器中都需要此指令完成邏輯電路(502)。

最後，我們當了解，邏輯電路(300)、(400)、及(500)只是代表可用於各種管線階段的邏輯電路類型。因此，對本門技術具有一般知識者當可了解，可將各種邏輯電路配合根據本發明的系統使用，而且這些邏輯電路將在本發明的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

精神及範圍之內。

因此，根據本發明的系統提供了一種分散式完式控制架構。利用指令提供控制相依性資訊，即可實現此種架構，因此，並不需要中央指令完成的控制。因此，每一派發單元都包含該單元是否要交付指令或清除指令的必要資訊。

此種根據本發明的分散式完式系統保持了一超純量處理器中各指令間複雜的控制相依性關係，但不會產生與大型循序佇列結構相關的周期時間負擔。此種完成控制機制的成本是與每一指令階段相關聯的大量標記位元，然而，鑒於尺寸縮小的光學雕印面積，此一成本相當小，而且可利用新科技的優點。

雖然已根據所示之實施例說明了本發明，但是對本門技術具有一般知識者當可了解，這些實施例尚有各種的變形，而且這些變形將仍在本發明的精神及範圍之內。因此，在不脫離下列申請專利範圍的精神及範圍下，對本門技術具有一般知識者仍可作出許多修改。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：在一微處理器中之分散式完成控制)

分散式完成機制維持了一超純量處理器中各指令間複雜的控制相依性關係，但不會產生與大型循序佇列結構相關的周期時間負擔。本發明設有若干整體性匯流排，但是所有的匯流排都不會受到周期的限制(一般而言，這些匯流排幾乎是自閘鎖器到閘鎖器的路徑)。此種完成控制機制的成本是與每一指令階段相關聯的大量標記位元，然而，鑒於尺寸縮小的光學雕印面積，此一成本相當小，而且可利用較新科技的優點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱："DISTRIBUTED COMPLETION CONTROL IN A)
MICROPROCESSOR")

The distributed completion mechanism maintains complex control dependence relations between instructions in a superscalar processor without the cycle time burden associated with large sequential queue structures. There are global busses, but none of them are cycle limiting (in general, they are almost latch-to-latch paths). The cost of this completion control mechanism is a large number of tag bits associated with each instruction stage, however, in light of shrinking lithography this cost is small and takes advantage of the strengths of newer technologies.

訂

六、申請專利範圍

1. 一種用於微處理器之分散式完成控制系統，包含：
 複數個派發單元，每一派發單元又包含：一回應一提取位址用以接收指令之派發佇列；提供控制相依性資訊之裝置；以及指示裝置，用以指示已將複數個控制相依性資訊指定給適當的指令；以及
 複數個執行單元，用以接收指令及相關聯的控制相依性資訊，並容許每一派發單元依據控制相依性資訊而交付指令。
2. 根據申請專利範圍第1項之分散式完成控制系統，其中該控制相依性資訊包含複數個已排序的指令完成標記、及複數個已排序的控制相依性標記。
3. 根據申請專利範圍第2項之分散式完成控制系統，其中該派發佇列包含複數個派發佇列單元，用以根據排序之方式接收指令。
4. 根據申請專利範圍第3項之分散式完成控制系統，其中該等複數個已排序之指令完成標記及該等複數個已排序之指令完成標記表對應於該等已排序之指令，因而提供了適當的控制相依性資訊。
5. 根據申請專利範圍第1項之分散式完成控制系統，其中該控制相依性資訊係用來交付指令。
6. 根據申請專利範圍第1項之分散式完成控制系統，其中該控制相依性資訊係用來決定指令。
7. 根據申請專利範圍第1項之分散式完成控制系統，其中該控制相依性資訊係用來清除指令。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8. 一種用於處理器中之派發單元，包含：
 - 一 派發佇列；
 - 控制相依性標記裝置，用以提供控制相依性資訊；以及
 - 指令完成標記指定裝置，用以將控制相依性資訊指定給適當的指令。
9. 根據申請專利範圍第8項之派發單元，其中該控制相依性資訊包含複數個循序排列的指令完成標記、及複數個循序排列的控制相依性標記。
10. 根據申請專利範圍第9項之派發單元，其中該派發佇列包含複數個派發佇列單元，用以根據排序之方式接收指令。
11. 根據申請專利範圍第10項之派發單元，其中該等複數個依控制相依性排序之指令完成標記及該等複數個已排序之控制相依性標記對應於該等已排序之指令，因而提供了適當的控制相依性資訊。
12. 根據申請專利範圍第8項之派發單元，其中該控制相依性資訊係用來交付指令。
13. 根據申請專利範圍第8項之派發單元，其中該控制相依性資訊係用來決定指令。
14. 根據申請專利範圍第8項之派發單元，其中該控制相依性資訊係用來清除指令。

(請先閱讀背面之注意事項再填寫本頁)

訂

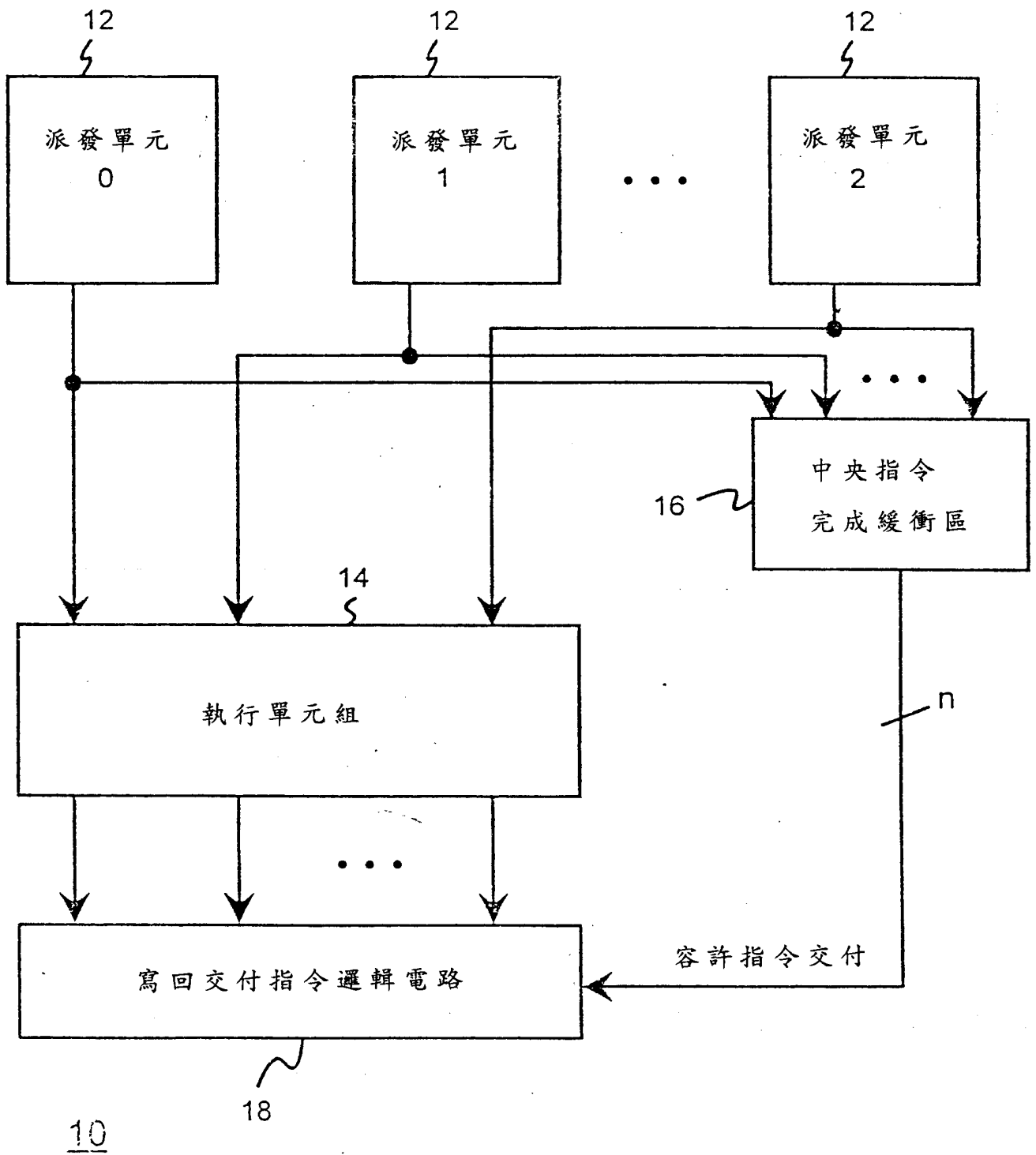


圖 1

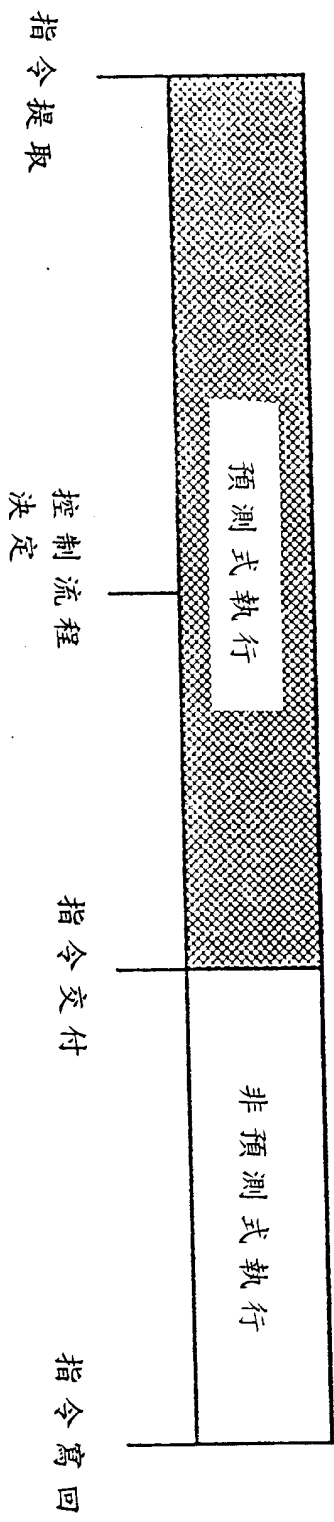


圖 2

程式實例

開始 : addi R3<=R1+0x0100

cmpCR[2]<=R3,R1

迴圈 1 : addi R3<=R2+0x0000

bc Loop1

bc Start

跳出 : lw R3<=R3+0x0000

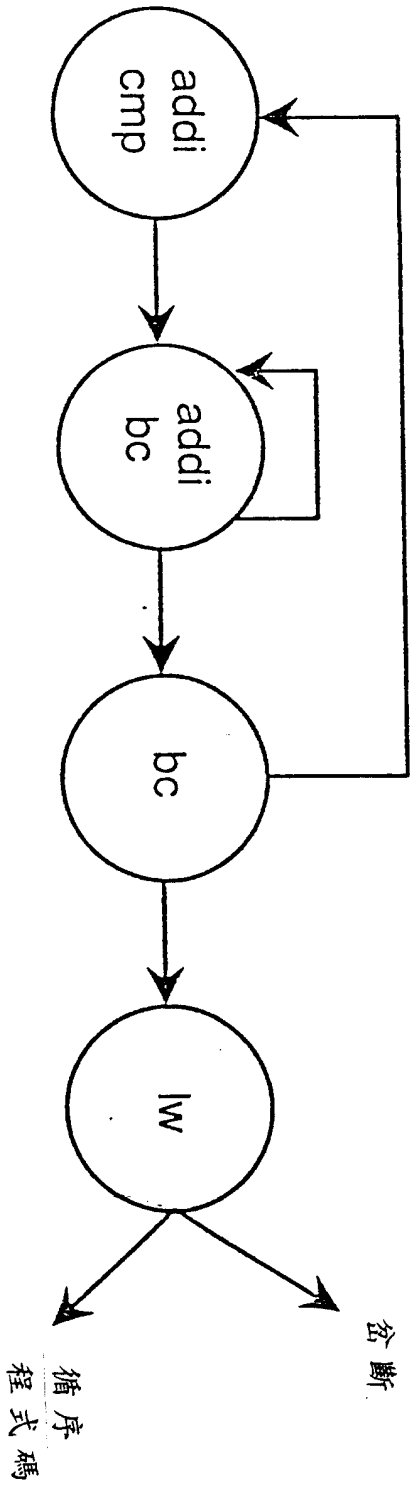
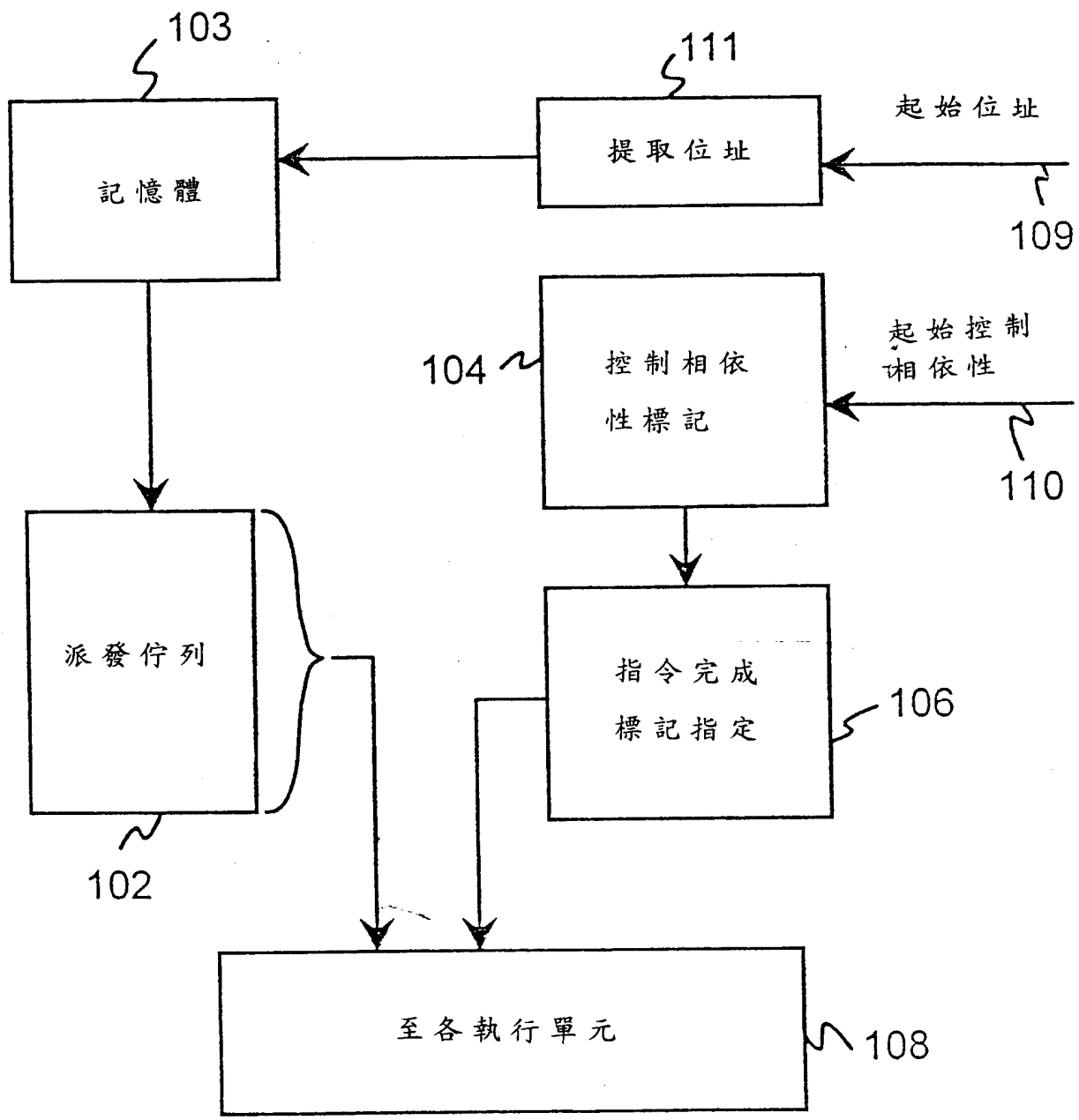
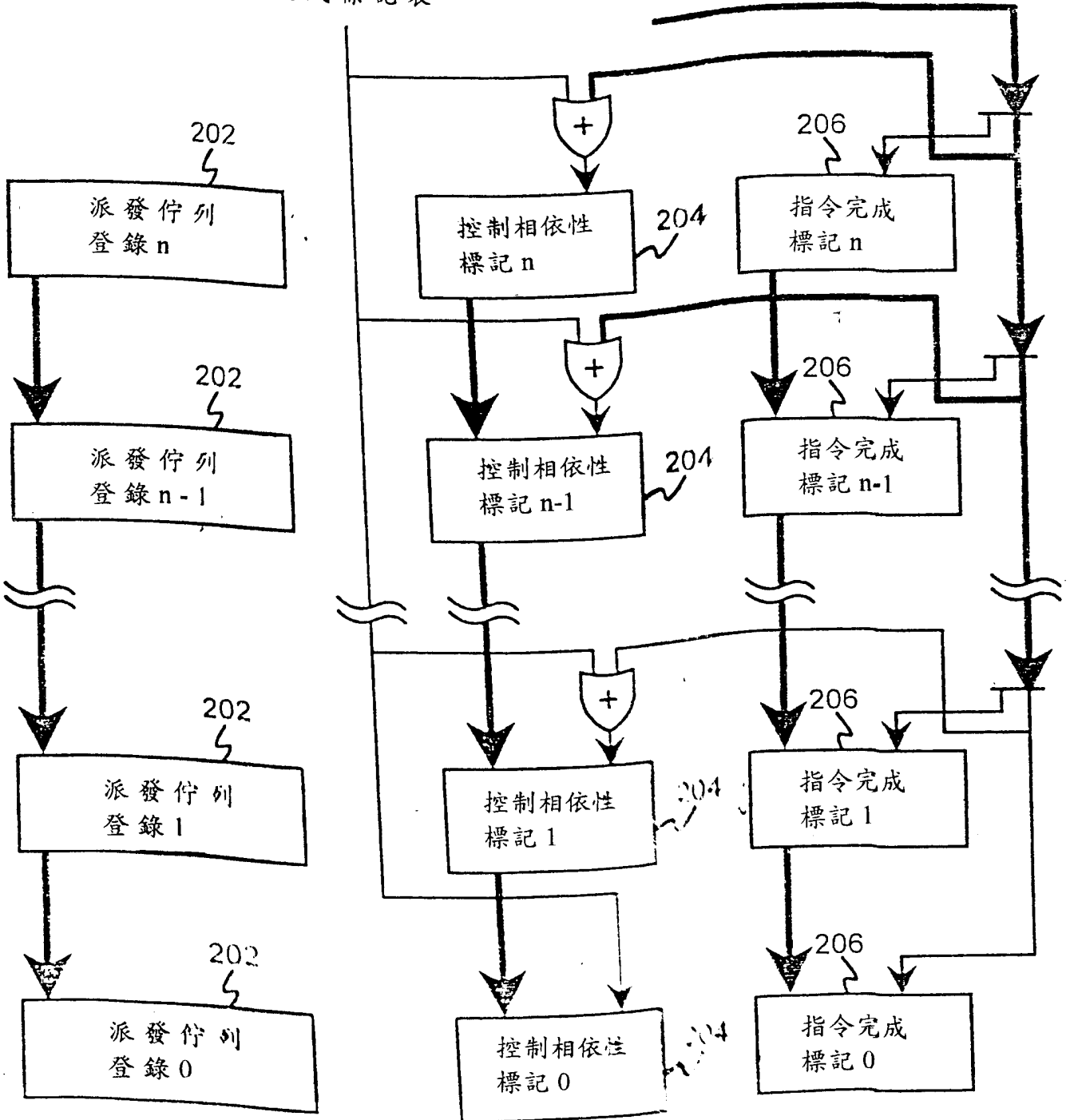


圖 3



起始指令
完成標記表

起始指令完成標記表



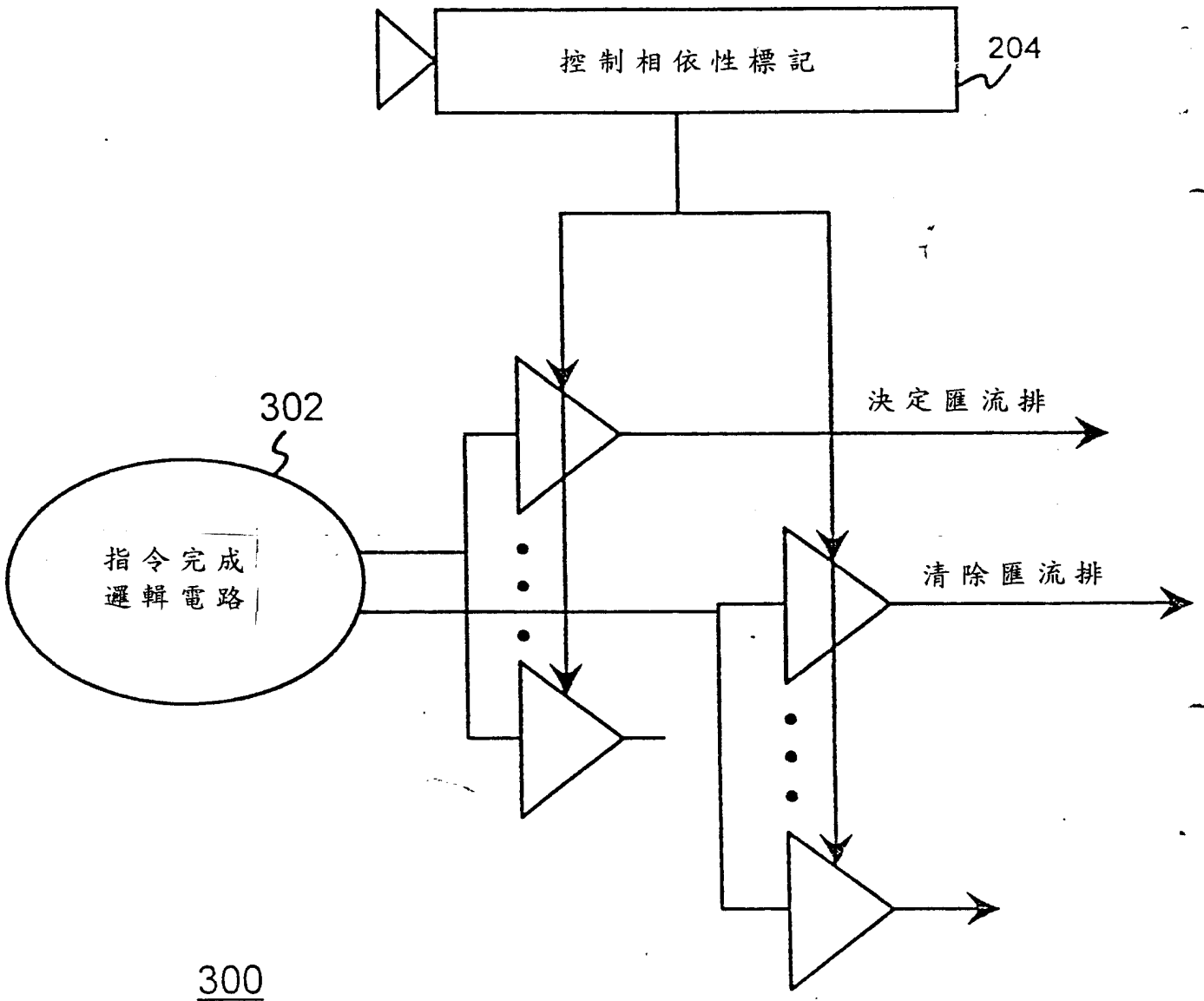
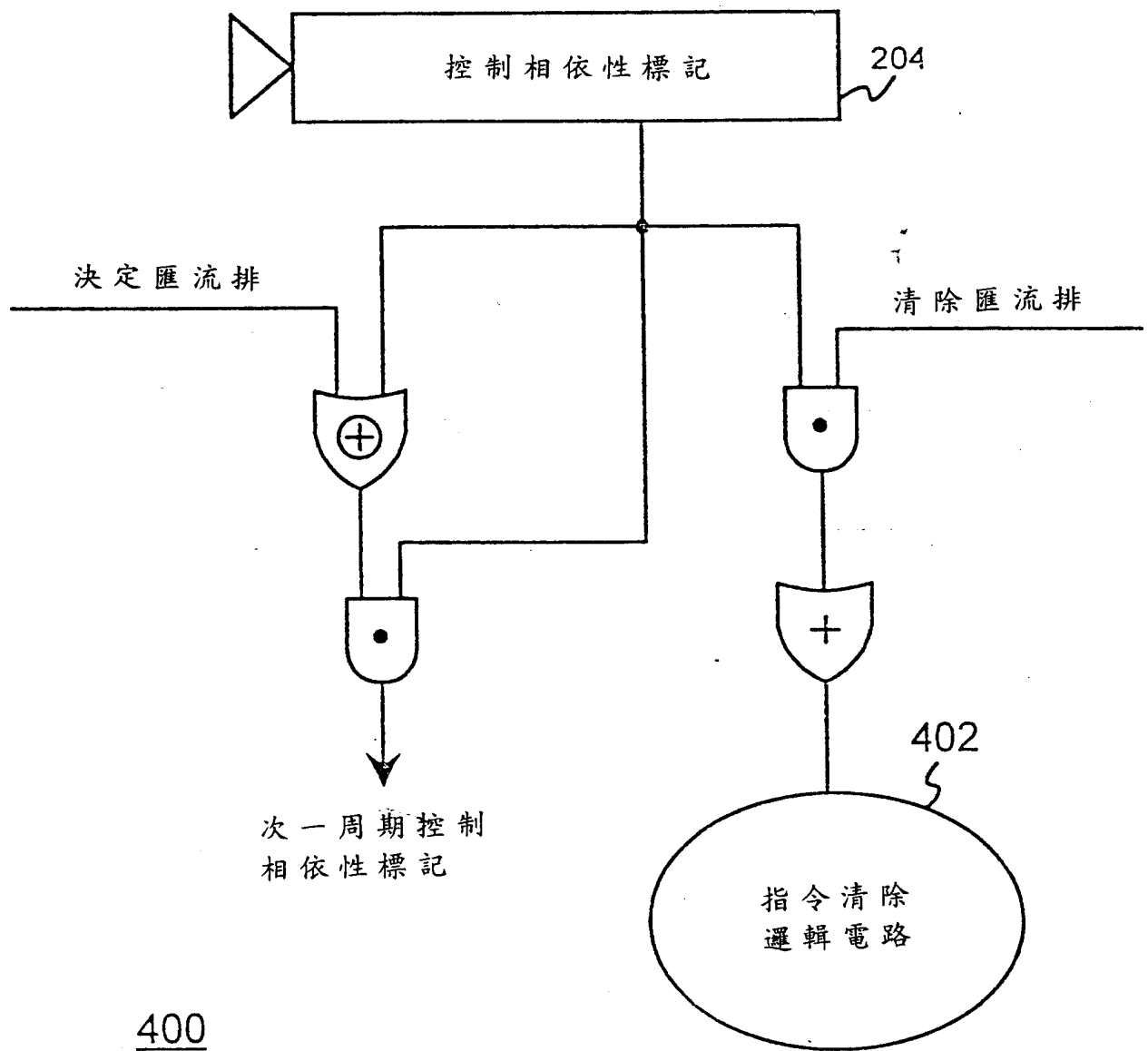


圖 6



400

圖 7

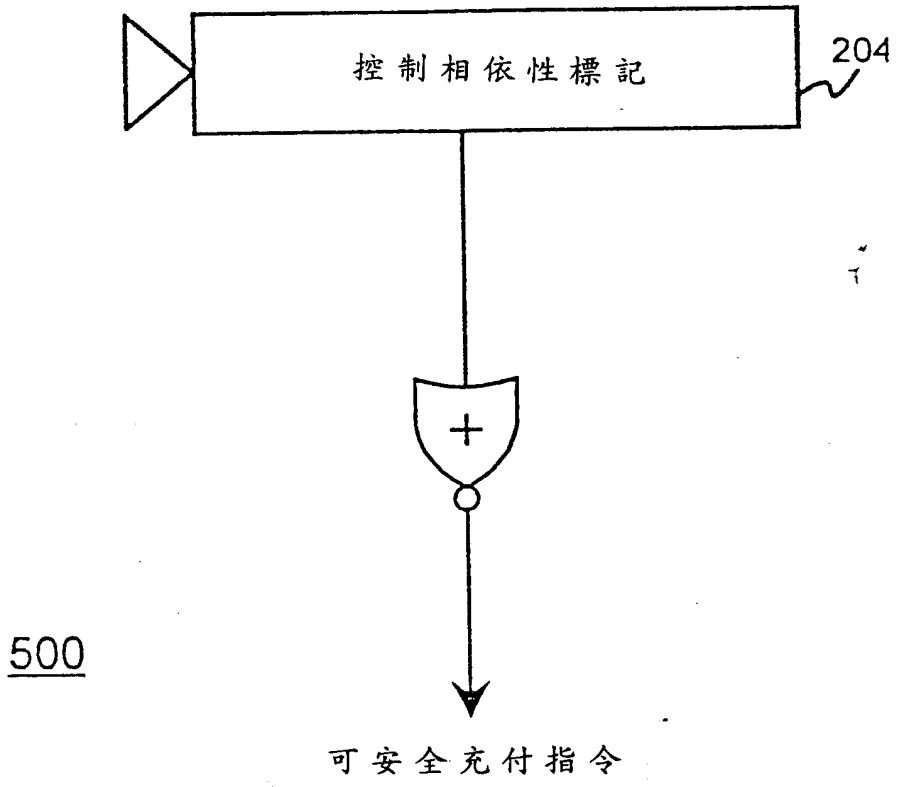


圖 8