

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4984815号
(P4984815)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int. Cl.	F 1		
G09F 9/30 (2006.01)	G09F	9/30	338
G02F 1/1368 (2006.01)	G02F	1/1368	
G02F 1/13 (2006.01)	G02F	1/13	101
G09G 3/36 (2006.01)	G09G	3/36	
G09G 3/30 (2006.01)	G09G	3/30	Z
請求項の数 6 (全 18 頁) 最終頁に続く			

(21) 出願番号	特願2006-285119 (P2006-285119)	(73) 特許権者	000002369
(22) 出願日	平成18年10月19日(2006.10.19)		セイコーエプソン株式会社
(65) 公開番号	特開2008-102335 (P2008-102335A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成20年5月1日(2008.5.1)	(74) 代理人	100090479
審査請求日	平成21年8月21日(2009.8.21)		弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124626
			弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	野澤 武史
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
最終頁に続く			

(54) 【発明の名称】 電気光学装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス基板を検査装置に接続して検査する第1の検査工程と、
前記第1の検査工程で良品とされた前記アクティブマトリクス基板を用いて電気光学装置を製造する工程と、

前記電気光学装置を前記検査装置に接続して点灯検査する第2の検査工程と、
前記第2の検査工程で良品とされた前記電気光学装置の一部を切断する工程と、
を有し、

前記アクティブマトリクス基板は、
基板上に、

複数の走査線と、
複数のデータ線と、

前記複数の走査線の各1本と、前記複数のデータ線の各一本とに接続された薄膜トランジスタをそれぞれ含む複数の画素と、

前記複数の走査線及び前記複数のデータ線にそれぞれ接続され、第1のピッチにて配列された複数の実装端子と、

検査回路と、

前記複数の実装端子と前記検査回路とを接続し、かつ、前記薄膜トランジスタのゲートと同一層である第一層配線層にて形成された複数の検査用配線と、

前記検査回路に接続され、前記複数の実装端子よりも数が少なく、前記第1のピッチよ

りも広い第 2 のピッチで配列され、前記複数の実装端子の各々の面積よりも広い複数の検査端子と、
を備え、

前記第 1 , 第 2 の検査工程では、前記アクティブマトリクス基板に設けられた前記検査回路に前記検査装置を接続して検査し、

前記切断工程は、前記複数の実装端子と前記検査回路との間の位置にて前記基板及び前記複数の検査用配線を切断することを特徴とする電気光学装置の製造方法。

【請求項 2】

請求項 1 において、

前記第 1 の検査工程は、前記検査回路を介して、前記複数のデータ線に一括して同一電位を供給し、かつ、前記複数の走査線の少なくとも 1 本を選択して、前記アクティブマトリクス基板を検査する工程を含むことを特徴とする電気光学装置の製造方法。

10

【請求項 3】

請求項 2 において、

前記第 1 の検査工程では、前記複数の走査線にも一括して同一電位を供給して、前記アクティブマトリクス基板を検査することを特徴とする電気光学装置の製造方法。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 2 の検査工程は、前記検査回路を介して、前記複数の走査線に一括して同一電位を供給し、かつ、前記複数のデータ線の少なくとも 1 本を選択して、前記電気光学装置の画素を点灯させて検査する工程を含むことを特徴とする電気光学装置の製造方法。

20

【請求項 5】

請求項 4 において、

前記第 2 の検査工程では、前記複数の走査線にも一括して同一電位を供給して、前記電気光学装置の全画素を点灯させて検査することを特徴とする電気光学装置の製造方法。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記第 1 及び第 2 の検査工程は、前記アクティブマトリクス基板をステージ上にて位置決めする工程を含み、

前記位置決め工程では、矩形の前記アクティブマトリクス基板の 2 つの角部を前記ステージ上に設けた位置決め部材と当接させることを特徴とする電気光学装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置（エレクトロルミネッセンス（EL）素子のような自己発光素子を内蔵する有機 EL 装置、無機 EL 装置、ならびに非自己発光素子である液晶素子を内蔵する液晶装置等を含む）の製造方法に関する。

【背景技術】

【0002】

従来、例えば有機 EL 等を発光素子とするアクティブマトリクス基板の検査では、アクティブマトリクス基板に形成され、フレキシブル基板等が接続される実装端子にプローブ針をコンタクトして検査していた。

40

【0003】

しかし、実装端子の数は多くそのピッチも小さいので、プローブ針を正確にコンタクトさせるための位置合わせが不可欠である。通常、被検査基板は二次元面上で移動可能なステージに配置され、被検査基板に設けたマークをカメラで光学的に読み取り、その情報をモニタに表示して位置合わせしていた。

【0004】

また、特許文献 1 は、ガラス基板上に駆動 IC を COG（Chip On Glass）実装した液晶表示基板の検査方法を開示している。この方法では、二枚のガラス基板に形成された各

50

透明電極に対応する検査用の端子電極を、ガラス基板の検査用はみ出し部に形成しておくことを前提としている。検査は、駆動ICがCOG実装される前に実施される。検査時には、検査用の端子電極に通電して検査し、良品の液晶表示装置は、検査用はみ出し部を切断してから、駆動ICをCOG実装する。これにより、駆動ICと共に不良基板を廃棄する無駄が無くなる。

【特許文献1】特開平11-30785号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、実装端子を使用して検査を行なう場合も、特許文献1のように検査用の端子電極を使用して検査を行なう場合も、プローブ針がコンタクトされる端子の面積が小さく、かつ、端子ピッチが狭いので、被検査基板の位置合わせは精密に行なわなければならない。

【0006】

このため、位置決めのためのカメラやモニタが不可欠となって、検査装置が高価となる。また、この種の位置合わせには2-4日も要するので、スループットが悪い。

【0007】

また、特許文献1では、液晶が封入された状態での検査しか行なえず、二枚のガラス基板の一方であるアクティブマトリクス基板を検査対象とすることができなかった。従って、特許文献1の検査では、不良とされた被検査対象には予め液晶が封入されたものであり、不良品に無駄が多いことは否めない。

【0008】

以上の事項は、最終的には全て製品単価にも悪影響を及ぼし、コストアップとなる。

【0009】

そこで、本発明の目的は、被検査基板の位置合わせが簡便になり、検査のための位置合わせ時間を短縮し、検査で不良とされた製品の無駄を最小限とすることができる電気光学装置の製造方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明の一態様に係る電気光学装置の製造方法は、アクティブマトリクス基板を検査装置に接続して検査する第1の検査工程と、

前記第1の検査工程で良品とされた前記アクティブマトリクス基板を用いて電気光学装置を製造する工程と、

前記電気光学装置を前記検査装置に接続して点灯検査する第2の検査工程と、

前記第2の検査工程で良品とされた前記電気光学装置の一部を切断する工程と、

を有し、

前記アクティブマトリクス基板は、

基板上に、

複数の走査線と、

複数のデータ線と、

前記複数の走査線の各1本と、前記複数のデータ線の各一本とに接続された薄膜トランジスタをそれぞれ含む複数の画素と、

前記複数の走査線及び前記複数のデータ線にそれぞれ接続され、第1のピッチにて配列された複数の実装端子と、

検査回路と、

前記複数の実装端子と前記検査回路とを接続し、かつ、前記薄膜トランジスタのゲートと同一層である第一層配線層にて形成された複数の検査用配線と、

前記検査回路に接続され、前記複数の実装端子よりも数が少なく、前記第1のピッチよりも広い第2のピッチで配列され、前記複数の実装端子の各々の面積よりも広い複数の検査端子と、

10

20

30

40

50

を備え、

前記第1, 第2の検査工程では、前記アクティブマトリクス基板に設けられた前記検査回路に前記検査装置を接続して検査し、

前記切断工程は、前記複数の実装端子と前記検査回路との間の位置にて前記基板及び前記複数の検査用配線を切断することを特徴とする。

【0011】

本発明の一態様では、アクティブマトリクス基板に設けられた検査回路を、アクティブマトリクス基板とそれから製造される電気光学装置に兼用して、両検査共に同じ検査装置を用いることができる。

【0012】

また、検査時にコンタクトされる箇所が実装端子でなくて、それよりも少ない数でかつ広ピッチであり、しかもコンタクト面積が大きい検査端子にコンタクトすればよい。よって、基板でも電気光学装置でも、検査時の位置合わせは厳密でなくても済む。

【0013】

さらに、検査のためにアクティブマトリクス基板に形成された検査回路及び検査端子は、電気光学装置の良品確認後に切断されるので、実使用時は電気光学装置の小型化を維持できる。

【0014】

本発明の一態様において、前記第1の検査工程では、前記検査回路を介して、前記複数のデータ線に一括して同一電位を供給し、かつ、前記複数の走査線の少なくとも1本を選択して、前記アクティブマトリクス基板を検査する工程を含むことができる。

【0015】

これにより、全データ線に対して一つの検査端子を設ければよく、検査端子の数が減るので、検査端子の広ピッチ化及び大面積化が可能となる。

【0016】

ここで、前記第1の検査工程では、前記複数の走査線にも一括して同一電位を供給して、前記アクティブマトリクス基板を検査することができる。こうすると、検査時間も大幅に短縮される。

【0017】

本発明の一態様では、前記第2の検査工程は、前記検査回路を介して、前記複数の走査線に一括して同一電位を供給し、かつ、前記複数のデータ線の少なくとも1本を選択して、前記電気光学装置の画素を点灯させて検査する工程を含むことができる。

【0018】

こうして、電気光学装置の検査でも、アクティブマトリクス基板と同様に、全データ線に対して一つの検査端子を設ければよく、両検査に共通する検査装置を用いることができる。

【0019】

本発明の一態様では、前記第2の検査工程では、前記複数の走査線にも一括して同一電位を供給して、前記電気光学装置の全画素を点灯させて検査してもよい。こうすると、さらに検査時間が短縮される。

【0020】

本発明の一態様では、前記第1及び第2の検査工程は、前記アクティブマトリクス基板をステージ上にて位置決めする工程を含み、

前記位置決め工程では、矩形状の前記アクティブマトリクス基板の2つの角部を前記ステージ上に設けた位置決め部材と当接させることを特徴とする。

【0021】

検査端子の数が減り、検査端子が広ピッチ化及び大面積化されるので、厳密な位置合わせは不要となる。

【0022】

本発明の他の態様は、

10

20

30

40

50

基板上に、
 複数の走査線と、
 複数のデータ線と、
 前記複数の走査線の各 1 本と、前記複数のデータ線の各一本とに接続された薄膜トランジスタをそれぞれ含む複数の画素と、
 前記複数の走査線及び前記複数のデータ線にそれぞれ接続され、第 1 のピッチにて配列された複数の実装端子と、
 検査回路と、
 前記複数の実装端子と前記検査回路とを接続する複数の検査用配線と、
 前記検査回路に接続され、前記複数の実装端子よりも数が少なく、前記第 1 のピッチよりも広い第 2 のピッチで配列され、前記複数の実装端子の各々の面積よりも広い複数の検査端子と、
 が形成されたアクティブマトリクス基板の検査方法であって、
 前記アクティブマトリクス基板をステージ上にて位置決めする工程と、
 前記ステージ上にて位置決めされた前記アクティブマトリクス基板上の前記複数の検査端子にプローブ針を接触させる工程と、
 前記検査用回路を介して、前記複数のデータ線に一括して同一電位を供給し、かつ、前記複数のデータ線の少なくとも 1 本を選択して、前記アクティブマトリクス基板を検査する工程と、
 を備えることを特徴とする。

【 0 0 2 3 】
 この場合でも、アクティブマトリクス基板の位置合わせは著しく容易となる。

【 0 0 2 4 】
 この検査工程でも、前記複数の走査線にも一括して同一電位を供給して、前記アクティブマトリクス基板を検査すれば、検査時間は大幅に短縮できる。

【 0 0 2 5 】
 本発明のさらに他の態様は、上述した方法に好適なアクティブマトリクス基板及び電気光学装置を定義している。

【 0 0 2 6 】
 ここで、前記複数の検査用配線は、前記薄膜トランジスタのゲートと同一層である第 1 層配線層にて形成することができる。こうすると、検査後にアクティブマトリクス基板を切断しても、検査用配線がめくれ上がることはない。

【 0 0 2 7 】
 また、複数の検査端子の一つは、前記複数のデータ線に同一電位を供給する検査用データ端子とすることができる。膨大な数のデータ線に対して唯一つの検査端子を設ければ済むので、検査端子の数の減少に伴う広ピッチ化及び広面積化が達成される。

【発明を実施するための最良の形態】

【 0 0 2 8 】
 以下、本発明の好適な実施形態について詳細に説明する。なお、以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【 0 0 2 9 】
 (第 1 実施形態)
 図 1 は、本実施形態の電気光学装置例えば有機 E L 表示装置の製造方法を示している。

【 0 0 3 0 】
 まず、図 1 のステップ 1 , 2、つまり、アクティブマトリクス基板のステージ上での位置合わせとその後の検査について説明する。

【 0 0 3 1 】
 (アクティブマトリクス基板の検査)
 図 2 は、検査ステージ 1 0 に位置決めされたアクティブマトリクス基板 2 0 を示してい

10

20

30

40

50

る。このアクティブマトリクス基板 20 は、基板 22 上にアクティブマトリクス領域 24 を有する。アクティブマトリクス領域 24 は狭ピッチで多数配列された実装端子 26 に接続されている。実装端子 26 は検査用配線 28 を介して、基板 22 上に形成された検査回路 30 と接続されている。実装端子 26 には、本実施形態の場合、有機 EL 装置の組立時に駆動 IC が COF (Chip On Film) されたフレキシブル基板が接続される。検査回路 30 は、実装端子 26 よりも広ピッチ配列で数も少なく、実装端子 26 の端子面積よりも広い検査端子 32 に接続されている。

【0032】

検査用配線 28、検査回路 30 及び検査端子 32 は検査時に用いられるもので、有機 EL 装置としての実使用時には不要である。参照符号 34 は、後に基板 22 から検査用配線 28、検査回路 30 及び検査端子 32 を切断するため位置を示している。この切断位置 34 にて、基板 22 を切断しやすいように基板 22 自体を加工してもよいが、基板 22 自体にはその切断位置のみをマーキングしたものであっても良いし、機械によって一定寸法に切断可能であれば、基板 22 自体は切断位置 34 にて一切加工されていなくてもよい。

【0033】

このアクティブマトリクス基板 20 を検査する検査装置 100 は、複数のプローブ針 102 が設けられたプローブカード 104 と、プローブカード 104 を介してアクティブマトリクス基板 20 との間で信号を入出力し、アクティブマトリクス基板 20 の電気的特性を評価するテスト 106 とを有する。

【0034】

アクティブマトリクス基板 20 の検査に先立ち、アクティブマトリクス基板 20 をステージ 10 上に位置決めする。本実施形態では、この位置決め工程では、矩形状のアクティブマトリクス基板 20 の 2 つの角部をステージ 10 上に設けた位置決め部材、例えばピン 12 と当接させるだけである。このように、精密でない位置決めで足りる理由は以下の通りである。

【0035】

検査装置 100 のプローブ針 102 は、アクティブマトリクス基板 20 上の狭ピッチでかつ小面積の多数の実装端子 26 にはコンタクトされず、実装端子 26 よりも広ピッチで大面積、しかも実装端子 26 よりも数の少ない検査端子 32 に接続される。このため、プローブ針 102 も広ピッチで少ない数で良く、コンタクトされる検査端子 32 が広面積であることから、ステージ 10 上でのアクティブマトリクス基板 20 の精密な位置合わせは不要である。

【0036】

このことから、検査のための位置合わせに 2 - 4 日も必要とはならない。加えて、検査装置 100 は、位置合わせのためのカメラやモニタを要せず、検査装置 100 自体も安価となる。

【0037】

アクティブマトリクス基板 20 の検査は、図 2 に示すように、プローブ針 102 を検査端子 32 にコンタクトし、必要な信号をテスト 106 側から送出してアクティブマトリクス基板 20 を駆動する。駆動により得られたアクティブマトリクス基板 20 より得られた信号がテスト 106 に供給され、アクティブマトリクス基板 20 の良否判定がなされる。

【0038】

ここで、アクティブマトリクス基板 20 について、図 3 を参照して説明する。図 3 は、図 1 に示されるアクティブマトリクス領域 24 の一つの画素 24A の具体的な回路構成を示す回路図である。図示されるように、画素 24A は、画素選択トランジスタ M1 と、駆動 TFT (駆動薄膜トランジスタ) M2 と、発光制御トランジスタ M3 と、保持容量 Ch と、を有する。なお、アクティブマトリクス基板 20 には有機 EL 層が接続されていないため、図中、有機 EL 素子 (OLED) 及び共通線 (VCT) は、点線で示されている。

【0039】

また、図 3 において、GWR T は、画素選択トランジスタ M1 の駆動信号であり、DA

10

20

30

40

50

TAはデータ線DLを介して書込まれるデータである。また、GELは画素発光制御トランジスタM3の駆動トランジスタである。また、図中、参照符号110は、検査装置100(図1参照)に備わる画素電源であり、検査端子32を介して各画素24Aに接続される。画素電源電圧(VEL:第2の電源電圧)は、例えば、12Vに設定される。また、参照符号112は、基礎的な不良を検出するために用いられる電流計である。電流計112が点線で示されているのは、この電流計が必ずしも必須ではないことを示している。

【0040】

(検査回路及び検査装置の構成)

図4は、図1の検査回路30または検査装置100の内部の回路構成を示す回路図である。図示されるように、検査回路30に内蔵される走査線ドライバ200は、シフト回路210(シフトレジスタを備える)と、例えばイネーブル信号により全数の走査線WLを一括してローレベル(非駆動レベル)にすることができ、または全数の走査線を一括してハイレベル(駆動レベル)にすることができる走査線駆動制御回路230と、レベルシフト回路240と、出力バッファ回路250とを有する。シフト回路210は、走査線を順次、選択するために使用されるが、後述する検査には必ずしも必要で着ないので、省略することができる。

【0041】

レベルシフト回路240は、低電圧系回路における電圧レベルを、高電圧系回路に適した電圧レベルに昇圧する。出力バッファ回路250は各走査線WLを駆動する。

【0042】

また、図4において、シフト回路210及び走査線駆動制御回路230には、プローブ針102を介して検査装置100側の電源120が接続され、低電圧系回路(レベルシフト回路240の前段より前の回路)に低レベルの電源電圧VDD(例えば、5V)が供給される。また、レベルシフト回路240及びバッファ回路250には、プローブ針102を介して検査装置100側の電源122が接続され、これによって、高電圧系回路(レベルシフト回路240の後段以降の回路)に、高電源電圧(VHH:第1の電源電圧であり、例えば15Vに設定される)が供給される。

【0043】

また、検査装置100側に設けられた電流計124は、検査時において、走査線ショート等の基礎的な不良が生じていることを検出するために用いられる。

【0044】

図2に示す検査回路30には、図4に示すデータ線ドライバ300が設けられる。このデータ線ドライバ300は、各データ線DLを一括してショートさせる複数のスイッチ例えばスイッチングトランジスタTrを有する。全てのスイッチングトランジスタTrのゲートには、検査端子32を介してハイレベルHが供給可能である。また、全てのスイッチングトランジスタTrのドレインはショート線310に接続され、このショート線310が一つの検査端子32(図4では図示せず)に接続される。このため、アクティブマトリクス基板20の全データ線DLに信号を供給するための検査端子32は一つだけでよい。このため、検査端子32の数は実装端子26の数よりも大幅に低減する。

【0045】

ショート線310は、一つの検査端子32及びプローブ針102を介して、検査装置100側に設けられた電源130と接続され、検査時には全データ線DLにVDATAとして例えば7Vが供給される。なお、検査装置100側に設けられた電流計132は、検査時において、データ線ショート等の基礎的な不良が生じていることを検出するために用いられる。

【0046】

(アクティブマトリクス基板の検査の詳細)

図5(a)~(c)は各々、アクティブマトリクス基板20の動作を基本的な不良(走査線ショート不良、データ線ショート不良ならびに保持容量のショート・本質的な欠陥)を検出する原理を説明するための図である。

10

20

30

40

50

【 0 0 4 7 】

図5 (a) は、良品 (不良無しの場合) の電流の変化を示している。全走査線ならびに全データ線をハイレベルとして、走査線ドライバ200に供給される電流ならびにデータ線ドライバ300に流れる電流を観測する場合を想定する。

【 0 0 4 8 】

この場合、走査線WLの寄生容量、データ線DLの寄生容量、あるいは各画素24Aの保持容量の充電が完了した後 (時刻 t 1 以降) は、許容値未満のリーク電流しか流れないはずである。すなわち、図5 (a) に示されるように、所定の充電電流が初期に流れ、時刻 t 1 以降は、ごくわずかのリーク電流以外は流れない。

【 0 0 4 9 】

しかし、走査線のショート、データ線のショート、保持容量のショートや本質的な欠陥が発生すると、図5 (b) に示すように、時刻 t 1 以降も、許容値を越える電流が、所定方向に継続的に流れる。図5 (c) は、図5 (b) の電流の向きとは反対の電流が継続的に流れる場合を示しており、この場合も図5 (b) と同様に、いずれかの不良が発生していると判定することができる。

【 0 0 5 0 】

以下、アクティブマトリクス基板20の基本的な不良の検査内容と手順について、具体的に説明する。

【 0 0 5 1 】

(1) 走査線のショート不良検査 (図4 - 図7)

図6は検査フローチャートを示し、図4および図7は、走査線WLのショート不良の検査時において流れる電流の例を示す図であり、図4は良品における電流の流れを示し、図7は不良品における電流の流れを示す。

【 0 0 5 2 】

まず、図4を用いて、不良が無い場合の電流の流れについて説明する。走査線ドライバ200内の高電圧系回路 (レベルシフト回路240ならびにバッファ回路250) には、第1の電源電圧 (V H H : 15 V) が供給される。このとき、電流計124によって、走査線ドライバ200の高電圧系回路に供給される電流の時間的な変化を検出可能である。また、スイッチングトランジスタTrのドレインには、第3の電源電圧 (V D A T A : 7 V) が供給されてオン状態に保持される。

【 0 0 5 3 】

なお、走査線WLのショート不良のみを検査するときは、電流計132は、必ずしも接続する必要はない。但し、電流計132によって、スイッチングトランジスタTrを經由して流れる電流を検出するようにしてもよい。

【 0 0 5 4 】

まず、走査線ドライバ200内の走査線駆動制御回路230の出力レベルをハイレベルに強制的に固定する。これによって、全走査線 (WL) が、同時にハイレベル (駆動状態) となる。また、全データ線 (DL) には、V D A T A (7 V) が供給される (図6のステップ1) 。この場合、当初、各走査線 (WL) の寄生容量 (図4中のC g a , C g b , C g c) を充電するための充電電流 (I 1 a , I 1 b , I 1 c) が流れるが、充電が完了すると、ほとんど電流が流れなくなる (図5 (a) 参照) 。このような電流の時間的な変化は、電流計124により、電流I Y 1 を観測することにより明らかとなる (図6のステップ2) 。

【 0 0 5 5 】

一方、図7に示すように、走査線 (WL) とデータ線 (DL) とのショート (不良A) が発生している場合、走査線 (WL) と画素電源線とのショート (不良B) が発生している場合、あるいは、走査線 (WL) が接地されている (不良C) 場合には、図4の充電完了後においても、許容値を超える電流が定常的に流れる (図5 (b) 参照) 。

【 0 0 5 6 】

つまり、図7に示されるように、異常電流 (I 1 0 , I 1 1 , I 1 2) が継続的に流れ

10

20

30

40

50

る。この異常電流は、電流計 124 によって検出される。つまり電流計 124 には、継続的に、電流 I_{Y2} が流れる（図 6 のステップ 3 が YES）。したがって、全走査線のいずれかにショート不良が発生していることを、効率的に検出することができる（図 6 のステップ 4, 5）。

【0057】

なお、画素電源 110（第 2 の電源電圧 V_{EL} （12V）を供給する電源）から供給される電流を、電流計 112（図 7 参照）によって観測すると、走査線 WL と画素電源線（保持容量 C_h の一端に接続される電源ライン）とのショート不良が発生していることを特定することができる。つまり、不良箇所の特定はできないものの、不良の種類が絞込みが可能である。

10

【0058】

（2）データ線のショート不良検査（図 8 - 図 10）

図 8 は検査フローチャートを示し、図 9 - 図 11 は、データ線のショート不良の検査時において流れる電流の例を示す図であり、図 9 は良品における電流の流れを示し、図 10 は不良品における電流の流れを示す。

【0059】

まず、図 9 を用いて、不良が無い場合の電流の流れについて説明する。図 8 のステップ 10 は図 6 のステップ 1 と実質的に同じ動作を示している。

【0060】

まず、走査線ドライバ 200 内の走査線駆動制御回路 230 の出力レベルをハイレベルに強制的に固定する。これによって、全走査線（ WL ）が、同時にハイレベル（駆動状態）となる。また、全データ線（ DL ）には、 V_{DATA} （7V）が供給される（図 8 のステップ 10）。この場合、当初、各データ線（ DL ）の寄生容量（図 9 中の C_{da} , C_{db} , C_{dc} , C_{dd} ）を充電するための充電電流（ I_{3a} , I_{3b} , I_{3c} , I_{3d} ）が流れるが、充電が完了すると、ほとんど電流が流れなくなる（図 5（a）参照）。このことは、電流計 132 によって、電流 I_{X1} を観測することによって明らかとなる（図 8 のステップ 11）。

20

【0061】

一方、図 10 に示すように、データ線（ DL ）と走査線（ WL ）とのショート（不良 A）が発生している場合、データ線（ DL ）と画素電源線とのショート（不良 B）が発生している場合には、図 9 の充電完了後においても、許容値を超える電流が定常的に流れる（図 5（b）参照）。

30

【0062】

つまり、図 10 に示されるように、異常電流（ I_{20} , I_{21} ）が継続的に流れる（図 8 のステップ 12 が YES）。この異常電流は、スイッチングトランジスタ Tr に接続された電流計 132 によって検出される。すなわち、電流計 902 によって電流 I_{X2} が継続的に流れることが観測されたときに、全データ線（ WL ）のいずれかにショート不良が発生していると判定することができる（図 8 のステップ 13, 14）。よって、データ線のショート不良を効率的に検出することができる。

【0063】

なお、画素電源 110（第 2 の電源電圧 V_{EL} （12V）を供給する電源）から供給される電流を、電流計 112（図 9 - 図 10 では不図示）によって観測すると、データ線（ WL ）と画素電源線（保持容量 C_h の一端に接続される電源ライン）とのショート不良が発生していることを特定することができる。つまり、不良箇所の特定はできないものの、不良の種類が絞込みが可能である。

40

【0064】

（3）保持容量のショート・本質的な欠陥の検査（図 11 - 図 13）

図 11 は検査フローチャートを示し、図 12 および図 13 は、保持容量のショート・本質的な欠陥の検査時において流れる電流の例を示す図であり、図 12 は良品における電流の流れを示し、図 13 は不良品における電流の流れを示す。

50

【 0 0 6 5 】

まず、図 1 2 を用いて、不良が無い場合の電流の流れについて説明する。図 1 1 のステップ 2 0 は図 6 及び図 8 のステップ 1 , 1 0 と実質的に同じ動作を示している。

【 0 0 6 6 】

まず、走査線ドライバ 2 0 0 内の走査線駆動制御回路 2 3 0 の出力レベルをハイレベルに強制的に固定する。これによって、全走査線 (W L) が、同時にハイレベル (駆動状態) となる。また、全データ線 (D L) には、 V D A T A (7 V) が供給される (図 1 1 のステップ 2 0) 。この場合、当初、各データ線 (D L) の寄生容量 (図 9 中の C d a , C d b , C d c , C d d) の充電電流が流れ、さらに、各画素 2 4 A における保持容量 C h の充電電流 I 4 0 が流れる。ただし、充電が完了すると、ほとんど電流が流れなくなる (図 5 (a) 参照) 。このことは、電流計 1 3 2 によって、電流 I X 4 を観測することによって判定可能である (図 1 1 のステップ 2 1) 。

10

【 0 0 6 7 】

一方、図 1 3 に示すように、保持容量 C h の両極がショートしている場合、あるいは本質的な欠陥によって大きなリーク電流が流れる場合には、図 1 3 に示すように、充電が終了した後も継続的に異常電流 I 5 0 が流れる (図 5 (b) 参照) 。

【 0 0 6 8 】

この異常電流は、スイッチングトランジスタ T r に接続された電流計 1 3 2 によって検出される。すなわち、電流計 9 0 2 によって電流 I X 5 が継続的に流れることが観測されたときに (図 1 1 のステップ 2 2 が Y E S) 、保持容量に不良ありと判定することができ (図 1 1 のステップ 2 4) 、そうでなければ正常と判定できる (図 1 1 のステップ 2 3) 。よって、保持容量の不良を効率的に検出することができる。

20

【 0 0 6 9 】

なお、画素電源 1 1 0 (第 2 の電源電圧 V E L (1 2 V) を供給する電源) から供給される電流を、電流計 1 1 2 によって観測することは、保持容量 C h に不良が発生していることを特定するのに役立つ。

【 0 0 7 0 】

(同時検査)

図 1 4 は、走査線、データ線および保持容量の同時検査の手順の概要を示すフロー図である。まず、すべての走査線を H (V H H) とし、また、プリチャージトランジスタをオンして、すべてのデータ線に V D A T A を供給し、また、画素 2 4 A に画素電源電圧 (V E L) を供給する (ステップ S 3 0) 。次に、所定時間経過後に、走査線ドライバ側の電流計およびデータ線ドライバ側の電流計によって電流量を調べ、必要に応じて、画素電源線に供給される電流の電流量を調べる (ステップ S 3 1) 。そして、許容値を逸脱する電流が継続しているか否かを判定し (ステップ S 3 2) 、許容値を逸脱する電流が検出されない場合には正常 (良品) と判定し (ステップ S 3 3) 、そのような電流が継続するときは、異常判定を行う (ステップ S 3 4) 。

30

【 0 0 7 1 】

なお、図 4 等で示す走査線ドライバ 2 0 0 はシフト回路 2 1 0 からの信号により走査線 W L を 1 本ずつ選択駆動することができる。よって、上述した検査は、必ずしも全走査線 W L を同時に選択して行なうものに限らない。つまり、走査線 W L を 1 本ずつ選択し、各種検査を実施しても良い。いずれにしる、全データ線 D L には同一電位が同時に供給されるので、データ線 D L に電位を供給するための検査端子 3 2 は一つで済む。

40

【 0 0 7 2 】

(表示パネルの製造)

図 1 のステップ 1 , 2 の実施により、アクティブマトリクス基板 2 0 の良否判定がなされた。不良品と判定されたアクティブマトリクス基板 2 0 は廃棄され、良品のアクティブマトリクス基板 2 0 に有機 E L 層を形成して、表示パネルを完成させる (図 1 のステップ 3) 。これにより、図 2 に示すアクティブマトリクス領域 2 4 のうち、図 3 に示す各画素 2 4 A には有機 E L 素子 O L E D と共通線 V C T が接続されることになる。

50

【 0 0 7 3 】

(表示パネルの検査)

まず、表示パネルを図 2 のステージ 1 0 上に載置し、位置決め部材 1 2 により位置決めする(図 1 のステップ 4)。アクティブマトリクス基板 2 0 と同様に、この位置決めは極めて短時間で行なうことができる。

【 0 0 7 4 】

次に、ステージ 1 0 上の表示パネルの検査端子 3 2 にプローブ針 1 0 2 をコンタクトして、表示パネルを点灯検査する(図 1 のステップ 5)。この点灯検査は、図 6 のステップ 1、図 8 のステップ 1 0、図 1 1 のステップ 2 0 と全く同様にして、全走査線 W L 及び全データ線 D L にして予定の電位を供給し、表示パネルの全画素 2 4 A での点灯状態を目視

10

【 0 0 7 5 】

この表示パネルの点灯検査は、図 2 に示すアクティブマトリクス基板 2 0 の検査装置 1 0 0 を用いて行なうことができ、アクティブマトリクス基板用の検査装置と表示パネル用の検査装置を別個に用意する必要はない。

【 0 0 7 6 】

なお、図 4 等で示す走査線ドライバ 2 0 0 はシフト回路 2 1 0 からの信号により走査線 W L を 1 本ずつ選択駆動することができるので、点灯検査は走査線 W L を 1 本ずつ選択し、一ライン上の画素 2 4 A 毎に点灯検査することもできる。

【 0 0 7 7 】

(検査回路及び検査端子の切断)

上述したように、表示パネルが完成して点灯検査が終了すれば、もはや検査回路 3 0 及び検査端子 3 2 は不要となるばかりでなく、表示パネルの小型化を阻害するものとなる。そこで、本実施形態では図 2 に示す切断位置 3 4 にてアクティブマトリクス基板 2 0 を切断する(図 1 のステップ 6)。

20

【 0 0 7 8 】

ここで、切断位置 3 4 上には、検査用配線 2 8 が存在する。切断時に、検査用配線 2 8 が基板 2 2 からめくれてしまうと、表示パネルの商品価値を著しく低下させる。

【 0 0 7 9 】

本実施形態では、アクティブマトリクス基板 2 0 上に画素選択トランジスタ M 1 等を形成する際に、検査用配線 2 8 を形成するようにしている。つまり、検査用配線 2 8 は、画素選択トランジスタ M 1 のゲート層と同一第一層配線層にて形成される。通常、画素選択トランジスタ M 1 のゲートはポリシリコン層にて形成されるので、検査用配線 2 8 もポリシリコン層にて形成される。換言すれば、検査用配線 2 8 は第二層配線層以上の配線層に通常用いられる金属層では形成されない。

30

【 0 0 8 0 】

もし、検査用配線層 2 8 を金属層にて形成すると、金属層は C V D 等によって蒸着されることになる。蒸着された金属層は、ポリシリコン層とは異なり、機械的圧力によってめくれ易いからである。

【 0 0 8 1 】

(第 2 の実施形態)

上述の実施形態では、有機 E L 素子用のアクティブマトリクス基板の検査について説明したが、本発明は、その他の電気光学素子用の基板の検査にも適用可能である。本実施形態では、液晶素子用のアクティブマトリクス基板及び液晶表示パネルの検査について説明する。

40

【 0 0 8 2 】

本実施形態に係る液晶素子用のアクティブマトリクス基板の基本構成は、図 2 に示すアクティブマトリクス基板 2 0 と同様である。

【 0 0 8 3 】

図 1 5 は、液晶素子用のアクティブマトリクス基板のアクティブマトリクス領域の構成

50

と、その検査の概要について説明するための図である。

【0084】

液晶素子用のアクティブマトリクス基板400は、走査線(WL)と、データ線(DL)と、走査線とデータ線の交点に設けられた画素412と、を有する。画素412は、画素選択トランジスタM30と、保持容量C30とを備える。なお、アクティブマトリクス基板の段階では、液晶の封入が未だなされていないため、液晶素子(MC)は点線で示している。なお、画素412は、複数本の走査線の各々とデータ線の各々の交点に設けられるが、図15では、一つの画素だけを示している。

【0085】

アクティブマトリクス基板400に設けられる検査回路を、図15に走査線ドライバ500及びデータ線ドライバ600として示す。この走査線ドライバ400及びデータ線ドライバ600は、図4に示される走査線ドライバ200及びデータ線ドライバ300と同様の回路構成を有している。

【0086】

検査の手順は、第1の実施形態と同様である。すなわち、図15に示されるように、走査線ドライバ400には電源140が接続され、電流計142によって、走査線ドライバ400に供給される電流の総量を検出できるようになっている。また、データ線ドライバ600内のスイッチングトランジスタTrのドレインには、電源150(その発生電圧VDは、電源140の発生電圧VSよりも低く設定される)が接続される。また、スイッチングトランジスタTrを経由して流れる電流を電流計152により検出することができるようにしている。例えば全走査線(WL)を一括して駆動するとともに、全データ線に所定電圧を印加し、充電期間の終了後に、許容値を逸脱する電流が継続的に流れるか否かを判定することによって、走査線(WL)、データ線(DL)の各々のショート検査、ならびに保持容量(C30)のショートや欠陥の検査を同時に行うことができる。

【0087】

また、アクティブマトリクス基板400の検査後に製造される液晶表示パネルは、アクティブマトリクス基板400と、共通電極が形成された対向基板との間に液晶を注入して、図15に示す液晶セルMCを接続すればよい。この表示パネルの点灯検査も、全データ線に一括して同電位を供給し、走査線は1本ずつまたは全部同時に選択することで行なうことができる。

【0088】

(電気光学装置)

電気光学素子がマトリクス状に配列された電気光学装置は、各種の電子機器の表示装置としても利用される。本発明が適用される電子機器としては、例えば、可搬型のパーソナルコンピュータ、携帯電話機、携帯情報端末(PDA: Personal Digital Assistants)、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器などがある。

【0089】

この他、例えば有機発光ダイオード素子を光源(露光手段)として利用した画像形成装置を構成することもできる。この画像形成装置は像担持体の露光に限定されない。例えば、原稿などの読取対象に光を照射する照明装置として画像読取装置に採用される。この種の画像読取装置としては、スキャナ、複写機やファクシミリの読取部分、バーコードリーダー、あるいはQRコード(登録商標)のような二次元画像コードを読む二次元画像コードリーダーがある。

【図面の簡単な説明】

【0090】

【図1】本発明に係る電気光学装置の製造方法を示すフローチャートである。

【図2】本発明に係るアクティブマトリクス基板の検査方法を説明するための概略説明図

10

20

30

40

50

である。

【図3】図2に示される基板に形成される画素の具体的な回路構成を示す回路図である。

【図4】図2に示される検査回路及び検査装置を示すと共に、走査線のショート不良の検査時において流れる電流（良品に流れる電流）を示す図である。

【図5】図5(a)～図5(c)は各々、アクティブマトリクス基板の動作を基本的な不良（走査線ショート不良、データ線ショート不良ならびに保持容量のショート・本質的な欠陥）を検出する原理を説明するための図である。

【図6】走査線ショート検査の手順の概要を示すフロー図である。

【図7】走査線のショート不良の検査時において流れる電流（不良品に流れる電流）を示す図である。

10

【図8】データ線ショート検査の手順の概要を示すフロー図である。

【図9】データ線のショート不良の検査時において流れる電流（良品に流れる電流）を示す図である。

【図10】データ線のショート不良の検査時において流れる電流（不良品に流れる電流）を示す図である。

【図11】保持容量の欠陥およびショート検査の手順の概要を示すフロー図である。

【図12】保持容量のショート・本質的な欠陥の検査時において流れる電流（良品に流れる電流）の例を示す図である。

【図13】保持容量のショート・本質的な欠陥の検査時において流れる電流（不良品に流れる電流）の例を示す図である。

20

【図14】走査線、データ線および保持容量の同時検査の手順の概要を示すフロー図である。

【図15】液晶素子用のアクティブマトリクス基板の基本的な構成と、その検査の概要について説明するための図である。

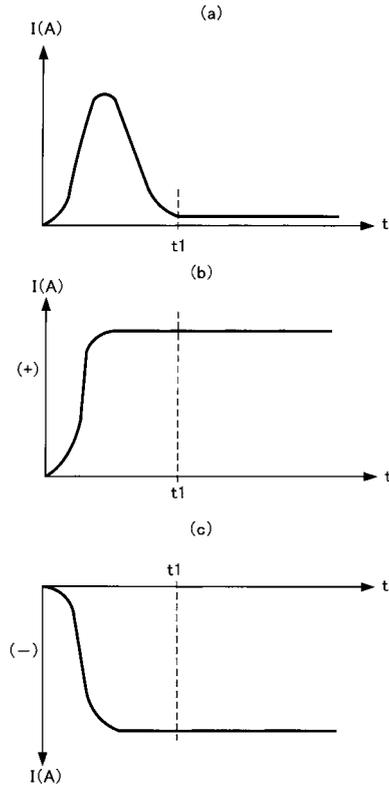
【符号の説明】

【0091】

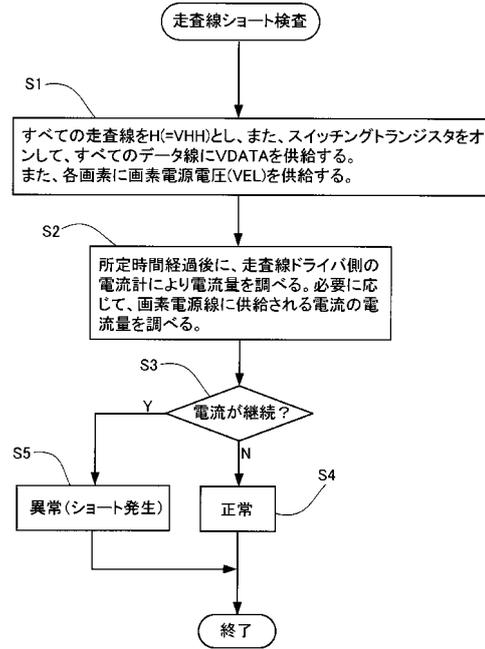
10 ステージ、12 位置決め部材、20 アクティブマトリクス基板、
 22 基板、24 アクティブマトリクス領域、24A 画素、26 実装端子、
 28 検査用配線、30 検査回路、32 検査端子、34 切断位置、
 100 検査装置、102 プロブ針、104 プロブカード、106 テスタ、
 110, 120, 130, 140, 150 電源、
 112, 122, 132, 142, 152 電流計、
 200, 400 走査線ドライバ、210 シフト回路、
 230 走査線駆動制御回路、240 レベルシフト回路、250 バッファ回路、
 300, 600 データ線ドライバ、WL 走査線、DL データ線

30

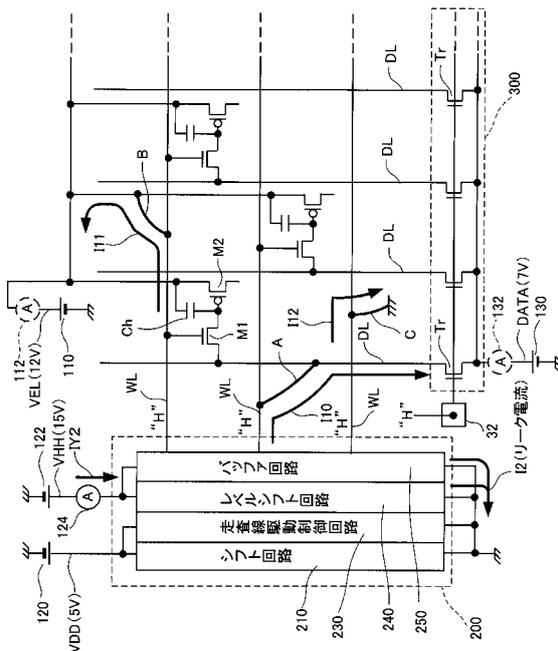
【図5】



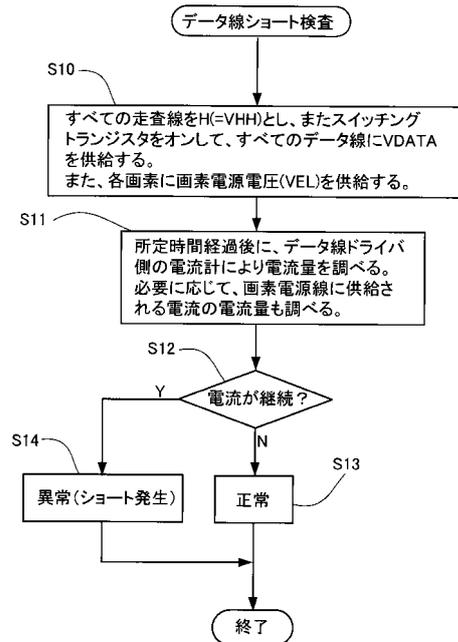
【図6】



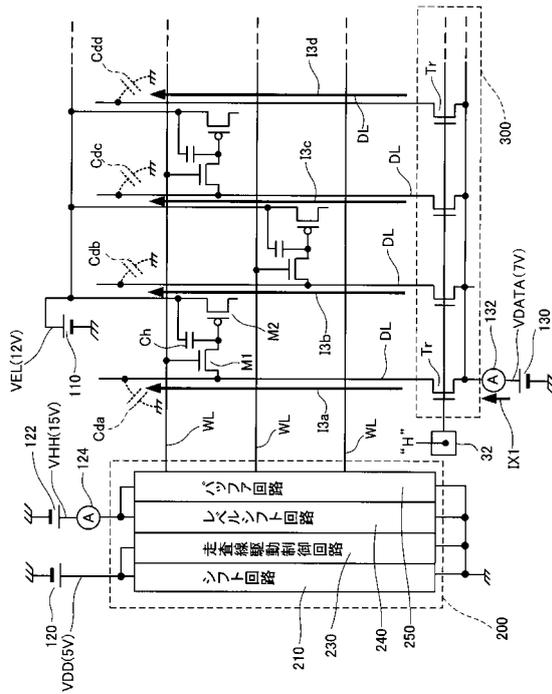
【図7】



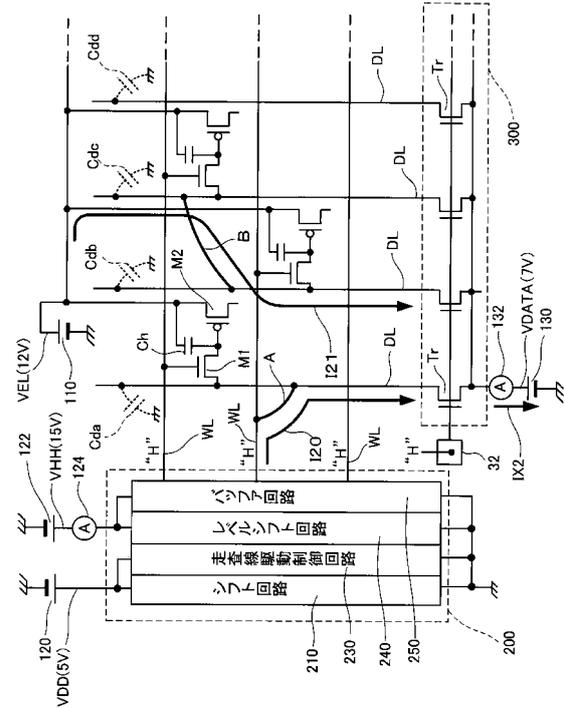
【図8】



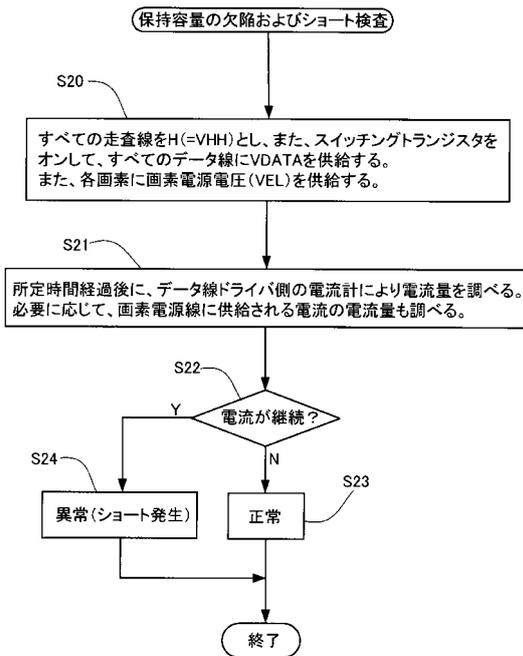
【図9】



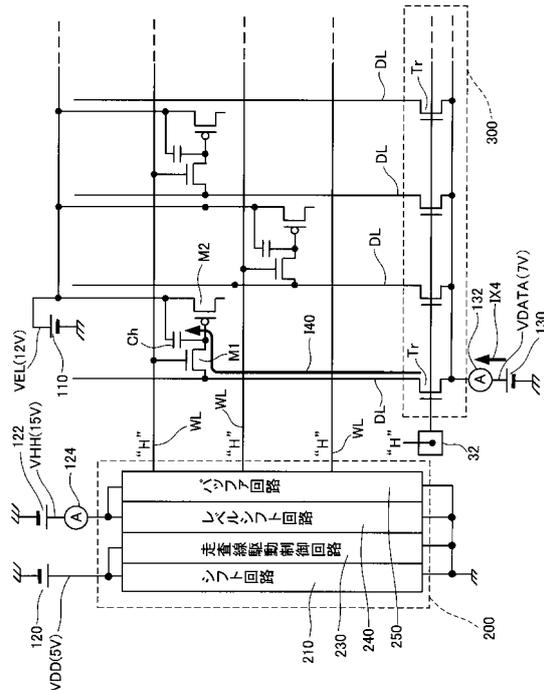
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.		F I		
<i>G 0 9 G</i>	<i>3/20</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 8 0 H</i>
<i>H 0 5 B</i>	<i>33/10</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i> <i>6 7 0 Q</i>
<i>H 0 5 B</i>	<i>33/12</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/10</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/12</i> <i>Z</i>
<i>G 0 1 M</i>	<i>11/00</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i> <i>A</i>
<i>G 0 9 F</i>	<i>9/00</i>	<i>(2006.01)</i>	<i>G 0 1 M</i>	<i>11/00</i> <i>T</i>
<i>G 0 1 R</i>	<i>31/00</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/00</i> <i>3 5 2</i>
			<i>G 0 1 R</i>	<i>31/00</i>

(72)発明者 北澤 幸行
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 田辺 正樹

(56)参考文献 特開2004-271847(JP,A)
特開2001-296507(JP,A)
特開2002-296620(JP,A)
特開2000-284246(JP,A)
特開2004-347749(JP,A)
特開2001-209022(JP,A)
特開2006-162701(JP,A)
特開2004-286962(JP,A)
特開平07-333275(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 - 1 / 1 4 1
G 0 9 F 9 / 0 0 - 9 / 4 6
G 0 9 G 3 / 0 0 - 3 / 0 8、3 / 1 2 - 3 / 2 6、3 / 3 0 - 3 / 3 8
H 0 1 L 2 7 / 3 2、5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8