

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3829778号
(P3829778)

(45) 発行日 平成18年10月4日(2006.10.4)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl.	F I	
G09F 9/30 (2006.01)	G09F 9/30	338
H01L 27/32 (2006.01)	G09F 9/30	365Z
G09G 3/20 (2006.01)	G09G 3/20	611A
G09G 3/30 (2006.01)	G09G 3/20	624B
H01L 51/50 (2006.01)	G09G 3/20	641D
請求項の数 32 (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2002-230292 (P2002-230292)	(73) 特許権者	000002369
(22) 出願日	平成14年8月7日(2002.8.7)		セイコーエプソン株式会社
(65) 公開番号	特開2004-70074 (P2004-70074A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成16年3月4日(2004.3.4)	(74) 代理人	100095728
審査請求日	平成17年1月11日(2005.1.11)		弁理士 上柳 雅誉
早期審査対象出願		(74) 代理人	100107076
			弁理士 藤網 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	宮澤 貴士
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	佐竹 政彦
			最終頁に続く

(54) 【発明の名称】 電子回路、電気光学装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

容量素子と、

第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、
第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、
第3のソース、第3のドレイン及び第3のゲートを備えた第3のトランジスタと、を含み、

前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、
前記容量素子が前記第2のゲートに接続され、
前記第3のトランジスタは、前記第2のドレインまたは前記ソースと前記第2のゲートとの間に接続され、

デジタルデータによって前記第2のトランジスタの導通状態が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態が設定され、

アナログデータによって前記第2のトランジスタの導通状態が設定される第2のモードにおいて、前記第3のトランジスタは前記第2のトランジスタの閾値電圧を補償する機能を有し、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されること、

を特徴とする電子回路。

【請求項2】

10

20

容量素子と、

第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、
第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、
第4のソース、第4のドレイン及び第4のゲートを備えた第4のトランジスタと、を含み、

前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、

前記容量素子が前記第2のゲートに接続され、

前記第4のソースまたは前記第4のドレインは、前記第2のゲートに接続され、

デジタルデータによって前記第2のトランジスタの導通状態が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態がオン状態又はオフ状態のいずれかに設定され、

10

アナログデータによって前記第2のトランジスタの導通状態が設定される第2のモードにおいて、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されること、

を特徴とする電子回路。

【請求項3】

請求項1又は2に記載の電子回路において、

前記アナログデータも前記第1のトランジスタを介して前記容量素子に供給されること

20

を特徴とする電子回路。

【請求項4】

請求項1乃至3のいずれかに記載の電子回路において、

さらに第5のトランジスタを、を含み、

前記第5のトランジスタは、電子素子と前記第2のトランジスタとの電気的接続を制御すること、

を特徴とする電子回路。

【請求項5】

請求項1乃至4のいずれかに記載の電子回路において、

前記アナログデータは、アナログデータ電圧として供給されること、

を特徴とする電子回路。

30

【請求項6】

請求項1乃至5のいずれかに記載の電子回路において、

前記デジタルデータは、デジタルデータ電圧として供給されること、

を特徴とする電子回路。

【請求項7】

請求項2に記載の電子回路において、

前記第4のトランジスタをオン状態とすることにより、前記第4のトランジスタを介して前記第2のゲートに所定電位が供給されること、

を特徴とする電子回路。

40

【請求項8】

請求項2に記載の電子回路において、

前記第4のトランジスタを介して前記容量素子に所定電位が供給されることにより、前記容量素子はリセットされること、

を特徴とする電子回路。

【請求項9】

請求項2に記載の電子回路において、

前記容量素子が前記デジタルデータとして保持した電荷は、前記第4のトランジスタがオン状態となることにより消去されること、

を特徴とする電子回路。

50

【請求項 10】

請求項 1 に記載の電子回路において、

前記第 3 のトランジスタがオン状態となることにより、前記第 2 のゲートの電位が、前記第 2 のトランジスタの前記閾値電圧に対応した電圧値となること、
を特徴とする電子回路。

【請求項 11】

請求項 1 に記載の電子回路において、

前記第 2 のモードにおいて、前記第 3 のトランジスタがオン状態なることにより、前記第 2 のゲート電位が、前記第 2 のトランジスタの閾値電圧に対応した電圧値となった後、前記アナログデータが前記容量素子に供給されること、
を特徴とする電子回路。

10

【請求項 12】

請求項 1 乃至 11 のいずれかに記載の電子回路と、

前記電子回路に対応して設けられた電気光学素子と、を備えた電気光学装置。

【請求項 13】

複数の走査線と、

複数のデータ線と、

複数の単位回路と、を含み、

前記複数の単位回路の各々は、

容量素子と、

第 1 のソース、第 1 のドレイン及び第 1 のゲートを備えた第 1 のトランジスタと、

第 2 のソース、第 2 のドレイン及び第 2 のゲートを備えた第 2 のトランジスタと、

第 3 のソース、第 3 のドレイン及び第 3 のゲートを備えた第 3 のトランジスタと、

前記第 2 のトランジスタの導通状態に応じて制御される電気光学素子と、を含み、

前記第 1 のソースまたは前記第 1 のドレインが前記容量素子に接続され、

前記容量素子が前記第 2 のゲートに接続され、

前記第 3 のトランジスタは、前記第 2 のドレインまたは前記ソースと前記第 2 のゲート

との間に接続され、

デジタルデータによって前記電気光学素子の輝度が設定される第 1 のモードにおいて、前記第 1 のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第 2 のトランジスタの前記導通状態が設定され、

30

アナログデータによって前記電気光学素子の輝度が設定される第 2 のモードにおいて、前記第 3 のトランジスタは前記第 2 のトランジスタの閾値電圧を補償する機能を有し、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第 2 のトランジスタの前記導通状態が設定されること、

を特徴とする電気光学装置。

【請求項 14】

複数の走査線と、

複数のデータ線と、

複数の単位回路と、を含み、

前記複数の単位回路の各々は、

容量素子と、

第 1 のソース、第 1 のドレイン及び第 1 のゲートを備えた第 1 のトランジスタと、

第 2 のソース、第 2 のドレイン及び第 2 のゲートを備えた第 2 のトランジスタと、

第 4 のソース、第 4 のドレイン及び第 4 のゲートを備えた第 4 のトランジスタと、

前記第 2 のトランジスタの導通状態に応じて制御される電気光学素子と、を含み、

前記第 1 のソースまたは前記第 1 のドレインが前記容量素子に接続され、

前記容量素子が前記第 2 のゲートに接続され、

前記第 4 のソースまたは前記第 4 のドレインは、前記第 2 のゲートに接続され、

デジタルデータによって前記電気光学素子の輝度が設定される第 1 のモードにおいて、

50

前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態がオン状態又はオフ状態のいずれかに設定され、

アナログデータによって前記電気光学素子の輝度が設定される第2のモードにおいて、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されること、

を特徴とする電気光学装置。

【請求項15】

請求項13又は14に記載の電気光学装置において、

前記第1のモードにおいて、前記デジタルデータは、前記複数のデータ線のうちの一つのデータ線に出力され、

前記第2のモードにおいて、前記アナログデータは、前記一つのデータ線に出力されること、

を特徴とする電気光学装置。

【請求項16】

請求項13又は14に記載の電気光学装置において、

前記複数のデータ線は、複数の第1のデータ線と、複数の第2のデータ線と、を含み、前記デジタルデータは、前記複数の第1のデータ線のうちの一つの第1のデータ線に出力され、

前記アナログデータは、前記複数の第2のデータ線のうちの一つの第2のデータ線に出力されること、

を特徴とする電気光学装置。

【請求項17】

請求項13乃至16のいずれかに記載の電気光学装置において、

さらに前記複数のデータ線を駆動するデータ線駆動回路を含み、

前記データ線駆動回路の少なくとも一部が、半導体集積回路によって構成されていること、

を特徴とする電気光学装置。

【請求項18】

請求項13乃至17のいずれかに記載の電気光学装置において、

前記アナログデータも前記第1のトランジスタを介して前記容量素子に供給されること

、

を特徴とする電気光学装置。

【請求項19】

請求項13乃至18のいずれかに記載の電気光学装置において、

前記複数の単位回路の各々は、前記電気光学素子と前記第2のトランジスタとの間に配置された第5のトランジスタをさらに含んでいること、

を特徴とする電気光学装置。

【請求項20】

請求項13乃至19のいずれかに記載の電気光学装置において、

前記電気光学素子はEL素子であること、

を特徴とする電気光学装置。

【請求項21】

請求項20に記載の電気光学装置において、

前記EL素子の発光層は、有機材料で構成されていること、

を特徴とする電気光学装置。

【請求項22】

請求項13乃至21のいずれかに記載の電気光学装置において、

前記第1のモード及び前記第2のモードのいずれにおいても、中間調が表現されること

、

10

20

30

40

50

を特徴とする電気光学装置。

【請求項 2 3】

請求項 1 3 乃至 2 2 のいずれかに記載の電気光学装置において、
前記第 1 のモードにおいて、時分割階調法が採用されること、
を特徴とする電気光学装置。

【請求項 2 4】

請求項 1 4 に記載の電気光学装置において、
前記第 2 のモードにおいて、前記第 2 のトランジスタの閾値電圧の補償が行われること
、
を特徴とする電気光学装置。

10

【請求項 2 5】

請求項 1 3 乃至 2 4 のいずれかに記載の電気光学装置において、
前記第 1 のモードにおける階調数は、前記第 2 のモードにおける階調数より少ないこと
、
を特徴とする電気光学装置。

【請求項 2 6】

請求項 1 3 乃至 2 5 のいずれかに記載の電気光学装置において、
前記アナログデータは、アナログデータ電圧として供給されること、
を特徴とする電気光学装置。

【請求項 2 7】

請求項 1 4 に記載の電気光学装置において、
前記第 4 のトランジスタをオン状態とすることにより、前記第 4 のトランジスタを介して前記第 2 のゲートに所定電位が供給されること、
を特徴とする電気光学装置。

20

【請求項 2 8】

請求項 1 3 又は 1 4 の記載の電気光学装置において、
前記第 1 のモードにおいて、前記電気光学素子の消灯動作が行われること、
を特徴とする電気光学装置。

【請求項 2 9】

請求項 1 3 乃至 2 8 のいずれかに記載の電気光学装置において、
前記デジタルデータは、デジタルデータ電圧として供給されること、
を特徴とする電気光学装置。

30

【請求項 3 0】

請求項 1 3 乃至 2 9 のいずれかに記載の電気光学装置を備えた電子機器。

【請求項 3 1】

請求項 3 0 に記載の電子機器において、
前記電気光学装置は、前記電子機器の表示部であり、
前記表示部の表示品位を優先する場合は前記第 2 のモードが用いられ、
前記表示部の低消費電力を優先する場合は前記第 1 のモードが用いられること、
を特徴とする電子機器。

40

【請求項 3 2】

請求項 3 0 又は 3 1 に記載の電子機器において、
動画表示を行う場合は、前記第 2 のモードに設定され、
静止画表示を行う場合は、前記第 1 のモードに設定されること、
を特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

50

【 0 0 0 2 】

【 従来 の 技 術 】

近年、電気光学装置としての表示装置は、有機EL素子を用いた電気光学装置が注目されている。この種の電気光学装置には、有機EL素子の中間調を制御する駆動方式としてアナログ階調法があり、そのアナログ階調法の一つとして有機EL素子に電流を供給する駆動用トランジスタのゲート・ソース間電圧を同トランジスタの閾値電圧にして駆動する方式がある。この方式は、輝度階調に応じてDA変換回路から供給される電圧（データ電圧）を画素回路の保持キャパシタに保持させる。保持キャパシタに充電されたデータ電圧は、薄膜トランジスタ（TFT）よりなる駆動トランジスタのゲート端子に供給される。駆動トランジスタはデータ電圧に応じた値の駆動電流を有機EL素子に供給する。

10

【 0 0 0 3 】

【 発 明 が 解 決 し よ う と す る 課 題 】

ところで、このアナログ階調で用いられるDA変換回路は、画素回路で採用されている薄膜トランジスタ（TFT）で構成することは精度の面で難しく、外付けのICドライバーを使用することが一般的であった。

【 0 0 0 4 】

しかしながら、外付けのICドライバーで構成されたDA変換回路は、表示パネル上で形成されるTFTドライバー回路に比べて消費電力が大きくなる問題があった。そこで、多値（アナログ値）を生成するDA変換回路を必要としないことから消費電力を低減を図ることができるデジタル階調法が考えられる。しかしながら、デジタル階調法は表示品位がアナログ階調法に比べて劣るといった問題があった。

20

【 0 0 0 5 】

本発明は、上記問題点を解消するためになされたものであって、その目的は低消費電力と十分な表示品位を両立することができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。

【 0 0 0 6 】

【 課 題 を 解 決 す る た め の 手 段 】

本発明に係る電子回路は、容量素子と、第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、第3のソース、第3のドレイン及び第3のゲートを備えた第3のトランジスタと、を含み、前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、前記容量素子が前記第2のゲートに接続され、前記第3のトランジスタは、前記第2のドレインまたは前記ソースと前記第2のゲートとの間に接続され、デジタルデータによって前記第2のトランジスタの導通状態が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態が設定され、アナログデータによって前記第2のトランジスタの導通状態が設定される第2のモードにおいて、前記第3のトランジスタは前記第2のトランジスタの閾値電圧を補償する機能を有し、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されることを特徴とする。

30

40

本発明に係る他の電子回路は、容量素子と、第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、第4のソース、第4のドレイン及び第4のゲートを備えた第4のトランジスタと、を含み、前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、前記容量素子が前記第2のゲートに接続され、前記第4のソースまたは前記第4のドレインは、前記第2のゲートに接続され、デジタルデータによって前記第2のトランジスタの導通状態が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態がオン状態又はオフ状態のいずれかに設定され、アナログデータによって前記第2のトランジスタの導通状態が設定される第2のモード

50

において、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されることを特徴とする。

上記の電子回路において、前記アナログデータも前記第1のトランジスタを介して前記容量素子に供給されることが好ましい。

上記の電子回路において、さらに第5のトランジスタを、を含み、前記第5のトランジスタは、電子素子と前記第2のトランジスタとの電気的接続を制御してもよい。

上記の電子回路において、前記アナログデータは、アナログデータ電圧として供給されてもよい。

上記の電子回路において、前記デジタルデータは、デジタルデータ電圧として供給されてもよい。

10

上記の電子回路において、前記第4のトランジスタをオン状態とすることにより、前記第4のトランジスタを介して前記第2のゲートに所定電位が供給されてもよい。

上記の電子回路において、前記第4のトランジスタを介して前記容量素子に所定電位が供給されることにより、前記容量素子はリセットされてもよい。

上記の電子回路において、前記容量素子が前記デジタルデータとして保持した電荷は、前記第4のトランジスタがオン状態となることにより消去されてもよい。

上記の電子回路において、前記第3のトランジスタがオン状態となることにより、前記第2のゲートの電位が、前記第2のトランジスタの前記閾値電圧に対応した電圧値となってもよい。

上記の電子回路において、前記第2のモードにおいて、前記第3のトランジスタがオン状態なることにより、前記第2のゲート電位が、前記第2のトランジスタの閾値電圧に対応した電圧値となった後、前記アナログデータが前記容量素子に供給されるようにしてもよい。

20

本発明における他の電子回路は、走査線が選択されたとき導通する第1のトランジスタと、前記第1のトランジスタを介してデータ線から供給されるデータ信号に応じた電荷量を保持する容量素子と、前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相対した電流量を電子素子に供給する第2のトランジスタとを含み、前記容量素子は、前記データ信号としての2値のデータ電圧及び多値のデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能した。

【0007】

これによれば、2値のデータ電圧と多値のデータ電圧を使い分けることによって、例えば、デジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

30

【0008】

この電子回路において、2値のデータ電圧と多値のデータ電圧が同一の第1のスイッチングトランジスタを介して供給される。

これによれば、例えば、前記デジタル階調及びアナログ階調を行う場合にも、第1のスイッチングトランジスタを介してそれぞれデジタル階調のための2値のデータ電圧及びアナログ階調のための多値のデータ電圧が容量素子にそれぞれ供給される。

40

【0009】

この電子回路において、容量素子に保持された電荷量をリセットする第3のトランジスタを備えた。

これによれば、容量素子に保持された2値のデータ電圧は第3のトランジスタによってリセットされ、容量素子は次の新たな2値のデータ電圧の供給を待つ。

【0010】

この電子回路において、多値のデータ電圧に基づいた導通状態で導通し、前記第2のトランジスタの閾値電圧を補償するための第4のトランジスタを前記第2のトランジスタのゲート・ドレイン間に接続した。

50

【0011】

これによれば、第4のトランジスタによって、第2のトランジスタの閾値電圧の製造ばらつきが補償され、第2のトランジスタは、閾値電圧に左右されることなく多値のデータ電圧に応じた導通状態になる。

【0012】

この電子回路において、多値のデータ電圧に基づいた導通状態で前記電子素子の駆動タイミングを決定する第5のトランジスタを備えた。

これによれば、第5のトランジスタによって第2のトランジスタの多値のデータ電圧に基づく導通状態に応じた電流量を電子素子に供給し駆動を開始される。

【0013】

この電子回路において、電子素子はEL素子である。

これによれば、EL素子は第2のトランジスタの導通状態に相対して発光する。

【0014】

この電子回路において、EL素子は、発光層が有機材料で構成されている。

これによれば、EL素子は、発光層が有機材料で形成された有機EL素子である。

【0015】

本発明に係る電気光学装置は、上記の電子回路と、前記電子回路に対応して設けられた電気光学素子と、を備えている。

本発明に係る他の電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路と、を含み、前記複数の単位回路の各々は、容量素子と、第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、第3のソース、第3のドレイン及び第3のゲートを備えた第3のトランジスタと、前記第2のトランジスタの導通状態に応じて制御される電気光学素子と、を含み、前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、前記容量素子が前記第2のゲートに接続され、前記第3のトランジスタは、前記第2のドレインまたは前記ソースと前記第2のゲートとの間に接続され、デジタルデータによって前記電気光学素子の輝度が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの前記導通状態が設定され、アナログデータによって前記電気光学素子の輝度が設定される第2のモードにおいて、前記第3のトランジスタは前記第2のトランジスタの閾値電圧を補償する機能を有し、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されることを特徴とする。

本発明に係る他の電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路と、を含み、前記複数の単位回路の各々は、容量素子と、第1のソース、第1のドレイン及び第1のゲートを備えた第1のトランジスタと、第2のソース、第2のドレイン及び第2のゲートを備えた第2のトランジスタと、第4のソース、第4のドレイン及び第3のゲートを備えた第4のトランジスタと、前記第2のトランジスタの導通状態に応じて制御される電気光学素子と、を含み、前記第1のソースまたは前記第1のドレインが前記容量素子に接続され、前記容量素子が前記第2のゲートに接続され、前記第4のソースまたは前記第4のドレインは、前記第2のゲートに接続され、デジタルデータによって前記電気光学素子の輝度が設定される第1のモードにおいて、前記第1のトランジスタを介して供給された前記デジタルデータに応じた電荷量を前記容量素子が保持することにより前記第2のトランジスタの導通状態がオン状態又はオフ状態のいずれかに設定され、アナログデータによって前記電気光学素子の輝度が設定される第2のモードにおいて、前記容量素子が前記アナログデータに応じた電荷量を保持することにより前記第2のトランジスタの前記導通状態が設定されることを特徴とする。

上記の電気光学装置において、前記第1のモードにおいて、前記デジタルデータは、前記複数のデータ線のうちの一つのデータ線に出力され、前記第2のモードにおいて、前記アナログデータは、前記一つのデータ線に出力されるようにしてもよい。

10

20

30

40

50

上記の電気光学装置において、前記複数のデータ線は、複数の第1のデータ線と、複数の第2のデータ線と、を含み、前記デジタルデータは、前記複数の第1のデータ線のうちの第1のデータ線に出力され、前記アナログデータは、前記複数の第2のデータ線のうちの第2のデータ線に出力されてもよい。

上記の電気光学装置において、さらに前記複数のデータ線を駆動するデータ線駆動回路を含み、前記データ線駆動回路の少なくとも一部が、半導体集積回路によって構成されようにしてもよい。

上記の電気光学装置において、前記アナログデータも前記第1のトランジスタを介して前記容量素子に供給されることが好ましい。

上記の電気光学装置において、前記複数の単位回路の各々は、前記電気光学素子と前記第2のトランジスタとの間に接続された第5のトランジスタをさらに含んでいてもよい。

上記の電気光学装置において、前記電気光学素子はEL素子であってもよい。

上記の電気光学装置において、前記EL素子の発光層は、有機材料で構成されていてもよい。

上記の電気光学装置において、前記第1のモード及び前記第2のモードのいずれにおいても、中間調が表現されるようにしてもよい。

上記の電気光学装置において、前記第1のモードにおいて、時分割階調法が採用されるようにしてもよい。

上記の電気光学装置において、前記第2のモードにおいて、前記第2のトランジスタの閾値電圧の補償が行われることが好ましい。

上記の電気光学装置において、前記第1のモードにおける階調数は、前記第2のモードにおける階調数より少なくしてもよい。

上記の電気光学装置において、前記アナログデータは、アナログデータ電圧として供給されるようにしてもよい。

上記の電気光学装置において、前記デジタルデータは、デジタルデータ電圧として供給されるようにしてもよい。

上記の電気光学装置において、前記第4のトランジスタをオン状態とすることにより、前記第4のトランジスタを介して前記第2のゲートに所定電位が供給されるようにしてもよい。

上記の電気光学装置において、前記第1のモードにおいて、前記電気光学素子の消灯動作が行われるようにしてもよい。

上記の電気光学装置を電子機器の構成要素として利用してもよい。

上記の電子機器において、前記電気光学装置は、前記電子機器の表示部であり、前記表示部の表示品位を優先する場合は前記第2のモードが用いられ、前記表示部の低消費電力を優先する場合は前記第1のモードが用いられるようにしてもよい。

上記の電子機器において、動画表示を行う場合は、前記第2のモードに設定され、静止画表示を行う場合は、前記第1のモードに設定されるようにしてもよい。

本発明における電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、前記複数の単位回路の各々に前記複数のデータ線を介してデータ信号として2値のデータ電圧を出力する第1のデータ電圧出力回路と、前記複数の単位回路の各々に前記複数のデータ線を介して多値のデータ電圧を出力するための第2のデータ電圧出力回路とを備えている。

【0016】

これによれば、第1のデータ電圧出力回路から2値のデータ電圧を入力すればデジタル階調が、第2のデータ電圧出力回路から多値のデータ電圧を入力すればアナログ階調が行うことができる。

【0017】

この電気光学装置において、2値のデータ電圧と多値のデータ電圧とが同一のデータ線を介して供給される。

これによれば、デジタル階調及びアナログ階調を行う場合、いずれの場合にも同一のデー

10

20

30

40

50

タ線を介して2値のデータ電圧と多値のデータ電圧とが供給される。

【0018】

この電気光学装置において、前記2値のデータ電圧と前記多値のデータ電圧はそれぞれ別々のデータ線を介して供給される。

これによれば、デジタル階調を行う場合とアナログ階調を行う場合とで、それぞれ異なるデータ線を介して単位回路に2値のデータ電圧と多値のデータ電圧とが供給される。

【0019】

本発明における電気光学装置は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路を含み、画像データに基づいて前記電気光学素子をデジタル階調するための2値のデータ電圧又は前記電気光学素子をアナログ階調するための多値のデータ電圧のいずれかを生成し出力する制御手段を設けた。

10

【0020】

これによれば、制御手段は、電気光学素子に対してデジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0021】

この電気光学装置において、単位回路は、前記走査線が選択されたとき導通する第1のトランジスタと、前記第1のトランジスタを介して前記データ線から供給されるデジタル階調のための2値のデータ電圧又はアナログ階調のための多値のデータ電圧を電荷量として保持する容量素子と、前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相対した電流量を電気光学素子に供給する第2のトランジスタとからなる。

20

【0022】

これによれば、容量素子はデジタル階調のときは2値のデータ電圧を保持し、第2のトランジスタはその保持した2値のデータ電圧に基づいて導通・非導通になる。容量素子はアナログ階調のときは多値のデータ電圧を保持し、第2のトランジスタはその保持した多値のデータ電圧に相対した導通状態になる。

【0023】

この電気光学装置において、単位回路は前記容量素子に保持された電荷量をリセットする第3のトランジスタを備えた。

30

これによれば、容量素子に保持された2値のデータ電圧は第3のトランジスタによってリセットされ、容量素子は次の新たな2値のデータ電圧の供給を待つ。

【0024】

この電気光学装置において、単位回路は前記アナログ階調時に導通し、前記第2のトランジスタの閾値電圧を補償するための第4のトランジスタを前記第2のトランジスタのゲート・ドレイン間に接続した。

【0025】

これによれば、第4のトランジスタによって、第2のトランジスタの閾値電圧の製造ばらつきが補償され、第2のトランジスタは、閾値電圧に左右されることなく多値のデータ電圧に応じた導通状態になる。

40

【0026】

この電気光学装置において、単位回路が前記アナログ階調時に前記電気光学素子の駆動タイミングを決定する第5のトランジスタを備えた。

これによれば、第5のトランジスタによって第2のトランジスタの多値のデータ電圧に基づく導通状態に相対した電流量を電気光学素子に供給し発光を開始される。

【0027】

この電気光学装置において、電気光学素子はEL素子である。

これによれば、EL素子は第2のトランジスタの導通状態に相対して発光する。

50

【 0 0 2 8 】

この電気光学装置において、E L素子は、発光層が有機材料で構成されている。
これによれば、E L素子は発光層が有機材料で形成された有機E L素子である。

【 0 0 2 9 】

この電気光学装置において、前記制御手段は、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【 0 0 3 0 】

これによれば、制御手段によって、電気光学素子に対して低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調を表現することができる。

10

【 0 0 3 1 】

この電気光学装置において、前記制御手段は、画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【 0 0 3 2 】

これによれば、制御手段によって、表示品位を必要としない場合には電気光学素子に対してデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。

20

【 0 0 3 3 】

この電気光学装置において、制御手段は、電気光学素子をデジタル階調するための2値のデータ電圧を生成するための2値データ電圧生成回路と、電気光学素子をアナログ階調するための多値のデータ電圧を生成する多値データ電圧生成回路とを備えた。

【 0 0 3 4 】

これによれば、2値データ電圧生成回路にてデジタル階調するための2値のデータ電圧が生成され、多値データ電圧生成回路にてアナログ階調するための多値のデータ電圧が生成される。

【 0 0 3 5 】

この電気光学装置において、制御手段と前記各データ線との間には、2値データ電圧生成回路からの2値のデータ電圧を出力する第1の出力回路と、多値データ電圧生成回路からの多値のデータ電圧を出力する第2の出力回路とを備えるとともに、その第1の出力回路からの2値のデータ電圧と第2の出力回路からの多値のデータ電圧のいずれかを一方を前記データ線に出力する切り替え回路を備えた。

30

【 0 0 3 6 】

これによれば、切り替え回路によってデジタル階調のときには第1の出力回路から2値のデータ電圧が、アナログ階調のときには第2の出力回路から多値のデータ電圧がデータ線に出力される。

【 0 0 3 7 】

この電気光学装置において、デジタル階調は、時分割階調である。

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置において、時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への前記電流供給を遮断する階調方法である。

40

【 0 0 3 8 】

これによれば、電気光学素子に対して、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込まれると同時に前記2値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調

50

が制御される。

【0039】

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0040】

これによれば、電気光学素子は低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調が制御される。

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0041】

これによれば、電気光学素子は表示品位を必要としない場合にはデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調が制御される。

この電気光学装置の駆動方法において、デジタル階調は、時分割階調である。

【0042】

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置の駆動方法において、前記時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への前記電流供給を遮断する階調方法である。

【0043】

これによれば、電気光学素子に対して、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込まれると同時に前記2値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調が制御される。

【0044】

本発明における電子機器は、請求項8～22のいずれか1つに記載の電気光学装置を実装した。

これによれば、低消費電力と十分な表示品位を両立することができる。

【0045】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図3に従って説明する。

【0046】

図1は、電気光学装置としての有機ELディスプレイ10の電氣的構成を示すブロック回路図を示す。図1において、有機ELディスプレイ10は、中間調をデジタル階調及びアナログ階調のいずれの方法でも表現できるディスプレイである。詳述すると、本実施形態では、デジタル階調は時分割階調であって、その時分割階調法のなかの、順次選択される一つの走査線に対応した画素回路に前記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に

10

20

30

40

50

前記電気光学素子への前記電流供給を遮断する階調方法で64階調を表現するようになっている。又、アナログ階調においては、電気光学素子に多値のデータ電圧に応じた電流レベルの電流を供給する駆動用トランジスタのゲート・ソース間電圧を同トランジスタの閾値電圧にして駆動する方式で階調を表現するようになっている。

【0047】

因みに、この時分割階調は、図3に示すように、1画像を表示するための走査(1フレーム)を、6つに分割しその分割されたフレームをサブフレームSF1~SF6としている。そして、各サブフレームSF1~SF6において、各走査線を順番に選択すると同時にその選択れた走査線上の有機EL素子を点灯させ一定時間(発光時間)後に個々に順番に消灯させるようにした方式である。

10

【0048】

各サブフレームSF1~SF6はそれぞれ発光時間(発光期間)TL1~TL6からなり、これら発光時間(発光期間)TL1~TL6は以下のように設定している。

$$32 TL1 = 16 TL2 = 8 TL3 = 4 TL4 = 2 TL5 = TL6$$

つまり、各発光時間TL1~TL6は、

$$TL1 : TL2 : TL3 : TL4 : TL5 : TL6 = 1 : 2 : 4 : 8 : 16 : 32$$

となる時間比を設定している。

【0049】

そして、「7」の輝度階調を得る場合には、第1~第3サブフレームSF1~SF3の時に、画素回路を駆動させて有機EL素子を発光させ、第4~第6サブフレームSF4~SF6の時に、画素回路を停止させて有機EL素子を消灯させる。

20

【0050】

又、「32」の輝度階調を得る場合には、第6サブフレームSF6の時に、画素回路を駆動させて有機EL素子を発光させ、第1~第5サブフレームSF1~SF5の時に、画素回路を停止させて有機EL素子を消灯させる。

【0051】

さらに、「44」の輝度階調を得る場合には、第3、第4及び第6サブフレームSF3, SF4, SF6の時に、画素回路を駆動させて有機EL素子を発光させ、第1、第2及び第5サブフレームSF1, SF2, SF5の時に、画素回路を停止させて有機EL素子を消灯させる。

30

【0052】

このようにして、1フレーム毎に各サブフレームSF1~SF6を適宜選択することで、中間調を得ることができる。

図1において、有機ELディスプレイ10は、表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14を備えている。

【0053】

有機ELディスプレイ10の表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、走査線駆動回路12、データ線駆動回路13及び制御回路14が1チップの半導体集積回路装置によって構成されていてもよい。また、表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部11に、データ線駆動回路13と走査線駆動回路12とが一体的に形成されていてもよい。走査線駆動回路12、データ線駆動回路13及び制御回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

40

【0054】

表示パネル部11は、図1に示すように、マトリクス状に配列された複数の電子回路又は単位回路としての画素回路20を有している。つまり、各画素回路20は、その列方向に沿ってのびる複数(m本)のデータ線X1~Xm(mは整数)と、行方向に沿ってのびる

50

複数（ n 本）の走査線 $Y_1 \sim Y_n$ （ n は整数）との交差部に対応して配置されている。そして、各画素回路 20 は、対応する各データ線 $X_1 \sim X_m$ と各走査線 $Y_1 \sim Y_n$ との間にそれぞれ接続されることにより、マトリクス状に配列されている。各画素回路 20 には電子素子又は電気光学素子として発光層が有機材料で構成された有機 EL 素子 21 を有している。尚、画素回路 20 内に形成れる後記するトランジスタは、通常は薄膜トランジスタ（ TFT ）で構成している。

【0055】

図2は、画素回路 20 の内部回路構成を説明するための電気回路図を示す。尚、説明の便宜上、 m 番目のデータ線 X_m と n 番目の走査線 Y_n との点に配置され、両データ線 X_m と走査線 Y_n との間に接続された画素回路 20 について説明する。

10

【0056】

画素回路 20 は、駆動用トランジスタ Q_1 、スイッチング用トランジスタ Q_2 、リセット用トランジスタ Q_3 、補償用トランジスタ Q_4 、開始用トランジスタ Q_5 、容量素子としての保持キャパシタ C_1 及びコンデンサ C_2 を備えている。第1のトランジスタとしてのスイッチング用トランジスタ Q_2 、第3のトランジスタとしてのリセット用トランジスタ Q_3 、第4のトランジスタとしての補償用トランジスタ Q_4 及び第5のトランジスタとしての開始用トランジスタ Q_5 は N チャンネル FET よりなる構成されている。第2のトランジスタとしての駆動用トランジスタ Q_1 は P チャンネル FET よりなる構成されている。

【0057】

駆動用トランジスタ Q_1 は、ドレインが開始用トランジスタ Q_5 を介して前記有機 EL 素子 21 の陽極に接続され、ソースが電源電圧 V_{OEL} が供給される電源線 L_1 に接続されている。駆動用トランジスタ Q_1 のゲートと電源線 L_1 との間には、保持キャパシタ C_1 が接続されている。又、駆動用トランジスタ Q_1 のゲートとドレインとの間には、補償用トランジスタ Q_4 が接続されている。補償用トランジスタ Q_4 のゲートは、走査線 Y_n を構成する第2の副走査線 Y_{n2} に接続され、その第2の副走査線 Y_{n2} から第2走査信号 SC_{n2} が入力される。

20

【0058】

さらに、駆動用トランジスタ Q_1 のゲートは、コンデンサ C_2 及びスイッチング用トランジスタ Q_2 を介して前記データ線 X_m に接続されている。スイッチング用トランジスタ Q_2 のゲートは、走査線 Y_n を構成する第1の副走査線 Y_{n1} に接続され、その第1の副走査線 Y_{n1} から第1走査信号 SC_{n1} が入力される。リセット用トランジスタ Q_3 は、前記保持キャパシタ C_1 に対して並列に接続されている。リセット用トランジスタ Q_3 のゲートは、前記走査線 Y_n を構成する第4の副走査線 Y_{n4} に接続され、その第4の副走査線 Y_{n4} からリセット信号 S_{RESTn} が入力される。開始用トランジスタ Q_5 のゲートは、前記走査線 Y_n を構成する第3の副走査線 Y_{n3} に接続され、その第3の副走査線 Y_{n3} から第3走査信号 SC_{n3} が入力される。

30

【0059】

そして、このように構成された画素回路 20 において、順次選択される一つの走査線に対応した画素回路 20 に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルを有する電流を有機 EL 素子 21 に供給開始し、所定時間後に有機 EL 素子 21 への前記電流供給を遮断して行う時分割階調が以下のように行われる。図4に示すように、各サブフレーム $SF_1 \sim SF_6$ において、第2走査信号 SC_{n2} 及び第3走査信号 SC_{n3} に基づいて補償用トランジスタ Q_4 が非導通（オフ）状態及び開始用トランジスタ Q_5 が導通（オン）状態に保持される。そして、各サブフレーム $SF_1 \sim SF_6$ において、スイッチング用トランジスタ Q_2 とリセット用トランジスタ Q_3 とを所定のタイミングでオン・オフ制御する第1走査信号 SC_{n1} 及びリセット信号 S_{RESTn} を出力することによってデジタル階調による中間調を表現するようになっている。

40

【0060】

つまり、補償用トランジスタ Q_4 が非導通状態及び開始用トランジスタ Q_5 が導通状態に保持される状態において、第1の副走査線 Y_{n1} に走査信号 SC_{n1} が出力されると、ス

50

スイッチング用トランジスタQ2はオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線Xmから出力されている2値、すなわち、「Lレベル」又は「Hレベル」のいずれかの値となるデジタルデータVDGDATA_mに応じた電荷量が前記保持キャパシタC1に蓄積される。この「Lレベル」又は「Hレベル」からなるデジタルデータVDGDATA_mは、前記駆動用トランジスタQ1をオン状態又はオフ状態のいずれかにするためのデータである。尚、デジタルデータVDGDATA_mが保持された保持キャパシタC1は、走査信号SC_{n1}が消失しスイッチング用トランジスタQ2がオフ状態になっても先に蓄積したデジタルデータVDGDATA_mを保持する。

【0061】

そして、前記駆動用トランジスタQ1は、蓄積されるデジタルデータVDGDATA_mの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタQ1がオン状態のとき、有機EL素子21は駆動電流が供給され発光する。反対に、駆動用トランジスタQ1がオフ状態のとき、有機EL素子21は駆動電流の供給が遮断され発光を停止する。

10

【0062】

次に、第4の副走査線Y_{n4}にリセット信号S_{RESTn}が出力されると、リセット用トランジスタQ3がオフ状態からオン状態となる。リセット用トランジスタQ3がオン状態となると、電源線L1から電源電圧V_{OEL}が同リセット用トランジスタQ3を介して前記保持キャパシタC1に印加され先のデジタルデータVDGDATA_mは消去されるとともに、駆動用トランジスタQ1のゲートは電源電圧V_{OEL}の電位となる。つまり、保持キャパシタC1

20

はリセットされる。

【0063】

保持キャパシタC1がリセットされると、駆動用トランジスタQ1はオフ状態となり、先のデジタルデータVDGDATA_mに基づいて発光していた有機EL素子21がその発光が停止する。そして、次に実行される発光動作を待つ。つまり、時分割階調が行われる時、各画素回路20の有機EL素子21の発光期間T_{L1}~T_{L6}は、走査信号SC_{n1}が出力されてからリセット信号S_{RESTn}が出力されるまでの間が発光期間となる。

【0064】

一方、画素回路20において、駆動用トランジスタQ1のゲート・ソース間電圧を同トランジスタQ1の閾値電圧にして駆動する方式のアナログ階調が以下のように行われる。図5に示すように、リセット信号S_{RESTn}に基づいてリセット用トランジスタQ3が非導通状態に保持される。そして、スイッチング用トランジスタQ2、補償用トランジスタQ4、開始用トランジスタQ5とを所定のタイミングでオン・オフ制御する第1~第3走査信号SC_{n1}~SC_{n3}を出力することによってアナログ階調による中間調を表現するようになっている。

30

【0065】

つまり、リセット用トランジスタQ3が非導通状態に保持される状態において、第1の副走査線Y_{n1}にHレベルの走査信号SC_{n1}が出力されると、スイッチング用トランジスタQ2はオン状態となる。この時、この時データ線X_mにかかっているバイアス電圧(=V_{OEL})が、スイッチング用トランジスタQ2を介してコンデンサC2に印加される。さらに、前のサイクル周期(Hレベルの走査信号SC_{n1}が出力前)において、第3の副走査線Y_{n3}に出力されているHレベルの走査信号SC_{n3}によって、開始用トランジスタQ5はオン状態にあるので、有機EL素子21は電流が流れる状態にある。その結果、駆動用トランジスタQ1のドレイン電位は、有機EL素子21の接地電位に対して十分に近い状態にある。従って、駆動用トランジスタQ1のドレイン電位は、十分マイナス方向に振れており、駆動用トランジスタQ1はオープン状態を確保される。

40

【0066】

続いて、第2の副走査線Y_{n2}に出力されている走査信号SC_{n2}がLレベルからHレベルになると、補償用トランジスタQ4はオン状態となる。又、第3の副走査線Y_{n3}に走査信号SC_{n3}が消失して(Lレベルになって)、開始用トランジスタQ5はオフ状態と

50

なる。

【 0 0 6 7 】

補償用トランジスタQ 4のオン及び開始用トランジスタQ 5のオフによって、駆動用トランジスタQ 1のゲートに、電源電圧V OELの電流が回りこみ、同ゲートの電位を押し上げる。そして、駆動用トランジスタQ 1は、ゲートにかかる電圧が、電源電圧V OELから同駆動用トランジスタQ 1の閾値電圧V t hを引いた電圧V g (= V OEL - V t h)まで押し上げられると、オフする。

【 0 0 6 8 】

次に、第2の副走査線Y n 2の走査信号S C n 2がLレベルになると、補償用トランジスタQ 4はオフ状態となる。この時点で、駆動用トランジスタQ 1は、ゲートにかかる電圧V g (= V OEL - V t h)が保持される。

10

【 0 0 6 9 】

駆動用トランジスタQ 1のゲートに電圧V g (= V OEL - V t h)が保持されると、データ線X mからアナログデータ電圧V ANDATAm (< V OEL)が供給される。このとき、駆動用トランジスタQ 1及び補償用トランジスタQ 4はオフ状態となっているため、コンデンサC 2の駆動用トランジスタQ 1のゲート側はフローティング状態にある。その結果、コンデンサC 2と保持キャパシタC 1の容量カップリングによって、駆動用トランジスタQ 1のゲートに電圧V gは、アナログデータ電圧V ANDATAmに応じて下がる。この状態で、第1の副走査線Y n 1の走査信号S C n 1がLレベルになってスイッチング用トランジスタQ 2がオフする。スイッチング用トランジスタQ 2のオフによって、駆動用トランジスタQ 1のゲートに電圧V gは、アナログデータ電圧V ANDATAmに応じて下がった電位に保持される。

20

【 0 0 7 0 】

続いて、第3の副走査線Y n 3からHレベルの走査信号S C n 3が出力されて、開始用トランジスタQ 5がオン状態する。開始用トランジスタQ 5のオンによって、駆動用トランジスタQ 1は、このアナログデータ電圧V ANDATAmの値に応じた導通状態となり、そのアナログデータ電圧V ANDATAmに応じた駆動電流が有機E L素子2 1に供給される。有機E L素子2 1はアナログデータ電圧V ANDATAmに応じた輝度で発光する。

【 0 0 7 1 】

走査線駆動回路1 2は、前記複数の走査線Y 1 ~ Y nの中の1本を選択、即ち走査信号を出力してその選択された走査線に接続された画素回路2 0群を駆動するための回路である。走査線駆動回路1 2は、制御回路1 4からの各種信号に基づいて各走査線Y 1 ~ Y nに対して所定のタイミングで走査信号S C 1 ~ S C nをそれぞれ出力する。

30

【 0 0 7 2 】

詳述すると、前記したように、順次選択される一つの走査線に対応した画素回路2 0に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルの電流を有機E L素子2 1に供給開始し、所定時間後に有機E L素子2 1への電流供給を遮断する階調方法において、1フレームを構成する各サブフレームS F 1 ~ S F 6において、各走査線Y 1 ~ Y n上の画素回路群を順次駆動させる必要がある。そのため、走査線駆動回路1 2は、1フレームの画像を表示するために、各サブフレームS F 1 ~ S F 6の期間において、各走査線Y 1 ~ Y nを順番に選択するように走査信号S C 1 ~ S C nを順番に生成し出力するようになっている。また、走査線駆動回路1 2は、各走査線Y 1 ~ Y nに対して対応する走査信号S C 1 ~ S C nをそれぞれ出力し所定時間(発光時間)経過すると、その対応する走査線Y 1 ~ Y nにリセット信号S REST 1 ~ S REST nをそれぞれ出力するようになっている。

40

【 0 0 7 3 】

つまり、各サブフレームS F 1 ~ S F 6において、それぞれ発光時間T L1 ~ T L6だけ発光させるように設定している。

一方、走査線駆動回路1 2は、前記したアナログ階調において、前記したように制御回路1 4からの各種信号に基づいて各走査線Y 1 ~ Y nに対して所定のタイミングで走査信号

50

SC1～SCnをそれぞれ出力する。

【0074】

データ線駆動回路13は、前記各データ線X1～Xm毎に、図2に示すように第1のデータ電圧出力回路としてのデジタルデータ電圧出力回路13aと第2のデータ電圧出力回路としてのアナログデータ電圧出力回路13bを備えている。デジタルデータ電圧出力回路13aは、制御回路14からの前記デジタルデータVDGDATA1～VDGDATAmを入力し、このデジタルデータVDGDATA1～VDGDATAmを前記走査信号SC1～SCnに同期して第1スイッチQ11を介して対応するデータ線X1～Xmに出力される。一方、アナログデータ電圧出力回路13bは、制御回路14から前記アナログデータ電圧VANDATA1～VANDATAmを入力し、このアナログデータ電圧VANDATA1～VANDATAmを前記走査信号SC1～SCnに同期して第2スイッチQ12を介して対応するデータ線X1～Xmに出力する。

10

【0075】

第1スイッチQ11及び第2スイッチQ12は、デジタルデータVDGDATA1～VDGDATAmとアナログデータ電圧VANDATA1～VANDATAmのいずれかを選択し各データ線X1～Xmに出力させるスイッチであって、NチャンネルFETよりな構成されている。そして、第1スイッチQ11はゲート端子に第1制御信号SG1が制御回路14から入力されるとオンし、デジタルデータVDGDATA1～VDGDATAmを各データ線X1～Xmに出力させる。第2スイッチQ12はゲート端子に第2制御信号SG2が制御回路14から入力されるとオンし、アナログデータ電圧VANDATA1～VANDATAmを各データ線X1～Xmに出力させる。

【0076】

20

尚、各データ線X1～Xmは、デジタルデータVDGDATA1～VDGDATAmや、アナログデータ電圧VANDATA1～VANDATAmが供給されていない状態では、バイアス電圧(電源電圧VOEL)が供給されている。

【0077】

つまり、前記走査線駆動回路12が1つの走査線に走査信号を出力した時、デジタル階調においてはデータ線駆動回路13はその選択された走査線上の各画素回路20に対してデジタルデータVDGDATA1～VDGDATAmを出力する。また、アナログ階調においてはデータ線駆動回路13はその選択された走査線上の各画素回路20に対してアナログデータ電圧VANDATA1～VANDATAmを出力する。

【0078】

30

制御手段、2値データ電圧生成回路、多値データ電圧生成回路としての制御回路14は、図示しない外部装置から画像データDを入力し、同画像データDに基づいて中間調の制御をデジタル階調で行うかアナログ階調で行うかを判断する。本実施形態では、画像データDが文字等の静止画を表示する第1の表示データとしての画像データの場合には、デジタル階調で中間調の制御を行う。又、画像データDがアニメ、ムービーのような動画を表示する第2の表示データとしての画像データの場合には、アナログ階調で中間調の制御を行う。言い換えると、制御回路14は、静止画等も表示品位を特に必要としない場合にはデジタル階調(時分割階調)で、動画等の表示品位を必要とする場合にはアナログ階調で行うように走査線駆動回路12及びデータ線駆動回路13を制御する。

【0079】

40

そして、制御回路14は、時分割階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現するために、1フレームを6つに分割しその分割された6つのサブフレームSF1～SF6を使って1つの画像を64階調で表現する。

【0080】

制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1～第6サブフレームSF1～SF6に対する各走査線Y1～Yn上の各画素回路20に供給するデジタルデータVDGDATA1～VDGDATAmを生成する。このとき、制御回路14は、「1」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第1サブフレームSF1に、「2」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第2サブフレームSF2に、「4」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に、「8」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に、「16」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に、「32」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に、「64」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に出力する。

50

Amを第3サブフレームSF3にそれぞれ作成する。さらに、制御回路14は、「8」の諧調を表現するためのデジタルデータVDGDATA1~VDGDATAmを第4サブフレームSF4に、「16」の諧調を表現するためのデジタルデータVDGDATA1~VDGDATAmを第5サブフレームSF5にそれぞれ作成する。さらにまた、制御回路14は、「32」の諧調を表現するためのデジタルデータVDGDATA1~VDGDATAmを第6サブフレームSF6に作成する。

【0081】

そして、これら第1~第6サブフレームSF1~SF6のデジタルデータVDGDATA1~VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

10

【0082】

制御回路14は、デジタル階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SCn(SCn1~SCn3)を順番に出力させるタイミングを制御する。

【0083】

又、走査線駆動回路12に対して各サブフレームSF1~SF6における各走査線Y1~Ynに対するリセット信号SREST1~SRESTnを順番に出力させるタイミングを制御する。因みに、走査線駆動回路12は、第1サブフレームSF1においては、走査信号SC1~SCnが出力されてTL1時間経過後にリセット信号SREST1~SRESTnがそれぞれ出力するようになっている。因みに、第2サブフレームSF2においては、走査信号SCn1が出力されてTL2(=2×TL1)時間経過後に、第3サブフレームSF3においては、走査信号SCn1が出力されてTL3(=4×TL1)時間経過後に、第4サブフレームSF4においては、走査信号SCn1が出力されてTL4(=8×TL1)時間経過後に、リセット信号SREST1~SRESTnがそれぞれ出力するようになっている。又、第5サブフレームSF5においては、走査信号SCn1が出力されてTL5(=16×TL1)時間経過後に、第6サブフレームSF6においては、走査信号SCn1が出力されてTL6(=32×TL1)時間経過後に、リセット信号SREST1~SRESTnがそれぞれ出力するようになっている。

20

【0084】

一方、制御回路14は、アナログ階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現するために、順番に選択される各走査線Y1~Yn毎に、その走査線Y1~Ynに接続される各画素回路20に対するアナログデータ電圧VANDATA1~VANDATAmを1フレームの画像データDに基づいて生成する。制御回路14は、その生成したアナログデータ電圧VANDATA1~VANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電圧出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。

30

【0085】

制御回路14は、アナログ階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SCn(SCn1~SCn3)を順番に出力させるタイミングを制御する。

40

【0086】

次に、上記のように構成した有機ELディスプレイ10の作用を説明する。

制御回路14は、外部装置から画像データDが入力されると、その画像データDが静止画又は動画のデータかを判断する。そして、画像データDが静止画のデータの場合、デジタル階調モードとなる。画像データDが動画のデータの場合、アナログ階調モードとなる。

【0087】

(デジタル階調モード)

まず、デジタル階調モードについて説明する。制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1~第6サブフレームSF1~SF6に対する各走査線Y1~Yn上の各画素回路20に供給するデジタルデータVDGDATA1~VDG

50

ATAmを生成する。そして、これら第1～第6サブフレームSF1～SF6のデジタルデータVDGDATA1～VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

【0088】

又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SCn(SCn1～SCn3)を順番に出力させるタイミングを制御する。さらに、制御回路14は、走査線駆動回路12に対して各サブフレームSF1～SF6における各走査線Y1～Ynに対するリセット信号SREST1～SRESTnを順番に出力させるタイミングを制御する。

10

【0089】

そして、走査線駆動回路12は、第1サブフレームSF1のための走査信号SCn(SCn1～SCn3)を順次出力し各走査線Ynを順番に選択していく。また、走査線駆動回路12は、走査信号SCn出力してTL1時間経過後、リセット信号SRESTnを出力する。

【0090】

一方、データ線駆動回路13は、各走査線Ynが選択される毎に、その選択された走査線上の各画素回路20に第1サブフレームSF1におけるデジタルデータVDGDATA1～VDGDATAmを順次出力する。従って、選択された走査線上の各画素回路20はデジタルデータVDGDATA1～VDGDATAmに基づいて動作(点灯又は消灯)する。そして、各画素回路20はTL1時間経過後のリセット信号SRESTnにตอบสนองして消灯動作する。

20

【0091】

第1サブフレームSF1の最後の走査線Y1～Yn上の各画素回路20へのデジタルデータVDGDATA1～VDGDATAmの供給が終了すると、走査線駆動回路12は第2サブフレームSF2のための走査信号SCn(SCn1～SCn3)を順次出力し各走査線Y1～Ynを順番に選択していく。また、走査線駆動回路12は、走査信号SCn出力してTL2(=2×TL1)時間経過後、リセット信号SREST1～SRESTnを出力する。

【0092】

一方、データ線駆動回路13は、前記と同様に、選択された走査線上の各画素回路20に第2サブフレームSF2におけるデジタルデータVDGDATA1～VDGDATAmを順次出力する。そして、選択された走査線上の各画素回路20は前記同様にデジタルデータVDGDATA1～VDGDATAmに基づいて動作(点灯又は消灯)し、TL2時間経過後のリセット信号SRESTnにตอบสนองして消灯動作する。

30

【0093】

以後、第3サブフレームSF3～第6サブフレームSF6についても、同様な動作が繰り返されて1フレームの画像が表現される。そして、1フレームの画像表示動作が終了すると、次の1フレームのための画像表示動作が同様に行われる。

【0094】

(アナログ階調モード)

次に、アナログ階調モードについて説明する。制御回路14は、1フレームの画像データDに基づいて順番に選択される各走査線Y1～Yn毎に、その走査線Y1～Ynに接続される各画素回路20に対するアナログデータ電圧VANDATA1～VANDATAmを生成する。制御回路14は、その生成したアナログデータ電圧VANDATA1～VANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電圧出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SCn(SCn1～SCn3)を順番に出力させるタイミングを制御する。

40

【0095】

そして、走査線駆動回路12は、走査信号SCn(SCn1～SCn3)を順次出力し各走査線Y1～Ynを順番に選択していく。一方、データ線駆動回路13は、各走査線Yn

50

が選択される毎に、その選択された走査線上の各画素回路20にアナログデータ電圧V ANDATA1~V ANDATAmを順次出力する。従って、選択された走査線上の各画素回路20の有機EL素子21はアナログデータ電圧V ANDATA1~V ANDATAmに応じた輝度で発光する。

【0096】

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

本実施形態によれば、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現した。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現した。

10

【0097】

従って、有機ELディスプレイ10は、低消費電力と十分な表示品位を両立することができる。

(第2実施形態)

次に、本発明の第2実施形態について図6に従って説明する。本実施形態は、電子回路又は単位回路としての画素回路20が第1実施形態と相違する。従って、その相違する部分について詳細に説明する。

【0098】

図6に示すように、本実施形態の画素回路20は、第1実施形態と相違して補償用トランジスタQ4、開始用トランジスタQ5及びコンデンサC2を省略している。つまり、駆動用トランジスタQ1のドレインは有機EL素子21の陽極に接続され、その有機EL素子21の陰極は接地されている。駆動用トランジスタQ1のソースは、電源電圧V OELが供給される電源線L1に接続されている。駆動用トランジスタQ1のゲートと電源線L1の間には、保持キャパシタC1が接続されている。

20

【0099】

さらに、駆動用トランジスタQ1のゲートは、スイッチング用トランジスタQ2を介して前記データ線Xmに接続されている。スイッチング用トランジスタQ2のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、その第1の副走査線Yn1から第1走査信号SCn1が入力される。リセット用トランジスタQ3は、前記保持キャパシタC1に対して並列に接続されている。リセット用トランジスタQ3のゲートは、前記走査線Ynを構成する第4の副走査線Yn4に接続され、その第4の副走査線Yn4からリセット信号S RESTnが入力される。

30

【0100】

従って、本実施形態では、走査線Ynは、第1の副走査線Yn1と第4の副走査線Yn4で構成され、第2の副走査線Yn2と第3の副走査線Yn3が省略されている。

【0101】

この画素回路20において、デジタル階調を行なう場合、第1の副走査線Yn1に走査信号SCn1が出力されると、スイッチング用トランジスタQ2がオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線Xmに介してデジタルデータ電圧出力回路13aから「Lレベル」又は「Hレベル」のいずれかの値となるデジタルデータVDGDATAmに応じた電荷量が前記保持キャパシタC1に蓄積される。

40

【0102】

駆動用トランジスタQ1は、蓄積されるデジタルデータVDGDATAmの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタQ1がオン状態のとき、有機EL素子21は駆動電流が供給され発光する。反対に、駆動用トランジスタQ1がオフ状態のとき、有機EL素子21は駆動電流の供給が遮断され発光を停止する。

【0103】

次に、第4の副走査線Yn4にリセット信号S RESTnが出力されると、リセット用トランジスタQ3がオフ状態からオン状態となる。リセット用トランジスタQ3がオン状態とな

50

ると、電源線 L 1 から電源電圧 V OEL が同リセット用トランジスタ Q 3 を介して前記保持キャパシタ C 1 に印加され先のデジタルデータ V DGDATAm は消去されるとともに、駆動用トランジスタ Q 1 のゲートは電源電圧 V OEL の電位となる。つまり、保持キャパシタ C 1 はリセットされる。

【 0 1 0 4 】

従って、前記実施形態と同様な時分割階調を行なう時、各画素回路 2 0 の有機 E L 素子 2 1 の発光期間 T L1 ~ T L6 は、走査信号 S C n 1 が出力されてからリセット信号 S RESTn が出力されるまでの間が発光期間となる。

【 0 1 0 5 】

一方、画素回路 2 0 において、駆動用トランジスタ Q 1 のゲート・ソース間電圧を同トランジスタ Q 1 の閾値電圧にして駆動する方式のアナログ階調を行う場合、リセット信号 S RESTn に基づいてリセット用トランジスタ Q 3 が非導通状態に保持される。そして、スイッチング用トランジスタ Q 2 を所定のタイミングでオン・オフ制御する第 1 走査信号 S C n 1 を出力することによってアナログ階調による中間調を表現するようになっている。

【 0 1 0 6 】

つまり、第 1 の副走査線 Y n 1 に走査信号 S C n 1 が出力されると、スイッチング用トランジスタ Q 2 はオン状態となる。スイッチング用トランジスタ Q 2 がオン状態となると、データ線 X m に介してアナログデータ電圧出力回路 1 3 b から供給されたアナログデータ電圧 V ANDATAm に応じた電荷量が前記保持キャパシタ C 1 に蓄積される。駆動用トランジスタ Q 1 は、この保持キャパシタ C 1 に蓄積されたアナログデータ電圧 V ANDATAm の値に応じた導通状態となる。その駆動用トランジスタ Q 1 の導通状態に応じた駆動電流が有機 E L 素子 2 1 に供給される。有機 E L 素子 2 1 はアナログデータ電圧 V ANDATAm に応じた輝度で発光する。

【 0 1 0 7 】

本実施形態の画素回路 2 0 においても、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現することができる。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。従って、本実施形態の画素回路 2 0 にて構成された有機 E L ディスプレイ 1 0 においても、低消費電力と十分な表示品位を両立することができる。

【 0 1 0 8 】

(第 3 実施形態)

次に、本発明の第 3 実施形態について図 7 に従って説明する。本実施形態は、電子回路又は単位回路としての画素回路 2 0 が第 1 実施形態と相違する。従って、その相違する部分について詳細に説明する。

【 0 1 0 9 】

図 7 に示すように、本実施形態の画素回路 2 0 は、第 1 実施形態と相違して補償用トランジスタ Q 4 及び開始用トランジスタ Q 5 を省略している。つまり、駆動用トランジスタ Q 1 のドレインは有機 E L 素子 2 1 の陽極に接続され、その有機 E L 素子 2 1 の陰極は接地されている。駆動用トランジスタ Q 1 のソースは、電源電圧 V OEL が供給される電源線 L 1 に接続されている。駆動用トランジスタ Q 1 のゲートと電源線 L 1 との間には、保持キャパシタ C 1 が接続されている。

【 0 1 1 0 】

又、駆動用トランジスタ Q 1 のゲートは、スイッチング用トランジスタ Q 2 を介して前記データ線 X m に接続されている。スイッチング用トランジスタ Q 2 のゲートは、走査線 Y n を構成する第 1 の副走査線 Y n 1 に接続され、その第 1 の副走査線 Y n 1 から第 1 走査信号 S C n 1 が入力される。

【 0 1 1 1 】

10

20

30

40

50

さらに、リセット用トランジスタQ3は、そのソースが前記電源線L1に接続されているとともに、ゲートが前記走査線Ynを構成する第4の副走査線Yn4に接続されている。又、リセット用トランジスタQ3のドレインは、Pチャンネルのトランジスタよりなる補償用トランジスタQ6のソースに接続されている。補償用トランジスタQ6のドレインは、前記駆動用トランジスタQ1のゲートに接続されている。又、補償用トランジスタQ6は、そのゲートとドレインが互いに接続、即ちダイオード接続されている。

【0112】

この画素回路20において、デジタル階調を行なう場合、リセット用トランジスタQ3がオフ状態において、第1の副走査線Yn1にHレベルの走査信号Scn1が出力されると、スイッチング用トランジスタQ2がオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線Xmに介してデジタルデータ電圧出力回路13aから「Lレベル」又は「Hレベル」のいずれかの値となるデジタルデータVDGDATA_mに応じた電荷量が前記保持キャパシタC1に蓄積される。

10

【0113】

駆動用トランジスタQ1は、蓄積されるデジタルデータVDGDATA_mの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタQ1がオン状態のとき、有機EL素子21は駆動電流が供給され発光する。反対に、駆動用トランジスタQ1がオフ状態のとき、有機EL素子21は駆動電流の供給が遮断され発光を停止する。

【0114】

次に、第4の副走査線Yn4にリセット信号SRESTnが出力されると、リセット用トランジスタQ3がオフ状態からオン状態となる。リセット用トランジスタQ3がオン状態となると、電源線L1から電源電圧V0ELが同リセット用トランジスタQ3を介し補償用トランジスタQ6に印加され、補償用トランジスタQ6がオンされる。補償用トランジスタQ6がオンされることにより、駆動用トランジスタQ1のゲート電圧は、電源電圧V0ELから補償用トランジスタQ6の閾値電圧分を引いた電圧となる。つまり、デジタルデータVDGDATA_mの内容に基づいて駆動用トランジスタQ1がオンし有機EL素子21は駆動電流が供給され発光している場合は、駆動用トランジスタQ1のゲート電圧は上昇する。すなわち、保持キャパシタC1はリセットされ、駆動用トランジスタQ1はオフし有機EL素子21は発光を停止する。

20

【0115】

従って、前記実施形態と同様な時分割階調を行なう時、各画素回路20の有機EL素子21の発光期間TL1~TL6は、走査信号Scn1が出力されてからリセット信号SRESTnが出力されるまでの間が発光期間となる。

30

【0116】

一方、画素回路20において、駆動用トランジスタQ1のゲート・ソース間電圧を同トランジスタQ1の閾値電圧にして駆動する方式のアナログ階調を行う場合、まず、第1の副走査線Yn1に走査信号Scn1が出力されると、スイッチング用トランジスタQ2はオン状態となる。この時、この時データ線Xmにかかっているバイアス電圧(=V0EL)が、スイッチング用トランジスタQ2を介してコンデンサC2に印加される。

【0117】

続いて、第4の副走査線Yn4にHレベルのリセット信号SRESTnを出力して、リセット用トランジスタQ3をオン状態にする。リセット用トランジスタQ3がオン状態となると、電源電圧V0ELが同リセット用トランジスタQ3を介し補償用トランジスタQ6に印加される。これにより、補償用トランジスタQ6がオンされることにより、駆動用トランジスタQ1のゲート電圧は、補償用トランジスタQ6の閾値電圧(V_{th})まで押し上げられると、駆動用トランジスタQ1はオフする。

40

【0118】

次に、リセット信号SRESTnが消失すると、リセット用トランジスタQ3はオフ状態となる。この時点で、駆動用トランジスタQ1は、ゲートにかかる電圧V_g(=V0EL-V_{th})が保持される。

50

【 0 1 1 9 】

駆動用トランジスタQ 1のゲートに電圧 $V_g (= V_{OE} - V_{th})$ が保持されると、データ線 X_m からアナログデータ電圧 $V_{ANDATAm} (< V_{OE})$ が供給される。このとき、駆動用トランジスタQ 1及びリセット用トランジスタQ 3はオフ状態となっているため、コンデンサC 2の駆動用トランジスタQ 1のゲート側はフローティング状態にある。その結果、コンデンサC 2と保持キャパシタC 1の容量カップリングによって、駆動用トランジスタQ 1のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がる。

【 0 1 2 0 】

この状態で、第1の副走査線 Y_{n1} の走査信号 SC_{n1} が消失してスイッチング用トランジスタQ 2がオフする。スイッチング用トランジスタQ 2のオフによって、コンデンサC 2はフローティング状態となり、駆動用トランジスタQ 1のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がった電位に保持される。

10

【 0 1 2 1 】

これによって、駆動用トランジスタQ 1は、このアナログデータ電圧 $V_{ANDATAm}$ の値に応じた導通状態となり、そのアナログデータ電圧 $V_{ANDATAm}$ に応じた駆動電流が有機EL素子2 1に供給される。有機EL素子2 1はアナログデータ電圧 $V_{ANDATAm}$ に応じた輝度で発光する。そして、次の発光動作まで発光する。

【 0 1 2 2 】

本実施形態の画素回路2 0においても、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現することができる。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。従って、本実施形態の画素回路2 0にて構成された有機ELディスプレイ1 0においても、低消費電力と十分な表示品位を両立することができる。

20

【 0 1 2 3 】

(第4実施形態)

次に、第1実施形態で説明した電気光学装置としての有機ELディスプレイ1 0を搭載した電子機器の適用について図8及び図9に従って説明する。有機ELディスプレイ1 0は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

30

【 0 1 2 4 】

図8は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図8において、パーソナルコンピュータ6 0は、キーボード6 1を備え本体部6 2と、前記有機ELディスプレイ1 0を用いた表示ユニット6 3を備えている。この場合でも、有機ELディスプレイ1 0を用いた表示ユニット6 3は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ6 0は、低消費電力と十分な表示品位の両立を実現することができる。

【 0 1 2 5 】

図9は、携帯電話の構成を示す斜視図を示す。図9において、携帯電話7 0は、複数の操作ボタン7 1、受話口7 2、送話口7 3、前記有機ELディスプレイ1 0を用いた表示ユニット7 4を備えている。この場合でも、有機ELディスプレイ1 0を用いた表示ユニット7 4は前記実施形態と同様な効果を発揮する。その結果、携帯電話7 0は、低消費電力と十分な表示品位の両立を実現することができる。

40

【 0 1 2 6 】

尚、本発明の実施形態は、以下のように変更してもよい。

前記第1～第3実施形態では、図1、図6及び図7に示すように、デジタルデータ $V_{DG DATAm}$ 及びアナログデータ電圧 $V_{ANDATAm}$ を共通のスイッチング用トランジスタQ 2を介して保持キャパシタC 1に供給した。これを図10、図11及び図12に示すように、デー

50

タ線 X_m を第 1 副データ線 X_{m1} と第 2 副データ線 X_{m2} で構成する。第 1 副データ線 X_{m1} はデジタルデータ電圧出力回路 13a を第 1 スイッチ Q_{11} を介して接続する。第 2 副データ線 X_{m2} はアナログデータ電圧出力回路 13b を第 2 スイッチ Q_{12} を介して接続する。そして、第 1 副データ線 X_{m1} と第 1 スイッチング用トランジスタ Q_{2a} と接続し、第 2 副データ線 X_{m2} と第 2 スイッチング用トランジスタ Q_{2b} と接続する。

【0127】

このように構成して、第 1 スイッチング用トランジスタ Q_{2a} をオンさせて、デジタルデータ電圧出力回路 13a からのデジタルデータ V_{DGDATA_m} を保持キャパシタ C_1 に供給させる。又、第 2 スイッチング用トランジスタ Q_{2b} をオンさせて、アナログデータ電圧出力回路 13b を保持キャパシタ C_1 に供給させる。

10

【0128】

つまり、デジタルデータ V_{DGDATA_m} 及びアナログデータ電圧 V_{ANDATA_m} をそれぞれ異なる第 1 スイッチング用トランジスタ Q_{2a} と第 2 スイッチング用トランジスタ Q_{2b} を介して保持キャパシタ C_1 に供給するようにしてもよい。

【0129】

この場合にもそれぞれ前記第 1 ~ 第 3 実施形態と同様な効果を有する。

前記第 1 実施形態では、デジタル階調について順次選択される一つの走査線に対応した画素回路 20 に 2 値のデータ電圧を書き込むと同時に 2 値のデータ電圧に応じた電流レベルの電流を有機 EL 素子 21 に供給開始し、所定時間後に有機 EL 素子 21 への電流供給を遮断するといった時分割階調で行った。これに代えて同時点灯法を用いた時分割階調で実施してもよい。さらに、デジタル階調の一つとして、面積階調で実施してもよい。つまり、画素回路 20 をサブ画素としてそのサブ画素の複数個を組にする。そして、デジタル階調を行う場合、その組に属するサブ画素の適宜の数をそれぞれ非発光、発光の 2 つの状態に制御することによって中間調を表現するようにしてもよい。

20

【0130】

前記第 1 実施形態では、リセット用トランジスタ Q_3 にゲートに第 4 の副走査線 Y_{n4} を介してリセット信号 S_{REST_n} を入力させて、時分割階調での保持キャパシタ C_1 に保持した 2 値のデータ電圧 V_{DGDATA_m} をリセットさせた。

【0131】

これを、第 4 の副走査線 Y_{n4} を省略する。また、リセット用トランジスタ Q_3 を N チャネル FET から P チャネル FET に変更し、その P チャネル FET に変更したリセット用トランジスタ Q_3 のゲートを前記第 1 の副走査線 Y_{n1} に接続する。そして、第 1 の副走査線 Y_{n1} に出力する第 1 走査信号 S_{Cn1} を 3 値の信号にする。つまり、第 1 走査信号 S_{Cn1} は、スイッチング用トランジスタ Q_2 のみを導通状態にするプラス電位、スイッチング用トランジスタ Q_2 及びリセット用トランジスタ Q_3 をともに非導通状態にする 0 電位、リセット用トランジスタ Q_3 のみを導通状態にするマイナス電位となる信号である。

30

【0132】

従って、この場合にも前記と同様な効果を奏するとともに、第 4 の副走査線 Y_{n4} を省略した分だけ、回路規模を小型化できるとともに、画素回路 20 の開口率を上げることができ。

40

【0133】

前記第 1 実施形態では、時分割階調において、リセット用トランジスタ Q_3 を使って所定時間後リセットした。これを、以下に説明する時分割階調方法にも応用してもよい。即ち、全ての画素回路 20 にデータ電圧を書き込む際、有機 EL 素子 21 の対向電極（陰極）側に逆バイアス電圧を印加した状態で行う。データ電圧の書き込み終了後、有機 EL 素子 21 の対向電極側に順バイアス電圧を印加して、前記データ電圧に応じた電流レベルを有する電流を供給する。そして、所定期間経過後、再び逆バイアス電圧を有機 EL 素子 21 の対向電極側に印加してリセットする。

【0134】

50

前記実施形態では、電子回路として画素回路 20 に具体化して好適な効果を得たが、有機 EL 素子 21 以外の例えば LED や FED 等の発光素子を駆動する電子回路に具体化してもよい。

【0135】

前記実施形態では、有機 EL 素子 21 について具体化した但、無機 EL 素子に具体化してもよい。つまり、無機 EL 素子からなる無機 EL ディスプレイに適用しても良い。

【0136】

【発明の効果】

本発明によれば、低消費電力と十分な表示品位の両立を図ることができる。

【図面の簡単な説明】

【図 1】第 1 実施形態を説明するための有機 EL ディスプレイの回路構成を示すブロック回路図。

【図 2】同じく画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 3】本実施形態の時分割諧調を説明するための説明図。

【図 4】時分割諧調における走査線の選択を説明するためのタイミングチャート。

【図 5】アナログ階調における走査線の選択を説明するためのタイミングチャート。

【図 6】第 2 実施形態の画素回路を説明するための回路図。

【図 7】第 3 実施形態の画素回路を説明するための回路図。

【図 8】第 4 実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図。

【図 9】第 4 実施形態を説明するための携帯電話の構成を示す斜視図。

【図 10】第 1 実施形態の画素回路の別例を説明するための回路図。

【図 11】第 2 実施形態の画素回路の別例を説明するための回路図。

【図 12】第 3 実施形態の画素回路の別例を説明するための回路図。

【符号の説明】

- 10 電気光学装置としての有機 EL ディスプレイ
- 11 表示パネル部
- 12 データ線駆動回路
- 13 走査線駆動回路
- 14 制御手段としての制御回路
- 20 電子回路又は単位回路としての画素回路
- 21 電子素子又は電気光学素子としての有機 EL 素子
- 60 電子機器としてのパーソナルコンピュータ
- 70 電子機器としての携帯電話
- 13a 第 1 の出力回路としてのデジタルデータ電圧電流出力回路
- 13b 第 2 の出力回路としてのアナログデータ電圧出力回路
- Q1 第 2 のトランジスタとしての駆動用トランジスタ
- Q2 第 1 のトランジスタとしてのスイッチング用トランジスタ
- Q3 第 3 のトランジスタとしてのリセット用トランジスタ
- Q4 第 4 のトランジスタとしての補償用トランジスタ
- Q5 第 5 のトランジスタとしての開始用トランジスタ
- C1 容量素子としての保持キャパシタ
- Y1 ~ Yn 走査線
- X1 ~ Xm データ線
- Scn 走査信号
- VDGDATA1 ~ VDGDATAm 2 値のデータ電圧としてのデジタルデータ
- VANDATA1 ~ VANDATAm 多値のデータ電圧としてのアナログデータ電圧

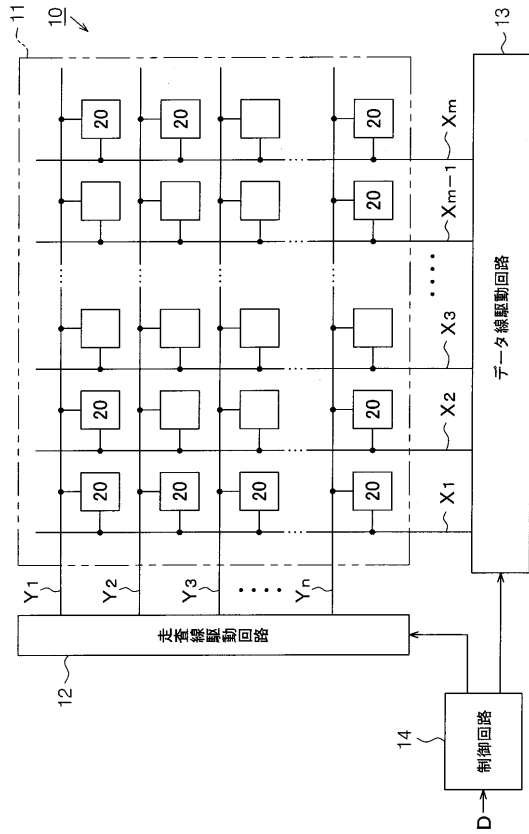
10

20

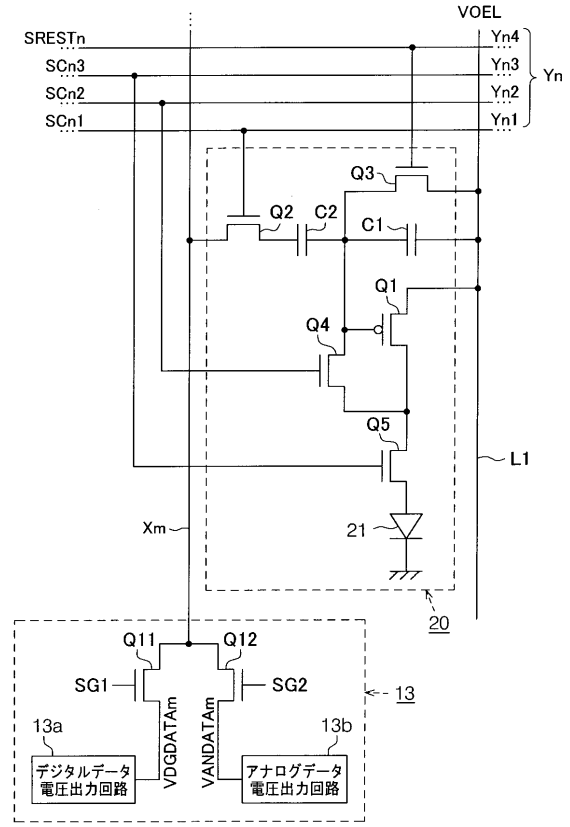
30

40

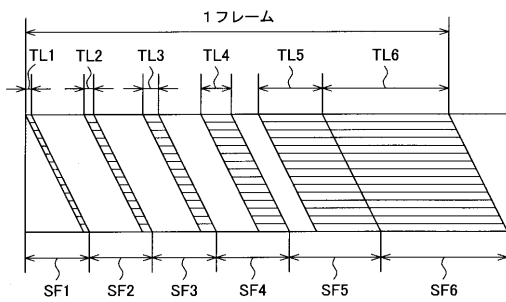
【図1】



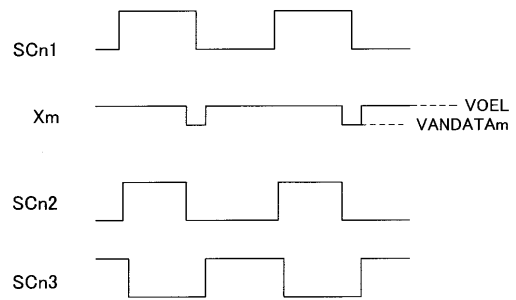
【図2】



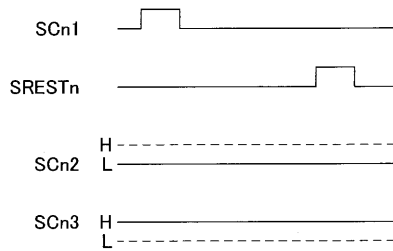
【図3】



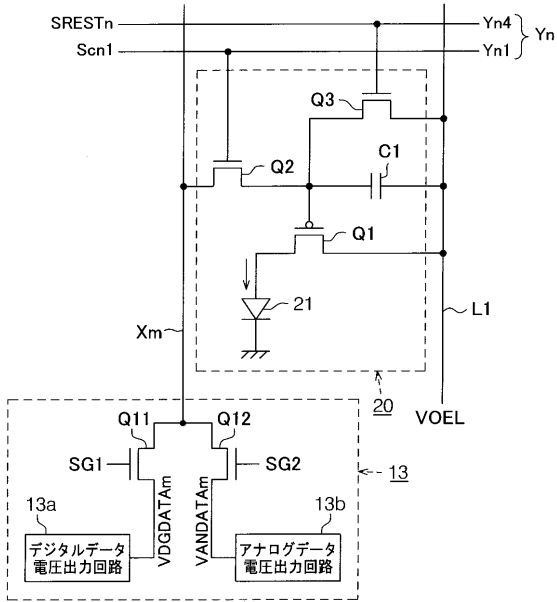
【図5】



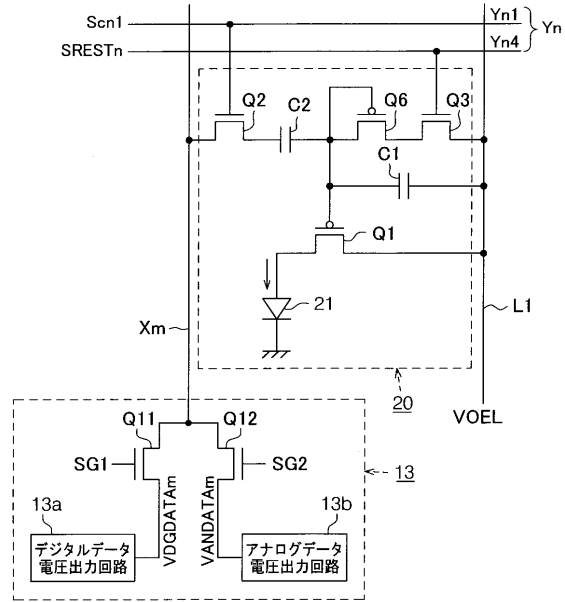
【図4】



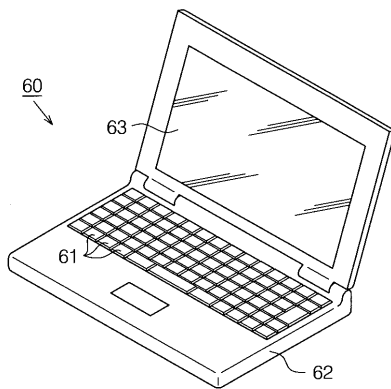
【 図 6 】



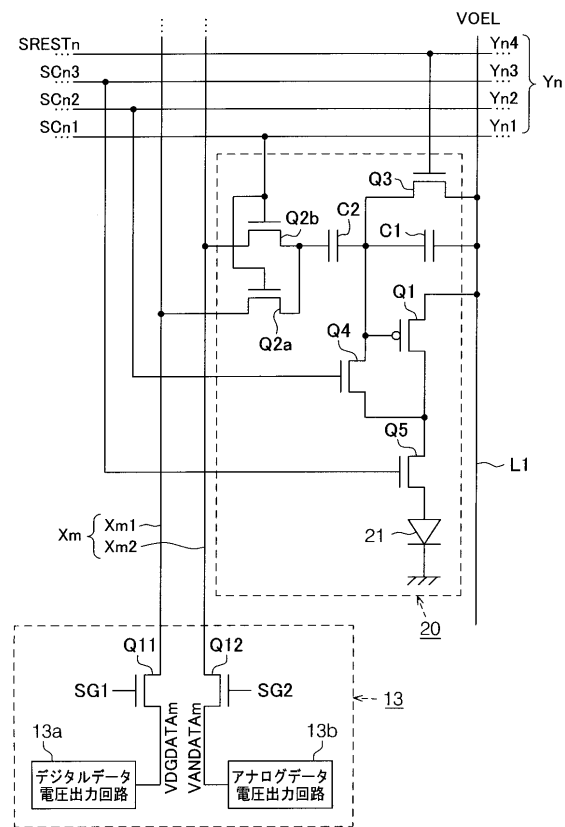
【 図 7 】



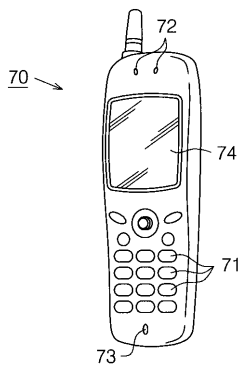
【 図 8 】



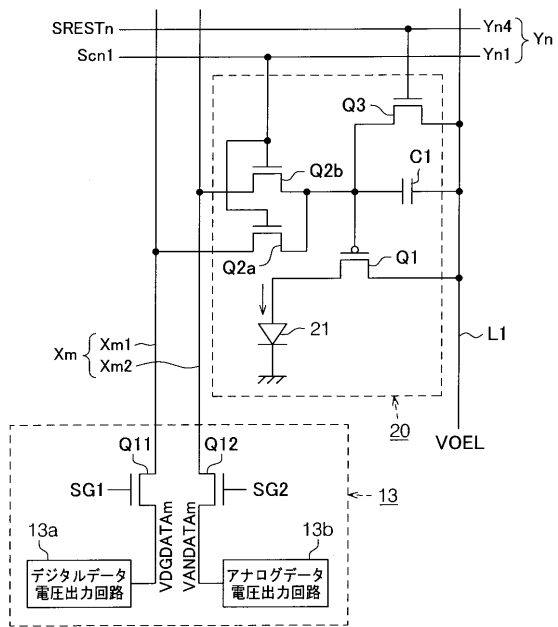
【 図 10 】



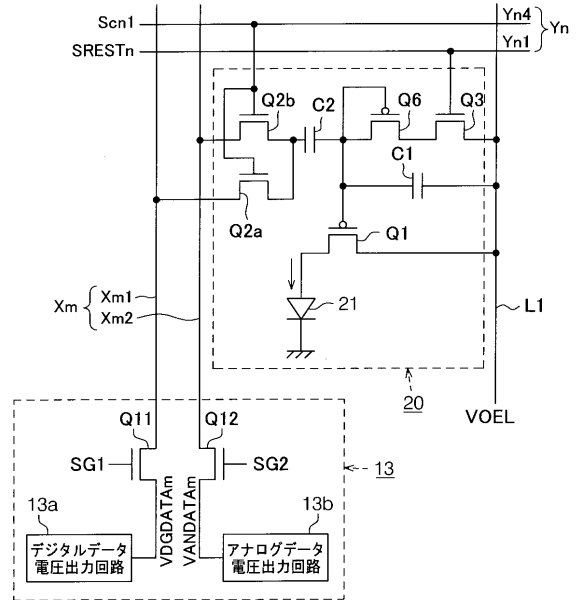
【 図 9 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/30 J

H 0 5 B 33/14 A

(56)参考文献 特開2003-099007(JP,A)
特表2005-510768(JP,A)
特開2002-032048(JP,A)
特開2002-207442(JP,A)
特開2002-175029(JP,A)
国際公開第01/015232(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00-9/46

H05B 33/00-33/28

G09G 3/00-3/38