

公告本

申請日期：91-6-12

案號：91112781

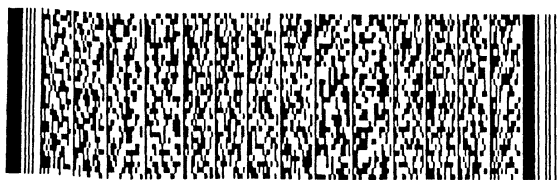
類別：H01L29/72

(以上各欄由本局填註)

# 發明專利說明書

546837

一、發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR THE SAME
二、發明人	姓名(中文)	1. 中島貴志
	姓名(英文)	1. Takashi NAKASHIMA
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、申請人	姓名(名稱)(中文)	1. 三菱電機股份有限公司
	姓名(名稱)(英文)	1. Mitsubishi Denki Kabushiki Kaisha (三菱電機株式會社)
	國籍	1. 日本
	住、居所(事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人姓名(中文)	1. 谷口一郎
代表人姓名(英文)	1. Ichiro TANIGUCHI	



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/11/22

案號

2001-357529

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明(1)

## 【發明領域】

本發明係關於半導體裝置及其製造方法，特別係具有供隔離用溝槽之半導體裝置及其製造方法。

## 【背景技術說明】

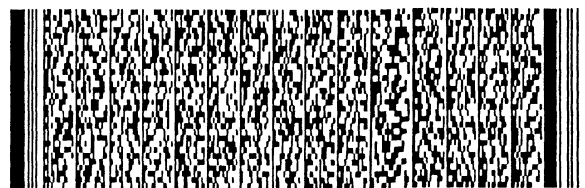
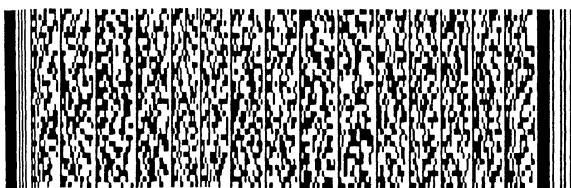
將雙載子電晶體、電阻、或電容器等既定元件，複數個搭載於半導體積體電路(以下記為「IC」)時，採用各種將元件間予以電性隔離的隔離構造。最廣泛使用的隔離構造乃為根據PN接面的隔離構造。

此隔離構造係在形成元件的區域(元件形成區域)，與此區域之導電型相反導電型的隔離區域之間形成PN接面。然後，將此PN接面利用逆向偏壓(reverse bias)使相鄰的元件形成區域相互電性隔離。

雙載子IC係在P型半導體基板上成長N<sup>-</sup>型磊晶層。此情況下，為形成隔離區域必須使P型擴散層朝對深度方向僅擴散N<sup>-</sup>型磊晶層的膜厚份。此時P型擴散層便依幾乎等於N<sup>-</sup>型磊晶層膜厚的相同程度朝橫方向進行擴散。

因此，元件形成區域與隔離區域間的距離，便必須考慮其橫方向的擴展份，而確保多餘部分。特別係高耐壓的電晶體因為必須增厚N<sup>-</sup>型磊晶層，因此隔離區域便形成朝橫方向更加擴展，導致包含元件形成區域與隔離區域在內的半導體裝置面積將變大。

為克服此缺點，近年已將溝渠隔離構造實用化。溝渠隔離構造係形成貫穿N<sup>-</sup>型磊晶層，並達P型半導體基板既定深度處的深溝槽，然後在此溝槽中埋藏絕緣體。所以，溝



## 五、發明說明(2)

渠隔離構造係並非如根據PN接面的隔離構造般的朝橫方向擴展，而是溝渠隔離區域幾乎擁有既定尺寸而形成，可大幅提昇半導體裝置的積體密度。

以下，就習知半導體裝置之製造方法，針對具有NPN型雙載子電晶體之溝渠隔離構造的雙載子IC之製造方法進行說明。

首先，如圖60所示，在P<sup>-</sup>型矽基板101上形成N<sup>+</sup>型埋藏層102。其次，利用磊晶成長法形成N<sup>-</sup>型磊晶層。藉由施行既定的光微影與加工，而形貫穿N<sup>-</sup>型磊晶層並達P<sup>-</sup>型矽基板101既定深度處的溝槽106a, 106b。藉此N<sup>-</sup>型磊晶層103便被隔離為三個N<sup>-</sup>型磊晶層103a~103c的區域。

其次，經由施行既定的濕式蝕刻處理與洗淨處理，將在形成溝槽106a, 106b之際的蝕刻處理中所產生之反應生成物予以去除。然後，在溝槽106a, 106b表面上形成構成犧牲氧化膜的熱氧化膜(未圖示)。

其次，通過此熱氧化膜並依加速電壓50KeV、摻雜量 $1 \times 10^{14} / \text{cm}^2$ 植入硼，而在位於溝槽106a, 106b底部處的P<sup>-</sup>型矽基板101區域中，形成通道阻斷層108a, 108b。然後，利用濕式蝕刻處理去除熱氧化膜，而形成熱氧化膜109。

接著，如圖61所示，依埋藏溝槽106a, 106b之方式，在熱氧化膜109上形成多晶矽膜110。然後，如圖62所示，利用對多晶矽膜110整面施行蝕刻處理，僅在溝槽106a, 106b內殘留著多晶矽膜110，而形成埋藏多晶矽110a, 110b。

其次，如圖63所示，經由施行濕式蝕刻處理，而將位於



## 五、發明說明(3)

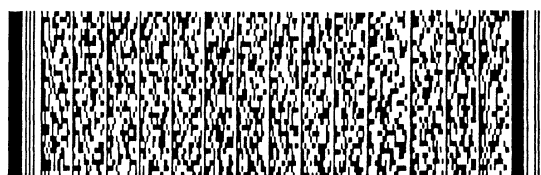
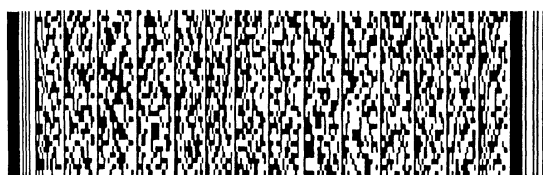
N<sup>-</sup>型磊晶層103a~103c上的熱氧化膜109予以去除，僅將熱氧化膜109殘留於溝槽106a,106b內部中。此時，位於溝槽106a,106b開口端附近側壁上的熱氧化膜109部分，亦將施行蝕刻處理，而沿溝槽106a,106b開口端附近側壁形成凹洞111a~111d。

其次，如圖64所示，藉由施行熱氧化處理，在N<sup>-</sup>型磊晶層103a~103c上形成熱氧化膜112。藉由此熱氧化處理，所裸露出的埋藏多晶矽110a,110b表面亦將被氧化。

因此，在溝槽106a,106b上面，露出於凹洞111a~111d中的埋藏多晶矽110a,110b與N<sup>-</sup>型磊晶層103a~103c表面，亦將被氧化，而在埋藏多晶矽110a,110b與N<sup>-</sup>型磊晶層103a~103c之間，形成較厚的氧化膜109a,109b。然後，利用在熱氧化膜112中形成氧化膜109a,109b，而形成凹洞113a~113d。

其次，如圖65所示，藉由既定的氣體擴散法，分別形成集極拉出層114與基極拉出層116。然後，去除熱氧化膜112而形成新的熱氧化膜118。此時，若熱氧化膜112施行必要以上之蝕刻的話，凹洞113a~113d將便寬廣，導致在形成熱氧化膜118時的熱氧化中，此凹洞113a~113d將部分形成較厚的熱氧化膜。

其次，如圖66所示，利用對N<sup>-</sup>型磊晶層103b施行離子植入法(譬如藉由植入硼離子)，而形成基極擴散層121。此時，藉由熱處理而擴散硼(硼驅入)之際，利用施行熱氧化處理，使熱氧化膜118膜厚變得更厚。



## 五、發明說明(4)

其次，如圖67所示，在N<sup>-</sup>型磊晶層103b中形成射極擴散層124a與集極擴散層124b。然後，形成如TiSi<sub>2</sub>等的金屬矽化物127a~127c、TiN等阻障金屬128a~128c、AlCu等金屬配線129a~129c。藉此便完成NPN電晶體T。

但是，在如上述的習知半導體裝置之製造方法中，得知如下述問題點。即，得知當在N<sup>-</sup>型磊晶層103a與N<sup>-</sup>型磊晶層103b之間，或在N<sup>-</sup>型磊晶層103b與N<sup>-</sup>型磊晶層103c之間，分別施加既定電壓之際，將產生較大的漏電流，而無法將形成於各N<sup>-</sup>型磊晶層103a~103c上的元件充分的電性隔離。

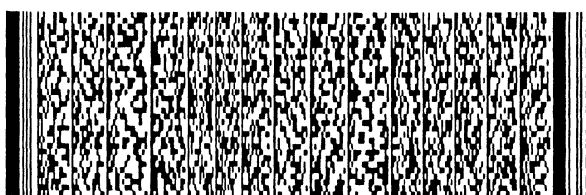
本發明乃為解決上述諸項問題點，其一目的在於提供一種抑制漏電流的半導體裝置；而另一目的在於提供此種半導體裝置之製造方法。

發明者為調查漏電流原因而重複進行實驗，結果發現藉由抑制在供隔離用的溝槽106a, 106b開口端附近之側壁部分上所形的凹洞113a~113d、抑制此部份之熱氧化膜厚度變厚，便可大幅降低漏電流。

所以，發明者便認為位於沿溝槽開口端附近側壁之凹洞113a~113d中所形成較厚的氧化矽膜，將局部對N<sup>-</sup>型磊晶層103a~103c賦予應力，而造成漏電流的原因。

以下，針對關於發明的半導體裝置及其製造方法的構造進行敘述。

本發明之一佈局的半導體裝置係具備有：具主表面之第一導電型半導體基板、第二導電型層、溝槽部、絕緣膜、



## 五、發明說明(5)

以及埋藏半導體區域等。第二導電型層係形成於第一導電型半導體基板之主表面上。溝槽部係依貫穿第二導電型層並到達半導體基板區域之方式而形成，並將第二導電型層隔離為一個元件形成區域與另一個元件形成區域。絕緣膜係形成於溝槽部側壁上。埋藏半導體區域係依埋藏溝槽部之方式，形成於絕緣膜上。所以，絕緣膜係形成從溝槽底部橫渡開口端，並具有不致對第二導電型層賦予應力的略相同膜厚。

依照此構造的話，藉由形成於溝槽部側壁上的絕緣膜，形成從溝槽底部橫渡開口端，並具有不致對第二導電型層賦予應力的略相同膜厚，便可抑制作用於第二導電型層上的應力。結果，便可降低在一元件形成區域與另一元件形成區域之間所產生的漏電流，而可電性隔離形成於各元件形成區域中的元件。

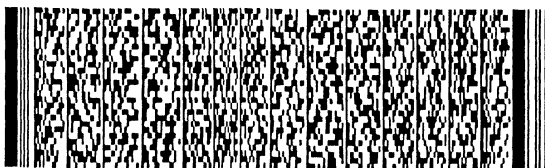
再者，埋藏半導體區域，最好在溝槽底部中，電性連接於第一導電型半導體基板區域。

此情況下，埋藏半導體區域上部(接觸部)中，便可輕易的確保半導體基板之電位。

再者，此情況下，埋藏半導體區域最好含有第一導電型雜質。

藉此便可降低埋藏半導體區域的阻抗，而輕易的確保半導體基板之既定電位。

本發明另一佈局的半導體裝置之製造方法係具備有以下步驟。在第一導電型半導體基板之主表面上形成第二導電



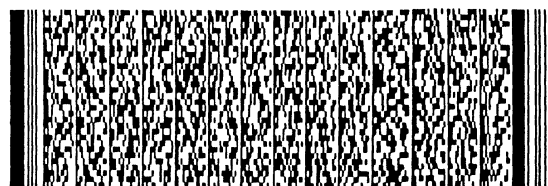
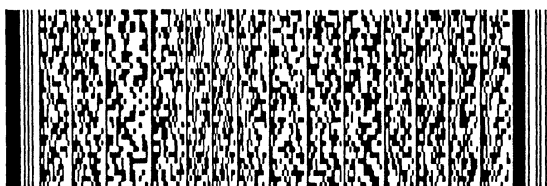
## 五、發明說明(6)

型層。形成供將第二導電型層區分為一元件形成區域與另一元件形成區域用的溝槽部。在包含裸露於此溝槽部內的側壁在內之第二導電型層上，形成第一絕緣膜。依埋藏溝槽部之方式，在第一絕緣膜上形成半導體膜。在溝槽部內殘留此半導體膜，而形成埋藏半導體區域。對位於第二導電型層上面的第一絕緣膜施行熱處理，而形成較第一絕緣膜更厚的第二絕緣膜。

依照此製造方法的話，藉由對在包含裸露於此溝槽部內的側壁在內之第二導電型層上，所形成之第一絕緣膜施行熱處理，相較於在將位於第二導電型層上之第一絕緣膜予以去除之後，再形成第二絕緣膜的習知製造方法，前者不致沿溝槽部開口端側壁形成凹洞，並利用對位於此部份的第一絕緣膜施行熱處理，便可抑制變得更厚現象發生。藉此，便可從溝槽底部起橫渡開口端，形成大致相同厚度的絕緣膜，且可抑制作用於第二導電型層上的應力。結果，便可獲得降低一元件形成區域與另一元件形成區域間所產生的漏電流，而確實的將形成於各元件形成區域中之元件予以電性隔離的半導體裝置。

再者，在形成第二絕緣膜之後，最好具備有：依於第二導電型層中，至少使形成既定元件之區域部分的表面裸露出之方式，對第二絕緣膜施行加工的步驟；以及依覆蓋著裸露出之第二導電型層的部分之方式，在第二導電型層上形成第三絕緣膜的步驟。

如此，即便對第二絕緣膜施行加工之類的情況下，因為





## 五、發明說明(7)

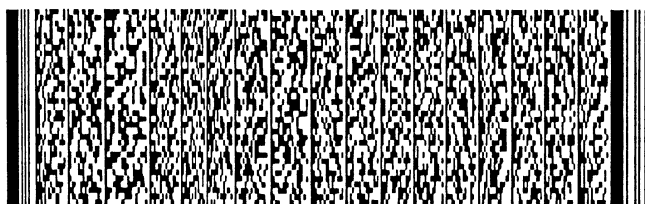
藉由至少在第二導電型層中，依裸露出形成既定元件之區域部分的表面之方式施行加工，並將第一絕緣膜中，位於溝槽部側壁上部之第一絕緣膜的部分施行加工，而予以去除，而不致形成比較大的凹洞，因此藉由形成第二絕緣膜之際的熱處理或其後的熱處理，便可抑制此部份的第一絕緣膜變得更厚。

再者，在形成埋藏半導體區域的步驟中，最好依在第一絕緣膜上殘留半導體膜之方式，對半導體膜施行加工；在形成第二絕緣膜之步驟中，最好對包含殘留於第一絕緣膜上之半導體膜部分在內，施行熱處理。

此情況下，因為利用依在第一絕緣膜上殘留半導體膜之方式，對半導體膜施行加工，並對位於溝槽部側壁上部之第一絕緣膜部分予以去除，而可不致形成較大的凹洞，因此對形成第二絕緣膜之際的熱處理或其後的熱處理，便可抑制位於溝槽部側壁上部之第一絕緣膜部分變得更厚。

再者，在形成埋藏半導體區域的步驟中，最好依位於第二導電型層上面的第一絕緣膜表面裸露出之方式，對半導體膜施行加工；在形成第二絕緣膜之步驟中，最好在裸露出第一絕緣膜表面的狀態下，施行熱處理。

如此即便依裸露出第一絕緣膜表面之方式，對半導體膜施行加工，因為對位於溝槽部側壁上部之第一絕緣膜部分予以去除，而可不致形成較大的凹洞，因此對形成第二絕緣膜之際的熱處理或其後的熱處理，便可抑制位於溝槽部側壁上部之第一絕緣膜部分變得更厚。



## 五、發明說明(8)

本發明之另一佈局的另一半導體裝置之製造方法，係具備以下步驟。在第一導電型半導體基板之主表面上形成第二導電型層。形成供將第二導電型層區分為一元件形成區域與另一元件形成區域用的溝槽部。在裸露出於溝槽內之側壁上形成氧化阻止膜。依埋藏溝槽部之方式，在氧化阻止膜上形成半導體膜。在溝槽部內殘留此半導體膜，而形成埋藏半導體區域。利用施行熱處理而在第二導電型層上形成絕緣膜。

依照此製造方法的話，藉由在裸露出於溝槽部內之側壁上形成氧化阻止膜，便可阻止在熱處理之際，特別係溝槽部側壁上部的部分被氧化，而抑制作用於第二導電型層的應力。結果，便可獲得降低一元件形成區域與另一元件形成區域間所產生的漏電流，而確實的將形成於各元件形成區域中之元件予以電性隔離的半導體裝置。

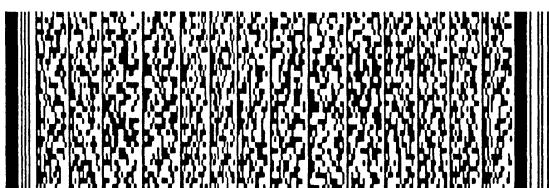
再者，在形成氧化阻止膜之後且形成半導體膜之前，最好具備有裸露出位於溝槽底部的半導體基板區域之步驟；而在形成半導體膜的步驟中，最好半導體膜電性連接於所裸露出的半導體基板區域。

如此埋藏半導體區域在溝槽部底部中，便可電性連接於第一導電型半導體基板的區域，且在埋藏半導體區域的上部(接觸部)中，可輕易的確保半導體基板的電位。

## 【發明實施形態】

## 實施形態1

針對利用本發明實施形態1的半導體裝置之製造方法所



## 五、發明說明(9)

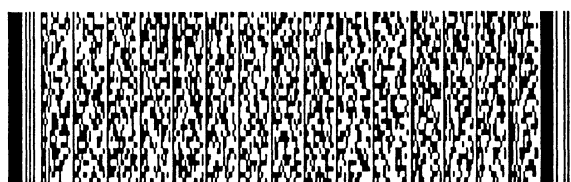
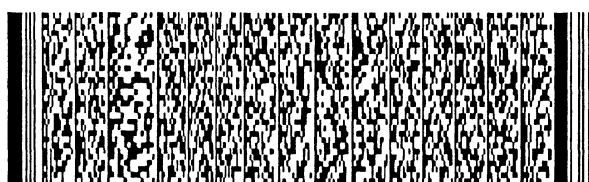
獲得的半導體裝置進行說明。首先，如圖1所示，在P<sup>-</sup>型矽基板1上形成N<sup>+</sup>型埋藏層2。N<sup>+</sup>型埋藏層2係構成NPN電晶體中的接觸低阻抗部分。此N<sup>+</sup>型埋藏層2深度約5  $\mu\text{m}$ 。

其次，經由磊晶成長法形成N<sup>-</sup>型磊晶層3。在磊晶成長中，N<sup>+</sup>型埋藏層2將擴散於P<sup>-</sup>型矽基板1更上方處。此N<sup>-</sup>型磊晶層3的膜厚約6  $\mu\text{m}$ 。利用熱氧化法，在此N<sup>-</sup>型磊晶層3上形成膜厚約0.5  $\mu\text{m}$ 的熱氧化膜4。在此熱氧化膜4上，利用CVD(Chemical Vapor Deposition)法而形成膜厚約1  $\mu\text{m}$ 的氧化矽膜5。

然後，塗佈光阻(未圖示)並利用施行圖案化處理，而在位於形成供隔離用溝槽之區域上的光阻上，形成開口部。其次，當作光阻罩幕並利用施行反應性非等向性蝕刻處理，而將位於形成溝槽之區域上的氧化矽膜5與熱氧化膜4之部分予以去除，而形成構成罩幕的氧化矽膜5a~5c, 4a~4c。然後，去除光阻(參照圖2)。

其次，如圖2所示，將氧化矽膜5a~5c, 4a~4c當作罩幕，並利用施行反應性非等向性蝕刻處理，而形成貫穿N<sup>-</sup>型磊晶層3並達P<sup>-</sup>型矽基板1既定深度處的溝槽6a, 6b。此溝槽6a, 6b的深度約15  $\mu\text{m}$ 。

此溝槽6a, 6b構成隔離區域，將N<sup>-</sup>型磊晶層3隔離為三個N<sup>-</sup>型磊晶層3a~3c。另外，當作罩幕用之氧化矽膜5a~5c, 4a~4c的開口部側壁部分，藉由形成溝槽6a, 6b時的矽蝕刻處理，從此側壁表面起徐緩的被蝕刻而形成推拔狀。然後，利用施行濕式蝕刻或洗淨處理，而將在形成溝



## 五、發明說明(10)

槽6a, 6b之際, 經由矽蝕刻處理所產生的反應生成物予以去除。

其次, 如圖3所示, 利用熱氧化法形成膜厚約50nm的熱氧化膜7a, 7b。此熱氧化膜7a, 7b便是所謂的犧牲氧化膜。利用矽蝕刻處理, 而將受到溝槽6a, 6b側壁或底部損傷的矽面予以氧化, 並將此被氧化的部分在爾後步驟中予以去除。

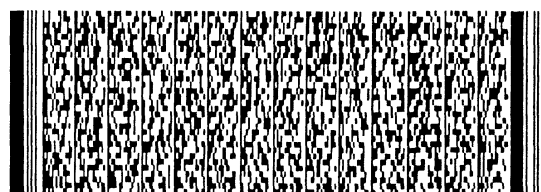
其次, 如圖4所示, 以氧化矽膜5a~5c, 4a~4c為罩幕, 依加速電壓50KeV、摻雜量 $1 \times 10^{14}/\text{cm}^2$ 植入硼, 而在位於溝槽6a, 6b底部的P<sup>-</sup>型矽基板1區域中, 形成通道阻斷層8a, 8b。

此通道阻斷層8a, 8b乃為防止在N<sup>-</sup>型磊晶層3a與N<sup>-</sup>型磊晶層3b之間形成漏電流通路用而形成的。其次, 藉由施行濕式蝕刻, 去除氧化矽膜5a~5c, 4a~4c, 7a, 7b。然後, 利用熱氧化法形成膜厚約0.1  $\mu\text{m}$ 的熱氧化膜9。

接著, 如圖5所示, 依埋藏溝槽6a, 6b之方式, 在熱氧化膜9上形成膜厚約2  $\mu\text{m}$ 的多晶矽膜10。然後, 如圖6所示, 利用對多晶矽膜10整面施行蝕刻處理, 殘留溝槽6a, 6b內的多晶矽膜而形成埋藏多晶矽10a, 10b。

對多晶矽膜10整面施行蝕刻處理, 使裸露出的熱氧化膜9亦被施行蝕刻處理, 而使N<sup>-</sup>型磊晶層3a~3c上所殘留的熱氧化膜9膜厚(殘餘膜厚)為約90nm。但是, N<sup>-</sup>型磊晶層3a~3c上面並未裸露出。

另外, 在多晶矽膜中, 若對其添加既定導電型的雜質的



## 五、發明說明(11)

話，在爾後的氧化處理中，多晶矽膜被氧化的量(膜厚)，將較未添加雜質之多晶矽膜的情況為之增加。因此，如以下所說明般，在為抑制溝槽6a, 6b側壁上部的熱氧化膜厚度變厚俾降低漏電流上，最好多晶矽膜10採用未添加雜質者。

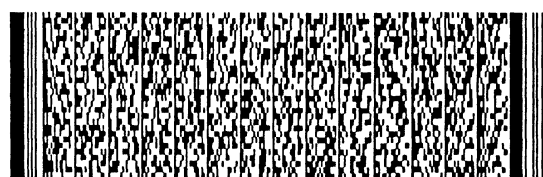
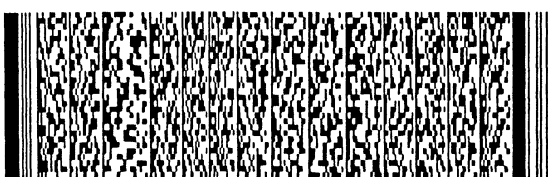
其次，如圖7所示，利用施行熱氧化處理，使熱氧化膜9變厚而形成熱氧化膜31。此熱氧化膜31係依膜厚形成約 $0.6 \mu\text{m}$ 的方式而形成的。此熱氧化膜31係相當於習知技術中的熱氧化膜112。

其次，如圖8所示，利用擴散法將磷導入於接觸拉出部15中，而形成集極拉出層14。利用在經熱處理而擴散磷(磷驅入)之際，亦施行熱氧化處理，便在接觸拉出部15上形成膜厚約 $0.4 \mu\text{m}$ 的熱氧化膜。

另外，磷的氣體擴散係譬如在溫度約 $1000^\circ\text{C}$ 的擴散爐內，一邊流動少量的 $\text{PH}_3$ 氣體( $\sim 1\text{l}/\text{min}$ )、少量的 $\text{O}_2$ 氣體( $\sim 1\text{l}/\text{min}$ )、及大量的 $\text{N}_2$ 氣體( $\sim 50\text{l}/\text{min}$ )，一邊對矽基板(晶圓)施行如10~30分鐘的熱處理。

其次，如圖9所示，利用氣體擴散法，將硼導入於基極拉出部17中，而形成基極拉出層16。在利用在經熱處理而擴散硼(硼驅入)之際，亦施行熱氧化處理，便在基極拉出部17上形成熱氧化膜。

另外，硼的氣體擴散係譬如在溫度約 $1000^\circ\text{C}$ 的擴散爐內，一邊流動少量的 $\text{B}_2\text{H}_6$ 氣體( $\sim 1\text{l}/\text{min}$ )、少量的 $\text{O}_2$ 氣體( $\sim 1\text{l}/\text{min}$ )、及大量的 $\text{N}_2$ 氣體( $\sim 50\text{l}/\text{min}$ )，一邊對矽基板



## 五、發明說明 (12)

(晶圓)施行如10~30分鐘的熱處理。

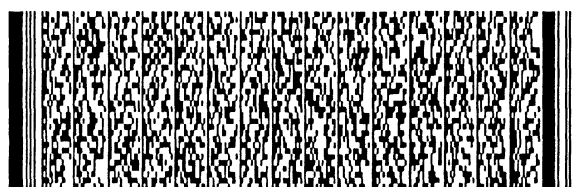
其次，藉由對熱氧化膜31整面施行蝕刻處理而去除熱氧化膜31。此時，必須注意使熱氧化膜31的蝕刻處理終止於必要最小極限，且使溝槽6a, 6b側壁上部的凹洞32a~32d不致變大。為此，若可將位於爾後步驟中所形成基極擴散層21上之熱氧化膜31部分予以去除的話，便必須採用其他區域中即便存有熱氧化膜31殘餘部亦無妨的蝕刻條件。

具體而言，在蝕刻處理之前，預先測量位於基極擴散層21上之熱氧化膜31的膜厚，而求取從此膜厚與蝕刻劑中去除熱氧化膜31所需的蝕刻時間，然後依不致在此基極擴散層21上引發熱氧化膜31之方式，施行蝕刻處理，俾極力降低過蝕刻現象的發生。

然後，如圖10所示，藉由施行熱氧化處理而形成膜厚約 $0.1 \mu\text{m}$ 的熱氧化膜33。其次，如圖11所示，在熱氧化膜33上形成既定的光阻19。以此光阻19為罩幕，並利用植入硼而將硼離子導入於N<sup>-</sup>型磊晶層3b表面上。

然後，去除光阻19，並利用經熱處理而擴散硼(硼驅入)，俾如圖12般的形成基極擴散層21。其次，如圖13所示，在熱氧化膜33上形成光阻22。藉由以此光阻22為罩幕並施行既定的非等向性蝕刻處理，而去除構成射極區域與集極區域之區域上的熱氧化膜33，俾分別形成開口部33a, 33b。

其次，利用植入砷離子23而將砷離子導入於N<sup>-</sup>型磊晶層3b表面上。然後，去除光阻22。接著，利用熱處理而使砷



## 五、發明說明(13)

進行擴散(砷驅入)，便如圖14所示，形成射極擴散層24a與集極接觸層24b。

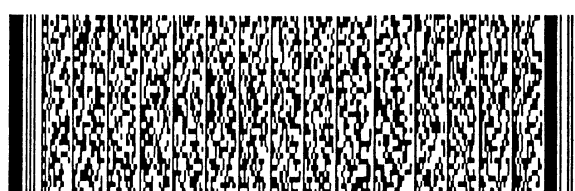
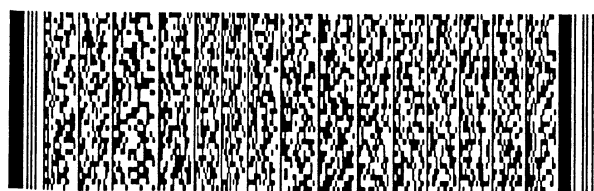
然後，經由CVD法而在熱氧化膜33上形成氧化矽膜25。利用對此氧化矽膜25與熱氧化膜33，施行既定的光微影與蝕刻處理，而分別形成射極接觸窗26a、基極接觸窗26b、集極接觸窗26c。

其次，如圖15所示，藉由形成如 $TiSi_2$ 等的金屬矽化物27a~27c、TiN等阻障金屬28a~28c、AlCu等金屬配線29a~29c，而完成NPN電晶體T。

在習知半導體裝置之製造方法中，於圖63所示步驟中，將位於N型磊晶層103a~103c上之熱氧化膜109，利用蝕刻處理而去除，但是相對於此，在上述製造方法中，於圖6至圖7所示步驟中，則對位於N型磊晶層3a~3c上的熱氧化膜9完全未施行蝕刻處理。

藉此在圖6所示步驟中，沿溝槽6a, 6b開口端附近的側壁，便不致形成如圖63所示凹洞111a~111d。因此，在接著的圖7所示步驟中，於形成熱氧化膜31時所施行熱氧化處理之際，便可抑制如習知製造方法般，使裸露出於凹洞111a~111d中的N型磊晶層103a~103c部分，與埋藏多晶矽110a, 110b部分遭氧化，並抑制位於溝槽106a, 106b開口端附近之側壁上的氧化膜109a, 109b部分變厚的現象發生。

所以，在位於溝槽6a, 6b開口端附近側壁上之熱氧化膜31中所形成的凹洞32a~32d，相較於習知製造方法之下，便相形的較小。



## 五、發明說明(14)

然後，在此半導體裝置之製造方法中，更於剛完成圖9所示步驟之後，依可去除位於基極擴散層21上之熱氧化膜31部分的方式，對熱氧化膜31施行必要最小極限的蝕刻處理，之後在圖10所示步驟中，施行為形成熱氧化膜33的熱處理。

藉此，便不致對熱氧化膜31上所形成的凹洞32a~32d施行過蝕刻處理，而可抑制凹洞32a~32d變大。利用抑制凹洞32a~32d的變大，形成於熱氧化膜33中的凹洞32a~32d亦將變小。

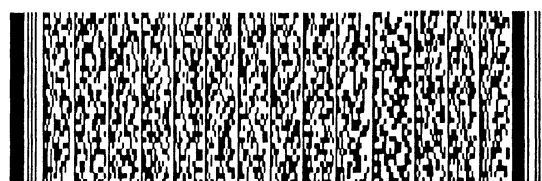
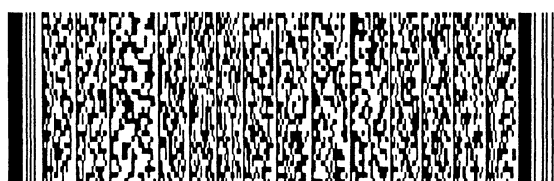
如此的話，在本半導體裝置之製造方法中，完全未對位於N<sup>-</sup>型磊晶層3a~3c上的熱氧化膜9施行蝕刻處理，便可抑制沿溝槽6a, 6b開口端附近側壁形成較大凹洞的現象發生。

藉此便可在形成熱氧化膜31之際，抑制位於開口端附近側壁上的熱氧化膜9a, 9b部分變厚，俾使位於此側壁上之熱氧化膜31部分中所產生的凹洞32a~32d變得更小。

再者，利用對熱氧化膜31施行既定的必要最小極限之蝕刻處理，便可抑制凹洞32a~32d變大，俾使爾後所形成熱氧化膜33中所產生的凹洞32a~32d變小。

藉此在所完成的半導體裝置中，熱氧化膜9a, 9b便將從溝槽6a, 6b底部起橫渡至開口端，形成實質上的相同膜厚。

對依此方式所形成的半導體裝置，與習知的半導體裝置，進行漏電流的評估。結果如圖16與圖17所示。圖16所





## 五、發明說明 (15)

示係對利用溝槽6a而電性隔離的N<sup>-</sup>型磊晶層3a與N<sup>-</sup>型磊晶層3c之間，施加電壓V<sub>cc</sub>之情況下的漏電流I<sub>cc</sub>路徑(箭頭)。在習知半導體裝置中，如圖16所示，發現到流通於位在溝槽6a開口端附近之N<sup>-</sup>型磊晶層3a部分內的漏電流成分L。

相對於此，依照本製造方法所獲得的半導體裝置，如圖15B所示，抑制位於溝槽6a開口端附近側壁上之熱氧化膜的膜厚。因此，便可緩和此部份之N<sup>-</sup>型磊晶層3a的應力。

結果，便可減少流通於開口端附近之N<sup>-</sup>型磊晶層中的該漏電流成分L，如圖17所示般，得知對相同的施加電壓V<sub>cc</sub>，在本半導體裝置中，較習知的半導體裝置可降低漏電流I<sub>cc</sub>。

由此現象可判斷在本半導體裝置中，熱氧化膜9a, 9b乃依從溝槽6a, 6b底部橫渡至開口端，未對N<sup>-</sup>型磊晶層3a~3c附加應力之方式，形成具一定膜厚。

實施形態2

針對本發明實施形態2的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖18所示步驟，係如同實施形態1中所說明之從圖1至圖6的步驟。在此圖18所示步驟中，熱氧化膜9的膜厚約90nm。

其次，如圖19所示，在熱氧化膜9上形成光阻41。以此光阻41為罩幕，將磷離子42導入於接觸拉出部43中。利用施行為擴散磷(磷驅入)的熱處理，而形成集極拉出層。另外，在此為磷驅入的熱處理中，最好在未產生氧化的條件



## 五、發明說明(16)

下進行。藉此便如圖20所示般的形成集極拉出層43。

其次，如圖21所示，在熱氧化膜9上形成光阻44。以此光阻44為罩幕，將硼離子45導入於基極拉出部46中。利用施行為擴散硼(硼驅入)的熱處理，而如圖22所示般的形成基極拉出層46。另外，在此為硼驅入的熱處理中，最好在未產生氧化的條件下進行。

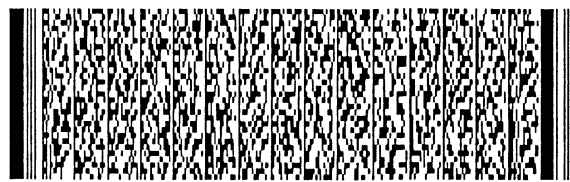
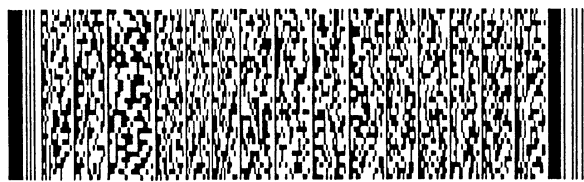
此外，之所以藉由離子植入法形成集極拉出層43與基極拉出層46，乃因為熱氧化膜9比較薄，在氣體擴散法中的罩幕並無法採用熱氧化膜9的緣故所致。

其次，如圖23所示，利用施行熱氧化處理而使熱氧化膜9變厚，俾形成熱氧化膜48。此熱氧化膜48厚度約0.1  $\mu\text{m}$ 。此圖23所示步驟，乃對應著實施形態1中所說明的圖10所示步驟。

之後，利用施行實施形態1中所說明的圖11所示步驟，與圖12所示步驟，而獲得圖24所示構造。然後，利用經由從實施形態1中所說明之圖13所示步驟起，至圖15所示步驟相同的步驟，而完成如圖25所示NPN電晶體T。

在以上的半導體裝置之製造方法中，如實施形態1中所說明般，藉由對位於N<sup>-</sup>型磊晶層3a~3c上的熱氧化膜9，完全未施行蝕刻處理，便可抑制形成熱氧化膜31之際，使位於溝槽6a, 6b開口端附近之側壁上的熱氧化膜9a, 9b部分變厚。

再者，在上述製造方法中，並未施行對應於實施形態1中所說明，在圖9所示步驟與圖10所示步驟之間所施行熱



## 五、發明說明 (17)

氧化膜31蝕刻的蝕刻處理，而採在圖24所示步驟中，對熱氧化膜48更進一步施行熱氧化處理，而使熱氧化膜48形成更厚。

藉此，相較於實施形態1的情況之下，位於溝槽6a, 6b開口端附近側壁上之熱氧化膜48中所產生的凹洞47a~47d便將變得更小，便可阻止此部份的熱氧化膜48膜厚變厚。

結果，如實施形態1中所說明般，可降低N<sup>-</sup>型磊晶層3a~3c間的漏電流，而可確實的將形成於各N<sup>-</sup>型磊晶層3a~3c中之如電晶體等元件予以電性隔離。

### 實施形態3

針對本發明實施形態3的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖26所示步驟，係如同實施形態1中所說明之從圖1至圖5的步驟。

其次，如圖27所示，依在熱氧化膜9上僅殘留些微多晶矽膜10程度之方式，對多晶矽膜10整面施行蝕刻處理。此時的多晶矽膜10殘餘膜厚可為50nm以下。其次，如圖28所示，在殘留多晶矽膜10之狀態下，施行熱氧化處理，而形成熱氧化膜51。熱氧化膜51的厚度約0.6  $\mu\text{m}$ 。

另外，如實施形態1中所說明般，最好埋藏多晶矽10a, 10b屬於未添加雜質者。

然後，利用經由從實施形態1中所說明之圖8所示步驟起，至圖15所示步驟相同的步驟，而完成如圖29所示NPN電晶體T。



## 五、發明說明(18)

在以上的半導體裝置之製造方法中，在圖27所示步驟中，於圖27所示步驟中，對多晶矽膜10整面所施行的蝕刻處理係依熱氧化膜9殘留多晶矽膜10程度進行，然後，在圖28所示步驟中，於此種殘留多晶矽膜10狀態下施行熱氧化處理而形成熱氧化膜51。藉此便可使熱氧化膜51中所產生的凹洞52a~52d變得更小。

然後，對此熱氧化膜51，於如同實施形態1中所說明之圖9所示相同步驟，施行既定的必要最小極限蝕刻，之後再施行熱氧化處理。

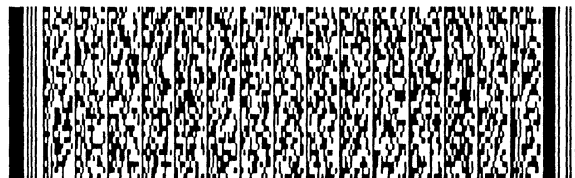
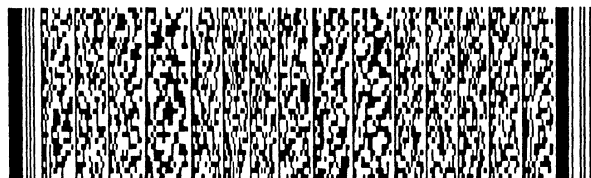
藉此便可抑制位於溝槽6a, 6b開口端附近側壁上的熱氧化膜51部分中所產生的凹洞13a~13d變大，並可阻止此部份中的熱氧化膜9a~9b膜厚變厚。

結果，便可使各N<sup>-</sup>型磊晶層3a, 3b, 3c間的漏電流變得極小，而可確實的將各N<sup>-</sup>型磊晶層3a~3c中所形成電晶體等元件予以電性隔離。

實施形態4

針對本發明實施形態4的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖30所示步驟，係如同實施形態1中所說明之從圖1至圖5的步驟。

其次，如圖31示，對多晶矽膜10施行CMP(Chemical Mechanical Polishing)研磨處理。藉由此CMP研磨處理，便可使埋藏多晶矽10a, 10b上面與熱氧化膜9表面，處於略同一平面上。其次，如圖32所示，經由施行熱氧化處理，



## 五、發明說明(19)

而形成膜厚約 $0.6\ \mu\text{m}$ 的熱氧化膜61。

此時，如同實施形態1中所說明般，藉由對位於 $N^-$ 型磊晶層3a~3c上的熱氧化膜9完全未施行蝕刻處理，便可抑制在形成熱氧化膜9a, 9b之際，位於溝槽6a, 6b開口端附近側壁上的熱氧化膜9a, 9b部分變厚。藉此便可將熱氧化膜61中所產生的凹洞62a~62d變得比較小。另外，如實施形態1中所說明，埋藏多晶矽10a, 10b最好屬於添加雜質者。

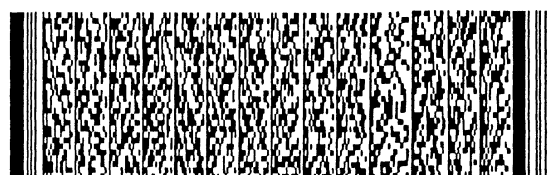
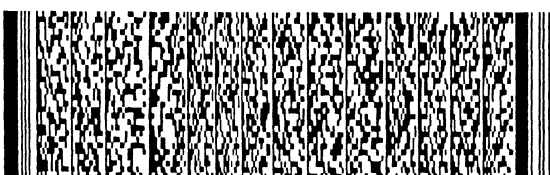
然後，利用經由從實施形態1中所說明之圖8所示步驟起，至圖15所示步驟相同的步驟，而完成如圖33所示NPN電晶體T。

在以上的半導體裝置之製造方法中，如同實施形態1中所說明般，完全未對位於 $N^-$ 型磊晶層3a~3c上的熱氧化膜9施行蝕刻處理，便可在形成熱氧化膜61之際，抑制位於溝槽6a, 6b開口端附近側壁上的熱氧化膜9a, 9b部分變為較厚的現象發生。

再者，利用對熱氧化膜61如同實施形態1中所說明圖9所示相同的步驟，施行既定之必要最小極限的蝕刻處理，然後施行熱氧化處理。

藉此便可抑制位於溝槽6a, 6b開口端附近側壁上之熱氧化膜61部分中所產生的凹洞62a~62d變大，俾阻止位於溝槽6a, 6b開口端附近側壁上之熱氧化膜9a~9b變厚。

結果，便可使各 $N^-$ 型磊晶層3a, 3b, 3c間的漏電流變得極小，而可確實的將各 $N^-$ 型磊晶層3a~3c中所形成電晶體等元件予以電性隔離。



## 五、發明說明(20)

再者，在本製造方法中，特別係對多晶矽膜10施行CMP研磨處理，而使埋藏多晶矽10a,10b上面與熱氧化膜9表面，處於略同一平面上。藉此，便可大幅提升爾後所形成熱氧化膜或層間絕緣膜之溝槽6a,6b上方部分之平坦性，而可施行細微加工。

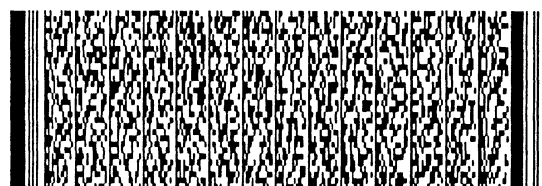
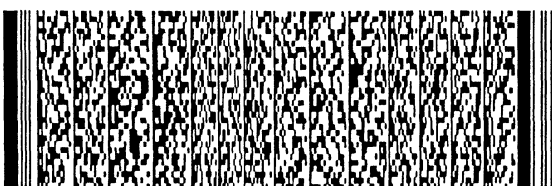
實施形態5

針對本發明實施形態5的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖34所示步驟，係如同實施形態1中所說明之從圖1至圖5的步驟。

其次，如圖35示，對多晶矽膜10施行CMP研磨處理。此時依在熱氧化膜9上僅殘留薄薄的多晶矽膜10程度之方式進行CMP研磨處理。此多晶矽膜10之殘餘膜厚最好在50nm以下。

其次，如圖36所示，在熱氧化膜9上殘留著多晶矽膜10之狀態下，施行熱氧化處理，而形成膜厚約 $0.6\ \mu\text{m}$ 的熱氧化膜63。然後，利用經由從實施形態1中所說明之圖8所示步驟起，至圖15所示步驟相同的步驟，而完成如圖37所示NPN電晶體T。

在以上的半導體裝置之製造方法中，於圖35所示步驟中，在熱氧化膜9上殘留著多晶矽膜10狀態下完成研磨，並利用熱氧化而形成熱氧化膜63。藉此便可在形成熱氧化膜63之際，抑制位於溝槽6a,6b開口端附近側壁上的熱氧化膜9a,9b部分變為較厚的現象發生。



#### 五、發明說明 (21)

對此熱氧化膜63於如同實施形態1中所說明圖9所示相同的步驟中，施行既定之必要最小極限的蝕刻處理，然後施行熱氧化處理。

藉此便可使位於溝槽6a, 6b開口端附近側壁上之熱氧化膜61部分中所產生的凹洞64a~64d變得較小，俾阻止位於溝槽6a, 6b開口端附近側壁上之熱氧化膜9a~9b部分的膜厚變厚。

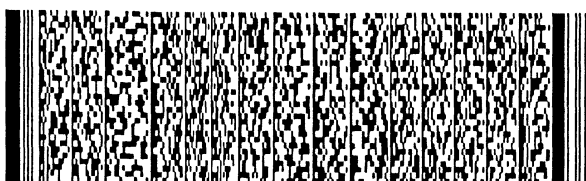
結果，便可使各N<sup>-</sup>型磊晶層3a, 3b, 3c間的漏電流變得極小，而可確實的將各N<sup>-</sup>型磊晶層3a~3c中所形成電晶體等元件予以電性隔離。

再者，如同實施形態4中所說明般，藉由對多晶矽膜10施行CMP研磨處理，而使多晶矽膜10上面幾乎處於同一平面上。藉此，便可大幅提升爾後所形成熱氧化膜或層間絕緣膜之溝槽6a, 6b上方部分之平坦性，而可施行細微加工。

#### 實施形態6

針對本發明實施形態6的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖38所示步驟，係如同實施形態1中所說明之從圖1至圖3的步驟。

其次，如圖39所示，利用CVD法形成氮化矽膜71。此氮化矽膜71膜厚最好約50nm以下。此乃若氮化矽膜71的膜厚變厚的話，隨氮化矽膜71所引起的應力將作用於N<sup>-</sup>型磊晶層3a~3c上，而降低漏電流的抑制效果。



## 五、發明說明(22)

其次，如圖40所示，對氮化矽膜71整面利用反應性非等向性蝕刻處理(RIE)施行蝕刻處理，而僅殘留著溝槽6a, 6b側壁上之氮化矽膜71a~71d。

其次，將氧化矽膜5a~5c, 4a~4c當作罩幕，並利用通過熱氧化膜7a, 7b將硼植入於P-型矽基板1中，而形成如圖41所示的通道阻斷層8a, 8b。然後利用濕式蝕刻處理，而去除氧化矽膜5a~5c, 4a~4c, 7a, 7b，並利用熱氧化法形成膜厚約 $0.1\ \mu\text{m}$ 的熱氧化膜9a~9d。

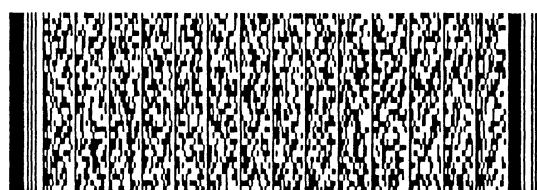
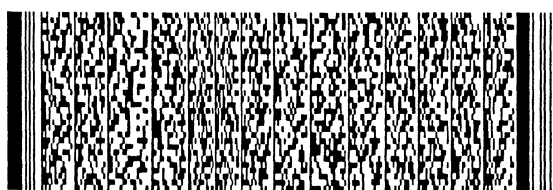
接著，如圖42所示，形成膜厚約 $2\ \mu\text{m}$ 的多晶矽膜10。然後，如圖43所示，利用對多晶矽膜10整面施行蝕刻處理，僅溝槽6a, 6b內殘餘多晶矽膜的埋藏多晶矽10a, 10b。

其次，如圖44所示，利用施行熱氧化處理使熱氧化膜9變厚，而形成膜厚約 $0.6\ \mu\text{m}$ 之熱氧化膜31。此熱氧化膜31係相當於習知技術中的熱氧化膜112。

其次，經由實施形態1中所說明之從圖8所示步驟起至圖10所示步驟相同的步驟，而獲得圖45所示構造。即，利用氣體擴散法形成集極拉出層14與基極拉出層16之後，利用必要最小極限的氧化膜整面蝕刻處理，而去除熱氧化膜31，然後利用熱氧化處理而形成膜厚約 $0.1\ \mu\text{m}$ 的熱氧化膜33。

然後，利用經由從實施形態1中所說明之圖11所示步驟起，至圖15所示步驟相同的步驟，而完成如圖46所示NPN電晶體T。

在以上的半導體裝置之製造方法中，在溝槽6a, 6b上隔





## 五、發明說明 (23)

著熱氧化膜7a~7d形成具阻礙氧化能力之氮化矽膜71a~71d。此外，對位於N<sup>-</sup>型磊晶層3a~3c上的熱氧化膜9，完全未施行蝕刻處理。

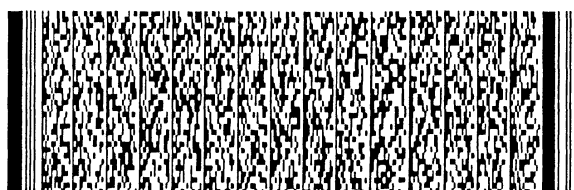
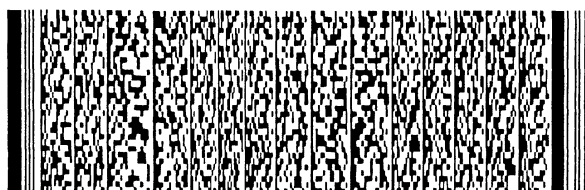
藉此在圖43所示步驟中，沿溝槽6a, 6b開口端附近側壁，並不形成如圖63所示的凹洞111a~111d。所以，在相較於實施形態1的情況下，利用在埋藏多晶矽10a, 10b與熱氧化膜7之間，形成氧化阻止膜的氮化矽膜71a~71d，俾在形成熱氧化膜31時的熱處理中，特別抑制位於溝槽6a, 6b開口端附近側壁上之熱氧化膜7a, 7b部分的氧化，而可確實的阻止此部份膜厚變厚。

結果，便可更加降低各N<sup>-</sup>型磊晶層3a, 3b, 3c間的漏電流，而可確實的將各N<sup>-</sup>型磊晶層3a~3c中所形成電晶體等元件相互間予以電性隔離。

實施形態7

針對本發明實施形態7的半導體裝置之製造方法，與利用製造方法所獲得半導體裝置進行說明。首先，截至圖47所示步驟，係如同實施形態1中所說明之從圖1至圖2的步驟。然後，對供在形成溝槽6a, 6b之際所產生的反應生成物予以去除用的氧化膜，施行濕式蝕刻或洗淨處理。

然後，如圖48所示，藉由施行熱氧化處理而在溝槽6a, 6b側壁等上，形成膜厚約50nm的犧牲氧化膜7a, 7b。其次，如圖49所示，以氧化矽膜5a~5c、4a~4c為罩幕，利用通過犧牲氧化膜7a, 7b植入硼，而在P<sup>-</sup>型矽基板1部分中形成通道阻斷層8a, 8b。



## 五、發明說明 (24)

其次，如圖50所示，利用施行蝕刻處理而去除犧牲氧化膜7a, 7b。此時因為氧化矽膜5a~5c亦將被蝕刻，因此膜厚將變薄。其次，如圖15所示，利用CVD法形成氮化矽膜75。氮化矽膜75的膜厚在考慮氮化矽膜本身的應力之下，最好在約50nm以下。

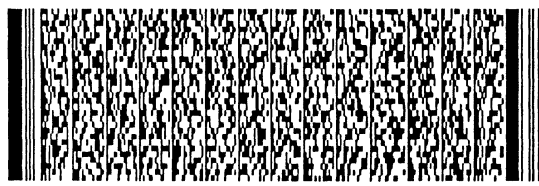
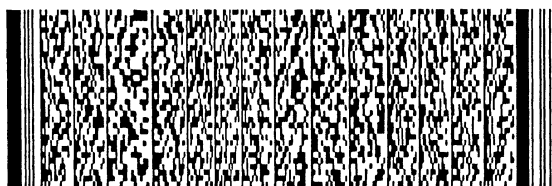
其次，如圖52所示，利用對氮化矽膜75施行非等向性蝕刻處理，而分別僅殘餘溝槽6a, 6b側壁上的氮化矽膜75a~75d。其次，如圖53所示，利用施行濕式蝕刻處理，而去除氧化矽膜5a~5c, 4a~4c。

其次，如圖54所示，藉由施行熱氧化處理，而形成膜厚約0.1  $\mu\text{m}$ 的熱氧化膜9。然後，將位於溝槽6a, 6b底部處的熱氧化膜9部分予以去除，而裸露出P型矽基板1部分。其次，在熱氧化膜9上形成膜厚約2  $\mu\text{m}$ 的多晶矽膜10。

此時，在溝槽6a, 6b底部，多晶矽膜10與P型矽基板1的部分相接觸。特別係此實施形態中的多晶矽膜10，最好依電性連接於P型矽基板1部分之方式，添加譬如硼。

其次，如圖55所示，藉由對多晶矽膜10整面施行蝕刻處理，而僅殘餘溝槽6a, 6b內之多晶矽膜並形成埋藏多晶矽10a, 10b。此時，在使氮化矽膜75a~75d與多晶矽膜10之蝕刻速度，實質上相同的蝕刻速度條件下，對多晶矽膜10施行蝕刻處理，俾使埋藏多晶矽10a, 10b上面與氮化矽膜75a~75d上面，位於略相同的平面上。

其次，如圖56所示，藉由施行熱氧化處理，將熱氧化膜9膜厚變厚，而形成膜厚約0.6  $\mu\text{m}$ 的熱氧化膜76。此熱氧



## 五、發明說明 (25)

化膜76相當於習知製造方法中的熱氧化膜112。

然後，經由如同實施形態1中所說明的圖11所示步驟至圖15所示步驟相同的步驟，而完成如圖58所示NPN電晶體T。特別係在此半導體裝置中，形成電性連接於P<sup>-</sup>型矽基板1上的隔離接觸26d。

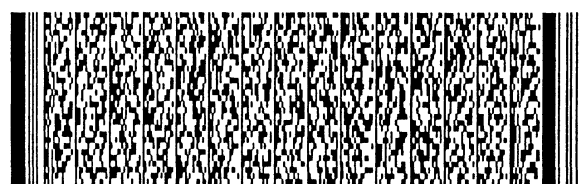
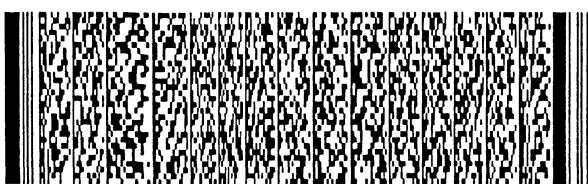
在上述半導體裝置之製造方法中，溝槽6a, 6b側壁利用具有氧化阻止能力的氮化矽膜75a~75d而分別被覆蓋著。此外，對位於N<sup>-</sup>型磊晶層3a~3c上的熱氧化膜9完全未施行蝕刻處理。

藉此，在圖55所示步驟中，便不致沿溝槽6a, 6b開口端附近的側壁，形成如圖63所示的凹洞111a~111d。所以，在相較於實施形態1的情況下，利用在埋藏多晶矽10a, 10b與熱氧化膜7之間，形成氧化阻止膜的氮化矽膜75a~75d，俾在形成熱氧化膜76時的熱處理中，特別抑制位於溝槽6a, 6b開口端附近側壁上之熱氧化膜7a, 7b部分的氧化，而可確實的阻止此部份膜厚變厚。

結果，便可更加降低各N<sup>-</sup>型磊晶層3a, 3b, 3c間的漏電流，而可確實的將各N<sup>-</sup>型磊晶層3a~3c中所形成電晶體等元件相互間予以電性隔離。

再者，在利用此製造方法所獲得的半導體裝置中，形成於溝槽6b中的埋藏多晶矽10b，便在溝槽6b底部電性連接於P<sup>-</sup>型矽基板1之部分。

藉此，隔離接觸26d的電位便形成與P<sup>-</sup>型矽基板1的電位相同，便可確保將P<sup>-</sup>型矽基板1電位從隔離接觸26d中隔離



## 五、發明說明(26)

開。

相對於此，習知利用依據PN接面之隔離構造的NPN電晶體，如圖59所示，分別形成供將各N<sup>-</sup>型磊晶層3a~3c之間予以隔離用的P<sup>+</sup>隔離擴散層80a, 80b。

為此，為確保P<sup>-</sup>型矽基板1電位，必須在P<sup>+</sup>隔離擴散層80a, 80b中形成接觸，並在此部份內設置鋁電極俾確保電位。同時，對半導體裝置整體，為確保P<sup>-</sup>型矽基板1電位，因此導致必要設置此類的P<sup>+</sup>型隔離擴散層。

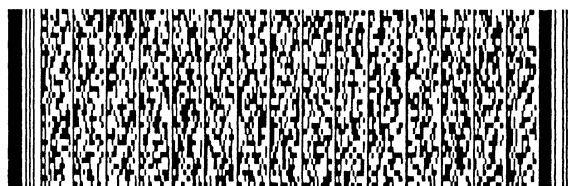
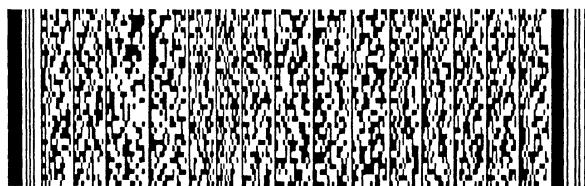
在本半導體裝置中，透過形成於溝槽6a, 6b中的埋藏多晶矽10b，便可直接的確保P<sup>-</sup>型矽基板1電位，而輕易的將半導體裝置固定於P<sup>-</sup>型矽基板1的電位。

另外，在上述各實施形態中，雖在溝中埋藏著多晶矽膜，但是除此之外，僅要熱膨脹率接近矽基板熱膨脹率值之材料的話便可，亦可為如SiGe等半導體材料。

另外，在上述各實施形態中所說明的半導體裝置之製造方法，元件係舉NPN電晶體為例進行說明。但是，本發明並不僅限於NPN電晶體，連PNP電晶體亦可適用。此外，不僅限於雙載子電晶體，亦可採用MOS電晶體。此外，並不僅限於電晶體，即便其他元件亦可適用。

本次所揭示的實施形態完全僅止於例示而已，不可認為係屬於限制性。本發明並非上述所說明者，而是申請專利範圍所揭示者，舉凡與申請專利範圍具均等含義，以及其範圍內的所有改變均涵蓋在內。

【元件編號說明】



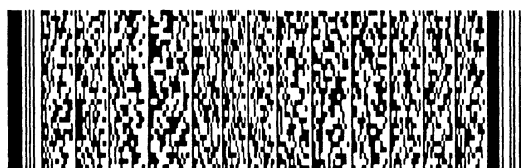
## 五、發明說明 (27)

1	P <sup>-</sup> 型矽基板
2	N <sup>+</sup> 型埋藏層
3	N <sup>-</sup> 型磊晶層
3a~3c	N <sup>-</sup> 型磊晶層
4	熱氧化膜
4a~4c	氧化矽膜
5	氧化矽膜
5a~5c, 4a~4c	氧化矽膜
6a, 6b	溝槽
7	熱氧化膜
7a~7d	熱氧化膜
7a, 7b	犧牲氧化膜
8a, 8b	通道阻斷層
9	熱氧化膜
9a, 9b	熱氧化膜
10	多晶矽膜
10a, 10b	埋藏多晶矽
13	基極拉出部
14	集極拉出層
15	集極拉出部
16	基極拉出層
17	基極拉出部
19	光阻
21	基極擴散層



## 五、發明說明 (28)

22	光阻
23	砷離子
24a	射極擴散層
24b	集極接觸層
25	氧化矽膜
26a	射極接觸窗
26b	基極接觸窗
26c	集極接觸窗
26d	隔離接觸
27a~27c	金屬矽化物
28a~28c	阻障金屬
29a~29c	金屬配線
31	熱氧化膜
32a~32d	凹洞
33	熱氧化膜
33a, 33b	開口部
41	光阻
42	磷離子
43	集極拉出層
44	光阻
45	硼離子
46	基極拉出層
47a~47d	凹洞
48	熱氧化膜



## 五、發明說明 (29)

51	熱氧化膜
52a~52d	凹洞
61	熱氧化膜
62a~62d	凹洞
63	熱氧化膜
71	氮化矽膜
71a~71d	氮化矽膜
75	氮化矽膜
75a~75d	氮化矽膜
76	熱氧化膜
80a, 80b	P <sup>+</sup> 隔離擴散層
101	P <sup>-</sup> 型矽基板
102	N <sup>+</sup> 型埋藏層
103	N <sup>-</sup> 型磊晶層
103a~103c	N <sup>-</sup> 型磊晶層
106a, 106b	溝槽
108a, 108b	通道阻斷層
109	熱氧化膜
109a, 109b	氧化膜
110a, 110b	埋藏多晶矽
111a~111d	凹洞
112	熱氧化膜
113a~113d	凹洞
114	集極拉出層



## 五、發明說明 (30)

116	基極拉出層
118	熱氧化膜
121	基極擴散層
124a	射極擴散層
124b	集極擴散層
127a~127c	金屬矽化物
128a~128c	阻障金屬
129a~129c	金屬配線
I <sub>cc</sub>	漏電流
L	漏電流成分
T	NPN電晶體





## 圖式簡單說明

圖1為本發明實施形態1的半導體裝置之製造方法的其中一步驟剖視圖。

圖2為同實施形態中，圖1所示步驟之後所執行步驟的剖視圖。

圖3為同實施形態中，圖2所示步驟之後所執行步驟的剖視圖。

圖4為同實施形態中，圖3所示步驟之後所執行步驟的剖視圖。

圖5為同實施形態中，圖4所示步驟之後所執行步驟的剖視圖。

圖6為同實施形態中，圖5所示步驟之後所執行步驟的剖視圖。

圖7為同實施形態中，圖6所示步驟之後所執行步驟的剖視圖。

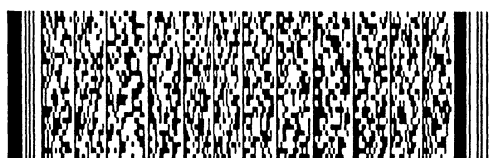
圖8為同實施形態中，圖7所示步驟之後所執行步驟的剖視圖。

圖9為同實施形態中，圖8所示步驟之後所執行步驟的剖視圖。

圖10為同實施形態中，圖9所示步驟之後所執行步驟的剖視圖。

圖11為同實施形態中，圖10所示步驟之後所執行步驟的剖視圖。

圖12為同實施形態中，圖11所示步驟之後所執行步驟的剖視圖。



## 圖式簡單說明

圖13為同實施形態中，圖12所示步驟之後所執行步驟的剖視圖。

圖14為同實施形態中，圖13所示步驟之後所執行步驟的剖視圖。

圖15為同實施形態中，圖14所示步驟之後所執行步驟的剖視圖。

圖16為同實施形態中，漏電流路徑示意圖。

圖17為同實施形態中，磊晶層間之施加電壓與漏電流間的關係圖。

圖18為本發明實施形態2的半導體裝置之製造方法的其中一步驟剖視圖。

圖19為同實施形態中，圖18所示步驟之後所執行步驟的剖視圖。

圖20為同實施形態中，圖19所示步驟之後所執行步驟的剖視圖。

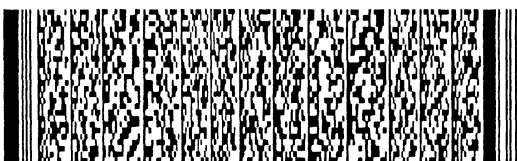
圖21為同實施形態中，圖20所示步驟之後所執行步驟的剖視圖。

圖22為同實施形態中，圖21所示步驟之後所執行步驟的剖視圖。

圖23為同實施形態中，圖22所示步驟之後所執行步驟的剖視圖。

圖24為同實施形態中，圖23所示步驟之後所執行步驟的剖視圖。

圖25為同實施形態中，圖24所示步驟之後所執行步驟的



## 圖式簡單說明

剖視圖。

圖26為本發明實施形態3的半導體裝置之製造方法的其中一步驟剖視圖。

圖27為同實施形態中，圖26所示步驟之後所執行步驟的剖視圖。

圖28為同實施形態中，圖27所示步驟之後所執行步驟的剖視圖。

圖29為同實施形態中，圖28所示步驟之後所執行步驟的剖視圖。

圖30為本發明實施形態4的半導體裝置之製造方法的其中一步驟剖視圖。

圖31為同實施形態中，圖30所示步驟之後所執行步驟的剖視圖。

圖32為同實施形態中，圖31所示步驟之後所執行步驟的剖視圖。

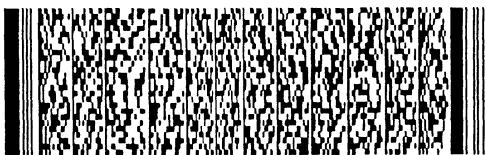
圖33為同實施形態中，圖32所示步驟之後所執行步驟的剖視圖。

圖34為本發明實施形態5的半導體裝置之製造方法的其中一步驟剖視圖。

圖35為同實施形態中，圖34所示步驟之後所執行步驟的剖視圖。

圖36為同實施形態中，圖35所示步驟之後所執行步驟的剖視圖。

圖37為同實施形態中，圖36所示步驟之後所執行步驟的



## 圖式簡單說明

剖視圖。

圖38為本發明實施形態6的半導體裝置之製造方法的其中一步驟剖視圖。

圖39為同實施形態中，圖38所示步驟之後所執行步驟的剖視圖。

圖40為同實施形態中，圖39所示步驟之後所執行步驟的剖視圖。

圖41為同實施形態中，圖40所示步驟之後所執行步驟的剖視圖。

圖42為同實施形態中，圖41所示步驟之後所執行步驟的剖視圖。

圖43為同實施形態中，圖42所示步驟之後所執行步驟的剖視圖。

圖44為同實施形態中，圖43所示步驟之後所執行步驟的剖視圖。

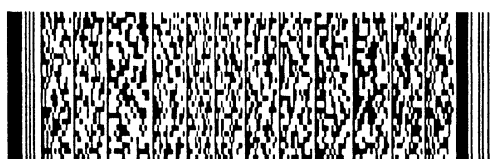
圖45為同實施形態中，圖44所示步驟之後所執行步驟的剖視圖。

圖46為同實施形態中，圖45所示步驟之後所執行步驟的剖視圖。

圖47為本發明實施形態7的半導體裝置之製造方法的其中一步驟剖視圖。

圖48為同實施形態中，圖47所示步驟之後所執行步驟的剖視圖。

圖49為同實施形態中，圖48所示步驟之後所執行步驟的



## 圖式簡單說明

剖視圖。

圖50為同實施形態中，圖49所示步驟之後所執行步驟的剖視圖。

圖51為同實施形態中，圖50所示步驟之後所執行步驟的剖視圖。

圖52為同實施形態中，圖51所示步驟之後所執行步驟的剖視圖。

圖53為同實施形態中，圖52所示步驟之後所執行步驟的剖視圖。

圖54為同實施形態中，圖53所示步驟之後所執行步驟的剖視圖。

圖55為同實施形態中，圖54所示步驟之後所執行步驟的剖視圖。

圖56為同實施形態中，圖55所示步驟之後所執行步驟的剖視圖。

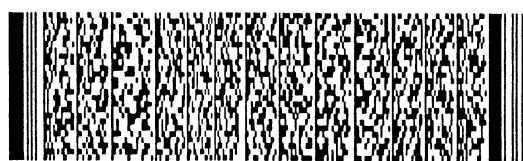
圖57為同實施形態中，圖56所示步驟之後所執行步驟的剖視圖。

圖58為同實施形態中，圖57所示步驟之後所執行步驟的剖視圖。

圖59為同實施形態中，供說明圖58所示半導體裝置效果之比較用含PN隔離型電晶體的剖視圖。

圖60為習知半導體裝置之製造方法的其中一步驟剖視圖。

圖61為圖60所示步驟之後所執行步驟的剖視圖。



## 圖式簡單說明

圖 62 為圖 61 所示步驟之後所執行步驟的剖視圖。

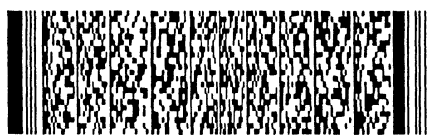
圖 63 為圖 62 所示步驟之後所執行步驟的剖視圖。

圖 64 為圖 63 所示步驟之後所執行步驟的剖視圖。

圖 65 為圖 64 所示步驟之後所執行步驟的剖視圖。

圖 66 為圖 65 所示步驟之後所執行步驟的剖視圖。

圖 67 為圖 66 所示步驟之後所執行步驟的剖視圖。

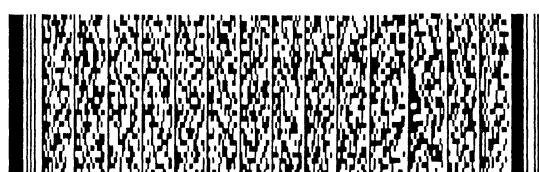


## 四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明係在P<sup>-</sup>型矽基板(1)上形成N<sup>-</sup>型磊晶層(3)。形成有貫穿N<sup>-</sup>型磊晶層(3)並達P<sup>-</sup>型矽基板(1)既定深度處的溝槽(6a, 6b)。在溝槽(6a, 6b)側壁上形成熱氧化膜(9a, 9b)。依埋藏溝槽(6a, 6b)之方式形成埋藏多晶矽(10a, 10b)。熱氧化膜(9a, 9b)係從溝槽(6a, 6b)底部橫渡開口端，依未對N<sup>-</sup>型磊晶層(3a~3c)賦予應力之方式，形成約略一定的膜厚。藉此便可獲得經抑制漏電流的半導體裝置。

## 英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR THE SAME)

An N<sup>-</sup> type epitaxial layer is formed on a P<sup>-</sup> type silicon substrate. Trenches are created so as to penetrate N<sup>-</sup> type epitaxial layer and so as to reach to a predetermined depth of P<sup>-</sup> type silicon substrate. Thermal oxide films are formed on the sidewalls of trenches. Buried polysilicon films are formed so as to fill in trenches. Thermal oxide films are formed having an approximately constant film thickness ranging from the bottoms to the edges of the openings of trenches so as not to



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR THE SAME)

give stress to  $N^-$  type epitaxial layers. Thereby, a semiconductor device wherein a leak current is prevented can be gained.





## 六、申請專利範圍

1. 一種半導體裝置，係具備有：

具主表面之第一導電型的半導體基板(1)；

第二導電型層(3)，形成於上述半導體基板(1)之上述主表面上；

溝槽部(6a, 6b)，依貫穿上述第二導電型層(3)並到達上述半導體基板(1)區域之方式而形成，用以將上述第二導電型層(3)隔離為一個元件形成區域(3a, 3b, 3c)與另一個元件形成區域(3a, 3b, 3c)；

絕緣膜(7a, 7b, 9a, 9b, 71a, 71b, 75a, 75b)，形成於上述溝槽部(6a, 6b)側壁上；以及

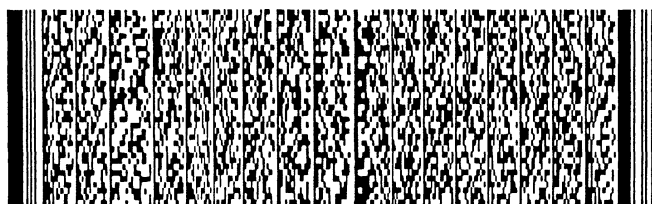
埋藏半導體區域(10a, 10b)，依埋藏上述溝槽部(6a, 6b)之方式，形成於上述絕緣膜(7a, 7b, 9a, 9b, 71a, 71b, 75a, 75b)上；其中，

上述絕緣膜(7a, 7b, 9a, 9b, 71a, 71b, 75a, 75b)係從上述溝槽部(6a, 6b)底部橫渡開口端，具有不致對上述第二導電型層(3)賦予應力的略相同膜厚。

2. 如申請專利範圍第1項之半導體裝置，其中，上述絕緣膜(7a, 7b, 9a, 9b)係含有氧化矽膜。

3. 如申請專利範圍第2項之半導體裝置，其中，上述絕緣膜(71a, 71b, 75a, 75b)係含有形成於上述氧化矽膜與上述埋藏半導體區域(10a, 10b)之間的氧化阻止膜(71a, 71b, 75a, 75b)。

4. 如申請專利範圍第3項之半導體裝置，其中，上述埋藏半導體區域(10a, 10b)係在上述溝槽部(6a, 6b)底部，電



## 六、申請專利範圍

連接上述第一導電型半導體基板(1)區域。

5. 如申請專利範圍第4項之半導體裝置，其中，上述埋藏半導體區域(10a, 10b)係含有第一導電型雜質。

6. 如申請專利範圍第1項之半導體裝置，其中，上述絕緣膜(75a, 75b)係由氧化阻止膜(75a, 75b)所構成。

7. 如申請專利範圍第6項之半導體裝置，其中，上述埋藏半導體區域(10a, 10b)係在上述溝槽部(6a, 6b)底部，電連接上述第一導電型半導體基板(1)區域。

8. 如申請專利範圍第7項之半導體裝置，其中，上述埋藏半導體區域(10a, 10b)係含有第一導電型雜質。

9. 如申請專利範圍第1項之半導體裝置，其中，上述第二導電型層(3)上面、上述絕緣膜(7a, 7b, 9a, 9b, 71a, 71b, 75a, 75b)上端、及上述埋藏半導體區域(10a, 10b)上面係位於略同一平面上。

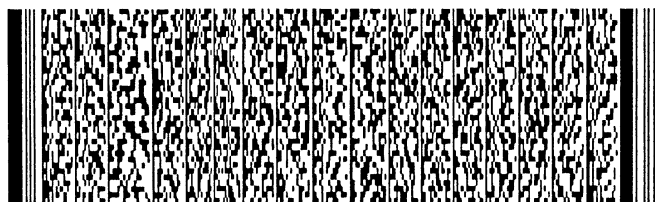
10. 一種半導體裝置之製造方法，係具備有：

在第一導電型半導體基板(1)之主表面上形成第二導電型層(3)的步驟；

形成供將上述第二導電型層(3)區分為一元件形成區域(3a, 3b, 3c)與另一元件形成區域(3a, 3b, 3c)用之溝槽部(6a, 6b)的步驟；

在包含裸露於上述溝槽部(6a, 6b)內的側壁上方之上述第二導電型層(3)上，形成第一絕緣膜(9)的步驟；

依埋藏上述溝槽部(6a, 6b)之方式，在上述第一絕緣膜(9)上形成半導體膜(10)的步驟；



## 六、申請專利範圍

在上述溝槽部(6a, 6b)內殘留上述半導體膜(10)，而形成埋藏半導體區域(10a, 10b)的步驟；以及

利用對位於上述第二導電型層(3)上面之上述第一絕緣膜(9)施行熱處理，而形成較上述第一絕緣膜(9)更厚的第二絕緣膜(33, 63, 61)的步驟。

11. 如申請專利範圍第10項之半導體裝置之製造方法，其中，在形成上述第二絕緣膜(33, 63, 61)之後，係具備有：

依於上述第二導電型層(3)中至少使形成既定元件之區域部分的表面裸露出之方式，對上述第二絕緣膜(33, 63, 61)施行加工的步驟；以及

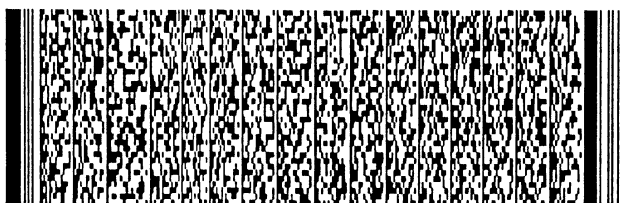
依覆蓋著上述裸露出之上述第二導電型層(3)部分之方式，在上述第二導電型層(3)上形成第三絕緣膜(25)的步驟。

12. 如申請專利範圍第10項之半導體裝置之製造方法，其中，

在形成上述埋藏半導體區域(10a, 10b)的步驟中，係依在上述第一絕緣膜(9)上殘留上述半導體膜(10)之方式，對上述半導體膜(10)施行加工；

在形成上述第二絕緣膜(63)之步驟中，係包含殘留於上述第一絕緣膜(9)上之上述半導體膜(10)部分並施行上述熱處理。

13. 如申請專利範圍第10項之半導體裝置之製造方法，其中，



## 六、申請專利範圍

在形成上述埋藏半導體區域(10a, 10b)的步驟中，係依位於上述第二導電型層(3)上面之上述第一絕緣膜(9)表面裸露出之方式，對上述半導體膜(9)施行加工；

在形成上述第二絕緣膜(61)之步驟中，係在裸露出上述第一絕緣膜(9)表面的狀態下施行上述熱處理。

14. 一種半導體裝置之製造方法，係具備有：

在第一導電型半導體基板(1)之主表面上形成第二導電型層(3)的步驟；

形成供將上述第二導電型層(3)區分為一元件形成區域(3a, 3b, 3c)與另一元件形成區域(3a, 3b, 3c)用之溝槽部(6a, 6b)的步驟；

在裸露出於上述溝槽部(6a, 6b)內之側壁上形成氧化阻止膜(71, 75)的步驟；

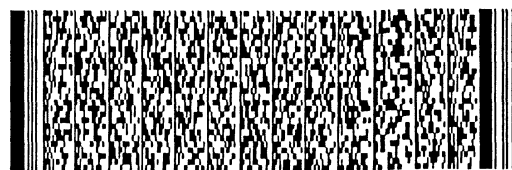
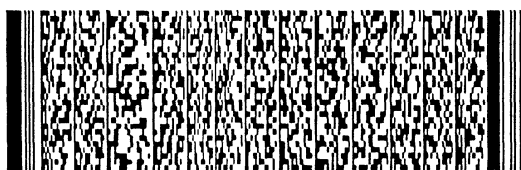
依埋藏上述溝槽部(6a, 6b)之方式，在上述氧化阻止膜(71a, 71b, 75a, 75b)上形成半導體膜(10)的步驟；

在上述溝槽部(6a, 6b)內殘留上述半導體膜(10)而形成埋藏半導體區域(10a, 10b)的步驟；以及

利用施行熱處理而在第二導電型層(3)上形成絕緣膜(31)的步驟。

15. 如申請專利範圍第14項之半導體裝置之製造方法，其中，

在形成上述氧化阻止膜(75)之後且形成上述半導體膜(10)之前，係具備有裸露出位於上述溝槽部(6a, 6b)底部的上述半導體基板(1)區域的步驟；

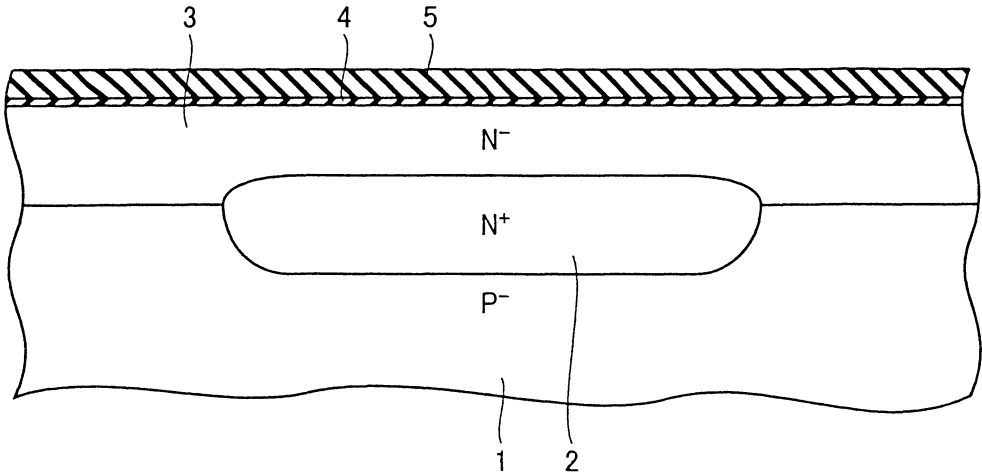


## 六、申請專利範圍

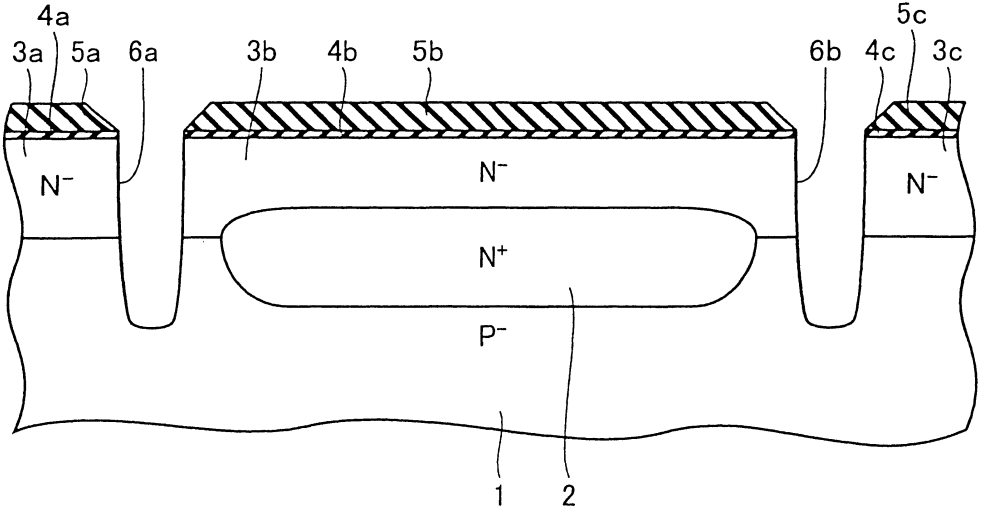
而在形成上述半導體膜(10)的步驟中，上述半導體膜(10)係電連接所裸露出的上述半導體基板(1)區域。



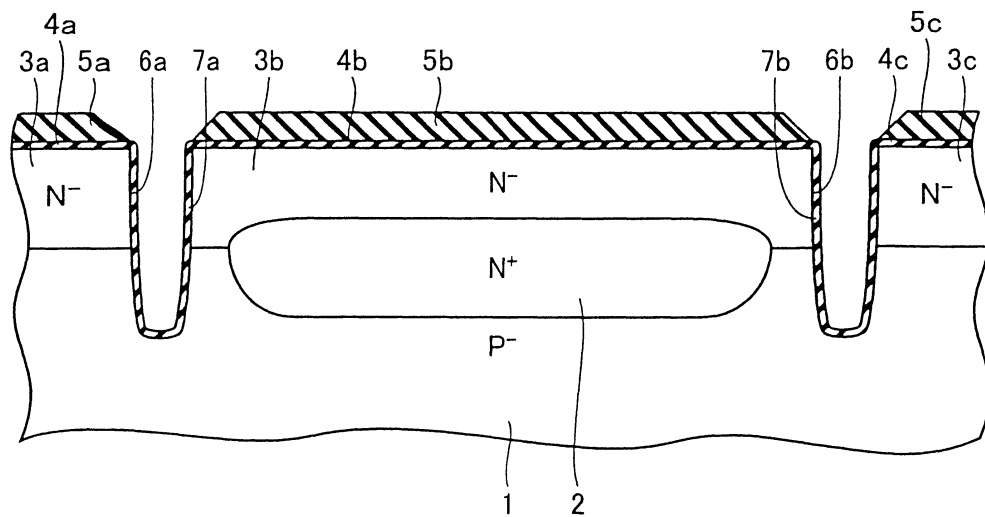
1



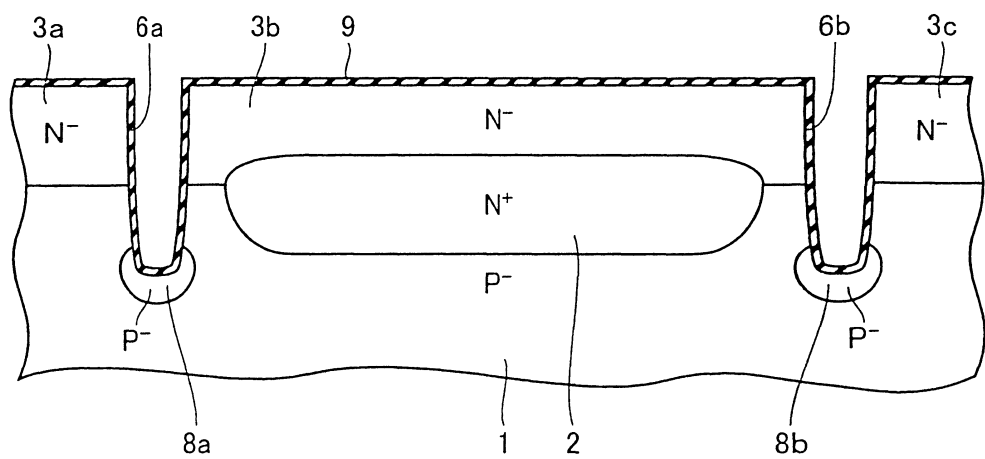
2



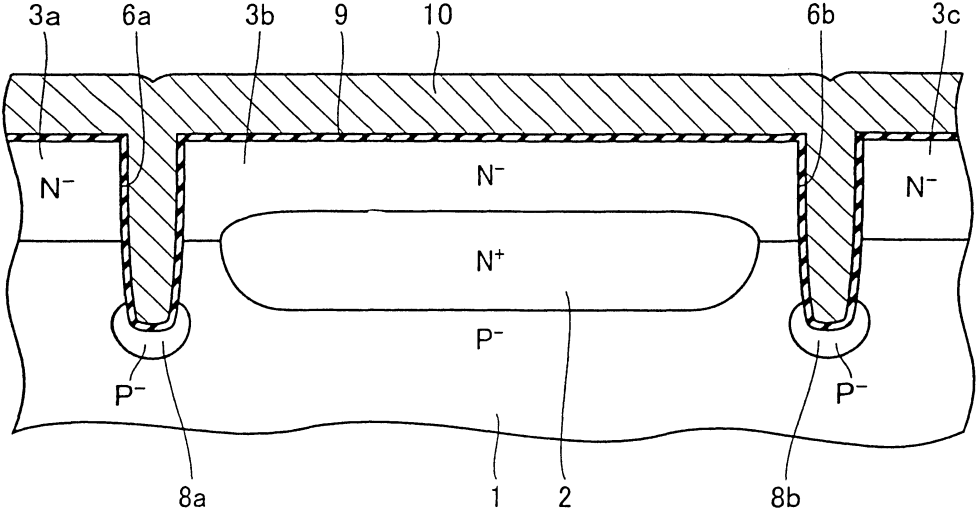
3



4



5



6

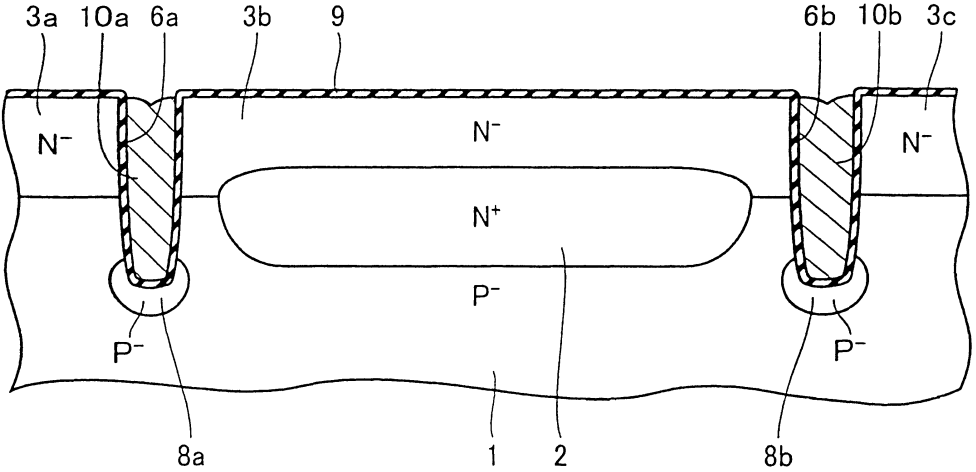




图 7

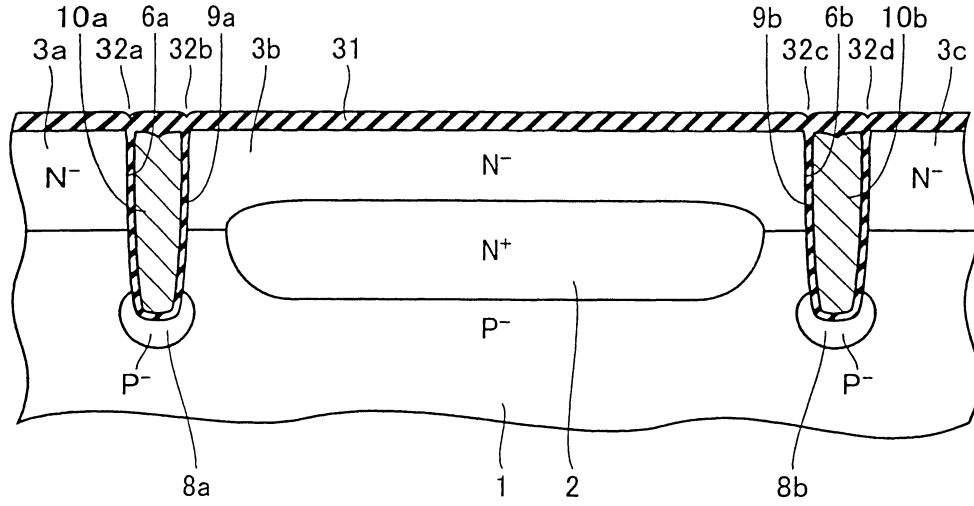
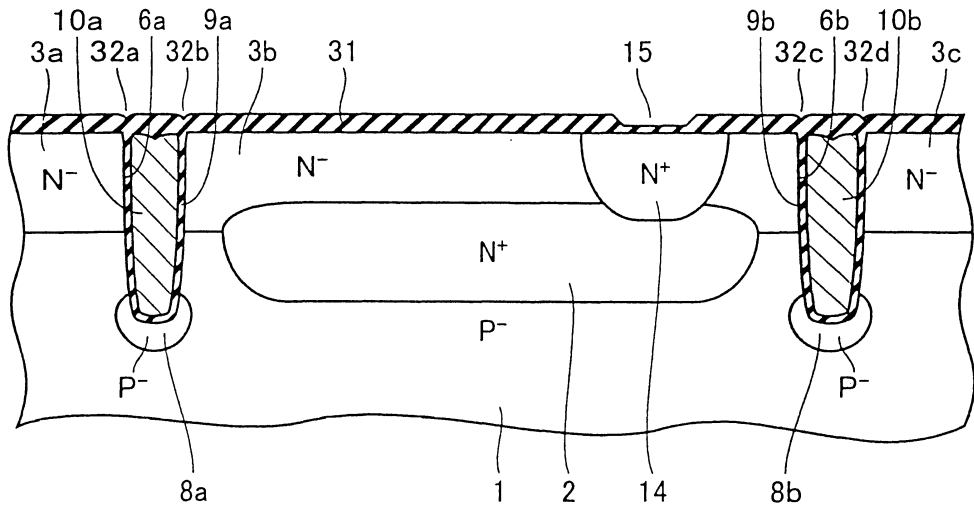
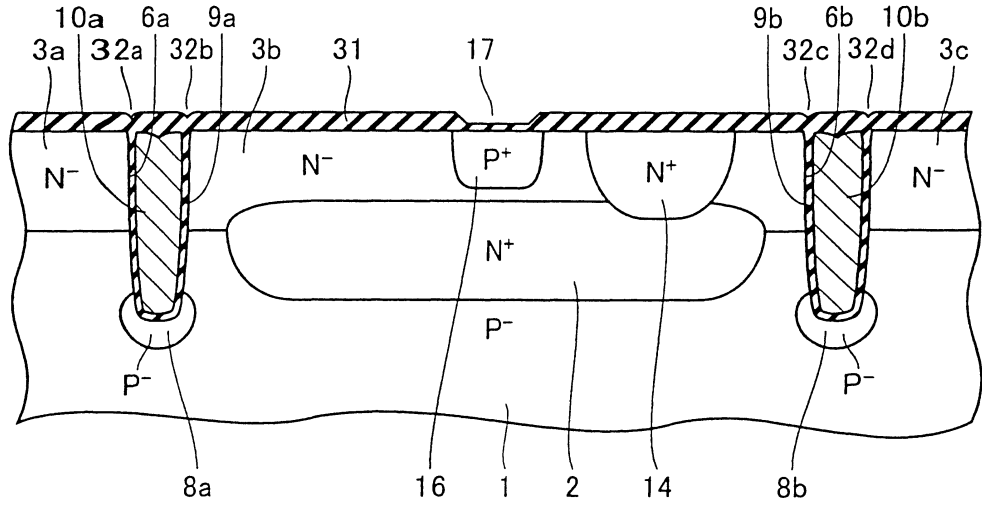


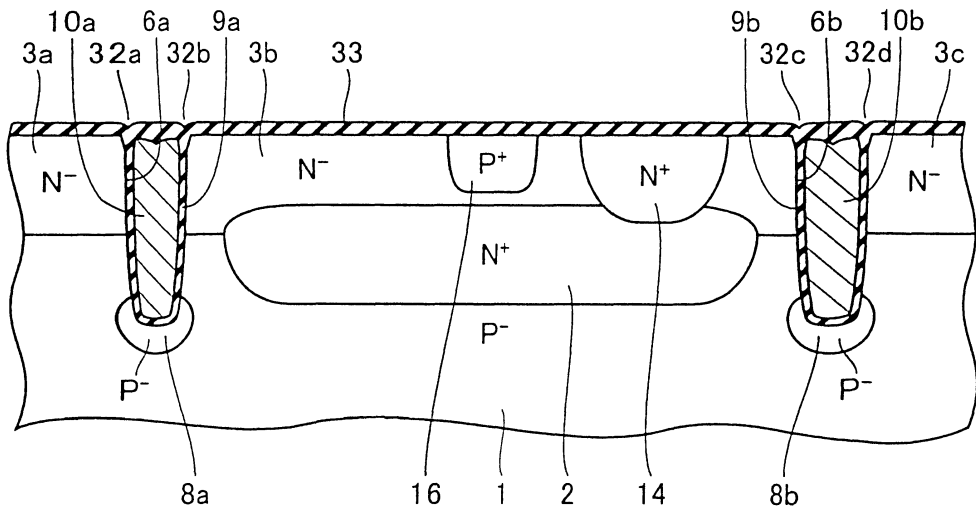
图 8



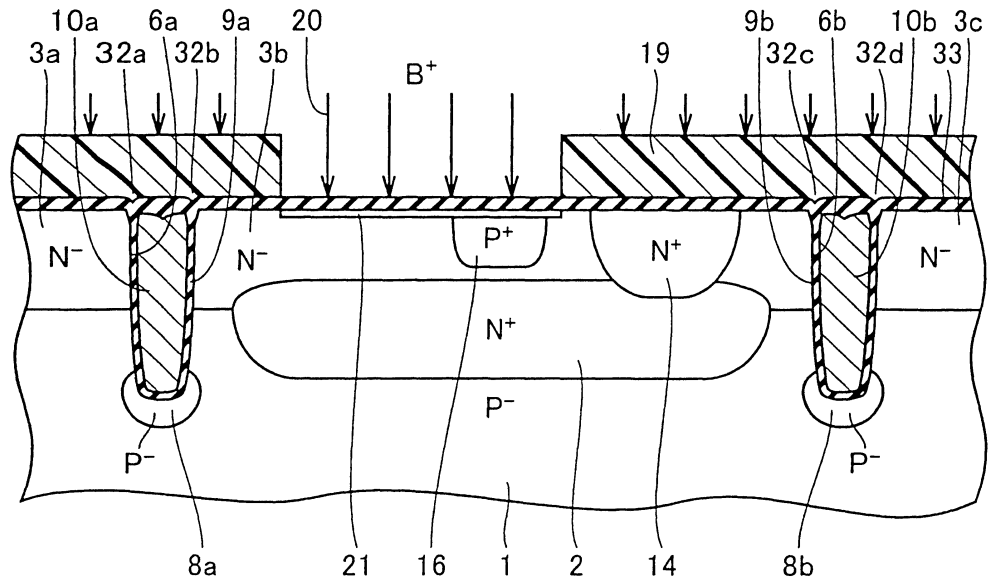
9



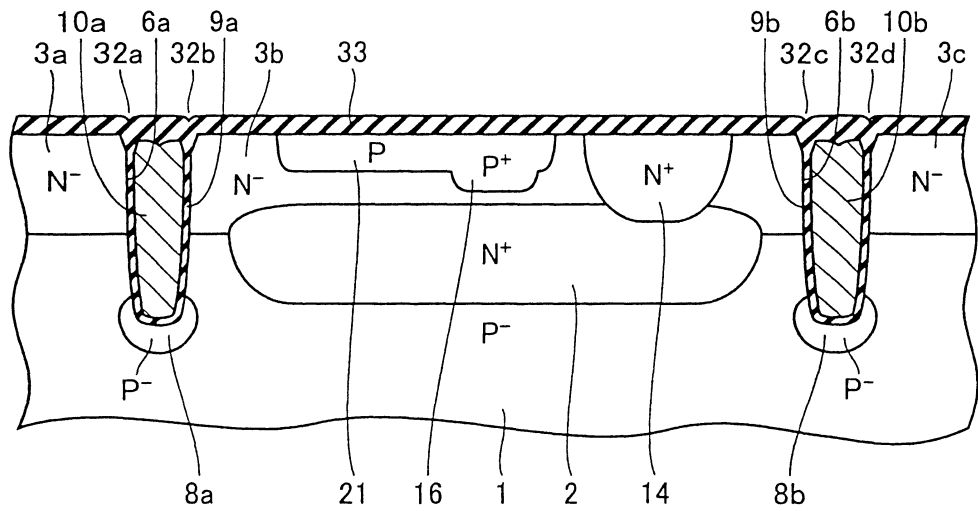
10



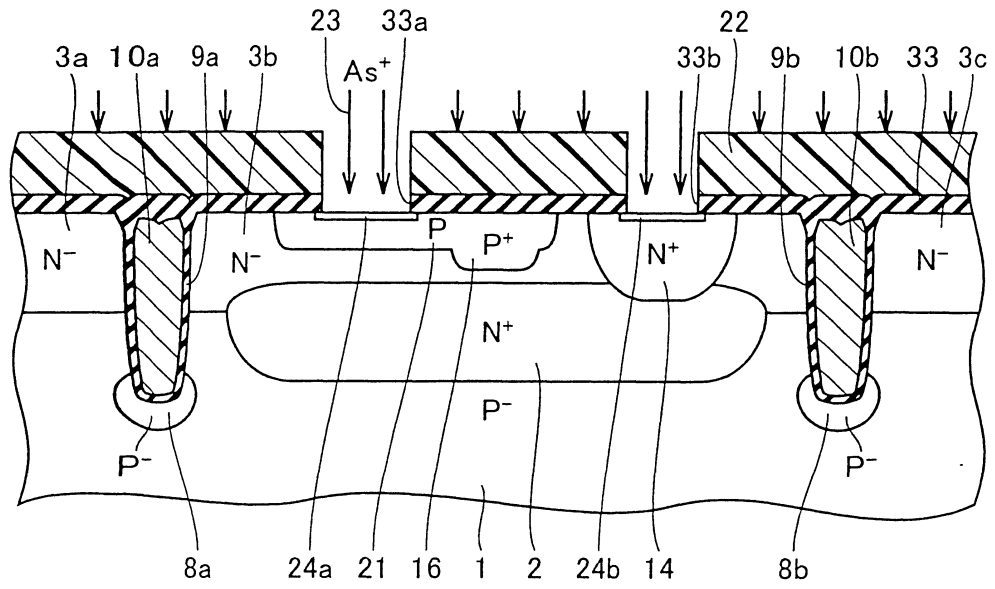
11



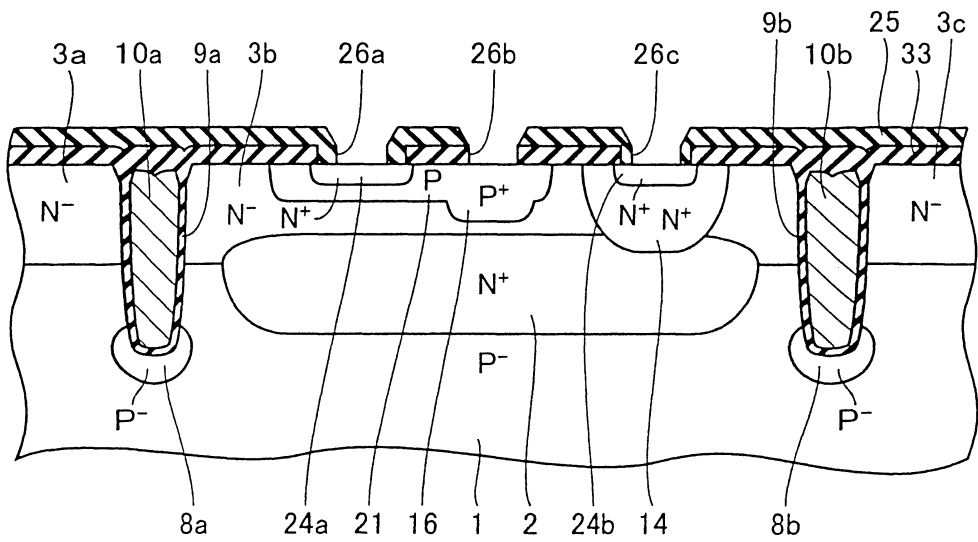
12



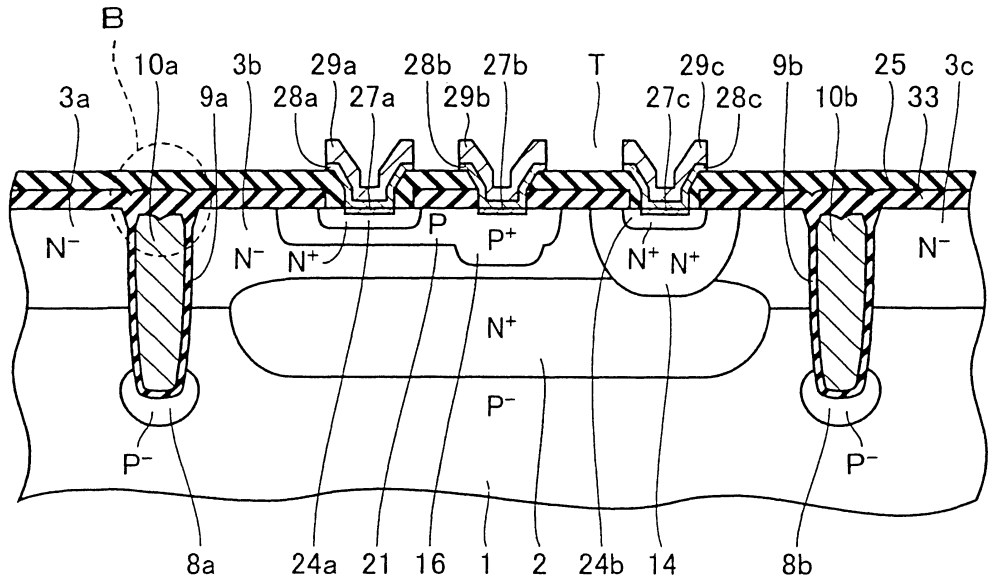
13



14



15



16

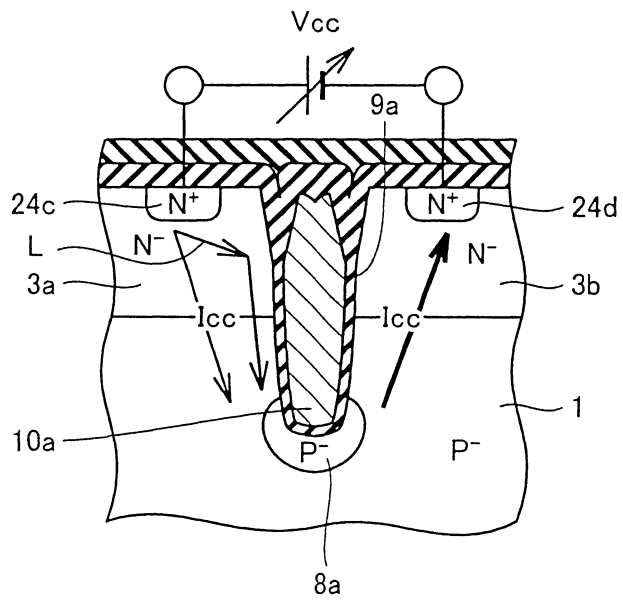


圖 17

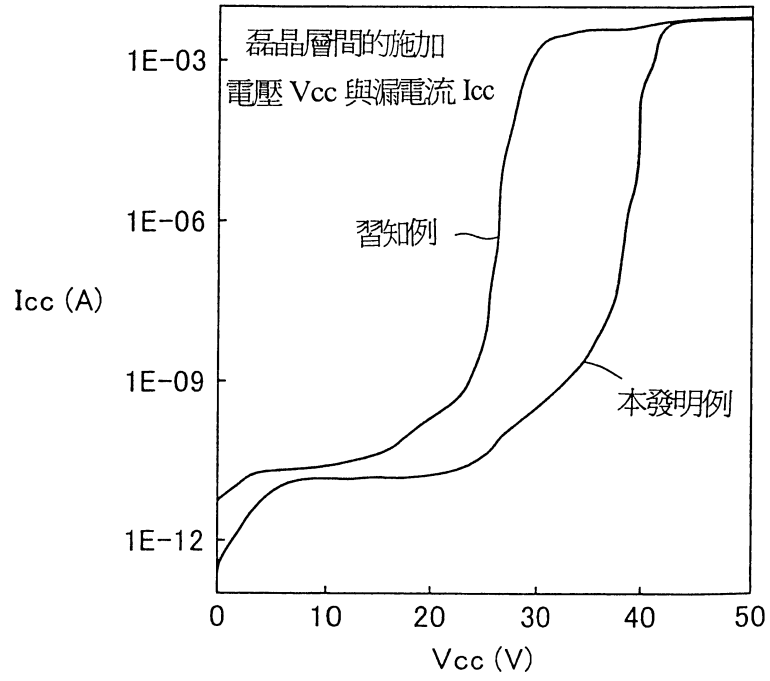
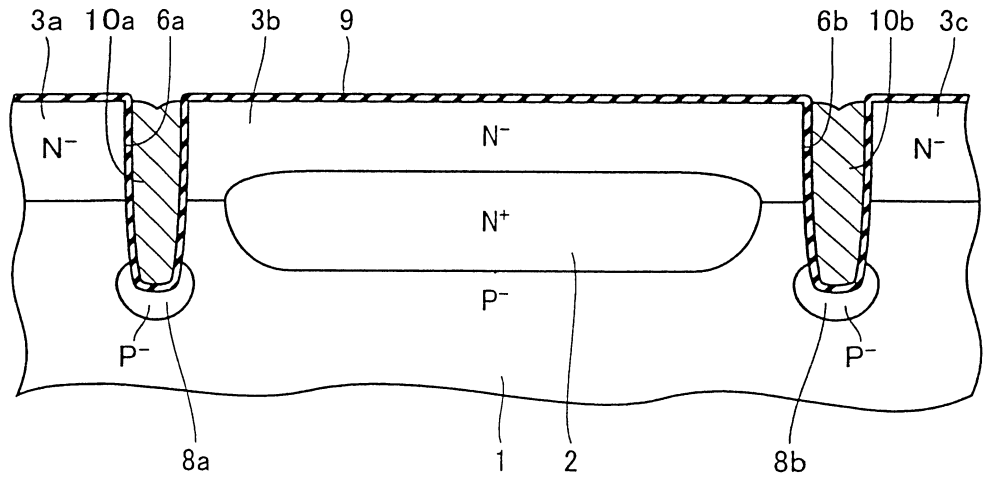
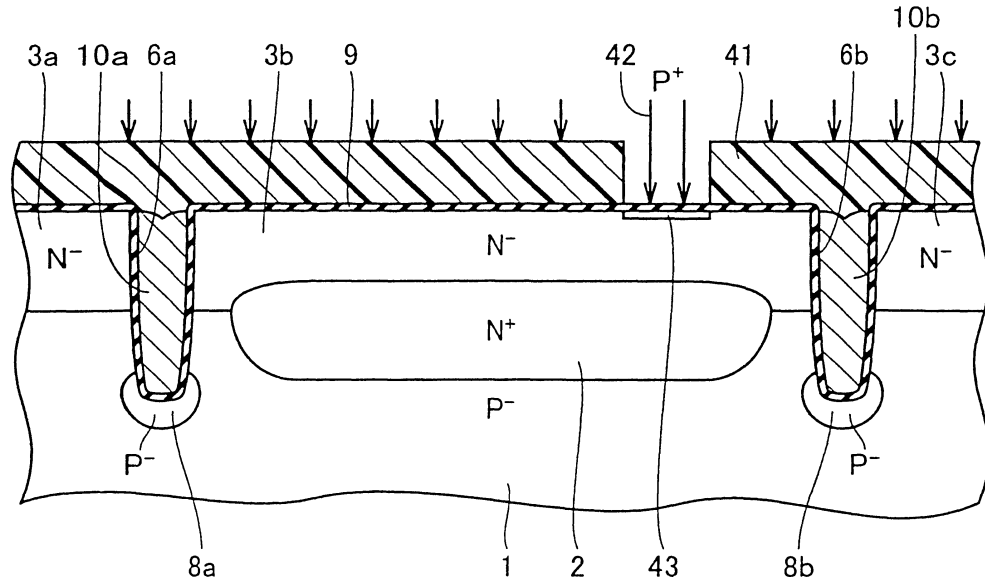


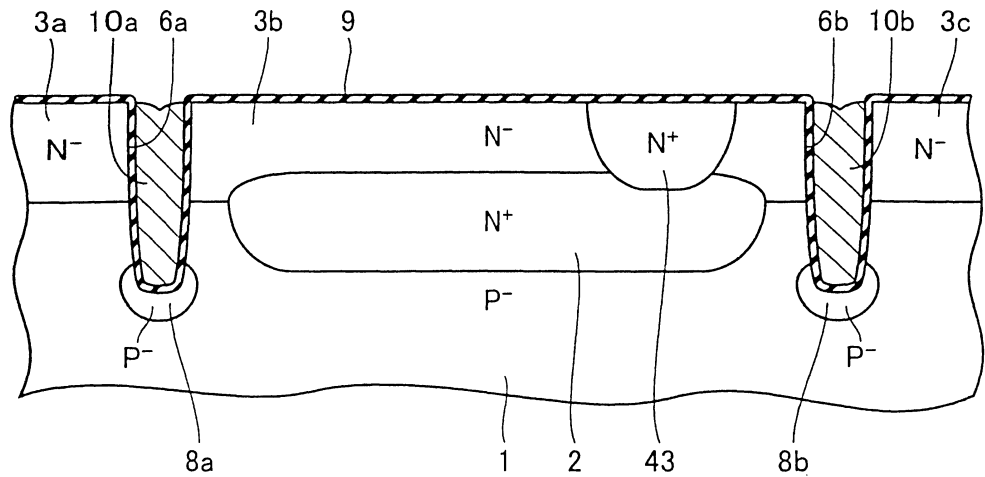
圖 18



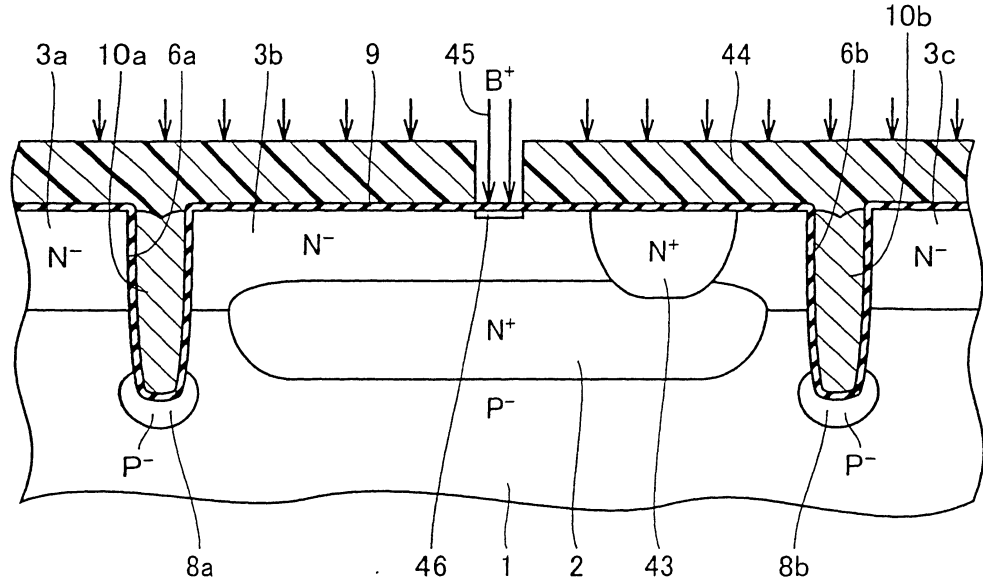
19



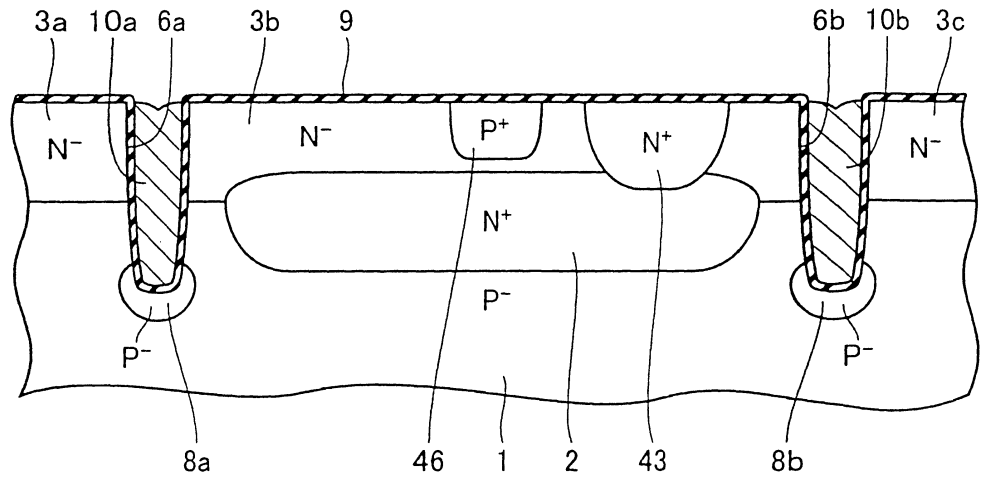
20



21

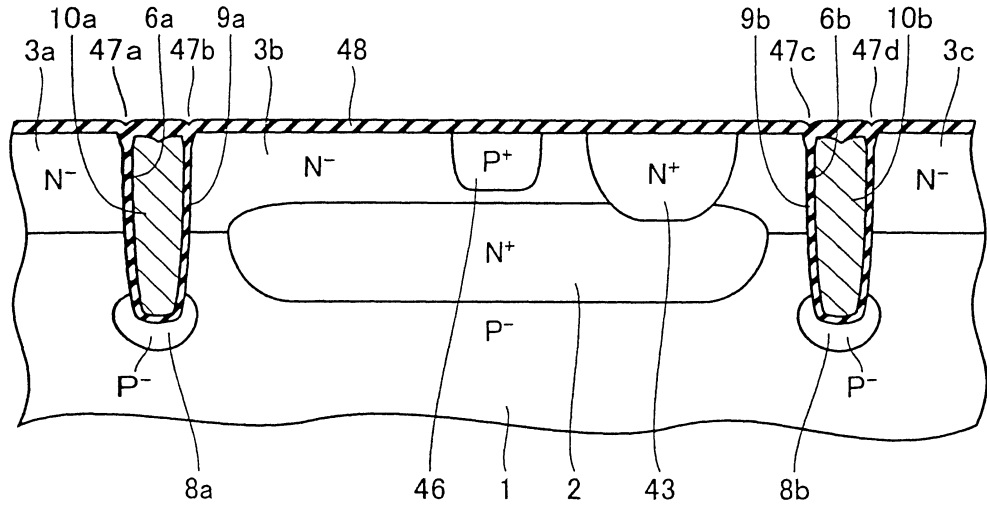


22

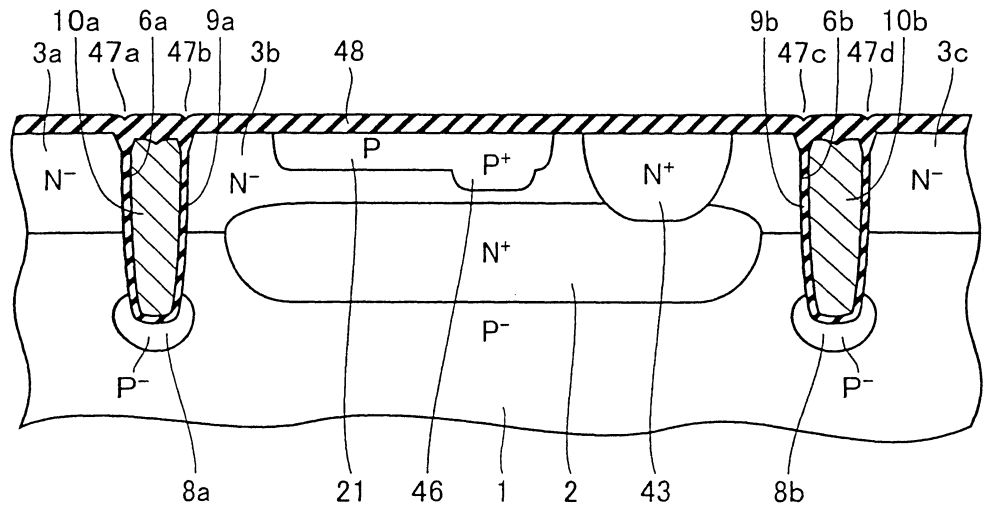




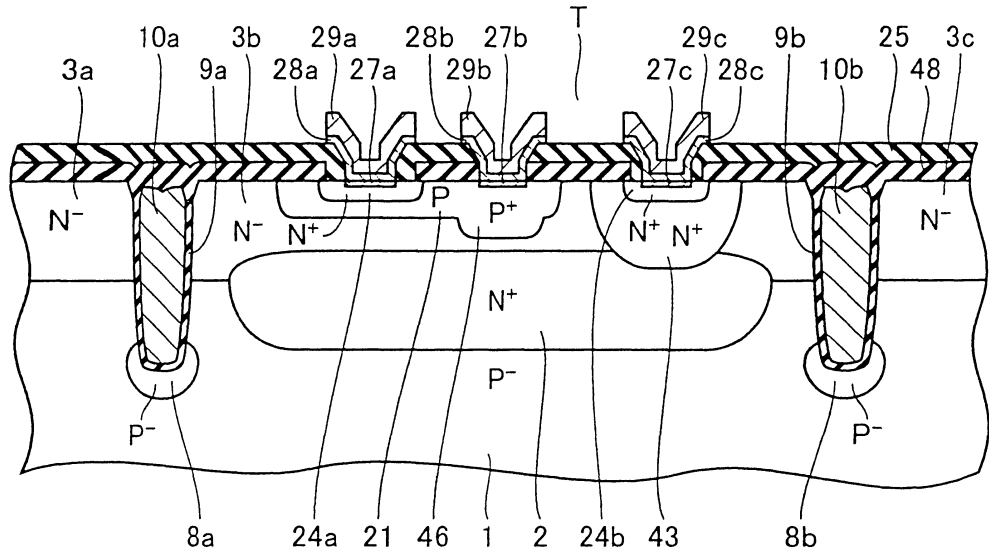
23



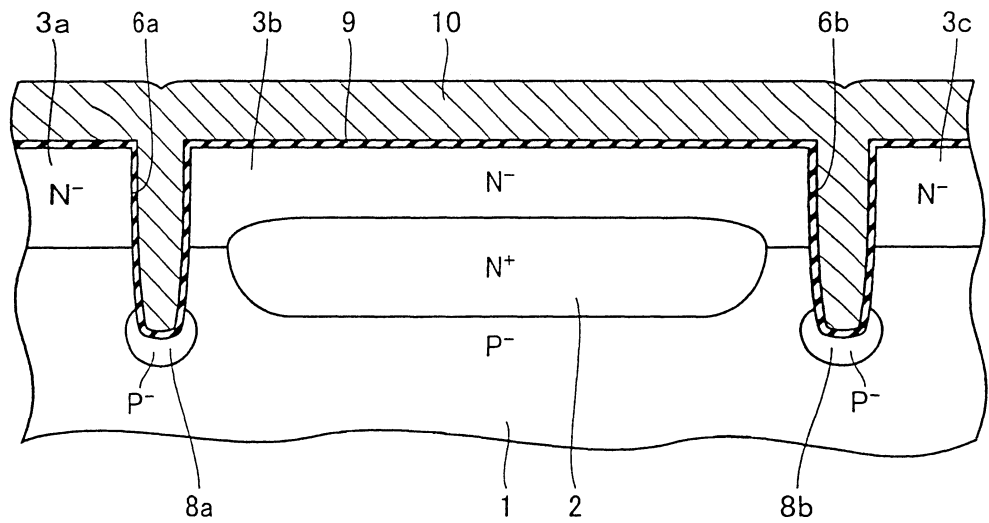
24



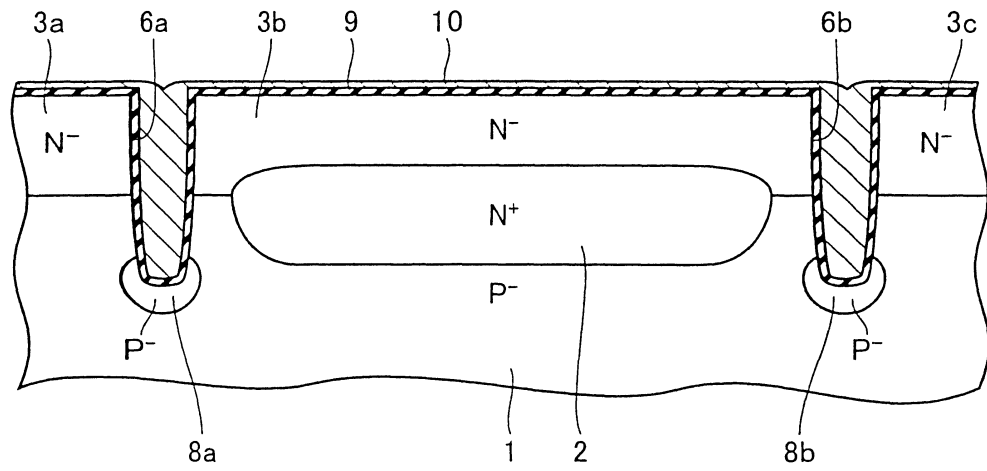
25



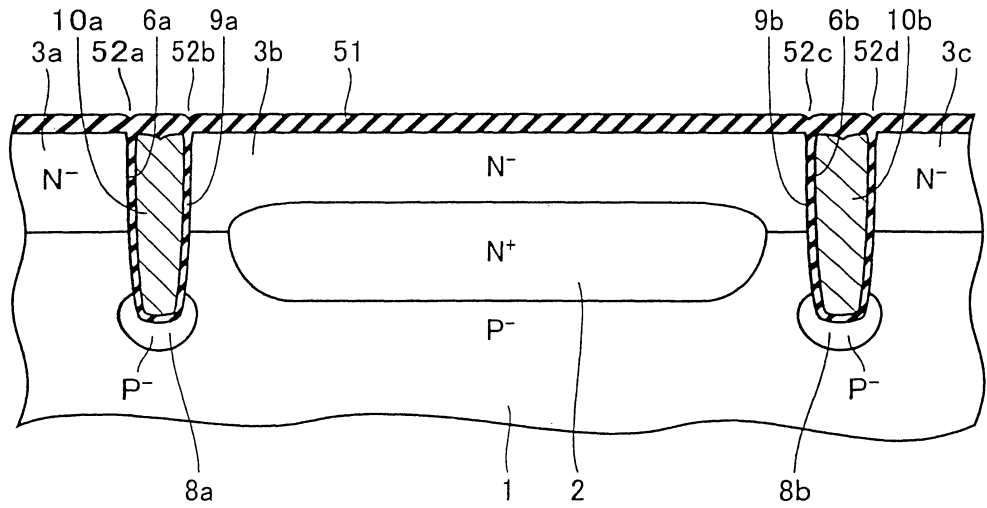
26



27

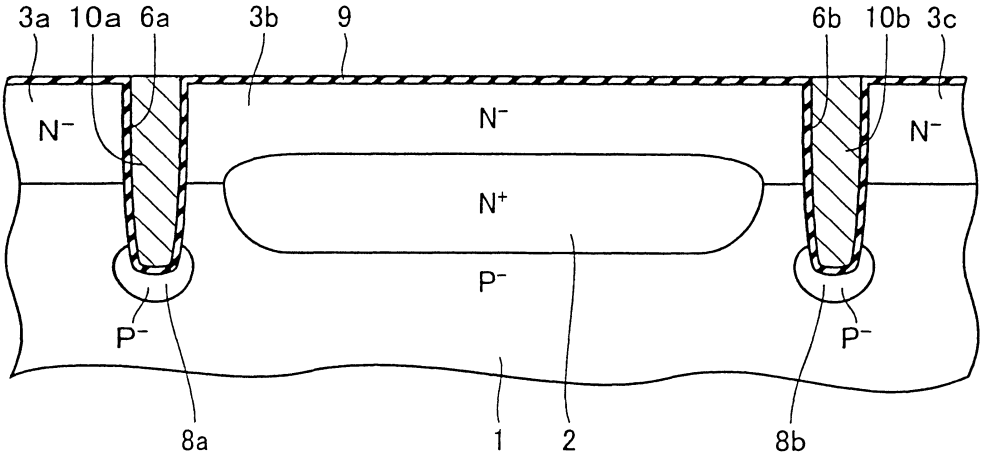


28

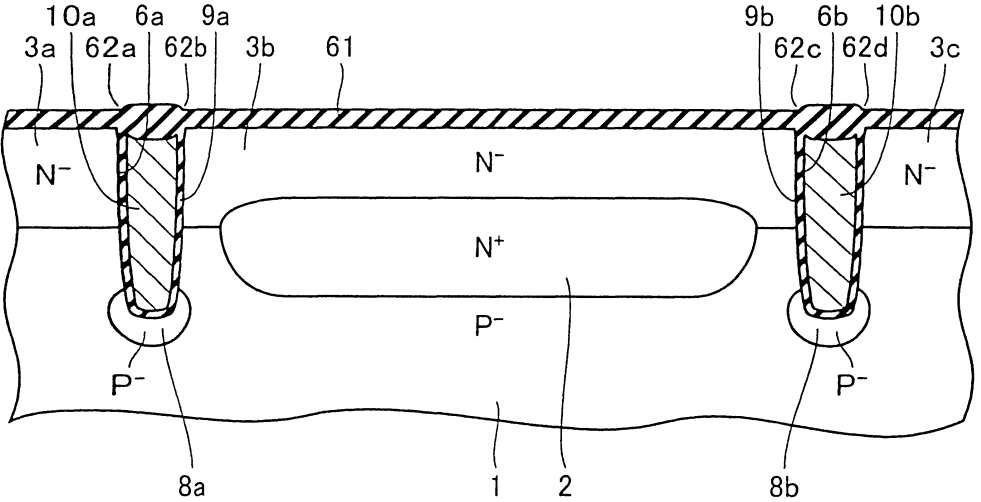




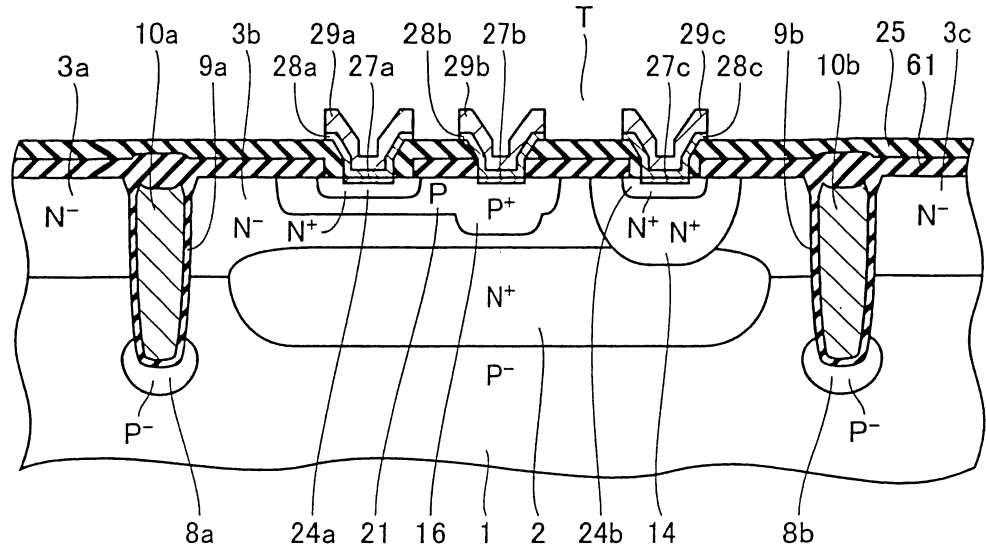
31



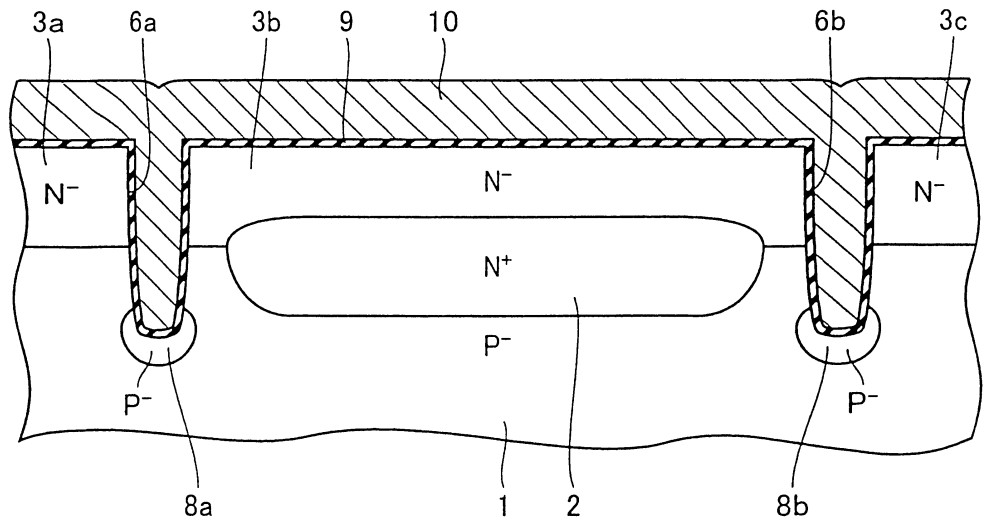
32



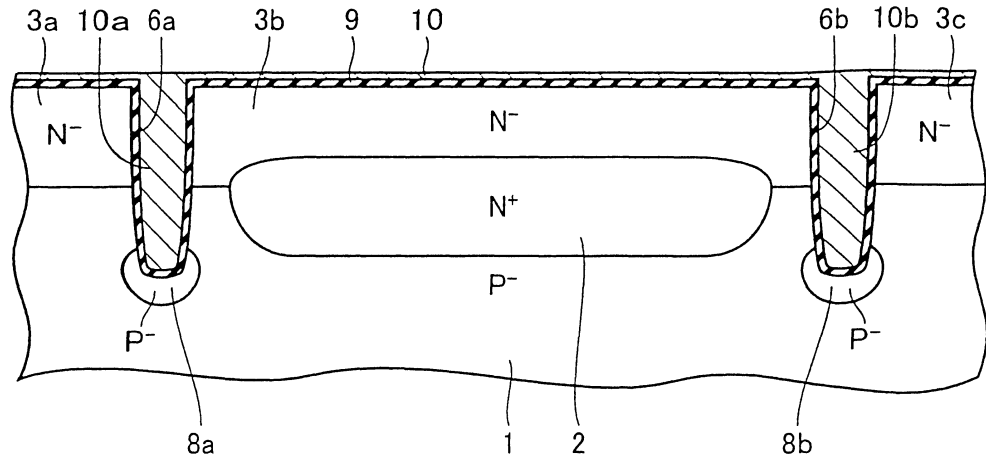
33



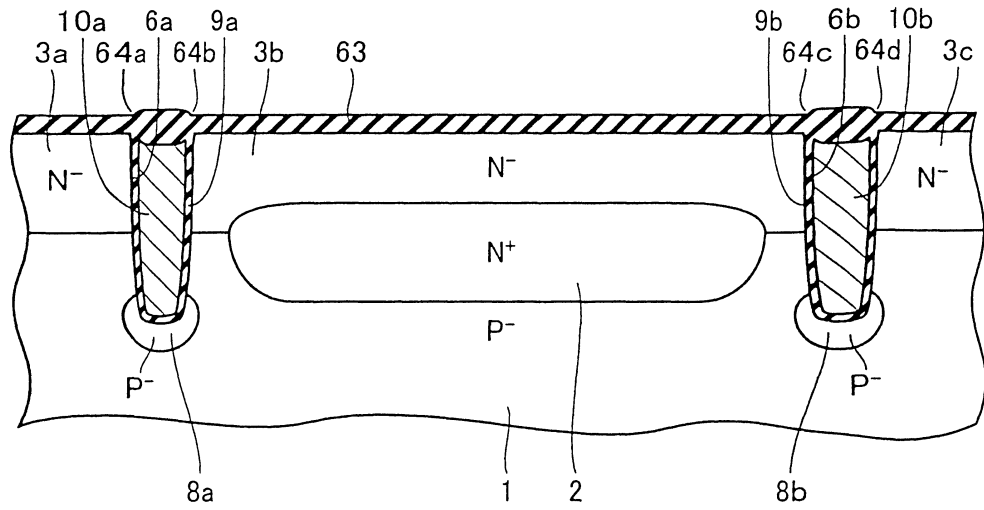
34



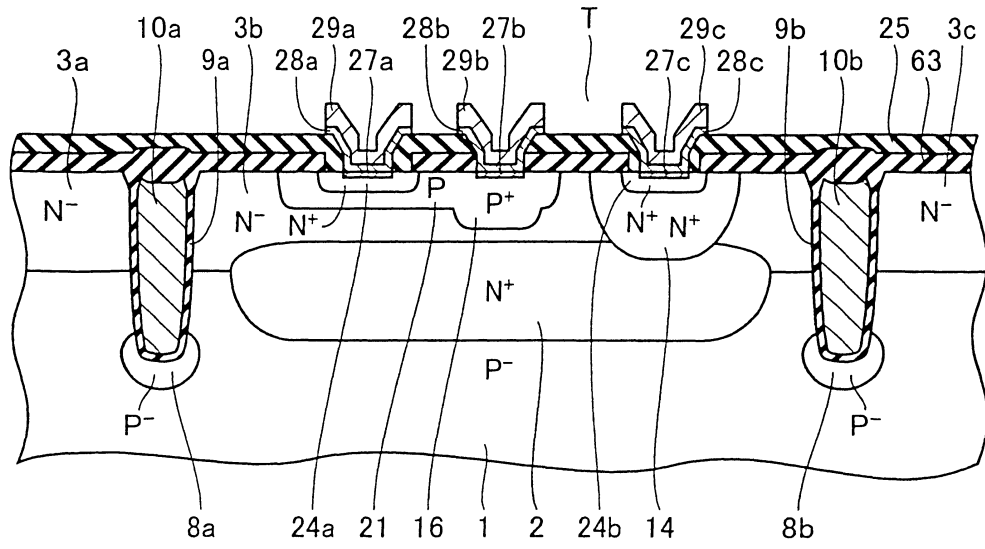
35



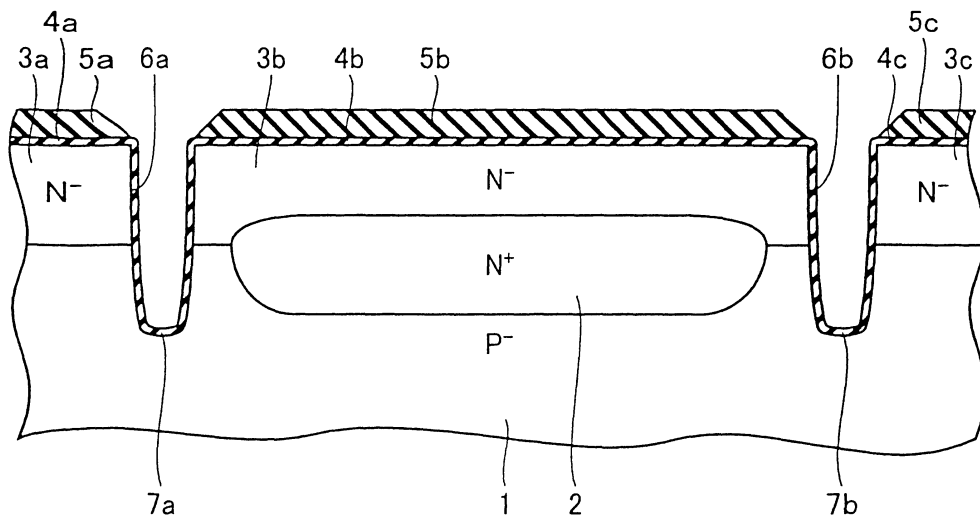
36



37

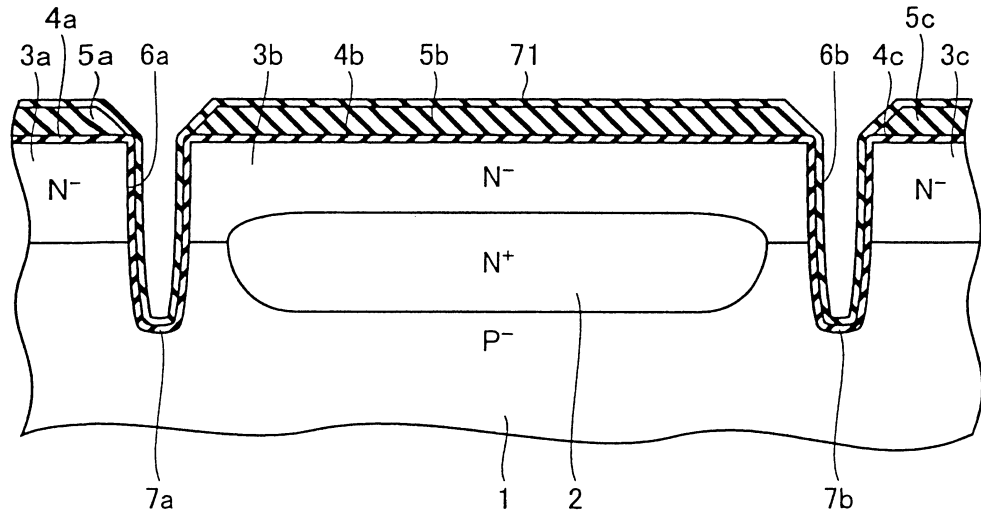


38





39



40

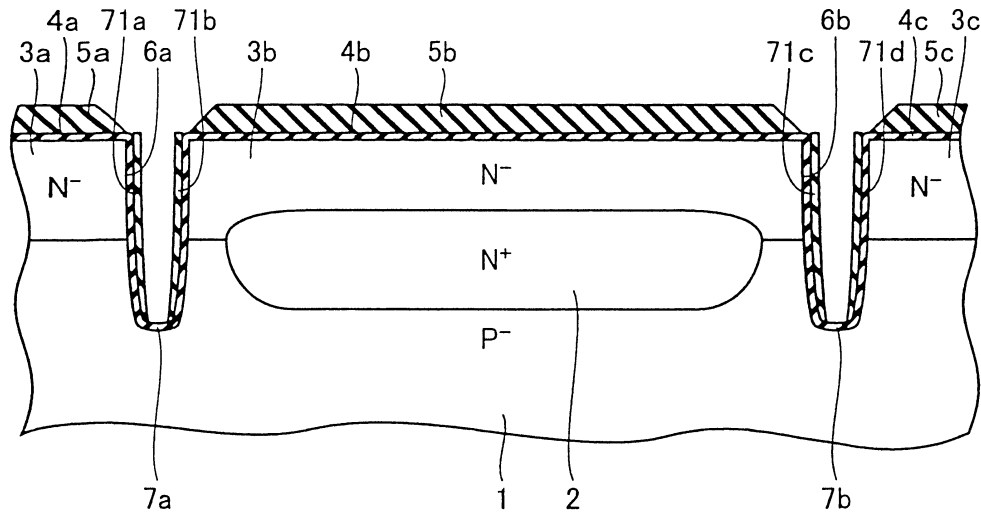


圖 41

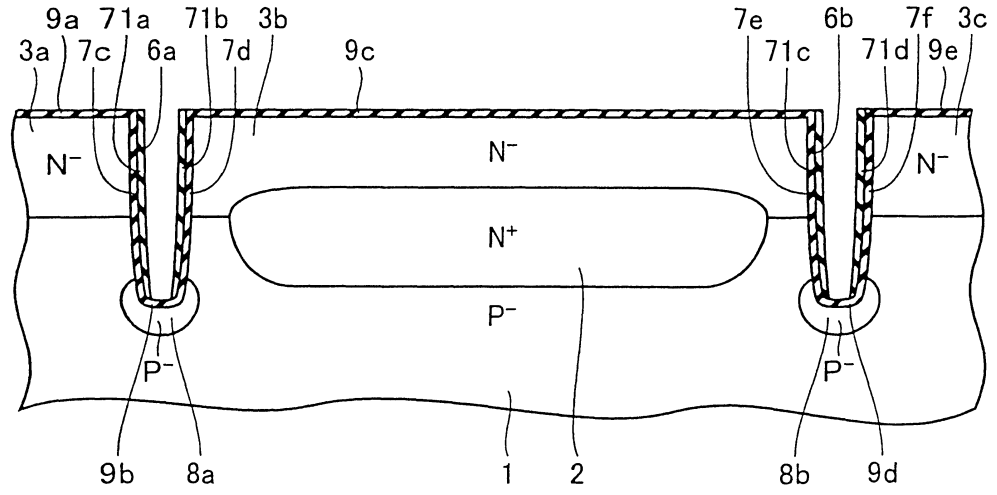
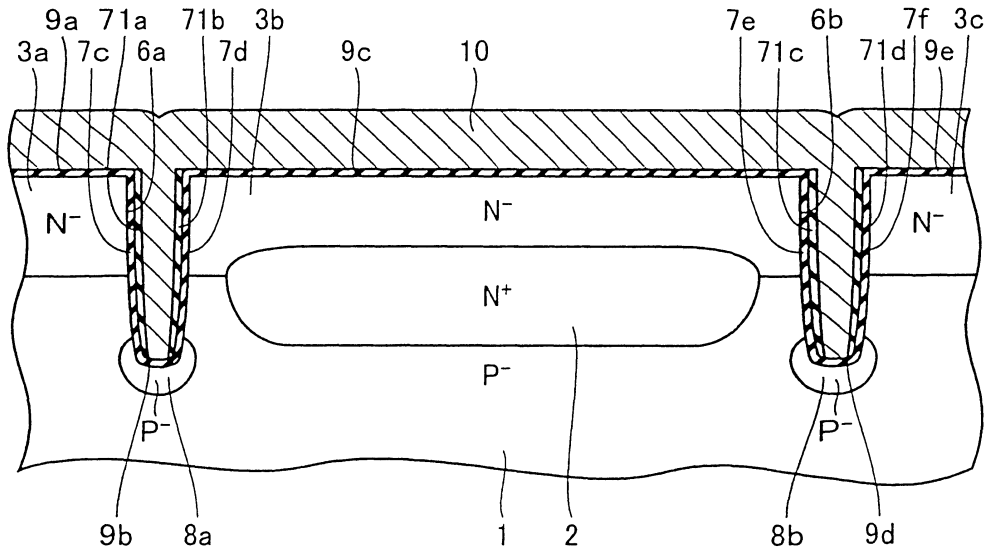
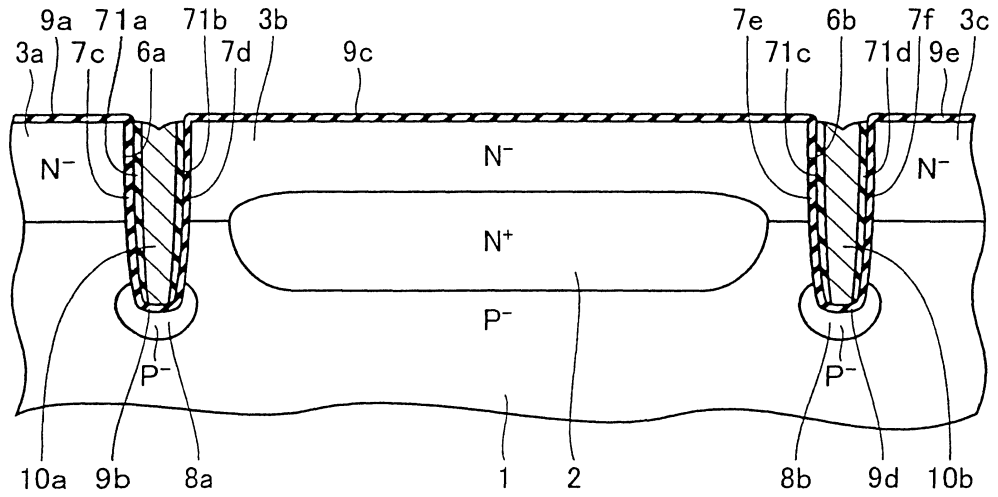


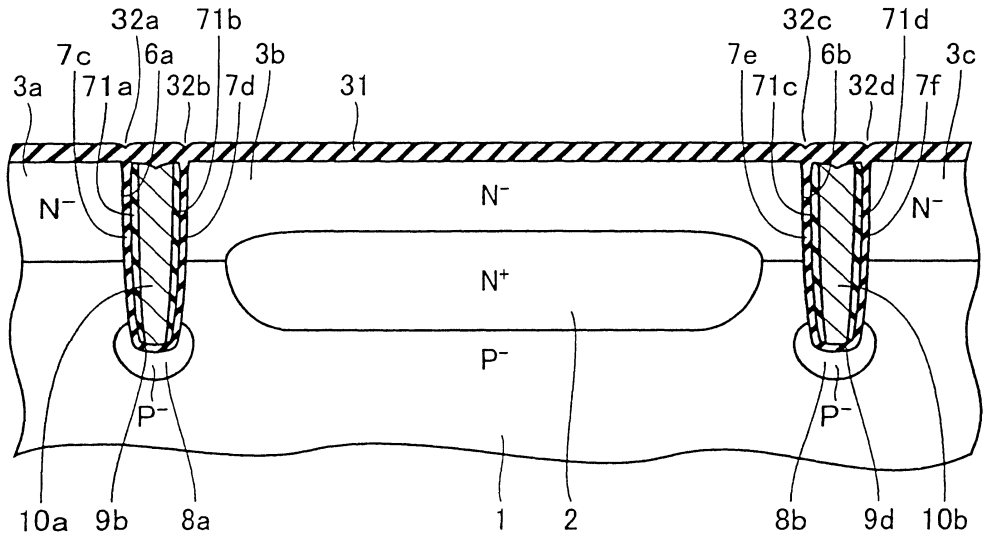
圖 42



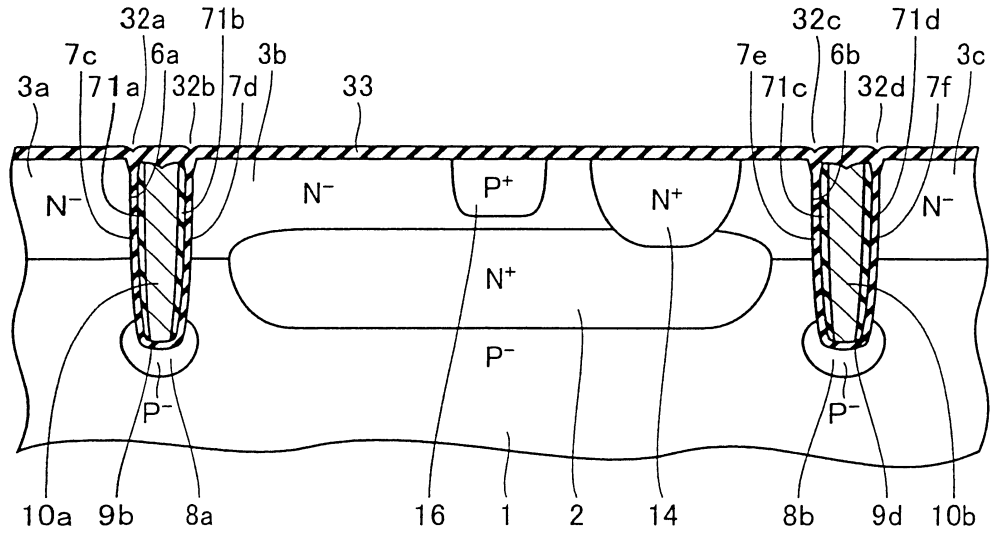
43



44



45



46

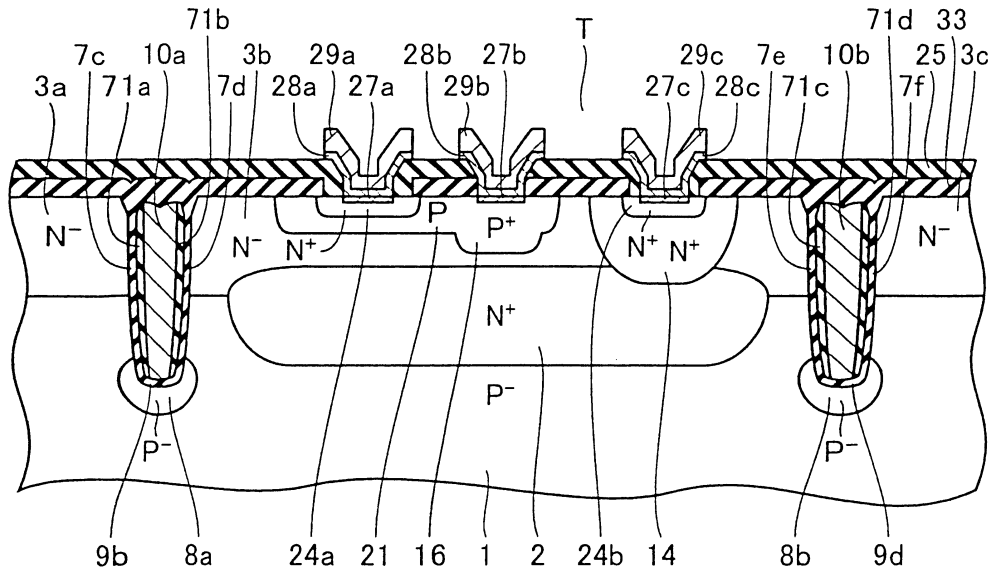


Fig 47

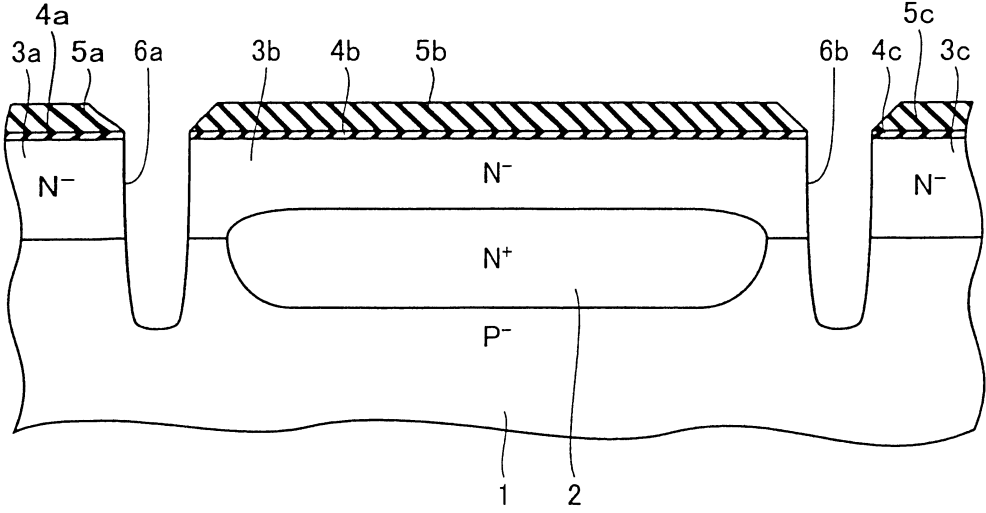
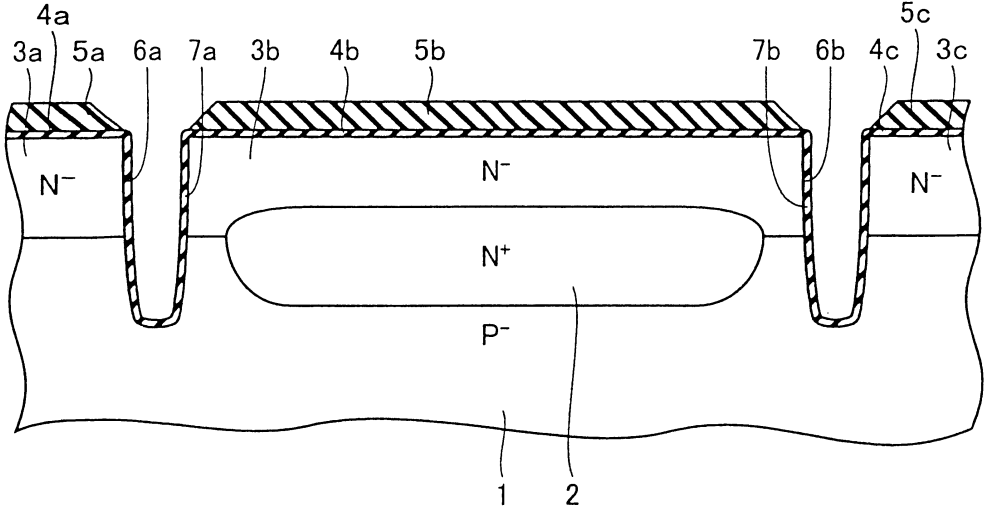
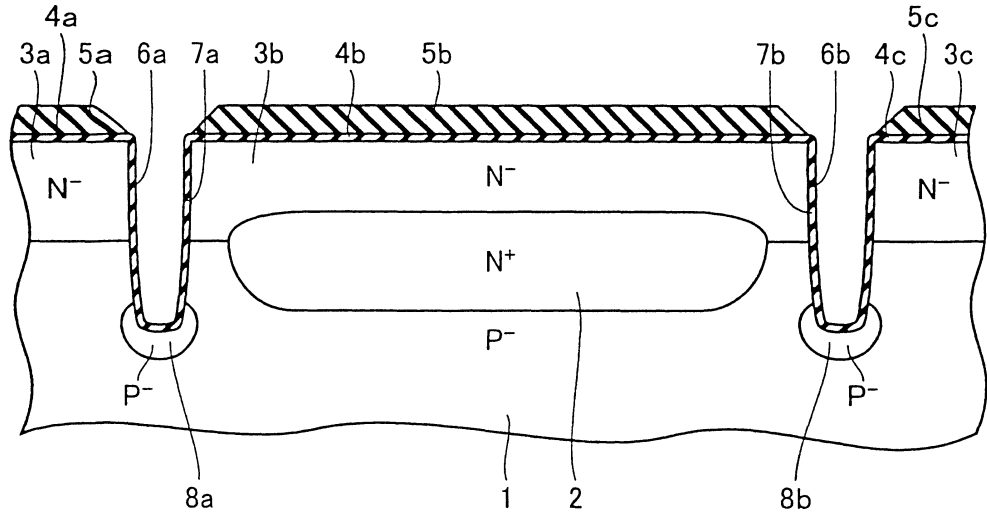


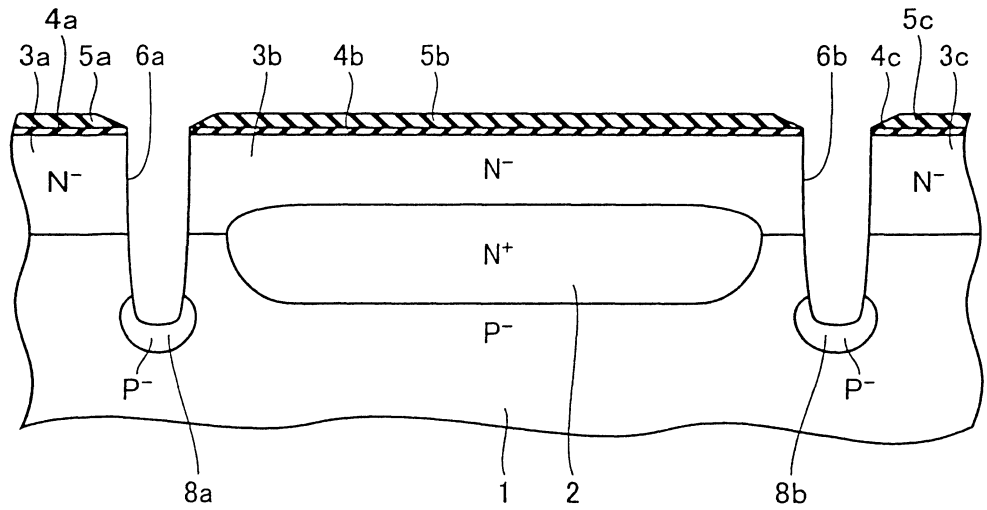
Fig 48



49

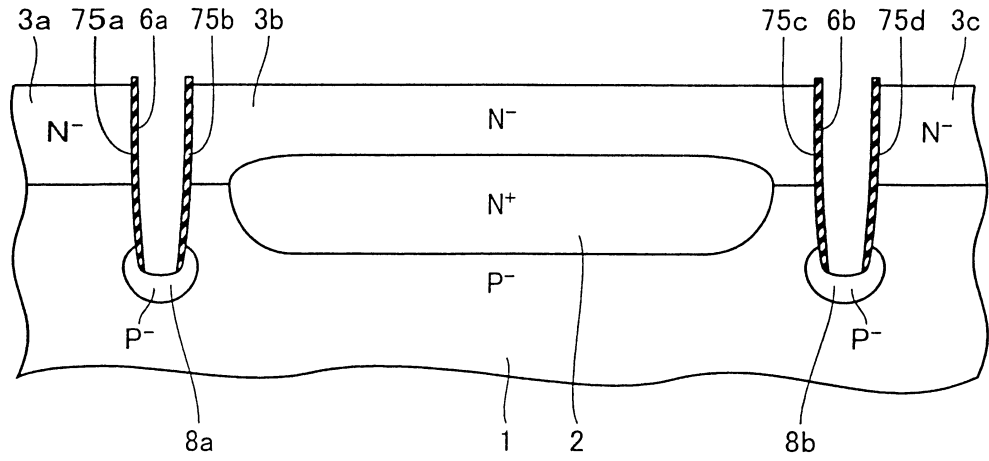


50

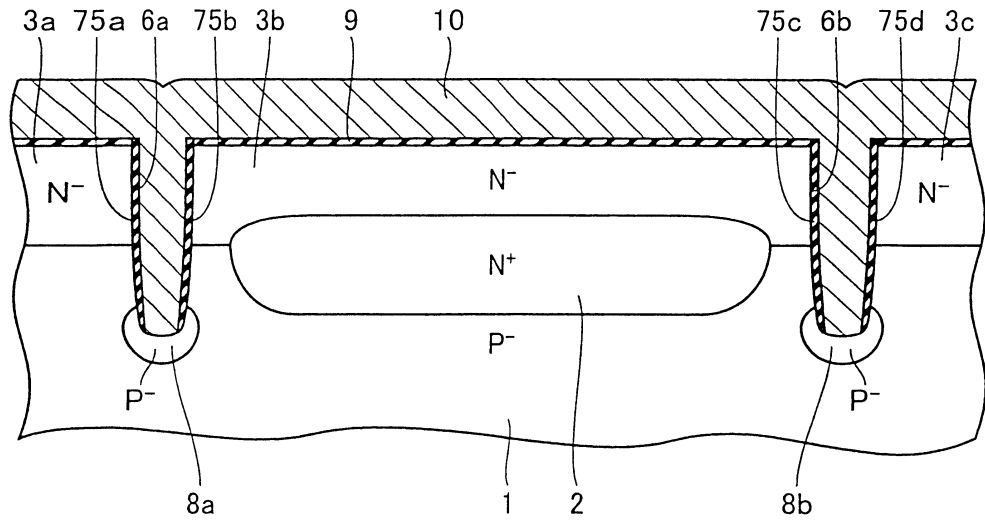




53

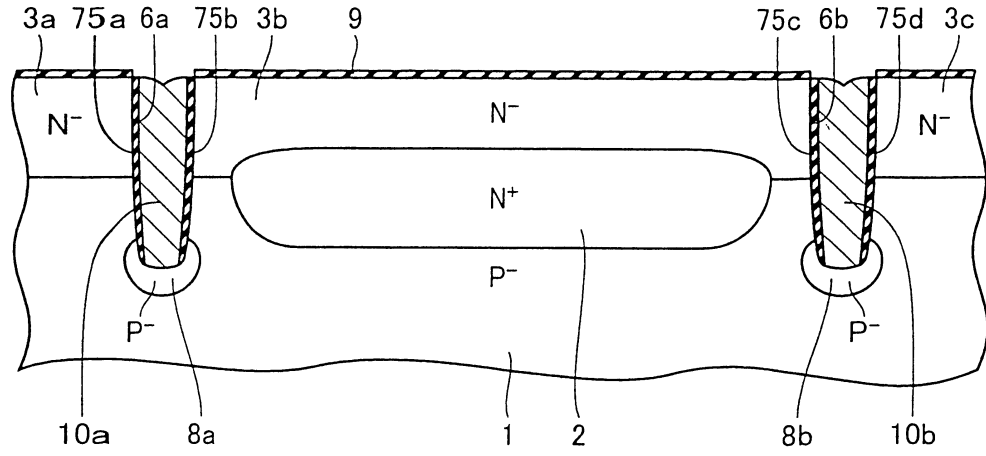


54





55



56

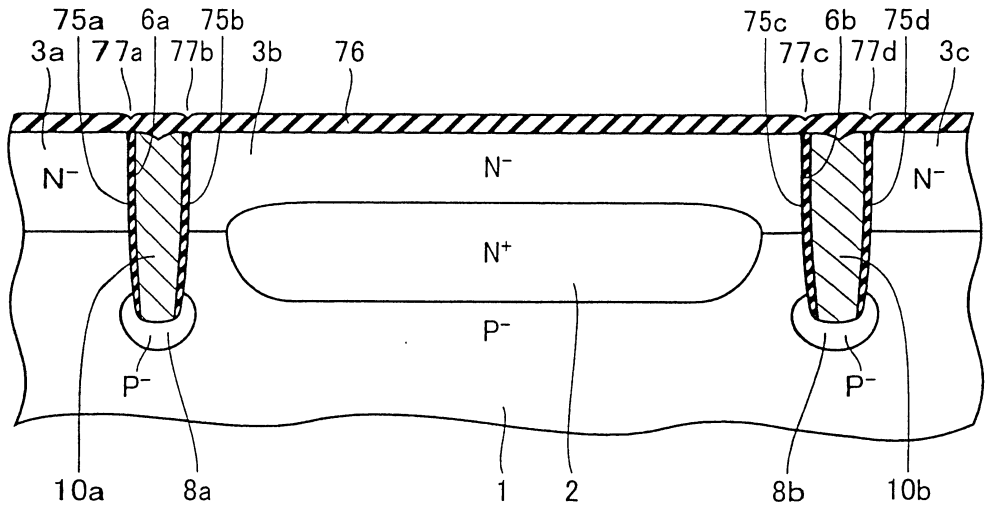


圖 57

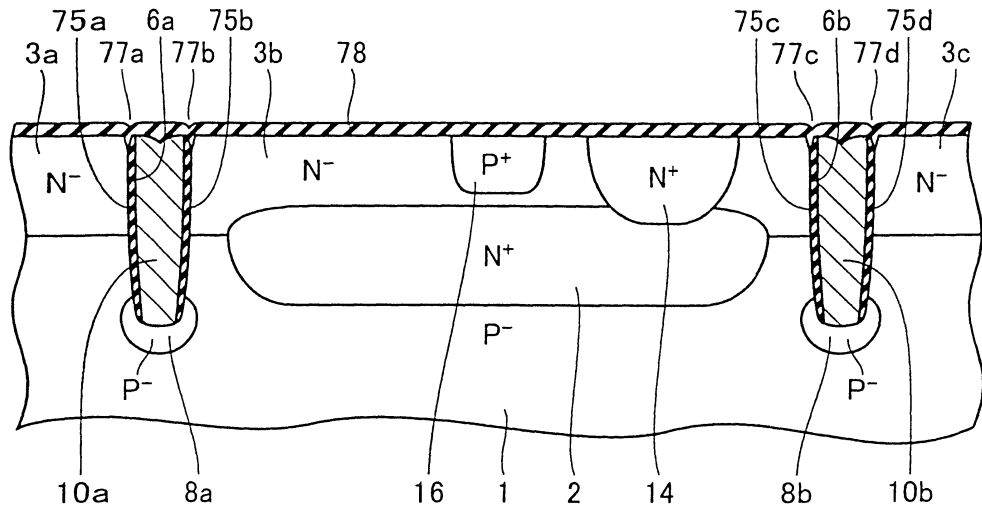
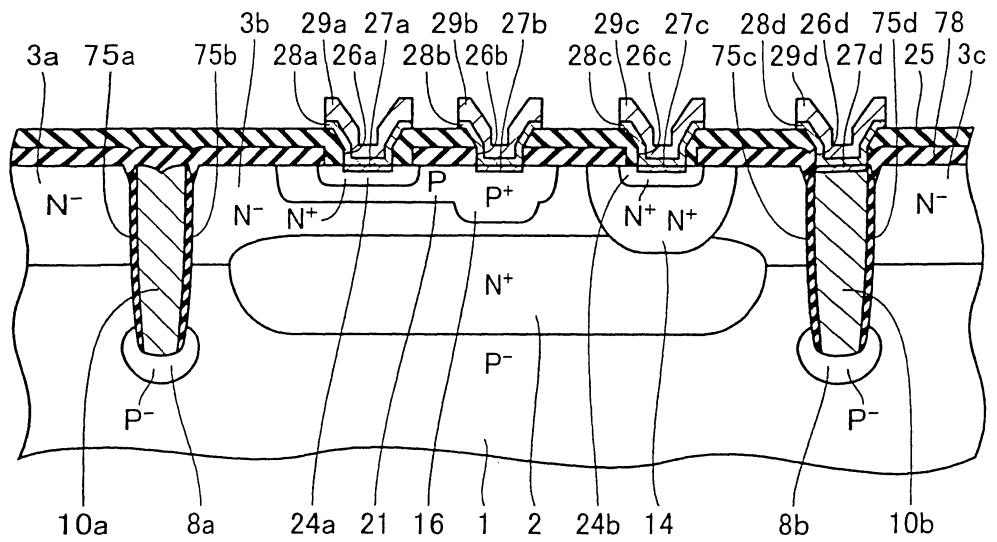
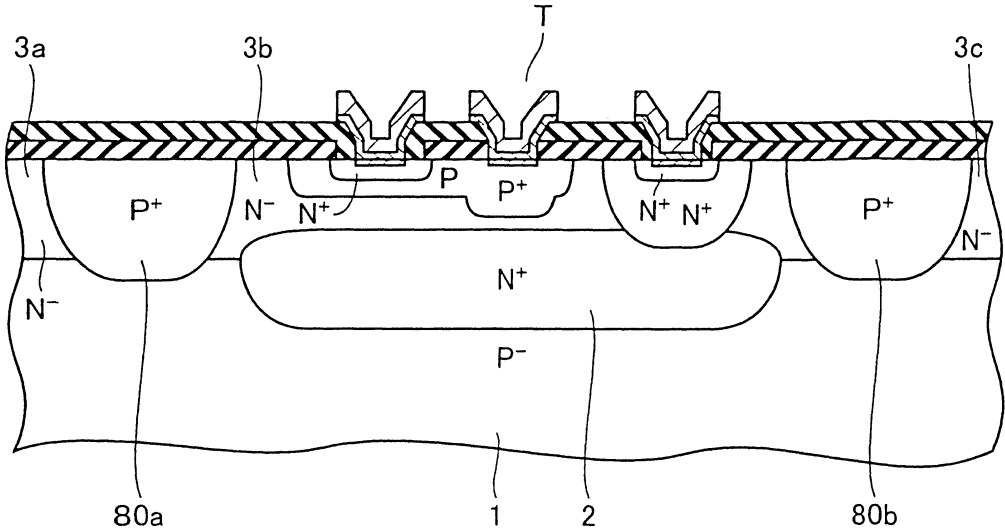


圖 58



59



60

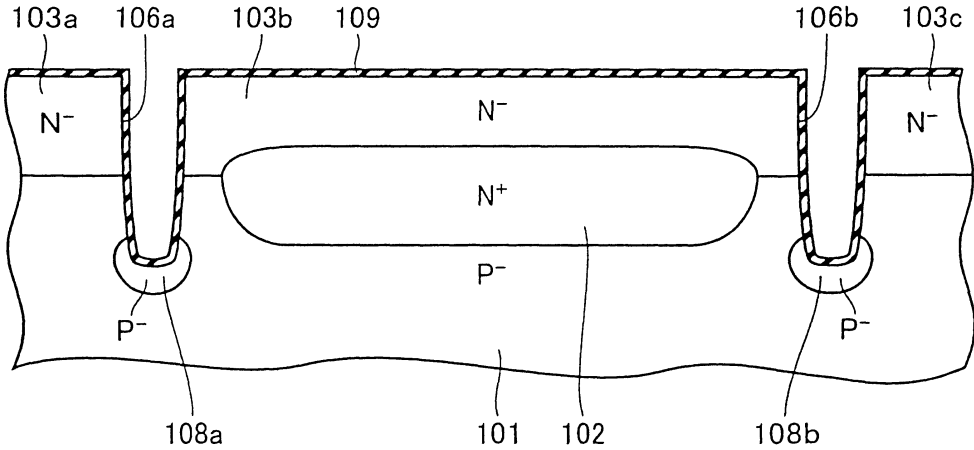


圖 61

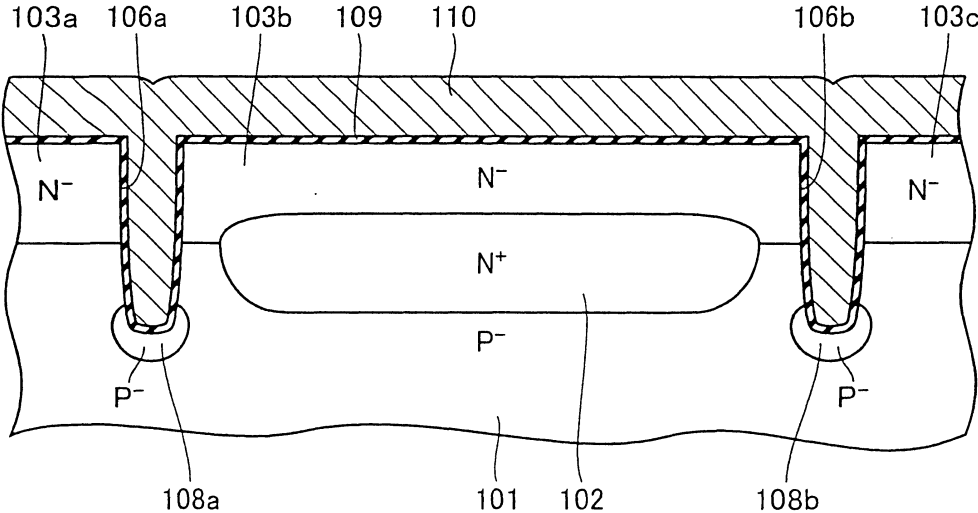
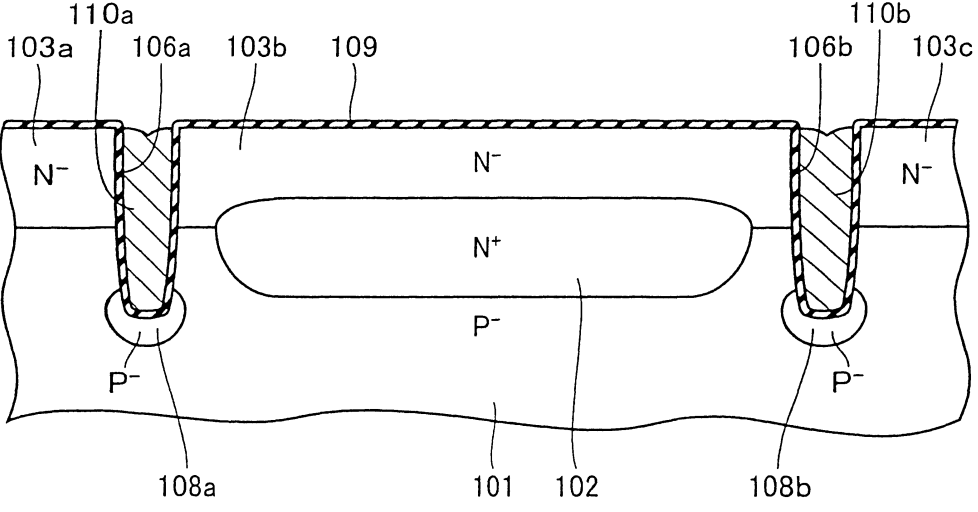
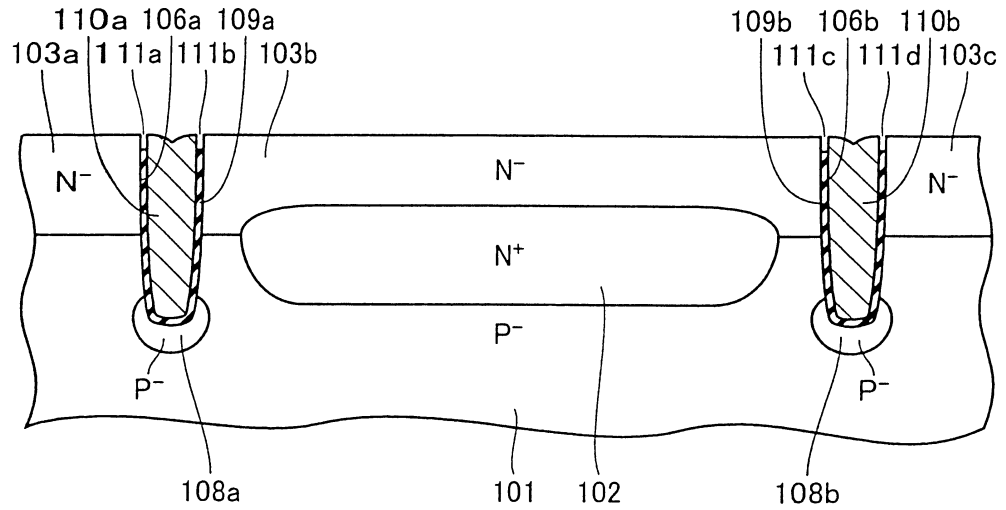


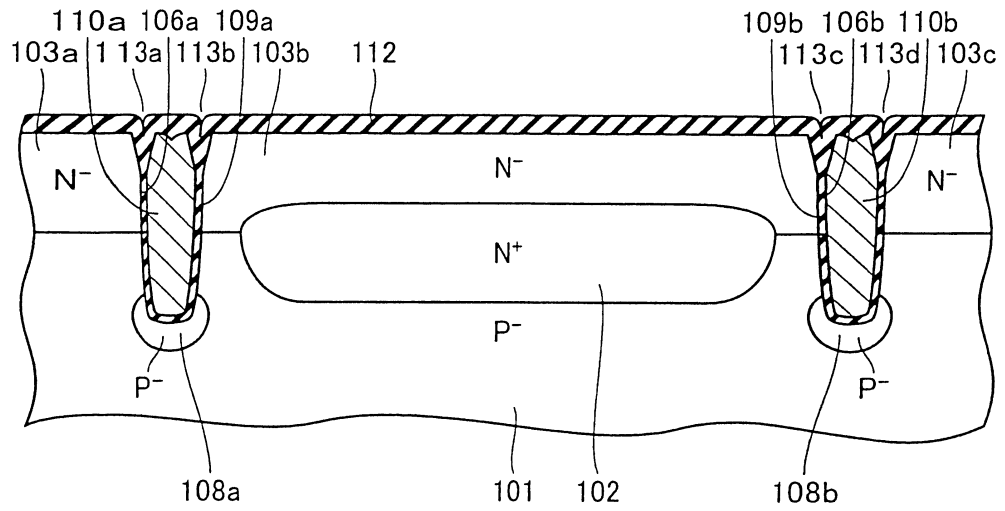
圖 62



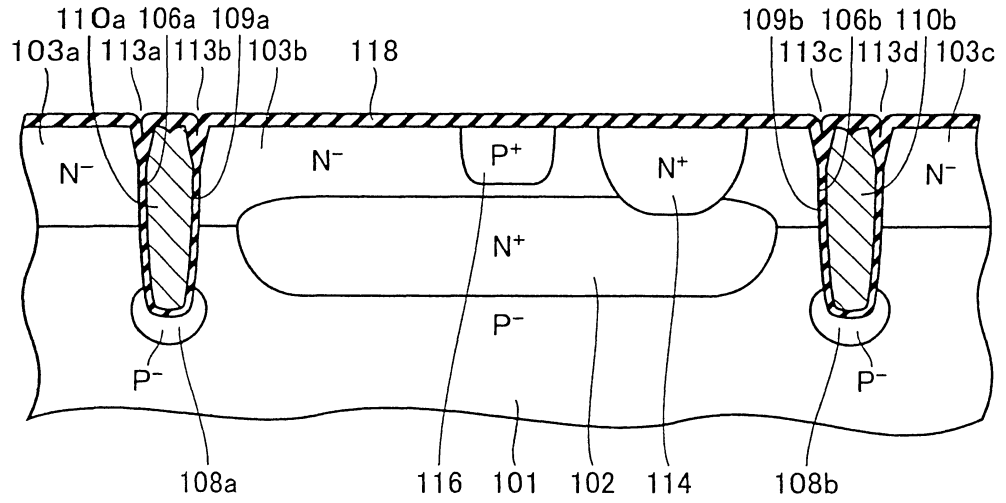
63



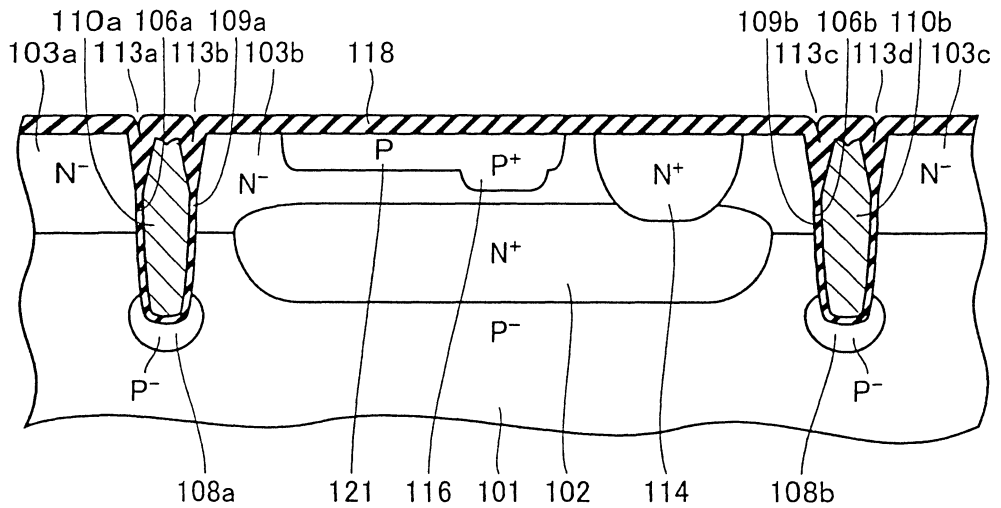
64



65



66



67

