

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5140855号  
(P5140855)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int.Cl. F I  
**G 1 1 C 29/12 (2006.01)** G 1 1 C 29/00 6 7 5 B  
**G 1 1 C 11/15 (2006.01)** G 1 1 C 11/15 1 9 5

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2008-10457 (P2008-10457)	(73) 特許権者	302062931
(22) 出願日	平成20年1月21日(2008.1.21)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2009-170069 (P2009-170069A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成21年7月30日(2009.7.30)	(74) 代理人	100064746
審査請求日	平成22年11月17日(2010.11.17)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1端子および第2端子を有する記憶素子と、  
 前記記憶素子の第1端子に結合された電流線と、  
 前記電流線に結合され、前記記憶素子にデータを書き込むため書き込み動作時に書き込みデータに応じた双方向の書き込み電流を前記電流線に流す第1のドライバと、  
 電圧を供給するための第1のパッドと、  
 電圧を供給するための第2のパッドと、  
 電圧を供給するための第3のパッドとを備え、  
 前記第1のパッドおよび前記第3のパッドは、前記第1のドライバに結合され、  
 前記第2のパッドは、前記記憶素子の第2端子に結合された半導体装置。

10

【請求項2】

前記半導体装置は、さらに、  
 前記電流線と、前記第1のパッドと、前記第2のパッドとに結合され、前記書き込み動作時に前記書き込み電流を前記第1のドライバとともに前記電流線を通して前記書き込みデータに応じて双方向に流す第2のドライバを備える請求項1記載の半導体装置。

【請求項3】

前記第1のドライバは、  
 前記電流線に結合された第1導通電極と、前記第1のパッドに結合された第2導通電極とを有する第1のトランジスタと、

20

前記電流線に結合された第 1 導通電極と、前記第 3 のパッドに結合された第 2 導通電極とを有する第 2 のトランジスタとを含み、

前記第 2 のドライバは、

前記電流線に結合された第 1 導通電極と、前記第 1 のパッドに結合された第 2 導通電極とを有する第 3 のトランジスタと、

前記電流線に結合された第 1 導通電極と、前記第 2 のパッドに結合された第 2 導通電極とを有する第 4 のトランジスタとを含む請求項 2 記載の半導体装置。

【請求項 4】

前記半導体装置は、さらに、

前記第 1 のパッドに結合され、前記第 2 のパッドと前記記憶素子の第 2 端子との間に接続され、かつ前記書き込み動作時に前記書き込み電流を前記第 1 のドライバとともに前記記憶素子および前記電流線を通して前記書き込みデータに応じて双方向に流す第 2 のドライバを備える請求項 1 記載の半導体装置。

10

【請求項 5】

前記半導体装置は、さらに、

前記第 1 のドライバは、

前記電流線に結合された第 1 導通電極と、前記第 1 のパッドに結合された第 2 導通電極とを有する第 1 のトランジスタと、

前記電流線に結合された第 1 導通電極と、前記第 3 のパッドに結合された第 2 導通電極とを有する第 2 のトランジスタとを含み、

20

前記第 2 のドライバは、

前記記憶素子の第 2 端子に結合された第 1 導通電極と、前記第 1 のパッドに結合された第 2 導通電極とを有する第 3 のトランジスタと、

前記記憶素子の第 2 端子に結合された第 1 導通電極と、前記第 2 のパッドに結合された第 2 導通電極とを有する第 4 のトランジスタとを含む請求項 4 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、記憶素子にデータを書き込むための電流を書き込み電流線に流すドライバを備えた半導体装置に関する。

30

【背景技術】

【0002】

M R A M (Magnetic Random Access Memory) は、強磁性体の磁化方向を利用してデータを記憶する固体メモリの総称である。M R A M においては、メモリセルを構成する強磁性体の磁化方向が、ある基準方向に対して平行であるか反平行であるかを“1”および“0”に対応させる。また、メモリセルに対するデータ読み出しにおいて巨大磁気抵抗効果(ジャイアント・マグネット・レジスタンス効果: G M R (Giant Magneto Resistive) 効果)を利用する G M R 素子、および磁性トンネル効果(トンネル・マグネット・レジスタンス効果: T M R (Tunneling Magneto Resistive) 効果)を利用する M T J (Magnetic Tunneling Junction) 素子等が M R A M に使用されている。

40

【0003】

M T J 素子は、強磁性体層/絶縁層/強磁性体層の 3 層膜で構成され、絶縁層をトンネル電流が流れる。このトンネル電流に対する抵抗値が、2 つの強磁性体層の磁化方向の関係に応じて変化する。

【0004】

ここで、強磁性体層の磁化方向を反転させる方法として、メモリセルの近傍に電流を流して外部磁場を発生し、強磁性体層の磁化方向を反転させる外部磁化反転法が知られている(たとえば、非特許文献 1 参照)。

【0005】

また、強磁性体層の磁化方向を反転させる方法として、スピン注入磁化反転法が知られ

50

ている（たとえば、非特許文献2参照）。これは、メモリセルに直接電流を流して電子のもつスピン（向き）の作用によって磁化を反転させる方法である。より詳細には、TMR素子の一方の強磁性体層から他方の強磁性体層へ電流（以下、スピン注入電流とも称する）を流すことにより、強磁性体層の磁化を反転させる方法である。スピン注入電流は外部磁場を発生するための電流より電流量を小さくできるため、スピン注入磁化反転法は外部磁化反転法と比べてMRAMの消費電流を低減することができる。

【非特許文献1】Takaharu Tsuji et al. " A 1.2V 1Mbit Embedded MRAM Core with Folded Bit-Line Array Architecture ", 2004 Symposium on VLSI Circuits Digest of Technical Papers pp.450-453

【非特許文献2】M.Hosomi et al. " A Novel Nonvolatile Memory with Spin Torque Transfer Magnetization Switching:Spin-RAM ", 2005 IEDM 19\_1

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、MRAMが備える各MTJ素子の電気抵抗値を外部から測定することにより、各MTJ素子の電気抵抗値の分布からMRAMの不良を検出する検査が行なわれている。

【0007】

しかしながら、このような検査を行なうためには、MTJ素子へ外部から電圧を供給するための試験用パッドと、検査時および通常時において試験用パッドとMTJ素子との接続および非接続をそれぞれ切り替えるための切り替え回路と、この切り替え回路を制御するための制御回路とが必要となり、レイアウト面積が増大してしまう。

【0008】

また、MTJ素子と半導体チップの外周部に配置される試験用パッドとの間の配線長は通常長くなることから、この配線の寄生抵抗は大きくなる。MTJ素子の電気抵抗値を正確に測定するためには、この配線の寄生抵抗を小さくする必要があるが、寄生抵抗を小さくするために配線幅を太くすると、レイアウト面積が増大してしまう。また、切り替え回路を構成するトランジスタのオン抵抗もMTJ素子の電気抵抗値を正確に測定するためには小さくする必要があるが、このトランジスタのオン抵抗を小さくするためにトランジスタのサイズを大きくすると、レイアウト面積が増大してしまう。

【0009】

しかしながら、非特許文献1および2記載には、このような問題点を解決するための構成は開示されていない。

【0010】

それゆえに、本発明の目的は、記憶素子の電気抵抗値を正確に測定し、かつレイアウト面積の増大を防ぐことが可能な半導体装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の一実施例の形態の半導体装置は、要約すれば、記憶素子にデータ書き込み電流を流す配線を駆動するドライバを、半導体装置における他の回路の電圧供給用パッドと電気的に分離された電圧供給用パッドに結合する。

【発明の効果】

【0012】

本発明の一実施例の形態によれば、寄生抵抗の小さい回路によって記憶素子と電気抵抗値測定用のパッドとを接続することができるため、レイアウト面積の増大を防ぐことができる。

【0013】

したがって、記憶素子の電気抵抗値を正確に測定し、かつレイアウト面積の増大を防ぐことができる。

【発明を実施するための最良の形態】

10

20

30

40

50

## 【 0 0 1 4 】

以下、本発明の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

## 【 0 0 1 5 】

< 第 1 の実施の形態 >

図 1 は、本発明の第 1 の実施の形態に係る半導体装置の全体構成を示す概略ブロック図である。

## 【 0 0 1 6 】

図 1 を参照して、半導体装置 1 0 1 は、たとえば M R A M であり、制御信号 C M D に応答して半導体装置 1 0 1 の全体の動作を制御するコントロール回路 5 と、行列状に集積配置された M T J メモリセル M C (以下、単にメモリセル M C とも称する)を含むメモリアレイ 1 0 と、行選択回路 2 0 , 2 1 と、列デコーダ 2 5 と、読み出し / 書き込み制御回路 3 0 , 3 5 と、複数のワード線 W L と、複数のデジタル線 D L と、複数のビット線 B L と、複数のソース線 S L とを備える。

10

## 【 0 0 1 7 】

なお、以下においては、メモリアレイ 1 0 が含む行列状に集積配置された複数のメモリセル M C の行および列をそれぞれメモリセル行およびメモリセル列とも称する。

## 【 0 0 1 8 】

行選択回路 2 0 , 2 1 は、アドレス信号 A D D に含まれるロウアドレス R A に基づいてアクセス対象となるメモリアレイ 1 0 におけるメモリセル行の選択動作を実行する。列デコーダ 2 5 は、アドレス信号 A D D に含まれるコラムアドレス C A に基づいてアクセス対象となるメモリアレイ 1 0 におけるメモリセル列の選択動作を実行する。

20

## 【 0 0 1 9 】

読み出し / 書き込み制御回路 3 0 , 3 5 は、メモリアレイ 1 0 の両側に設けられ、入力データ D I N に基づいてメモリセル M C に対するデータ書き込みを行なう。また、読み出し / 書き込み制御回路 3 0 , 3 5 は、メモリセル M C からデータを読み出し、読み出しデータ D O U T として外部に出力する。

## 【 0 0 2 0 】

ワード線 W L 、デジタル線 D L およびソース線 S L は、メモリセル行にそれぞれ対応して設けられる。ビット線 B L は、メモリセル列に対応して設けられる。図 1 には代表的に 1 個のメモリセル M C が示され、メモリセル M C のメモリセル行に対応してワード線 W L およびデジタル線 D L がそれぞれ 1 本ずつ示されている。また、メモリセル M C のメモリセル列に対応してビット線 B L が代表的に 1 本示されている。

30

## 【 0 0 2 1 】

図 2 は、本発明の第 1 の実施の形態に係るメモリアレイ 1 0 およびその周辺回路の概略構成図である。図 2 において紙面縦方向がメモリセル行に対応し、紙面横方向がメモリセル列に対応している。

## 【 0 0 2 2 】

図 2 を参照して、メモリアレイ 1 0 は、行列状に集積配置されたメモリセル M C を含む。

40

## 【 0 0 2 3 】

図 2 においては、代表的に、メモリセル M C 0 ~ M C 5 、メモリセル列に対応して設けられたビット線 B L 0 ~ B L 2 および列選択線 C S L 0 , C S L 1 、メモリセル行にそれぞれ対応して設けられたワード線 W L 0 ~ W L 3 、デジタル線 D L 0 , D L 1 およびソース線 S L が示されている。

## 【 0 0 2 4 】

メモリセル M C 0 ~ M C 5 は、M T J 素子 (磁気抵抗素子) S 0 ~ S 5 と、セルトランジスタ T R S 0 ~ T R S 5 とをそれぞれ含む。

## 【 0 0 2 5 】

行選択回路 2 0 は、デジタル線ドライバ D L D V を含む。デジタル線ドライバ D L D V

50

は、NチャンネルMOSトランジスタTRD0, TRD1を含む。行選択回路21は、電源電圧VCCが供給される電源ノードVCCに接続される。ここで、NチャンネルMOSトランジスタはPチャンネルMOSトランジスタと比べてゲート幅あたりの電流駆動能力が大きいため、小さいレイアウト面積で比較的多くの電流をデジタル線DLに流すことができる。しかしながら、デジタル線ドライバDL DVが、NチャンネルMOSトランジスタの代わりにPチャンネルMOSトランジスタを含む構成とすることも可能である。

【0026】

読み出し/書き込み制御回路30は、ビット線ドライバBL DV1を含む。読み出し/書き込み制御回路35は、ビット線ドライバBL DV2と、データ読み出し回路RDCと、NチャンネルMOSトランジスタTRC0~TRC2とを含む。ビット線ドライバBL DV1は、PチャンネルMOSトランジスタTRB0, TRB4, TRB8と、NチャンネルMOSトランジスタTRB1, TRB5, TRB9とを含む。ビット線ドライバBL DV2は、PチャンネルMOSトランジスタTRB2, TRB6, TRB10と、NチャンネルMOSトランジスタTRB3, TRB7, TRB11とを含む。

10

【0027】

以下、MTJ素子S0~S5の各々をMTJ素子Sと称し、セルトランジスタTRS0~TRS5の各々をセルトランジスタTRSと称し、NチャンネルMOSトランジスタTRD0, TRD1の各々をNチャンネルMOSトランジスタTRDと称し、NチャンネルMOSトランジスタTRB1, TRB3, TRB5, TRB7, TRB9, TRB11の各々をNチャンネルMOSトランジスタTRBと称し、PチャンネルMOSトランジスタTRB0, TRB2, TRB4, TRB6, TRB8, TRB10の各々をPチャンネルMOSトランジスタTRBと称し、NチャンネルMOSトランジスタTRC0~TRC2の各々をNチャンネルMOSトランジスタTRCと称する場合がある。

20

【0028】

デジタル線DL0, DL1は、電源ノードVCCに接続される第1端と、第2端とを有する。デジタル線DL0, DL1には、データ書き込み時、メモリセルMCにデータを書き込むための書き込み電流IWDLが流れる。また、書き込み電流IWDLの方向は書き込みデータの論理値に依存しない。

【0029】

デジタル線ドライバDL DVにおいて、NチャンネルMOSトランジスタTRD0は、デジタル線DL0の第2端に接続されるドレインと、接地電圧VSSが供給される接地ノードVSSに接続されるソースとを有する。NチャンネルMOSトランジスタTRD1は、デジタル線DL1の第2端に接続されるドレインと、接地ノードVSSに接続されるソースとを有する。

30

【0030】

NチャンネルMOSトランジスタTRD0, TRD1は、データ書き込み時、デジタル線DL0, DL1に書き込み電流IWDLを流すことにより、MTJ素子S0~S5の磁化に作用するデータ書き込み磁場を発生する。

【0031】

ビット線ドライバBL DV1において、PチャンネルMOSトランジスタTRB0は、電源ノードVDDに接続されるソースと、ビット線BL0に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB1は、接地ノードVSSに接続されるソースと、ビット線BL0に接続されるドレインと、ゲートとを有する。PチャンネルMOSトランジスタTRB4は、電源ノードVDDに接続されるソースと、ビット線BL1に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB5は、接地ノードVSSに接続されるソースと、ビット線BL1に接続されるドレインと、ゲートとを有する。PチャンネルMOSトランジスタTRB8は、電源ノードVDDに接続されるソースと、ビット線BL2に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB9は、接地ノードVSSに接続されるソースと、ビット線BL2に接続されるドレインと、ゲートとを有する。

40

50

## 【0032】

ビット線ドライバBLDV2において、PチャンネルMOSトランジスタTRB2は、電源ノードVDDに接続されるソースと、ビット線BL0に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB3は、テストノードTNに接続されるソースと、ビット線BL0に接続されるドレインと、ゲートとを有する。PチャンネルMOSトランジスタTRB6は、電源ノードVDDに接続されるソースと、ビット線BL1に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB7は、テストノードTNに接続されるソースと、ビット線BL1に接続されるドレインと、ゲートとを有する。PチャンネルMOSトランジスタTRB10は、電源ノードVDDに接続されるソースと、ビット線BL2に接続されるドレインと、ゲートとを有する。NチャンネルMOSトランジスタTRB11は、テストノードTNに接続されるソースと、ビット線BL2に接続されるドレインと、ゲートとを有する。

10

## 【0033】

NチャンネルMOSトランジスタTRC0は、読み出し線LIOに接続されるドレインと、ビット線BL0に接続されるソースと、列選択線CSL0に接続されるゲートとを有する。NチャンネルMOSトランジスタTRC1は、読み出し線LIO\_Bに接続されるドレインと、ビット線BL1に接続されるソースと、列選択線CSL0に接続されるゲートとを有する。NチャンネルMOSトランジスタTRC2は、読み出し線LIOに接続されるドレインと、ビット線BL2に接続されるソースと、列選択線CSL1に接続されるゲートとを有する。

20

## 【0034】

メモリセルMC0において、MTJ素子S0は、ビット線BL0に接続される第1端と、第2端とを有する。セルトランジスタTRS0は、ワード線WL0に接続されるゲートと、MTJ素子S0の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。メモリセルMC1において、MTJ素子S1は、ビット線BL0に接続される第1端と、第2端とを有する。セルトランジスタTRS1は、ワード線WL2に接続されるゲートと、MTJ素子S1の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。メモリセルMC2において、MTJ素子S2は、ビット線BL1に接続される第1端と、第2端とを有する。セルトランジスタTRS2は、ワード線WL1に接続されるゲートと、MTJ素子S2の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。メモリセルMC3において、MTJ素子S3は、ビット線BL1に接続される第1端と、第2端とを有する。セルトランジスタTRS3は、ワード線WL3に接続されるゲートと、MTJ素子S3の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。メモリセルMC4において、MTJ素子S4は、ビット線BL2に接続される第1端と、第2端とを有する。セルトランジスタTRS4は、ワード線WL0に接続されるゲートと、MTJ素子S4の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。メモリセルMC5において、MTJ素子S5は、ビット線BL2に接続される第1端と、第2端とを有する。セルトランジスタTRS5は、ワード線WL2に接続されるゲートと、MTJ素子S5の第2端に接続されるドレインと、ソース線SLに接続されるソースとを有する。

30

40

## 【0035】

データ読み出し回路RDCは、読み出し線LIO, LIOBに接続される。また、ソース線SLは、接地ノードVSSに接続される。

## 【0036】

MTJ素子Sは、記憶データの論理値に対応する磁化方向に応じて電気抵抗値が変化する。

## 【0037】

図3は、本発明の第1の実施の形態に係る半導体装置において、MTJ素子の電気抵抗値の測定時における電圧供給用パッドと外部装置との接続を示す図である。

## 【0038】

50

図3を参照して、半導体装置101は、半導体チップCP上に配置されたパッドPD1～PD3を備える。

【0039】

パッドPD1は、電源ノードVCCに接続される。また、パッドPD2は、接地ノードVSSに接続される。また、パッドPD3は、テストノードTNに接続される。

【0040】

MTJ素子の電気抵抗値の測定時、パッドPD1には、外部電源PSからの電圧V1が供給される。また、パッドPD2には、接地電圧VSSが供給される。また、パッドPD3には、テスト装置201からの電圧V2が供給される。

【0041】

ビット線ドライバBLDV2におけるNチャネルMOSトランジスタTRBのソースに接続される電源配線は、デジタル線ドライバDLDV等の半導体装置101における他の回路に含まれるトランジスタの導通電極に接続される電源配線と異なる。すなわち、テストノードTNは、半導体装置101における他の回路に接続される電源ノードとは電氣的に分離されている。

【0042】

図4は、本発明の第1の実施の形態に係る半導体装置において、通常動作時における電圧供給用パッドと外部装置との接続を示す図である。

【0043】

図4を参照して、データ書き込みおよびデータ読み出し等の通常動作時、パッドPD1には、外部電源PSからの電圧V1が供給される。また、パッドPD2には、接地電圧VSSが供給される。また、パッドPD3には、接地電圧VSSが供給される。

【0044】

次に、本発明の第1の実施の形態に係る半導体装置におけるデータ書き込みおよびデータ読み出し時の動作について説明する。

【0045】

デジタル線ドライバDLDVは、データ書き込み時、アドレス信号ADDに含まれる口ウアドレスRAに基づいて、デジタル線DL0, DL1を通してそれぞれ書き込み電流IWDLを流す。

【0046】

より詳細には、データ書き込み時、選択メモリセル行に対応するNチャネルMOSトランジスタTRDは、ゲートに論理ハイレベルの電圧を受けてオンすることにより、選択メモリセル行に対応するデジタル線DLを通して電源ノードVCCから接地ノードVSSの方向に書き込み電流IWDLを流す。

【0047】

ビット線ドライバBLDV1は、データ書き込み時、列デコーダ25による列選択結果に基づいて、接地ノードVSSから供給される接地電圧VSSおよび電源ノードVDDから供給される電源電圧VDDを用いてビット線BL0～BL2を通して書き込み電流IWB Lを流す。また、ビット線ドライバBLDV2は、データ書き込み時、列デコーダ25による列選択結果に基づいて、テストノードTNから供給される接地電圧VSSおよび電源ノードVDDから供給される電源電圧VDDを用いてビット線BL0～BL2を通して書き込み電流IWB Lを流す。すなわち、ビット線ドライバBLDV1, BLDV2は、メモリセルMC0～MC5にデータを書き込むための書き込み電流IWB Lをビット線BL0～BL2に流し、書き込みデータの論理値に応じた方向に書き込み電流IWB Lを流す。

【0048】

より詳細には、たとえば書き込みデータの論理値が"0"である場合には、ビット線ドライバBLDV1において、選択メモリセル列に対応するNチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受け

10

20

30

40

50

てオフする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオンする。また、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。そうすると、選択メモリセル列に対応するビット線BLを通してビット線ドライバBLDV2からビット線ドライバBLDV1の方向に書き込み電流IWB Lが流れる。

【0049】

一方、書き込みデータの論理値が"1"である場合には、ビット線ドライバBLDV1において、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオンする。また、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。そうすると、選択メモリセル列に対応するビット線BLを通してビット線ドライバBLDV1からビット線ドライバBLDV2の方向に書き込み電流IWB Lが流れる。

【0050】

また、書き込みデータの論理値が"0"および"1"のいずれの場合でも、ビット線ドライバBLDV1において、非選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、非選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、非選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、非選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。

【0051】

また、ワード線WL0~WL3は、データ読み出し時、行選択回路20, 21による行選択結果に基づいて論理ハイレベルに駆動される。そして、選択メモリセル行に対応するセルトランジスタTRSは、ゲートに論理ハイレベルの電圧を受けてオンする。また、列選択線CSLは、データ読み出し時、列デコーダ25による列選択結果に基づいて論理ハイレベルに駆動される。そして、選択メモリセル列に対応するNチャンネルMOSトランジスタTRCは、ゲートに論理ハイレベルの電圧を受けてオンする。また、ビット線ドライバBLDV1およびBLDV2において、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフし、また、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。

【0052】

データ読み出し回路RDCは、選択メモリセル列に対応するビット線BL、選択メモリセル行および選択メモリセル列に対応するMTJ素子S、オン状態のセルトランジスタTRSを介してソース線SLへ読み出し電流IRを流す。データ読み出し回路RDCは、この読み出し電流IRの電流量に基づいて、選択メモリセル行および選択メモリセル列に対応するメモリセルMCの記憶データを読み出す。

【0053】

次に、本発明の第1の実施の形態に係る半導体装置におけるMTJ素子の電気抵抗値を測定する方法について説明する。

【0054】

MTJ素子の電気抵抗値の測定時、行選択回路20, 21および列デコーダ25は、測定対象のMTJ素子Sに対応するメモリセル行およびメモリセル列を選択する。

【0055】

10

20

30

40

50

ビット線ドライバBLDV1において、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。

【0056】

また、ビット線ドライバBLDV1において、非選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、非選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、非選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、非選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。

10

【0057】

また、選択メモリセル行に対応するワード線WLは、行選択回路20, 21によって論理ハイレベルに駆動される。そして、選択メモリセル行に対応するセルトランジスタRSは、ゲートに論理ハイレベルの電圧を受けてオンする。

【0058】

20

そうすると、測定対象のMTJ素子Sが、ビット線ドライバBLDV2において選択メモリセル列に対応するNチャンネルMOSトランジスタTRB経由でパッドPD3と電氣的に接続される。

【0059】

また、列選択線CSL0, CSL1は、列デコーダ25によって論理ローレベルに駆動される。そして、NチャンネルMOSトランジスタTRC0~TRC2は、ゲートに論理ローレベルの電圧を受けてオフする。

【0060】

また、選択メモリセル行および非選択メモリセル行に対応するNチャンネルMOSトランジスタTRDは、ゲートに論理ローレベルの電圧を受けてオフする。すなわち、MTJ素子の電気抵抗値の測定時、書き込み電流IWDLは流れない。

30

【0061】

そして、テスト装置201からパッドPD3を介して電圧を供給すると、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBおよび測定対象のMTJ素子S経由でテスト装置201から接地ノードVSSに電流が流れる。この電流値を測定することにより、測定対象のMTJ素子Sの電気抵抗値を得ることができる。

【0062】

ところで、従来のMRAMでは、MRAMが備える各MTJ素子の電気抵抗値を外部から測定するために、レイアウト面積が増大してしまうという問題点があった。

【0063】

40

しかしながら、本発明の第1の実施の形態に係る半導体装置では、外部からMTJ素子Sの電気抵抗値を測定する際に、MTJ素子Sにデータ書き込み電流を流す配線すなわちビット線BLおよびソース線SL等を直接駆動するビット線ドライバBLDV2内のトランジスタのソースを、ビット線ドライバBLDV1およびデジット線ドライバDLDV等の他の回路に接続される外部電源用パッドPD1, PD2と電氣的に分離されたテスト用のパッドPD3に接続する。

【0064】

ここで、ビット線ドライバBLDVでは、データ書き込み動作を行なうために、数ミリアンペアの比較的大きな電流を流す必要がある。このため、ビット線ドライバBLDVでは、トランジスタTRC等のデータ読み出し用の回路と比べて、トランジスタのサイズが

50

大きく設定され、また、電源配線の幅も太く設定されている。すなわち、比較的寄生抵抗の小さい回路によってMTJ素子Sと電気抵抗値測定用のパッドとを接続することができるため、レイアウト面積を増大させることなく、低抵抗のMTJ素子でも精度よく電気抵抗値を測定することができる。ここで、MTJ素子の高性能化すなわち低抵抗化により、寄生抵抗を減らす要求は大きくなってきていることから、低抵抗のMTJ素子の電気抵抗値を精度よく測定できる本発明の効果は大きい。

【0065】

また、MTJ素子の電気抵抗値の測定を行なうためには、半導体装置の通常動作に必要なトランジスタをオン・オフ制御するだけでよい。すなわち、検査時および通常時において試験用パッドとMTJ素子の接続および非接続を切り替えるための切り替え回路と、この切り替え回路を制御するための制御回路とが不要となるため、レイアウト面積の増大を防ぐことができる。

10

【0066】

また、データ書き込み時におけるビット線ドライバBLDVおよびデジット線ドライバDLDV内のトランジスタのオン・オフ制御を一部変更するだけでMTJ素子の電気抵抗値の測定を行なうことができるため、半導体装置における制御の簡易化を図ることができる。

【0067】

図5は、本発明の第1の実施の形態に係る半導体装置において、完成した半導体パッケージを示す平面図である。図6は、本発明の第1の実施の形態に係る半導体装置において、完成した半導体パッケージを示す断面図である。

20

【0068】

図5および図6を参照して、半導体装置101は、半導体チップCPと、アウターリード(外部端子)ORと、インナーリードIRと、ダイパッドDPとを含む。ダイパッドDPは、接地電位用の電極としても機能する。半導体チップCPは、ダイパッドDP上に接着(ダイボンディング)されている。

【0069】

半導体チップCPにおけるボンディングパッドとインナーリードIRとにボンディングワイヤWRが接着されている、すなわちワイヤボンディングされている。なお、インナーリードIRおよびアウターリードORはボンディングされていてもよいし、一体化されていてもよい。

30

【0070】

半導体チップCPは、たとえば、トランスファーモールドリング法によって樹脂封止されている。また、アウターリードORが主成分とする鉛フリーメッキ等でめっき処理されている。アウターリードORは、折り曲げ加工がなされている。

【0071】

ボンディングパッドPD1は、外部端子EXT1に接続されている。ボンディングパッドPD2, PD3は、外部端子EXT2に共通に接続されている。

【0072】

ここで、シリコンウエハ上に半導体チップが搭載されている状態においてMTJ素子の評価を行なう一方で、シリコンウエハ上の半導体チップをダイシング等してパッケージ化された図5および図6で示すような状態ではMTJ素子の評価を行なわない場合がある。

40

【0073】

この場合、パッドPD3は、MTJ素子の評価時においては接地電圧と測定用の電源電圧との両方を供給する必要があるが、MTJ素子の評価後においては、パッドPD2と同じ接地電圧を供給すればよい。したがって、半導体パッケージを製造する際に、パッドPD2, PD3を共通の外部端子EXT2に接続することにより、半導体装置の外部端子の削減を図ることができる。

【0074】

なお、本発明の第1の実施の形態に係る半導体装置は、デジット線およびビット線に流

50

れる電流により発生する磁場でデータ書き込みが行なわれるM R A Mであるとしたが、これに限定するものではない。

【 0 0 7 5 】

たとえば、以下の実施の形態で説明するように、非特許文献 2 に記載されているような S T T (Spin Torque Transfer) - M R A Mであってもよい。また、M R A Mに限らず、相変化メモリのように、記憶素子として抵抗体素子を用いたメモリにおいて、外部から記憶素子の抵抗値を測定するメモリであってもよい。

【 0 0 7 6 】

次に、本発明の他の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

10

【 0 0 7 7 】

< 第 2 の実施の形態 >

本実施の形態は、S T T - M R A Mである半導体装置に関する。以下で説明する内容以外は第 1 の実施の形態に係る半導体装置と同様である。

【 0 0 7 8 】

図 7 は、本発明の第 2 の実施の形態に係るメモリアレイ 1 0 およびその周辺回路の概略構成図である。図 7 において紙面縦方向がメモリセル行に対応し、紙面横方向がメモリセル列に対応している。

【 0 0 7 9 】

図 7 を参照して、メモリアレイ 1 0 は、行列状に集積配置されたメモリセル M C を含む

20

。

【 0 0 8 0 】

図 7 においては、代表的に、メモリセル M C 0 ~ M C 5、メモリセル列にそれぞれ対応して設けられたビット線 B L 0 ~ B L 2、列選択線 C S L 0、C S L 1 およびソース線 S L 0 ~ S L 2、メモリセル行に対応して設けられたワード線 W L 0 ~ W L 3 が示されている。

【 0 0 8 1 】

本発明の第 2 の実施の形態に係る半導体装置 1 0 2 は、半導体装置 1 0 1 と比べて、デジタル線ドライバ D L D V およびデジタル線 D L を備えない。

【 0 0 8 2 】

ビット線ドライバ B L D V 1 において、PチャネルM O S トランジスタ T R B 0 は、電源ノード V D D に接続されるソースと、ソース線 S L 0 に接続されるドレインと、ゲートとを有する。NチャネルM O S トランジスタ T R B 1 は、接地ノード V S S に接続されるソースと、ソース線 S L 0 に接続されるドレインと、ゲートとを有する。PチャネルM O S トランジスタ T R B 4 は、電源ノード V D D に接続されるソースと、ソース線 S L 1 に接続されるドレインと、ゲートとを有する。NチャネルM O S トランジスタ T R B 5 は、接地ノード V S S に接続されるソースと、ソース線 S L 1 に接続されるドレインと、ゲートとを有する。PチャネルM O S トランジスタ T R B 8 は、電源ノード V D D に接続されるソースと、ソース線 S L 2 に接続されるドレインと、ゲートとを有する。NチャネルM O S トランジスタ T R B 9 は、接地ノード V S S に接続されるソースと、ソース線 S L 2

30

40

【 0 0 8 3 】

メモリセル M C 0 において、M T J 素子 S 0 は、ビット線 B L 0 に接続される第 1 端と、第 2 端とを有する。セルトランジスタ T R S 0 は、ワード線 W L 0 に接続されるゲートと、M T J 素子 S 0 の第 2 端に接続されるドレインと、ソース線 S L 0 に接続されるソースとを有する。メモリセル M C 1 において、M T J 素子 S 1 は、ビット線 B L 0 に接続される第 1 端と、第 2 端とを有する。セルトランジスタ T R S 1 は、ワード線 W L 2 に接続されるゲートと、M T J 素子 S 1 の第 2 端に接続されるドレインと、ソース線 S L 0 に接続されるソースとを有する。メモリセル M C 2 において、M T J 素子 S 2 は、ビット線 B L 1 に接続される第 1 端と、第 2 端とを有する。セルトランジスタ T R S 2 は、ワード線

50

WL1に接続されるゲートと、MTJ素子S2の第2端に接続されるドレインと、ソース線SL1に接続されるソースとを有する。メモリセルMC3において、MTJ素子S3は、ビット線BL1に接続される第1端と、第2端とを有する。セルトランジスタTRS3は、ワード線WL3に接続されるゲートと、MTJ素子S3の第2端に接続されるドレインと、ソース線SL1に接続されるソースとを有する。メモリセルMC4において、MTJ素子S4は、ビット線BL2に接続される第1端と、第2端とを有する。セルトランジスタTRS4は、ワード線WL0に接続されるゲートと、MTJ素子S4の第2端に接続されるドレインと、ソース線SL2に接続されるソースとを有する。メモリセルMC5において、MTJ素子S5は、ビット線BL2に接続される第1端と、第2端とを有する。セルトランジスタTRS5は、ワード線WL2に接続されるゲートと、MTJ素子S5の第2端に接続されるドレインと、ソース線SL2に接続されるソースとを有する。

10

## 【0084】

ビット線ドライバBLDV1は、データ書き込み時、列デコーダ25による列選択結果に基づいて、接地ノードVSSから供給される接地電圧VSSおよび電源ノードVDDから供給される電源電圧VDDを用いてビット線BL0~BL2およびソース線SL0~SL2を通して書き込み電流IWB Lを流す。また、ビット線ドライバBLDV2は、データ書き込み時、列デコーダ25による列選択結果に基づいて、テストノードTNから供給される接地電圧VSSおよび電源ノードVDDから供給される電源電圧VDDを用いてビット線BL0~BL2およびソース線SL0~SL2を通して書き込み電流IWB Lを流す。すなわち、ビット線ドライバBLDV1, BLDV2は、メモリセルMC0~MC5にデータを書き込むための書き込み電流IWB Lをビット線BL0~BL2およびソース線SL0~SL2に流し、書き込みデータの論理値に応じた方向に書き込み電流IWB Lを流す。

20

## 【0085】

より詳細には、たとえば書き込みデータの論理値が"0"である場合には、ビット線ドライバBLDV1において、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオンする。また、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。そうすると、選択メモリセル列に対応するビット線BL、選択メモリセル行および選択メモリセル列に対応するMTJ素子S、オン状態のセルトランジスタTRS、選択メモリセル列に対応するソース線SLを通してビット線ドライバBLDV2からビット線ドライバBLDV1の方向に書き込み電流IWB Lが流れる。

30

## 【0086】

一方、書き込みデータの論理値が"1"である場合には、ビット線ドライバBLDV1において、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオンする。また、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するNチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャンネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。そうすると、選択メモリセル列に対応するビット線BL、選択メモリセル行および選択メモリセル列に対応するMTJ素子S、オン状態のセルトランジスタTRS、選択メモリセル列に対応するソース線SLを通してビット線ドライバBLDV1からビット線ドライバBLDV2の方向に書き込み電流IWB Lが流れる。

40

## 【0087】

データ読み出し回路RDCは、選択メモリセル列に対応するビット線BL、選択メモリ

50

セル行および選択メモリセル列に対応するMTJ素子S、オン状態のセルトランジスタTRS、選択メモリセル列に対応するソース線SLを介してビット線ドライバBLDV1へ読み出し電流IRを流す。データ読み出し回路RDCは、この読み出し電流IRの電流量に基づいて、選択メモリセル行および選択メモリセル列に対応するメモリセルMCの記憶データを読み出す。

【0088】

次に、本発明の第2の実施の形態に係る半導体装置におけるMTJ素子の電気抵抗値を測定する方法について説明する。

【0089】

MTJ素子の電気抵抗値の測定時、行選択回路20, 21および列デコーダ25は、測定対象のMTJ素子Sに対応するメモリセル行およびメモリセル列を選択する。

10

【0090】

ビット線ドライバBLDV1において、選択メモリセル列に対応するPチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、選択メモリセル列に対応するNチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、ビット線ドライバBLDV2において、選択メモリセル列に対応するNチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、選択メモリセル列に対応するPチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。

【0091】

20

また、ビット線ドライバBLDV1において、非選択メモリセル列に対応するNチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオンする。また、非選択メモリセル列に対応するPチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、ビット線ドライバBLDV2において、非選択メモリセル列に対応するPチャネルMOSトランジスタTRBは、ゲートに論理ハイレベルの電圧を受けてオフする。また、非選択メモリセル列に対応するNチャネルMOSトランジスタTRBは、ゲートに論理ローレベルの電圧を受けてオフする。

【0092】

また、選択メモリセル行に対応するワード線WLは、行選択回路20, 21によって論理ハイレベルに駆動される。そして、選択メモリセル行に対応するセルトランジスタTRSは、ゲートに論理ハイレベルの電圧を受けてオンする。

30

【0093】

そうすると、測定対象のMTJ素子Sが、ビット線ドライバBLDV2において選択メモリセル列に対応するNチャネルMOSトランジスタTRBを介してパッドPD3と電氣的に接続される。

【0094】

また、列選択線CSL0, CSL1は、列デコーダ25によって論理ローレベルに駆動される。そして、NチャネルMOSトランジスタTRC0~TRC2は、ゲートに論理ローレベルの電圧を受けてオフする。

【0095】

40

そして、テスト装置201からパッドPD3を介して電圧を供給すると、ビット線ドライバBLDV2において選択メモリセル列に対応するNチャネルMOSトランジスタTRB、測定対象のMTJ素子Sおよびビット線ドライバBLDV1において選択メモリセル列に対応するNチャネルMOSトランジスタTRBを介してテスト装置201から接地ノードVSSに電流が流れる。この電流値を測定することにより、測定対象のMTJ素子Sの電気抵抗値を得ることができる。

【0096】

その他の構成および動作は第1の実施の形態に係る半導体装置と同様であるため、ここでは詳細な説明を繰り返さない。したがって、本発明の第2の実施の形態に係る半導体装置では、第1の実施の形態に係る半導体装置と同様に、記憶素子の電気抵抗値を正確に測

50

定し、かつレイアウト面積の増大を防ぐことができる。

【0097】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0098】

【図1】本発明の第1の実施の形態に係る半導体装置の全体構成を示す概略ブロック図である。

10

【図2】本発明の第1の実施の形態に係るメモリアレイ10およびその周辺回路の概略構成図である。

【図3】本発明の第1の実施の形態に係る半導体装置において、MTJ素子の電気抵抗値の測定時における電圧供給用パッドと外部装置との接続を示す図である。

【図4】本発明の第1の実施の形態に係る半導体装置において、通常動作時における電圧供給用パッドと外部装置との接続を示す図である。

【図5】本発明の第1の実施の形態に係る半導体装置において、完成した半導体パッケージを示す平面図である。

【図6】本発明の第1の実施の形態に係る半導体装置において、完成した半導体パッケージを示す断面図である。

20

【図7】本発明の第2の実施の形態に係るメモリアレイ10およびその周辺回路の概略構成図である。

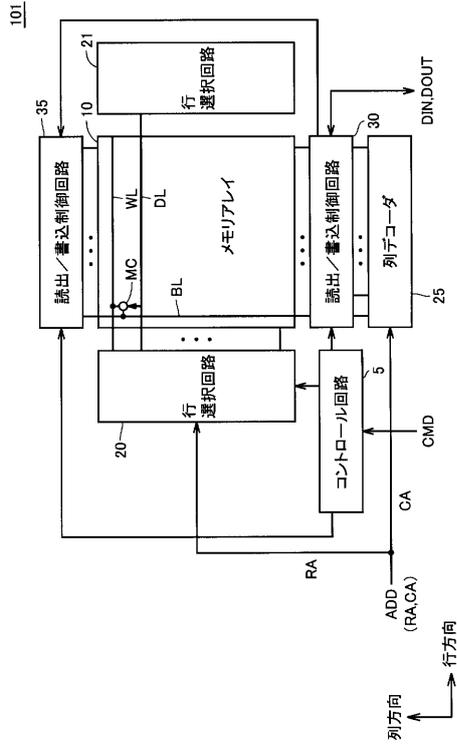
【符号の説明】

【0099】

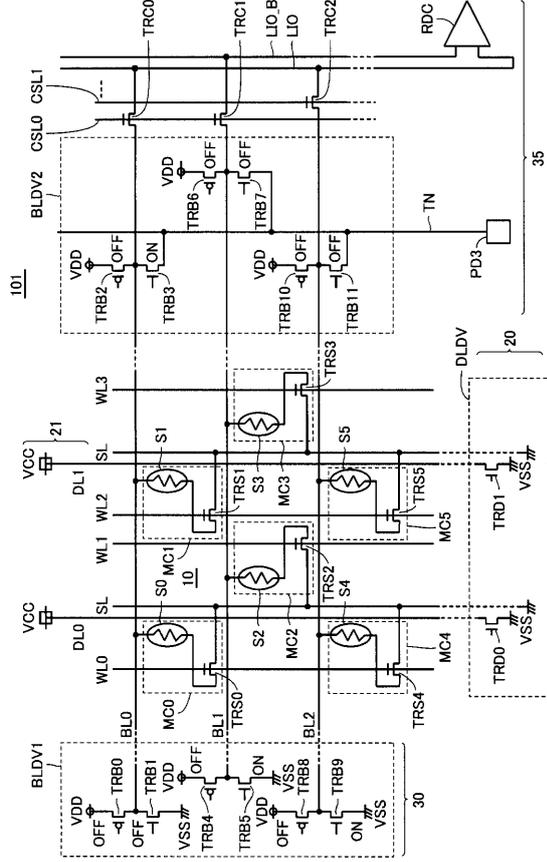
5 コントロール回路、10 メモリアレイ、20, 21 行選択回路、25 列デコーダ、30, 35 読み出し/書き込み制御回路、45, 50 行ドライバ、101, 102 半導体装置、201 テスト装置、WL, WL0~WL3 ワード線、DL, DL0, DL1 デジット線、BL, BL0~BL2 ビット線、PS 外部電源、SL ソース線、MC0~MC5, MC メモリセル、S0~S5, S MTJ素子(磁気抵抗素子)、TRS0~TRS5, TRS セルトランジスタ、DLDV デジット線ドライバ、TRD0, TRD1, TRD NチャネルMOSトランジスタ、BLDV1, BLDV2 ビット線ドライバ、RDC データ読み出し回路、TRB0, TRB4, TRB8, TRB2, TRB6, TRB10, TRB PチャネルMOSトランジスタ、TRB1, TRB5, TRB9, TRB3, TRB7, TRB11, TRB NチャネルMOSトランジスタ、PD1~PD3 パッド、CP 半導体チップ、OR アウターリード(外部端子)、IR インナーリード、DP ダイパッド。

30

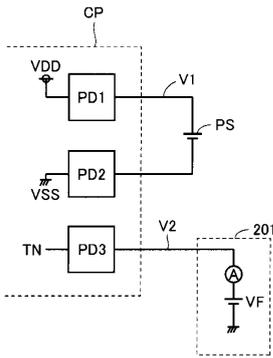
【図1】



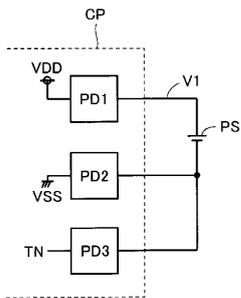
【図2】



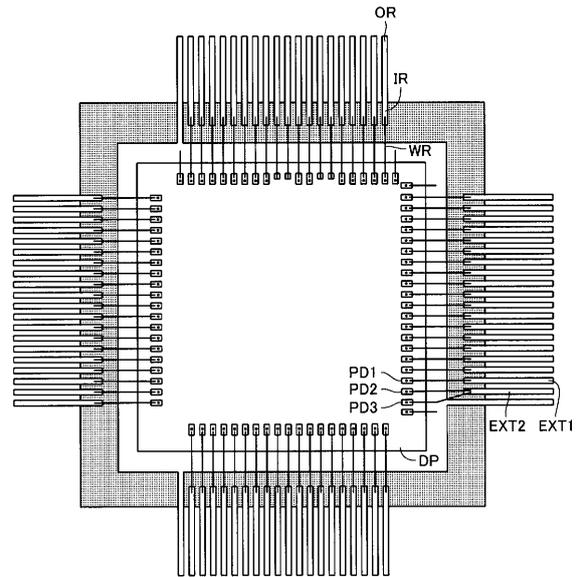
【図3】



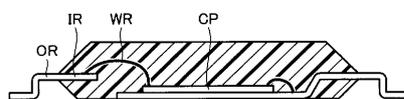
【図4】



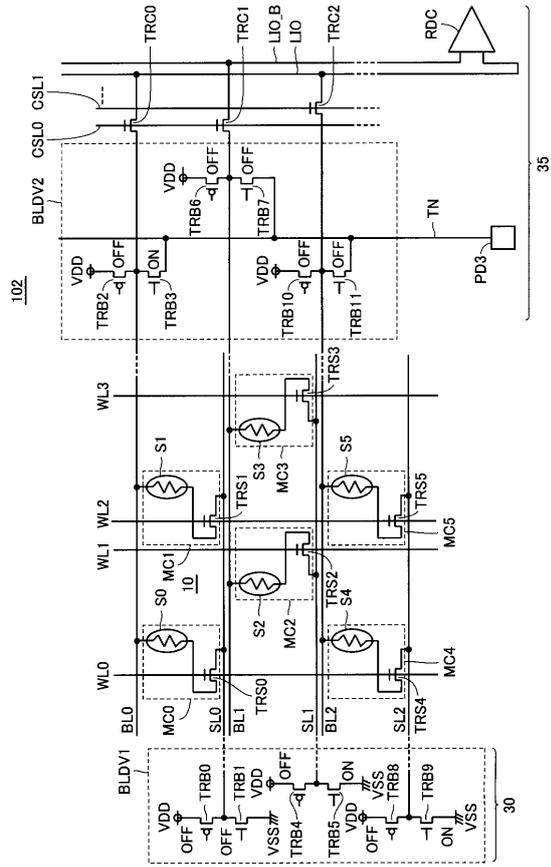
【図5】



【図6】



【 7 】



---

フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 河越 知也

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 小林 紀和

(56)参考文献 特開2004-055001(JP,A)

特開2004-079033(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/12

G11C 11/15