



(12)发明专利

(10)授权公告号 CN 105474319 B

(45)授权公告日 2019.01.25

(21)申请号 201480045373.9

(22)申请日 2014.07.31

(65)同一申请的已公布的文献号
申请公布号 CN 105474319 A

(43)申请公布日 2016.04.06

(30)优先权数据
13/965,008 2013.08.12 US

(85)PCT国际申请进入国家阶段日
2016.02.15

(86)PCT国际申请的申请数据
PCT/US2014/049096 2014.07.31

(87)PCT国际申请的公布数据
W02015/023445 EN 2015.02.19

(73)专利权人 美光科技公司
地址 美国爱达荷州

(72)发明人 马修·A·布莱瑟

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 路勇

(51)Int.Cl.
G11C 11/00(2006.01)
G11C 16/04(2006.01)
G11C 7/10(2006.01)

(56)对比文件
US 2001/0053090 A1,2001.12.20,
US 2001/0053090 A1,2001.12.20,
US 2004/0019756 A1,2004.01.29,
US 2013/0086309 A1,2013.04.04,
US 2010/0274956 A1,2010.10.28,
JP 2001005723 A,2001.01.12,
WO 2013/028827 A1,2013.02.28,
CN 101256828 A,2008.09.03,

审查员 李梦芸

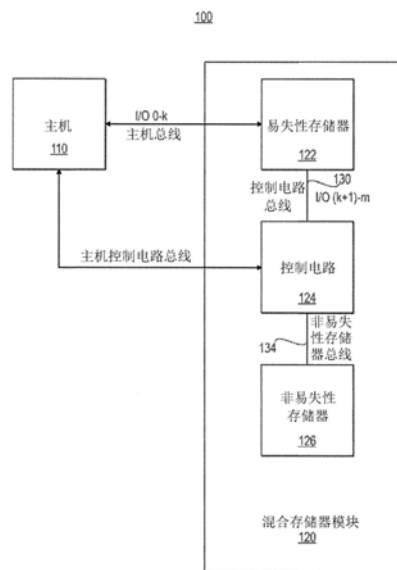
权利要求书4页 说明书7页 附图3页

(54)发明名称

用于配置混合存储器模块的存储器的I/O的设备和方法

(57)摘要

本发明描述用于配置混合存储器模块的存储器的I/O的设备、混合存储器模块、存储器及方法。一种实例设备包含非易失性存储器、耦合到所述非易失性存储器的控制电路及耦合到所述控制电路的易失性存储器。所述易失性存储器经配置以使I/O的第一子集能够与总线通信且使I/O的第二子集能够与所述控制电路通信,其中所述控制电路经配置以在所述易失性存储器与所述非易失性存储器之间传送信息。



1. 一种设备,其包括:

混合存储器模块,其包含:

非易失性存储器;

包含多个I/O缓冲器的易失性存储器,其中所述易失性存储器经配置以在处于第一操作模式中时使用所述多个I/O缓冲器的第一子集来通信且经配置以在处于第二操作模式中使用所述多个I/O缓冲器的第二子集来通信,其中所述易失性存储器响应于控制信号而进入所述第二操作模式;及

控制电路,其经配置以将信息从所述易失性存储器传送到所述控制电路并从所述控制电路传送到所述非易失性存储器,其中所述控制电路使用I/O缓冲器的所述第二子集来与所述易失性存储器通信,其中所述控制电路将所述控制信号提供给所述易失性存储器以使所述易失性存储器进入所述第二操作模式。

2. 根据权利要求1所述的设备,其中所述非易失性存储器经配置以经由非易失性存储器总线而与所述控制电路通信。

3. 根据权利要求2所述的设备,其中所述控制电路经配置以将数据从所述易失性存储器传送到所述非易失性存储器。

4. 根据权利要求1所述的设备,其中所述易失性存储器包含模式寄存器,所述模式寄存器经配置以编程有用于设定所述第一操作模式的信息且进一步经配置以编程有用于设定所述第二操作模式的信息。

5. 根据权利要求1所述的设备,其中所述非易失性存储器的存储容量大于所述易失性存储器的存储容量。

6. 根据权利要求1所述的设备,其中所述易失性存储器包括多个存储器。

7. 根据权利要求1所述的设备,其进一步包括经配置以通过所述多个I/O缓冲器的所述第一子集而与所述混合存储器模块通信的主机。

8. 一种存储器,其包括:

I/O通道的第一子集,其经配置以耦合到第一总线,所述第一总线耦合到主机;

I/O缓冲器的第一子集,其经配置以将数据提供给所述I/O通道的第一子集并从所述I/O通道的第一子集接收数据;

I/O通道的第二子集,其经配置以耦合到控制电路,所述控制电路用于将信息从所述存储器传送到所述控制电路;

I/O缓冲器的第二子集,其经配置以将数据提供给所述I/O通道的第二子集并从所述I/O通道的第二子集接收数据;

模式寄存器,其经配置以编程有用于设定用于所述I/O通道的第一子集的第一操作模式的信息且编程有用于设定用于所述I/O通道的第二子集的第二操作模式的信息;及

控制逻辑,其耦合到所述模式寄存器且经配置以响应于所述第一操作模式被设定而启用经由所述I/O通道的第一子集的通信且响应于所述第二操作模式经由来自所述控制电路的控制信号被设定而启用经由所述I/O通道的第二子集的通信,其中所述控制逻辑进一步经配置以为所述第一操作模式启用所述I/O缓冲器的第一子集并为所述第二操作模式启用所述I/O缓冲器的第二子集。

9. 根据权利要求8所述的存储器,其中所述控制逻辑经配置以同时启用经由所述I/O缓

冲器的所述第一子集及所述第二子集的通信。

10. 根据权利要求8所述的存储器,其中所述控制逻辑经配置以通过使所述模式寄存器编程有用于分别设定所述第一操作模式或所述第二操作模式的信息而启用经由所述I/O缓冲器的所述第一子集及所述第二子集中的一者的通信。

11. 一种混合存储器模块,其包括:

多个易失性存储器,其经配置以基于操作模式而使用耦合至主机的各I/O缓冲器的第一子集或各I/O缓冲器的第二子集的一者来通信,其中所述多个易失性存储器中的一易失性存储器经配置以响应于控制信号而改变操作模式;及

控制电路,其经配置以经由所述各I/O缓冲器的所述第二子集而与所述多个易失性存储器通信、在所述多个易失性存储器及所述控制电路之间传送信息并且在所述控制电路及一个或多个非易失性存储器之间传送所述信息,其中所述控制电路将所述控制信号提供给所述易失性存储器以使所述易失性存储器进入特别操作模式。

12. 根据权利要求11所述的混合存储器模块,其中所述各I/O缓冲器的第一子集经配置以耦合到主机总线。

13. 根据权利要求11所述的混合存储器模块,其中所述多个易失性存储器中的一易失性存储器包含经配置以编程有用于设定所述操作模式的信息的模式寄存器。

14. 根据权利要求11所述的混合存储器模块,其进一步包括耦合到控制电路且经配置以经由非易失性存储器总线而与所述控制电路通信的非易失性存储器。

15. 根据权利要求11所述的混合存储器模块,其中所述控制电路包括现场可编程门阵列或专用集成电路。

16. 根据权利要求11所述的混合存储器模块,所述多个易失性存储器包括多个DRAM。

17. 一种设备,其包括:

非易失性存储器;

控制电路,其耦合到所述非易失性存储器且经配置以提供控制信号从而改变易失性存储器的操作模式;及

包含多个I/O缓冲器的所述易失性存储器,所述易失性存储器耦合到所述控制电路且经配置以使所述多个I/O缓冲器的第一子集能够与总线通信且使所述多个I/O缓冲器的第二子集响应于接收到控制信号而改变所述易失性存储器的所述操作模式从而能够与所述控制电路通信,其中所述控制电路经配置以通过所述控制电路而在所述易失性存储器与所述非易失性存储器之间传送信息。

18. 根据权利要求17所述的设备,其中所述控制电路经配置以对所述易失性存储器与所述非易失性存储器之间所传送的信息执行错误计算。

19. 根据权利要求17所述的设备,其中所述控制电路经配置以在电力故障事件期间于所述易失性存储器与所述非易失性存储器之间传送信息。

20. 根据权利要求17所述的设备,其中所述非易失性存储器、所述控制电路及所述易失性存储器包含于存储器模块中。

21. 根据权利要求17所述的设备,其中所述易失性存储器经配置以响应于所述易失性存储器被设定为第一操作模式而使所述多个I/O缓冲器的所述第一子集能够用于通信且经配置以响应于所述易失性存储器被设定为第二操作模式而使所述多个I/O缓冲器的所述第

二子集能够用于通信。

22. 根据权利要求17所述的设备,其中所述多个I/O缓冲器包含I/O缓冲器(m+1),且I/O缓冲器的所述第一子集包含I/O缓冲器0到k且I/O缓冲器的所述第二子集包含I/O缓冲器(k+1)到m。

23. 一种方法,其包括:

当混合存储器模块的易失性存储器处于第一操作模式中时,经由所述易失性存储器的I/O缓冲器的第一子集而从主机传送信息;及

当所述易失性存储器处于第二操作模式中时,经由所述易失性存储器的I/O缓冲器的第二子集而将信息传送到所述混合存储器模块的控制电路,其中经由来自所述控制电路的控制信号而启用所述第二操作模式。

24. 根据权利要求23所述的方法,其进一步包括:

响应于所述第一操作模式而启用经由所述易失性存储器的I/O缓冲器的所述第一子集的通信;

响应于所述第一操作模式而停用经由所述易失性存储器的I/O缓冲器的所述第二子集的通信;

响应于所述第二操作模式而停用经由所述易失性存储器的I/O缓冲器的所述第一子集的通信;及

响应于所述第二操作模式而启用经由所述易失性存储器的I/O缓冲器的所述第二子集的通信,所述第二操作模式响应于从所述控制电路接收的所述控制信号。

25. 根据权利要求23所述的方法,其进一步包括:基于编程于所述易失性存储器的模式寄存器中的信息而检测所述第二操作模式。

26. 根据权利要求23所述的方法,其进一步包括:当所述易失性存储器处于所述第二操作模式中时,经由所述控制电路而将信息从所述易失性存储器传送到所述混合存储器模块的非易失性存储器。

27. 根据权利要求23所述的方法,其进一步包括:接收用于编程到所述易失性存储器的模式寄存器的信息以设定所述第一操作模式或所述第二操作模式。

28. 根据权利要求23所述的方法,其中所述第一操作模式为正常操作模式,且其中所述第二操作模式经设定以用于电力故障事件。

29. 一种方法,其包括:

配置易失性存储器以响应于第一操作模式而经由耦合至主机的I/O缓冲器的第一子集来通信;及

配置所述易失性存储器以响应于第二操作模式而经由I/O缓冲器的第二子集来通信,其中响应于从控制电路接收的控制信号而进入所述第二操作模式,

其中配置所述易失性存储器以经由I/O缓冲器的第二子集来通信包括配置所述易失性存储器以经由所述I/O缓冲器的第二子集来将信息传送至所述控制电路。

30. 根据权利要求29所述的方法,其中配置所述易失性存储器以经由I/O缓冲器的所述第一子集来通信包括将信息编程到所述易失性存储器的模式寄存器以设定所述第一操作模式,且其中配置所述易失性存储器以经由I/O缓冲器的所述第二子集来通信包括将信息编程到所述模式寄存器以设定所述第二操作模式。

31. 根据权利要求29所述的方法,其中配置所述易失性存储器以经由I/O缓冲器的所述第二子集来通信包括:配置所述易失性存储器以响应于电力故障事件而经由I/O缓冲器的所述第二子集来通信。

32. 根据权利要求29所述的方法,其进一步包括:

当所述易失性存储器被设定为所述第一操作模式时,将信息提供到所述易失性存储器。

用于配置混合存储器模块的存储器的I/O的设备及方法

背景技术

[0001] 混合存储器模块是包含易失性存储器(例如,动态随机存取存储器(DRAM))及非易失性存储器(例如,快闪存储器)的存储器模块。在一些实例中,混合存储器模块可在正常操作期间用作标准易失性存储器模块,其具有将数据从易失性存储器传送到非易失性存储器的能力,如由主机控制器所命令。当前设计使用允许将信号总线从主机控制器与存储器模块的易失性存储器之间切换到易失性存储器与存储器模块控制器(其耦合到非易失性存储器)之间的多路复用器集成电路(IC)。存储器模块控制器可经配置以控制易失性及/或非易失性存储器的操作从而(例如)控制易失性存储器及非易失性存储器在彼此之间传送数据。这些多路复用器IC可能价格昂贵,消耗存储器模块上的额外空间,且可能会给主机控制器与易失性存储器之间的信号总线添加电负载。

发明内容

[0002] 本发明提供设备的实例。一种实例设备可包含混合存储器模块,其包含非易失性存储器及耦合到所述非易失性存储器的易失性存储器。所述易失性存储器可经配置以在处于第一操作模式中时使用I/O的第一子集来通信且可经配置以在处于第二操作模式中时使用I/O的第二子集来通信。

[0003] 一种实例设备可包含非易失性存储器及耦合到所述非易失性存储器的控制电路。所述实例设备可进一步包含易失性存储器,其耦合到所述控制电路且经配置以使I/O的第一子集能够与总线通信且使I/O的第二子集能够与所述控制电路通信。所述控制电路可经配置以在所述易失性存储器与所述非易失性存储器之间传送信息。

[0004] 本发明提供存储器的实例。一种实例存储器可包含经配置以耦合到第一总线的I/O的第一子集及经配置以耦合到第二总线的I/O的第二子集。所述实例存储器可进一步包含模式寄存器,其经配置以编程有设定I/O的所述第一子集的第一操作模式的信息且编程有设定I/O的所述第二子集的第二操作模式的信息。所述实例存储器可进一步包含控制逻辑,其耦合到所述模式寄存器且经配置以响应于所述第一模式被设定而启用经由I/O的所述第一子集的通信且响应于所述第二模式被设定而启用经由I/O的所述第二子集的通信。

[0005] 本发明提供混合存储器模块的实例。一种实例混合存储器模块可包含多个易失性存储器,其经配置以基于操作模式而使用I/O的第一子集或I/O的第二子集来通信。所述实例混合存储器模块可进一步包含控制电路,其经配置以经由I/O的所述第二子集与所述多个易失性存储器通信。

[0006] 本文揭示实例方法。一种实例方法可包含:当混合存储器模块的易失性存储器处于第一操作模式中时,经由所述易失性存储器的I/O的第一子集从主机传送信息。所述实例方法可进一步包含:当所述易失性存储器处于第二操作模式时,经由所述易失性存储器的I/O的第二子集将信息传送到所述混合存储器模块的控制电路。

[0007] 一种实例方法可包含:配置易失性存储器以响应于第一操作模式而经由I/O的第一子集通信;及配置所述易失性存储器以响应于第二操作模式而经由I/O的第二子集通信。

附图说明

[0008] 图1为包含根据本发明的实施例的混合存储器模块的设备的特定说明性实施例的框图；

[0009] 图2为包含根据本发明的实施例的混合存储器模块的设备的特定说明性实施例的框图；及

[0010] 图3为根据本发明的实施例的存储器的框图。

具体实施方式

[0011] 下文陈述某些细节以提供对本发明的实施例的充分理解。然而，所属领域的技术人员应清楚，可在无这些特定细节的情况下实践本发明的实施例。此外，通过实例方式提供本文中所描述的本发明的特定实施例且不应用于将本发明的范围限制于这些特定实施例。

[0012] 参看图1，揭示包含根据本发明的实施例的混合存储器模块的设备（且大体上指定为100）的特定说明性实施例。设备100可为集成电路、存储器装置、存储器系统、电子装置或系统、智能电话、平板电脑、计算机、服务器等。设备100可包含混合存储器模块120。混合存储器模块120包含经由主机总线耦合到主机110的易失性存储器122。易失性存储器122可包含一或多个易失性存储器，例如DRAM。混合存储器模块120可进一步包含经由相应控制电路总线130耦合到易失性存储器122的控制电路124。控制电路124可经由主机控制电路（HCC）总线进一步耦合到主机110。控制电路124可经由非易失性存储器（NVM）总线134耦合到NVM 126。NVM 126可包含一或多个非易失性存储器，例如快闪存储器。易失性存储器122的存储器可经配置以通过主机总线与主机110通信，所述主机总线使用与通过控制电路总线130而与控制电路124通信时所使用的I/O的子集（例如，I/O的第二子集）不同的I/O的子集（例如，I/O的第一子集）。在通信期间，可（例如）在易失性存储器122的存储器与主机110之间及/或在易失性存储器122的存储器与控制电路124及NVM 126之间传送信息（例如，命令、地址、数据等）。

[0013] 如先前所描述，易失性存储器122可包含一多个易失性存储器。所述易失性存储器可为任何类型的易失性存储器，例如任何双数据速率（DDR）同步DRAM（SDRAM）架构（例如，DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、DDR4 SDRAM等）。易失性存储器122的所述存储器可具有x4、x8、x16或更大配置（例如，其分别包含4个、8个、16个或16个以上I/O）。此外，主机110与易失性存储器122的存储器之间的主机总线可支持x4、x8或其它配置。举例来说，主机总线可为72位总线。易失性存储器122的所述易失性存储器中的每一者可使用主机总线的一部分来与主机110通信。举例来说，易失性存储器122可包含各自具有x8配置的存储器，且因此，每一存储器可将所述72位主机总线的相应8位用于通信。控制电路总线130可小于主机总线。举例来说，当主机总线可为72位时，控制电路总线130可为40位。

[0014] 在一些实施例中，易失性存储器122中的每一存储器可包含经配置以存储所述存储器的操作参数的相应模式寄存器。在一些实施例中，模式寄存器可编程有设定操作模式（其指定用于个别通信的I/O的子集）的信息。举例来说，存储器可包含用于通信的I/O 0到m。所述模式寄存器可编程有设定第一操作模式（其指定用于通信的I/O的第一子集0到k（k < m））的信息，且可进一步编程有设定第二操作模式（其指定用于个别通信的I/O的第二子集

(k+1)到m)的信息。通过设定所述不同操作模式,易失性存储器122的存储器可经配置以通过主机总线而与主机110通信,所述主机总线使用与通过控制电路总线130而与控制电路124通信时所使用的I/O的子集(例如,I/O的第二子集)不同的I/O的子集(例如,I/O的第一子集)。

[0015] 控制电路124可在易失性存储器122与NVM 126之间传送信息。控制电路124可包含专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它集成电路。控制电路124可在易失性存储器122与NVM 126之间的数据传送期间执行错误计算及/或检查功能。

[0016] NVM 126可包含任何类型的非易失性存储器。举例来说,NVM 126可包含快闪存储器,例如NAND快闪存储器及NOR快闪存储器。控制电路124与NVM 126之间的NVM总线134可小于易失性存储器122与控制电路124之间的控制电路总线130。NVM126的存储容量可大于易失性存储器122的存储容量。举例来说,NVM 126的存储容量可为易失性存储器122的存储容量的至少两倍。在另一实例中,NVM 126的存储容量可为易失性存储器122的存储容量的两倍到四倍。

[0017] 在操作中,易失性存储器122可基于操作模式而经由I/O 0到N的相应子集(例如,用于主机110的I/O 0到k;用于控制电路124的I/O (k+1)到m)来与主机110及/或控制电路124选择性地通信。在实例中,在第一操作模式(例如,正常操作)期间,主机110经由主机总线与易失性存储器122通信以执行存储器存取操作。主机110可通过将模式寄存器命令发送到易失性存储器122以编程第一操作模式的信息而将易失性存储器122设定为第一操作模式。可在所述第一操作模式期间停用易失性存储器122与控制电路124之间的通信。可由主机110起始到第二操作模式的转变。举例来说,主机110可经由HCC总线将命令发送到控制电路124以转变到所述第二模式。在所述第二模式中,主机110将对易失性存储器122的控制转交到控制电路124。控制电路124可通过将模式寄存器命令及信息发送到易失性存储器122的存储器而将易失性存储器122的存储器设定为所述第二操作模式以使模式寄存器编程有设定所述第二操作模式的信息。当处于所述第二操作模式中时,易失性存储器122的存储器可经由控制电路总线130与控制电路124通信。举例来说,所述第二操作模式可用于将由易失性存储器122的存储器存储的数据提供到NVM 126以将其存储。在一些实施例中,使用管理信息传送的控制电路124将所述信息从易失性存储器的存储器传送到NVM。

[0018] 当处于第二操作模式中时,经由控制电路总线130的控制电路124与易失性存储器122的存储器之间的通信可使用与经由主机总线的主机110与易失性存储器122的存储器之间的通信期间所使用的I/O的子集不同的I/O的子集。举例来说,在第一操作模式中,易失性存储器122的存储器可经配置以使用相应I/O 0到k(例如,I/O的第一子集)而经由主机总线与主机110通信以执行存储器存取操作。此外,在第二操作模式中,易失性存储器122的存储器可经配置以使用相应I/O (k+1)到m(例如,I/O的第二子集)而经由控制电路总线130与控制电路124通信以执行存储器存取操作。

[0019] 如先前所描述,易失性存储器122的存储器可接收经由主机110或控制电路124而在模式寄存器中编程信息的模式寄存器命令。易失性存储器122的存储器可基于编程到模式寄存器的所述信息而使I/O 0到m的子集能够用于通信。举例来说,响应于模式寄存器编程有用于第一操作模式的第一信息,易失性存储器122的存储器可启用通过相应I/O 0到k(例如,I/O的第一子集)的通信。当处于第一操作模式中时,存储器存取操作可包含:主机

110从易失性存储器122的存储器检索数据及将数据提供到易失性存储器122的存储器。举例来说,主机110可使用I/O 0到k经由主机总线而将命令、地址及数据提供到易失性存储器122的存储器,且易失性存储器122的存储器可使用I/O 0到k经由主机总线而将数据以及其它信息提供到主机110。第一操作模式可对应于设备100的正常操作。

[0020] 在将易失性存储器122的存储器改变为第二操作模式时,主机110可针对第二操作模式在易失性存储器122的存储器的模式寄存器中编程信息。易失性存储器122的存储器可基于用于所述第二操作模式的编程于模式寄存器中的所述信息而启用通过相应I/O (k+1)到m的通信。当处于所述第二操作模式时,存储器存取操作可包含:控制电路124从易失性存储器122的存储器检索数据及将数据提供到易失性存储器122的存储器。举例来说,控制电路124可使用I/O (k+1)到m经由控制电路总线130而将命令、地址及数据提供到易失性存储器122的存储器,且易失性存储器122的存储器可使用I/O (k+1)到m经由控制电路总线130而将数据以及其它信息提供到控制电路124。

[0021] 在实施例中,当处于第二操作模式中时,控制电路124可将信息从易失性存储器122的存储器传送到NVM 126。举例来说,可因电力故障事件而将易失性存储器的存储器设定为第二操作模式。由易失性存储器122的存储器存储的数据可经由控制电路124而传送到NVM 126以在所述电力故障期间维持所述数据。一旦电力被重新施加,则先前存储于NVM 126中的数据可经由控制电路124而恢复到易失性存储器122。一旦传送完成,则可将易失性存储器122的存储器设定为第一操作模式。

[0022] 如先前所描述,可根据x4、x8、x16或更大架构(例如,其分别包含4个、8个、16个或16个以上I/O)配置易失性存储器122的存储器。此外,主机110与易失性存储器122之间的主机总线可支持易失性存储器122的存储器的x4、x8或另一架构。易失性存储器122的存储器可经配置以使用可用I/O的子集来与主机110通信。混合存储器模块120并非重新路由用于与主机110通信的I/O的所述子集,而是可通过设定易失性存储器122的存储器的操作模式而利用易失性存储器122的存储器的其它I/O以使用所述其它I/O的部分或全部经由控制电路总线130而与控制电路124通信。举例来说,易失性存储器122的存储器并非包含用于将易失性存储器122的存储器的I/O 0到k从主机总线切换到控制电路总线130的切换电路,而是可经重新配置(例如,针对不同操作模式编程)以使用不同I/O,此情况可提高操作速度,增加可用有效空间,且减少成本。

[0023] 参看图2,揭示包含根据本发明的实施例的混合存储器模块220的设备(且大体上指定为200)的特定说明性实施例。混合存储器模块可包含存储器222(0到N)。存储器222(0到N)经配置以存储信息且可经存取以读取及写入信息。可通过提供用于存储器存取操作的命令及地址来存取存储器222(0到N)。存储器222(0到N)的部分或全部可具有可用于通信的相应I/O 0到m(0到N)。混合存储器模块220可进一步包含可通过控制电路总线而与存储器222(0到N)通信的控制电路224。所述控制电路总线包含控制电路总线240(0到N),其中的每一者耦合到存储器222(0到N)的每一者。控制电路224可经由NVM总线244耦合到NVM 126。控制电路224也可经由主机控制电路(HCC)总线耦合到主机110。存储器222(0到N)可经配置以使用相应I/O 0到k(0到N)230(0到N)通过主机总线与主机110通信及/或可使用I/O (k+1)到m(0到N)232(0到N)通过相应控制电路总线240(0到N)而与控制电路224选择性地通信。混合存储器模块220可包含于图1的混合存储器模块120中。设备200包含先前已关于图1的设备

100描述的元件。已使用图1中所使用的相同元件符号来将那些元件展示于图2中,且所述共同元件的操作如先前所描述。因此,为了简洁,将不再重复对这些元件的操作的详细描述。

[0024] 存储器222 (0到N) 在一些实施例中可为易失性存储器,且可表示混合存储器模块220的易失性存储器空间。所述存储器可包含任何类型的存储器架构,其包含任何双数据速率(DDR)同步DRAM (SDRAM) 架构(例如,DDR SDRAM、DDR2SDRAM、DDR3SDRAM、DDR4SDRAM等)。可根据x4、x8、x16或更大架构(例如,其分别包含4个、8个、16个或16个以上I/O)配置存储器222 (0到N)中的每一者。存储器222 (0到N)中的每一者可包含经配置以存储存储器222 (0到N)的操作参数的相应模式寄存器250 (0到N)。在一些实施例中,模式寄存器可编程有指定用于通信的I/O 0到m (0到N)的子集的操作模式信息。举例来说,模式寄存器可编程有指定用于通信(例如,通过主机总线通信)的相应I/O 0到k (0到N) 230 (0到N)的第一操作模式信息,且可编程有指定用于通信(例如,通过控制电路总线240通信)的相应I/O (k+1) 到m (0到N) 232 (0到N)的第二操作模式信息。

[0025] 控制电路224可在存储器222 (0到N) 与NVM 126之间传送信息。控制电路224可包含专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它电路。控制电路224可在存储器222 (0到N) 与NVM 126之间的信息传送期间执行错误检查功能。

[0026] 在操作中,存储器222 (0到N)可基于操作模式而经由I/O的相应子集0到k (0到N) 230 (0到N) 及I/O (k+1) 到m 232 (0到N) 与主机110及/或控制电路224选择性地通信。主机110可通过将模式寄存器命令发送到存储器222 (0到N)以编程用于第一操作模式的信息而将存储器222 (0到N)设定为第一操作模式。在一些实施例中,可在处于第一操作模式中时停用存储器222 (0到N)与控制电路224之间的通信。主机110可通过经由HCC总线将命令发送到控制电路224而起始到第二操作模式的转变以转变为所述第二模式。在所述第二模式中,主机110将对存储器222 (0到N)的控制转交到控制电路224。控制电路224可通过将模式寄存器命令发送到存储器222 (0到N)以编程用于第二操作模式的信息而将混合存储器模块220的存储器222 (0到N)设定为第二操作模式。当处于所述第二操作模式中时,存储器222 (0到N)可经由控制电路总线240 (0到N)与控制电路224通信。在所述第二操作模式中,可在存储器222 (0到N)与NVM 126之间传送由存储器222 (0到N)存储的信息及由NVM 126存储的信息,其中控制电路224管理存储器222 (0到N)与NVM 126之间的信息传送。

[0027] 当处于第二操作模式中时,存储器222 (0到N)与控制电路224之间的通信可使用与存储器222 (0到N)经由主机总线而与主机110通信时所使用的I/O的子集不同的I/O的子集。举例来说,在第一操作模式中,存储器222 (0到N)可经配置以使用相应I/O 0到k 230 (0到N) (例如,I/O的第一子集)经由主机总线与主机110通信。在第二操作模式中,存储器222 (0到N)可经配置以使用相应I/O (k+1) 到m 232 (0到N) (例如,I/O的第二子集)经由控制电路总线而与控制电路224通信。

[0028] 如先前所描述,存储器222 (0到N)可从主机110或控制电路224接收在模式寄存器中编程信息模式寄存器命令。存储器222 (0到N)可基于编程于模式寄存器中的所述信息而将I/O 0到m的不同子集用于通信。举例来说,模式寄存器250 (0到N)可编程有用于第一操作模式的信息,且存储器222 (0到N)中的每一者可启用通过相应I/O 0到k 230 (0到N)的通信。当处于第一操作模式中时,存储器存取操作可包含:主机110从存储器222 (0到N)检索数据及将数据提供到存储器222 (0到N)。模式寄存器250 (0到N)可编程有用于第二操作模式的

信息,且DRAM 222 (0到N)中的每一者可启用通过相应I/O (k+1) 到m 232 (0到N)的通信。在第二操作模式中,存储器存取操作可包含:控制电路224从存储器222 (0到N)检索数据及将数据提供到存储器222 (0到N)。举例来说,在第二操作模式中,控制电路224可将数据从存储器222 (0到N)传送到NVM 126。

[0029] 可分别地启用及停用易失性存储器122的存储器及存储器222 (0到N)的第一操作模式及第二操作模式。在一些实施例中,第一操作模式及第二操作模式可为互斥操作模式,即,可设定第一操作模式或第二操作模式,借此易失性存储器122的存储器可使用I/O的第一子集(例如,I/O 0到k)或I/O的第二子集(例如,I/O (k+1) 到m)来通信。在一些实施例中,可将易失性存储器122的存储器同时设定为第一操作模式及第二操作模式以通过I/O的一或多个子集而通信。易失性存储器122的存储器及存储器222 (0到N)可处于不同操作模式中。举例来说,存储器的部分可处于第一操作模式中,而其它存储器可处于第二操作模式中。因此,存储器的部分可通过I/O的不同子集而通信。尽管先前已描述具有两个操作模式及I/O的两个子集,但本发明的实施例不限于此。存储器可经配置以具有用于通过I/O的两个以上子集而通信的两个以上操作模式。在一些实施例中,混合存储器模块的存储器的部分可具有通过多路复用器电路而多路复用的I/O以用于通信。即,存储器中的一或多者的I/O 0到m可具有耦合到不同总线的部分或全部I/O且可通过操作模式而启用,且其它I/O可通过多路复用器电路而耦合到不同总线。

[0030] 图3说明根据本发明的实施例的存储器300的一部分。存储器300包含存储器单元的存储器阵列302,所述存储器单元可(例如)为易失性存储器单元(例如,DRAM存储器单元、SRAM存储器单元)、非易失性存储器单元(例如,快闪存储器单元、相变存储器单元)或一些其它类型的存储器单元。存储器300包含控制逻辑344,其通过命令总线308而接收存储器命令且在存储器300内产生对应控制信号以进行各种存储器操作。控制逻辑344可包含解码所述所接收命令的命令解码器306,且控制逻辑344使用所述经解码命令来产生内部控制信号。举例来说,控制逻辑344用于产生内部控制信号以从存储器阵列302读取数据及将数据写入到存储器阵列302或设定存储器300的操作模式。

[0031] 控制逻辑344可耦合到模式寄存器314。模式寄存器314可编程有由控制逻辑344用于配置存储器300的操作的信息。在一些实施例中,模式寄存器314可编程有指示操作模式的信息。实例操作模式包含:基于编程于模式寄存器314中的所述信息而配置存储器300用于与外部电路通信的I/O缓冲器334及335。举例来说,模式寄存器314可编程有使I/O缓冲器0到k 334能够用于通信的第一操作模式的信息。此外,模式寄存器314可编程有使I/O缓冲器(k+1)到m 335能够用于通信的第二操作模式的信息。模式寄存器314也可编程有指示控制逻辑344停用I/O缓冲器0到k 334及/或I/O缓冲器(k+1)到m 335的信息。存储器300可包含于图1的易失性存储器122的存储器中的一者中及/或图2的存储器222 (0到N)中的一者中。

[0032] 行地址信号及列地址信号通过地址总线320而被施加到存储器300且被提供到地址锁存器310。接着,所述地址锁存器输出单独列地址及单独行地址。由地址锁存器310将所述行地址及所述列地址分别提供到行解码器322及列地址解码器328。列地址解码器328选择对应于相应列地址的延伸穿过存储器阵列302的位线。行解码器322连接到字线驱动器324,字线驱动器324启动对应于所接收行地址的存储器阵列302中的相应行存储器单元。对

应于所接收列地址的所选择数字线(例如,一或若干位线)耦合到读取/写入电路330以经由输入-输出数据总线340而将读取数据提供到I/O缓冲器0到k 334及/或I/O缓冲器(k+1)到m 335。

[0033] 如先前所描述,控制逻辑344可接收模式寄存器命令以将信息编程到模式寄存器314中,且模式寄存器314中的所述信息可控制存储器300的操作模式。控制逻辑344基于编程于模式寄存器314中的所述信息而确定操作模式。当处于第一操作模式中时,控制逻辑344可使I/O缓冲器0到k 334能够提供读取数据且接收写入数据。当处于第二操作模式中时,控制逻辑344可使I/O缓冲器(k+1)到m 335能够提供读取数据且接收写入数据。

[0034] 各种说明性组件、块、配置、模块、电路及步骤已在上文中根据其功能性而大体上被描述。技术人员可根据每一特定应用以不同方式实施所描述功能性,但此类实施方案决策不应被解释为引起对本发明的范围的背离。

[0035] 所揭示的实施例的先前描述经提供以使所属领域的技术人员能够制造或使用所揭示的实施例。所属领域的技术人员将容易地明白这些实施例的各种修改,且可在不背离本发明的范围的情况下将本文中所界定的原理应用到其它实施例。因此,本发明不希望受限于本文中所展示的实施例,而是应被给予与先前所描述的原理及新颖特征一致的尽可能最宽范围。

100

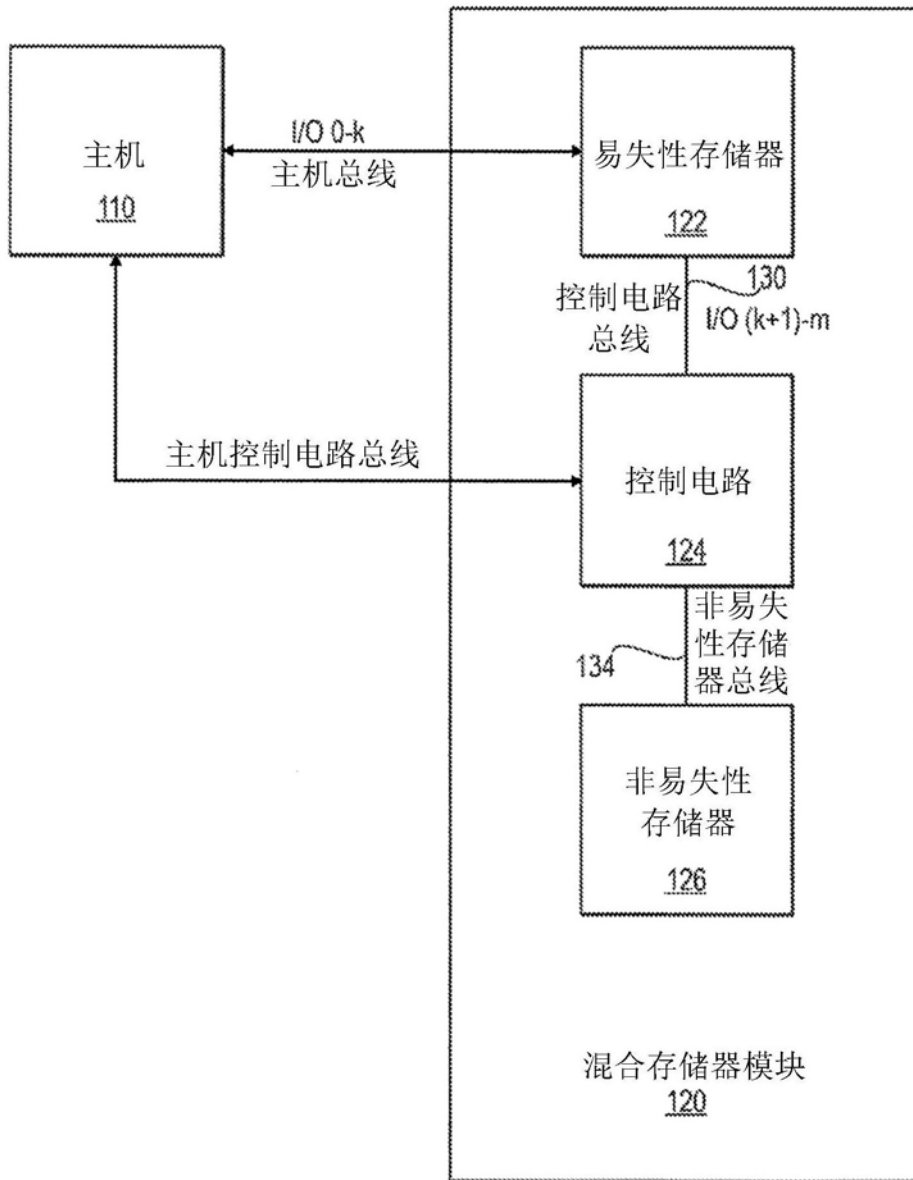


图1

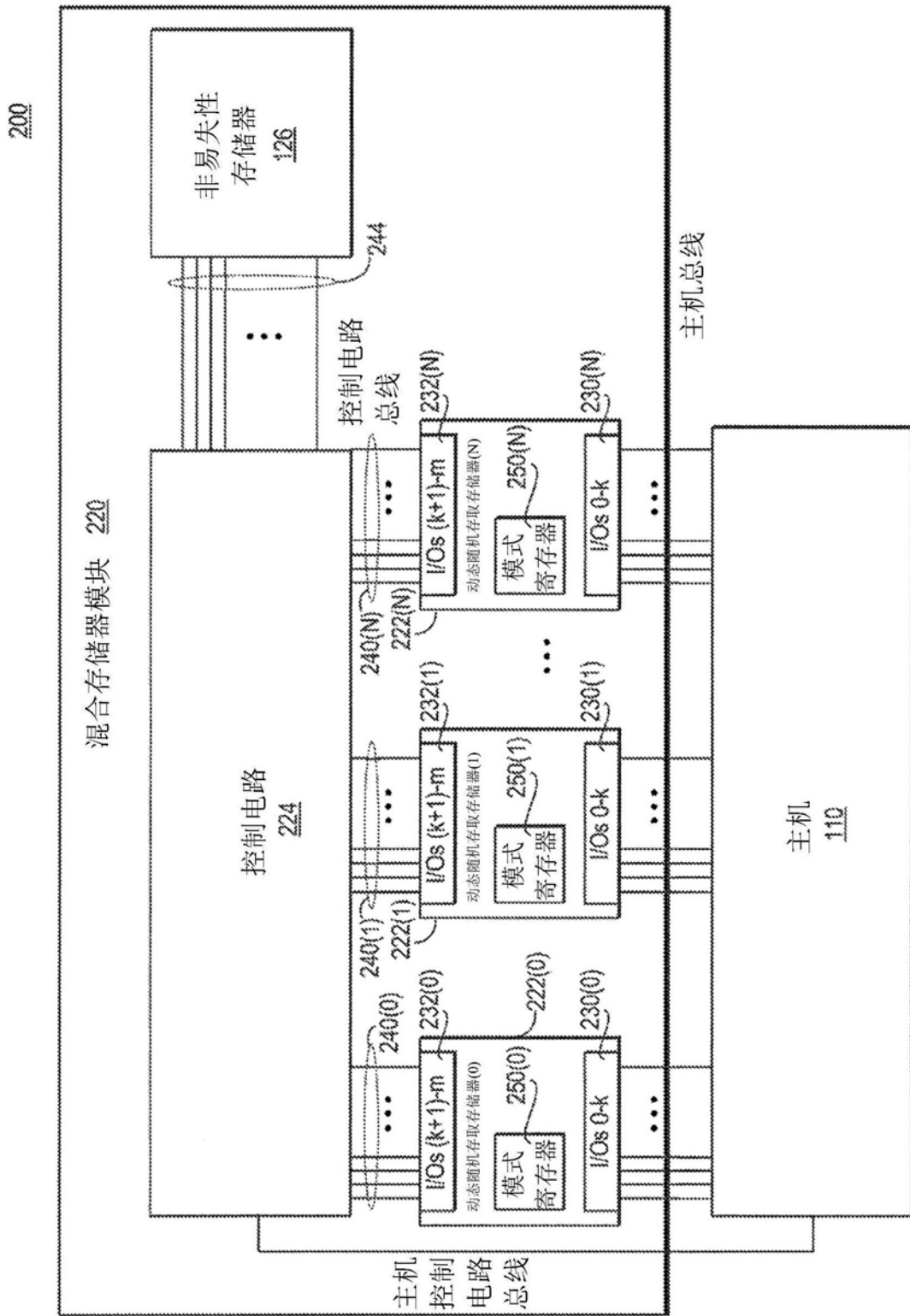


图2

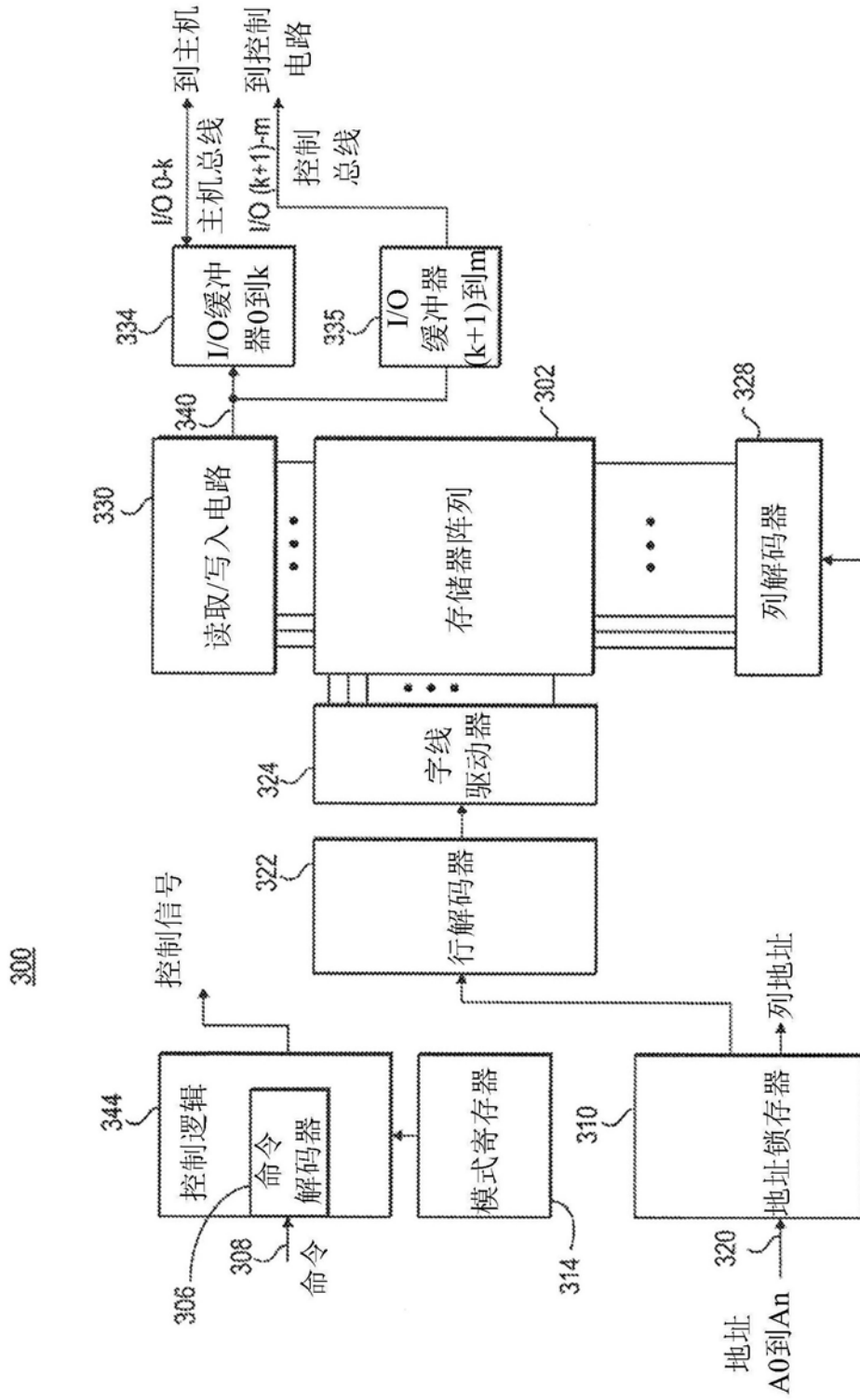


图3