

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7105183号
(P7105183)

(45)発行日 令和4年7月22日(2022.7.22)

(24)登録日 令和4年7月13日(2022.7.13)

(51)国際特許分類		F I			
H 0 5 H	1/46 (2006.01)	H 0 5 H	1/46		R
H 0 3 H	7/38 (2006.01)	H 0 3 H	7/38		B

請求項の数 6 (全18頁)

(21)出願番号	特願2018-245076(P2018-245076)	(73)特許権者	000000262 株式会社ダイヘン
(22)出願日	平成30年12月27日(2018.12.27)		大阪府大阪市淀川区田川二丁目一番十一号
(65)公開番号	特開2020-107487(P2020-107487 A)	(74)代理人	100114557 弁理士 河野 英仁
(43)公開日	令和2年7月9日(2020.7.9)	(74)代理人	100078868 弁理士 河野 登夫
審査請求日	令和3年10月6日(2021.10.6)	(72)発明者	森井 龍哉 大阪府大阪市淀川区田川2丁目1番11号 株式会社ダイヘン内
		審査官	藤本 加代子

最終頁に続く

(54)【発明の名称】 インピーダンス整合装置及びインピーダンス整合方法

(57)【特許請求の範囲】

【請求項1】

高周波電源と負荷との間に設けられ、前記高周波電源の出力端又は該出力端と同等の箇所から前記負荷側を見たインピーダンスに関する情報を取得して、該高周波電源と負荷とのインピーダンスの整合を図るインピーダンス整合装置であって、

キャパシタ及び半導体スイッチの直列回路が複数並列に接続された可変キャパシタと、

取得した前記インピーダンスに関する情報を用いて前記負荷側のインピーダンス又は反射係数を算出する算出部と、

該算出部が算出したインピーダンス又は反射係数を用いて、前記可変キャパシタに含まれる前記半導体スイッチがとるべきオン/オフの状態を決定し、決定した状態に基づいて前記半導体スイッチをオン/オフする制御部と

を備え、

該制御部は、前記半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングを異ならせるインピーダンス整合装置。

【請求項2】

前記制御部は、前記半導体スイッチ毎にオン/オフするタイミングを所定時間だけ異ならせる請求項1に記載のインピーダンス整合装置。

【請求項3】

前記制御部は、

前記半導体スイッチのオン/オフの状態を記憶し、

記憶したオン/オフの状態及び決定したオン/オフの状態に基づいて、オン/オフの状態を変化させるべき半導体スイッチを抽出し、抽出した半導体スイッチの一部と他の一部とで、オン/オフするタイミングを異ならせる請求項 1 又は請求項 2 に記載のインピーダンス整合装置。

【請求項 4】

前記可変キャパシタに含まれる前記キャパシタの一部又は全部は、キャパシタンスの大きさが段階的に異なっている請求項 1 から請求項 3 の何れか 1 項に記載のインピーダンス整合装置。

【請求項 5】

前記制御部は、前記キャパシタのキャパシタンスの大きさの降順又は昇順に、対応する半導体スイッチをオン/オフする請求項 4 に記載のインピーダンス整合装置。

10

【請求項 6】

高周波電源と負荷との間に設けられる可変キャパシタによって、前記高周波電源と負荷とのインピーダンスの整合を図るインピーダンス整合方法であって、前記可変キャパシタは、キャパシタ及び半導体スイッチの直列回路が複数並列に接続されており、

前記高周波電源の出力端又は該出力端と同等の箇所から前記負荷側を見たインピーダンスに関する情報を取得し、

取得した前記インピーダンスに関する情報を用いて前記負荷側のインピーダンス又は反射係数を算出し、

20

算出したインピーダンス又は反射係数を用いて、前記可変キャパシタに含まれる前記半導体スイッチがとるべきオン/オフの状態を決定し、

決定した状態に基づいて前記半導体スイッチをオン/オフする場合、前記半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングを異ならせるインピーダンス整合方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波電源と負荷とのインピーダンスを整合させるインピーダンス整合装置及びインピーダンス整合方法に関する。

30

【背景技術】

【0002】

プラズマ処理装置等のインピーダンスが変動する負荷に対して高周波電源から電力を供給する場合、負荷に効率良く電力を供給するために、高周波電源の出力インピーダンスと、高周波電源から負荷側を見たインピーダンスとを整合させるインピーダンス整合装置が用いられる（例えば、特許文献 1 参照）。

【0003】

特許文献 1 に記載のインピーダンス整合装置は、キャパシタと PIN (P-Intrinsic-N) ダイオードである半導体スイッチとの直列回路が複数並列に接続された可変キャパシタを含み、高周波電源と負荷との間に設けられている。特許文献 1 のインピーダンス整合装置は、制御器の制御信号で半導体スイッチを断続（オン/オフ）することにより、可変キャパシタのキャパシタンスを調整してインピーダンスを整合させるようになっている。

40

【0004】

PINダイオードのように両端の電極に直流電圧を印加して高周波信号のスイッチングを制御する半導体スイッチを用いる場合、高周波信号が印加される電極から直流電圧の印加回路を高周波的に分離するために、チョークコイル（インダクタ）が用いられる（例えば、特許文献 2 参照）。

【先行技術文献】

【特許文献】

【0005】

50

【文献】特開 2012 - 142285 号公報
特開 2010 - 103123 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 に記載の可変キャパシタに含まれる各 PIN ダイオードを夫々に対応するチョークコイルで制御器から高周波的に分離する場合、各チョークコイルの配置によっては、互いに電磁結合して PIN ダイオードの電極にノイズが重畳される。特に、複数の PIN ダイオードを同時にオン/オフ何れかに制御した場合、PIN ダイオードのオン/オフ動作が不安定になる現象が観測されることがある。

10

【0007】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、高周波信号をスイッチングする半導体スイッチのノイズに起因する不安定なオン/オフ動作を防止することが可能なインピーダンス整合装置及びインピーダンス整合方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様に係るインピーダンス整合装置は、高周波電源と負荷との間に設けられ、前記高周波電源の出力端又は該出力端と同等の箇所から前記負荷側を見たインピーダンスに関する情報を取得して、該高周波電源と負荷とのインピーダンスの整合を図るインピーダンス整合装置であって、キャパシタ及び半導体スイッチの直列回路が複数並列に接続された可変キャパシタと、取得した前記インピーダンスに関する情報を用いて前記負荷側のインピーダンス又は反射係数を算出する算出部と、該算出部が算出したインピーダンス又は反射係数を用いて、前記可変キャパシタに含まれる前記半導体スイッチがとるべきオン/オフの状態を決定し、決定した状態に基づいて前記半導体スイッチをオン/オフする制御部とを備え、該制御部は、前記半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングを異ならせる。

20

【0009】

本開示の一態様に係るインピーダンス整合方法は、高周波電源と負荷との間に設けられる可変キャパシタによって、前記高周波電源と負荷とのインピーダンスの整合を図るインピーダンス整合方法であって、前記可変キャパシタは、キャパシタ及び半導体スイッチの直列回路が複数並列に接続されており、前記高周波電源の出力端又は該出力端と同等の箇所から前記負荷側を見たインピーダンスに関する情報を取得し、取得した前記インピーダンスに関する情報を用いて前記負荷側のインピーダンス又は反射係数を算出し、算出したインピーダンス又は反射係数を用いて、前記可変キャパシタに含まれる前記半導体スイッチがとるべきオン/オフの状態を決定し、決定した状態に基づいて前記半導体スイッチをオン/オフする場合、前記半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングを異ならせる。

30

【0010】

本態様にあつては、キャパシタ及び半導体スイッチの直列回路が複数並列に接続された可変キャパシタが高周波電源と負荷との間に設けられており、高周波電源の出力端又は該出力端と同等の箇所から負荷側を見たインピーダンス又は反射係数に関する情報を外部から取得し、取得した情報を用いて現在の負荷側のインピーダンス又は反射係数を算出する。なお、高周波電源の出力端と同等の箇所とは、例えば、インピーダンス整合装置の入力端である。負荷側のインピーダンスを算出した場合は、調整後の負荷側のインピーダンスが高周波電源の出力インピーダンスに近づくように可変キャパシタのキャパシタンスを調整すべく、各半導体スイッチがとるべきオン/オフ状態を決定する。一方、反射係数を算出した場合は、実際の反射係数が 0 に近づくように可変キャパシタのキャパシタンスを調整すべく、各半導体スイッチがとるべきオン/オフ状態を決定する。その後、決定したオン/オフ状態に一致させるべく各半導体スイッチの実際のオン/オフ状態を新たにオン又は

40

50

オフに調整する場合、全ての半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングに時間差を設ける。これにより、例えば装置内における配置関係に起因してオン/オフの制御時に不安定な動作に至る可能性がある半導体スイッチ同士で、オン/オフ何れかに制御されるタイミングが一致しないようになる。

【0011】

本発明の一態様に係るインピーダンス整合装置は、前記制御部は、前記半導体スイッチ毎にオン/オフするタイミングを所定時間だけ異ならせる。

【0012】

本態様にあつては、全ての半導体スイッチについて、オン/オフ何れかに制御するタイミングに順次所定の時間差を設ける。これにより、どの2つの半導体スイッチについても同時にオン/オフに制御されることがなく、制御が干渉し合うことが防止される。

10

【0013】

本発明の一態様に係るインピーダンス整合装置は、前記制御部は、前記半導体スイッチのオン/オフの状態を記憶し、記憶したオン/オフの状態及び決定したオン/オフの状態に基づいて、オン/オフの状態を変化させるべき半導体スイッチを抽出し、抽出した半導体スイッチの一部と他の一部とで、オン/オフするタイミングを異ならせる。

【0014】

本態様にあつては、各半導体スイッチの現在のオン/オフ状態を記憶しておき、記憶したオン/オフ状態と決定したオン/オフ状態とを比較することによって、オン/オフ状態を変化させるべき半導体スイッチを抽出する。そして、抽出した半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングに時間差を設ける。これにより、オン/オフ状態が変化する半導体スイッチのみについて、オン/オフの制御に時間差が設けられるため、オン/オフ状態が変化する半導体スイッチが少ない場合は、状態の変更に要する総時間が短縮される。

20

【0015】

本発明の一態様に係るインピーダンス整合装置は、前記可変キャパシタに含まれる前記キャパシタの一部又は全部は、キャパシタンスの大きさが段階的に異なっている。

【0016】

本態様にあつては、可変キャパシタに含まれるキャパシタの少なくとも一部は、キャパシタンスの大きさが段階的に異なる。このため、並列的に接続されるキャパシタの組み合わせによるキャパシタンスの調整範囲を比較的大きくすることができる。

30

【0017】

本発明の一態様に係るインピーダンス整合装置は、前記制御部は、前記キャパシタのキャパシタンスの大きさの降順又は昇順に、対応する半導体スイッチをオン/オフする。

【0018】

本態様にあつては、可変キャパシタに含まれるキャパシタのうち、キャパシタンスの大きさが大きいものから対応する半導体スイッチをオン/オフに制御するか、又はキャパシタンスの大きさが小さいものから対応する半導体スイッチをオン/オフに制御する。キャパシタンスが大きいものから対応する半導体スイッチをオン/オフに制御した場合は、可変キャパシタのキャパシタンスの大きさが目標のキャパシタンスに向けて収束するように調整される。キャパシタンスが小さいものから対応する半導体スイッチをオン/オフに制御した場合は、目標のキャパシタンスの変動が小さい領域にて、可変キャパシタのキャパシタンスの大きさが目標のキャパシタンスに向けて速やかに調整される。

40

【発明の効果】

【0019】

本発明によれば、高周波信号をスイッチングする半導体スイッチのノイズに起因する不安定なオン/オフ動作を防止することが可能となる。

【図面の簡単な説明】

【0020】

【図1】実施形態1に係るインピーダンス整合装置の構成例を示すブロック図である。

50

【図 2】駆動回路の構成例を示す回路図である。

【図 3】実施形態 1 に係るインピーダンス整合装置の動作を示すタイミングチャートである。

【図 4】負荷側のインピーダンスを算出して平均化する F P G A の処理手順を示すフローチャートである。

【図 5】インピーダンスの整合演算を行う C P U の処理手順を示すフローチャートである。

【図 6】実施形態 1 に係るインピーダンス整合装置で半導体スイッチのオン / オフを切り換える C P U の処理手順を示すフローチャートである。

【図 7】実施形態 2 に係るインピーダンス整合装置における駆動回路の配置例を模式的に示す説明図である。

【図 8】実施形態 2 に係るインピーダンス整合装置の動作を示すタイミングチャートである。

【図 9】実施形態 2 に係るインピーダンス整合装置で半導体スイッチのオン / オフを切り換える C P U の処理手順を示すフローチャートである。

【発明を実施するための形態】

【 0 0 2 1 】

以下、本発明をその実施形態を示す図面に基づいて詳述する。

(実施形態 1)

図 1 は、実施形態 1 に係るインピーダンス整合装置 1 0 0 の構成例を示すブロック図である。インピーダンス整合装置 1 0 0 は、高周波電力を出力する高周波電源 5 及び高周波電力を消費する負荷 7 の間に設けられている。高周波電源 5 及びインピーダンス整合装置 1 0 0 の間には、高周波電力を通過させると共に高周波電圧等のパラメータを検出する高周波検出部 6 が接続されている。即ち、高周波検出部 6 は、高周波電源 5 の出力端と、インピーダンス整合装置 1 0 0 の入力端との間に介在してある。高周波検出部 6 がインピーダンス整合装置 1 0 0 に含まれていてもよい。

【 0 0 2 2 】

高周波電源 5 は、例えば 2 M H z、1 3 . 5 6 M H z、2 7 M H z、6 0 M H z 等の工業用の R F 帯 (Radio Frequency) の高周波電力を出力する交流電源であり、出力インピーダンスは、例えば 5 0 等の規定の値に設定されている。高周波電源 5 は、インバータ回路 (図示せず) を含み、該インバータ回路をスイッチング制御することにより、高周波の交流電力を生成する。

【 0 0 2 3 】

高周波検出部 6 は、高周波電源 5 の出力端又は当該出力端と同等の箇所であるインピーダンス整合装置 1 の入力端から負荷 7 側を見た (以下、単に負荷 7 側を見た、又は負荷 7 側のこと) インピーダンスを算出するためのパラメータ又は負荷 7 側を見た反射係数を算出するためのパラメータ (インピーダンスに関する情報に相当) を検出する。負荷 7 側を見たインピーダンスは、負荷 7 のインピーダンスと、インピーダンス整合装置 1 0 0 との合成インピーダンスである。具体的には、高周波検出部 6 は、自身の位置における高周波電圧と、高周波電流と、高周波電圧と高周波電流との位相差とをパラメータとして検出する。又は、高周波検出部 6 は、負荷 7 に向かう高周波の進行波電力 (又は進行波電圧) と負荷 7 から反射されて戻ってくる反射波電力 (又は反射波電圧) とをパラメータとして検出する。これらの検出されたパラメータを用いて、後述する算出部 2 が周知の方法によって負荷 7 側のインピーダンス又は反射係数を算出する。

【 0 0 2 4 】

負荷 7 は、高周波電源 5 から供給される高周波電力を用いて各種処理を行うものであり、例えば、プラズマ処理装置及び非接触電力伝送装置が挙げられる。プラズマ処理装置では、プラズマエッチング、プラズマ C V D 等の製造プロセスの進行に伴い、プラズマの状態が時々刻々と変化する。これにより、負荷 7 のインピーダンスが変動する。

【 0 0 2 5 】

インピーダンス整合装置 1 0 0 は、キャパシタンスが可変の可変キャパシタ 1 と、高周波

10

20

30

40

50

検出部 6 から上記パラメータを取得して、負荷 7 側のインピーダンス又は反射係数を算出する算出部 2 と、該算出部 2 が算出したインピーダンス又は反射係数を用いて、可変キャパシタ 1 のキャパシタンスを制御する制御部 3 とを備える。インピーダンス整合装置 100 は、更に、可変キャパシタ 1 が有する後述の半導体スイッチをオン/オフに設定するスイッチ状態設定部 4 を備え、制御部 3 がスイッチ状態設定部 4 を介して可変キャパシタ 1 のキャパシタンスを制御するようになっている。

【0026】

インピーダンス整合装置 100 では、高周波検出部 6 へ延伸する伝送路 101 と、インダクタ L1 側の一端が負荷 7 に接続されたキャパシタ C1 及びインダクタ L1 の直列回路とが縦続接続されている。可変キャパシタ 1 は、実質的に 2 端子の回路であり、一端が伝送路 101 に、他端が接地電位に接続されている。即ち、可変キャパシタ 1 とキャパシタ C1 及びインダクタ L1 の直列回路とは、L 型の整合回路を構成する。キャパシタ C1 を他の可変キャパシタ 1 と置き換えてもよい。

10

【0027】

ここでは、上記の整合回路が L 型である場合について説明したが、逆 L 型であってもよいし、T 型又は π 型であってもよい。更に、キャパシタ C1 及びインダクタ L1 の直列回路は、インピーダンス整合装置 100 の外側（即ち、インピーダンス整合装置 100 及び負荷 7 の間）に接続されていてもよい。以下では、高周波検出部 6 から伝送路 101 に高周波電力が入力される部位を入力部と言う。また、インダクタ L1 から負荷 7 に高周波電力が出力される部位を出力部と言う。

20

【0028】

可変キャパシタ 1 は、一端同士が伝送路 101 に接続されたキャパシタ 11, 12, …, 18 と、各アノードがキャパシタ 11, 12, …, 18 夫々の他端に接続された PIN ダイオードである半導体スイッチ 21, 22, …, 28 と、駆動回路 31, 32, …, 38 とを有する。半導体スイッチ 21, 22, …, 28 の他端であるカソードは、接地電位に接続されている。駆動回路 31, 32, …, 38 夫々の出力端子 Out（後述の図 2 参照）は、キャパシタ 11, 12, …, 18 と半導体スイッチ 21, 22, …, 28 との接続点に各別に接続されている。キャパシタ 11, 12, …, 18 の数、半導体スイッチ 21, 22, …, 28 の数及び駆動回路 31, 32, …, 38 の数は 8 つに限定されない。

【0029】

図 2 は、駆動回路 31 の構成例を示す回路図である。他の駆動回路 32, 33, …, 38 についても同様である。駆動回路 31 は、ドレインがプラス電源 $V+$ に接続された N チャネル型の MOSFET（Metal Oxide Semiconductor Field Effect Transistor：以下トランジスタと言う）QH と、ソースがマイナス電源 $V-$ に接続された N チャネル型のトランジスタ QL とを有する。トランジスタ QH のソース及びトランジスタ QH のドレインの間には、抵抗器 R 及びスピードアップコンデンサ SC の並列回路が接続されている。トランジスタ QH 及び QL は、IGBT（Insulated Gate Bipolar Transistor）等の他のスイッチング素子であってもよい。

30

【0030】

駆動回路 31 は、更に、トランジスタ QL のドレイン及び接地電位の間接続されたキャパシタ FC と、トランジスタ QL のドレイン及び出力端子 Out の間に接続されたインダクタ FL とを含む L 型のフィルタ F を有する。トランジスタ QH のゲート及びトランジスタ QL のゲートには、スイッチ状態設定部 4 からハイレベル及びロウレベルの相補的な駆動信号が印加される。ハイレベルの駆動信号の電圧は、例えばプラス電源 $V+$ の電圧と同等であればよい。ロウレベルの駆動信号の電圧は、例えばマイナス電源 $V-$ の電圧と同等であればよい。

40

【0031】

トランジスタ QL のゲートにロウレベル（Low レベル）の駆動信号が印加され、トランジスタ QH のゲートにハイレベル（High レベル）の駆動信号が印加された場合、トランジスタ QL がオフとなり、トランジスタ QH がオンとなる。これにより、プラス電源 V

50

+ からトランジスタ Q H、抵抗器 R 及びスピードアップコンデンサ S C、並びにフィルタ F に含まれるインダクタ F L を介して半導体スイッチ 2 1 に順方向電流が流れ、半導体スイッチ 2 1 がオン状態となる。この結果、キャパシタ 1 1 のキャパシタンスが、可変キャパシタ 1 全体のキャパシタンスに含まれることとなる。

【 0 0 3 2 】

一方、トランジスタ Q H のゲートにロウレベルの駆動信号が印加され、トランジスタ Q L のゲートにハイレベルの駆動信号が印加された場合、トランジスタ Q H がオフとなり、トランジスタ Q L がオンとなる。これにより、マイナス電源 V - からトランジスタ Q L 及びインダクタ F L を介して半導体スイッチ 2 1 のアノードに逆方向の電圧が印加され、半導体スイッチ 2 1 がオフ状態となる。この結果、キャパシタ 1 1 のキャパシタンスが、可変キャパシタ 1 全体のキャパシタンスに含まれなくなる。以上のようにして、可変キャパシタ 1 のキャパシタンスが調整される。

10

【 0 0 3 3 】

図 1 に戻って、本実施形態 1 では、キャパシタ 1 1 , 1 2 , . . . 1 8 の一部又は全部のキャパシタンスが、段階的に大きくなるようにしてある。より具体的には、キャパシタ 1 1 のキャパシタンスを C_{min} とした場合、キャパシタ 1 1 , 1 2 , . . . 1 8 のキャパシタンスが、 $C_{min} \times 2^{i-1}$ ($i = 1, 2, \dots, 8$) で表されるようにすることが好ましい。このようにすることにより、可変キャパシタ 1 のキャパシタンスを、 C_{min} 刻みで 2⁸ 通りの大きさに設定することができる。

【 0 0 3 4 】

算出部 2 は、例えば F P G A (Field Programmable Gate Array) を含んでなり、高周波検出部 6 から、負荷 7 側のインピーダンスを算出するためのパラメータ又は負荷 7 側の反射係数を算出するためのパラメータを取得する。算出部 2 は、取得したこれらのパラメータを用いて、負荷 7 側のインピーダンス又は反射係数を算出して平均化し、平均化したインピーダンス又は反射係数を制御部 3 に向けて出力する。

20

【 0 0 3 5 】

制御部 3 は、不図示の C P U (Central Processing Unit) を有し、予め R O M (Read Only Memory) に記憶された制御プログラムに従って各部の動作を制御すると共に、入出力、演算、時間の計測等の処理を行う。C P U による各処理の手順を定めたコンピュータプログラムを、不図示の手段を用いて予め R A M (Random Access Memory) にロ

30

【 0 0 3 6 】

制御部 3 は、算出部 2 で算出された負荷 7 側のインピーダンス又は反射係数を取り込む。負荷 7 側のインピーダンスを取り込んだ場合、制御部 3 は、負荷 7 側のインピーダンスを高周波電源 5 の出力インピーダンスに整合させるべく、可変キャパシタ 1 のキャパシタ 1 1 , 1 2 , . . . 1 8 の組み合わせを決定する。一方、負荷 7 側の反射係数を取り込んだ場合、制御部 3 は、入力部における反射係数を 0 に近づけるべく、可変キャパシタ 1 のキャパシタ 1 1 , 1 2 , . . . 1 8 の組み合わせを決定する。反射係数の大きさが、許容範囲内になれば整合したと見做す。このような制御により、高周波電源 5 から負荷 7 に効率よく電力が供給される。以下では、算出部 2 にて負荷 7 側のインピーダンスを算出し、算出されたインピーダンスを用いて、制御部 3 が可変キャパシタ 1 のキャパシタンスを算出してキャパシタ 1 1 , 1 2 , . . . 1 8 の組み合わせを決定するものとして説明する。決定されたキャパシタ 1 1 , 1 2 , . . . 1 8 の組み合わせは、半導体スイッチ 2 1 , 2 2 , . . . 2 8 がとるべきオン/オフ状態に対応している。

40

【 0 0 3 7 】

スイッチ状態設定部 4 は、制御部 3 が決定したキャパシタ 1 1 , 1 2 , . . . 1 8 の組み合わせ、即ち半導体スイッチ 2 1 , 2 2 , . . . 2 8 がとるべきオン/オフ状態に応じて、制御部 3 から半導体スイッチ 2 1 , 2 2 , . . . 2 8 のオン/オフ状態が設定される。スイッチ状態設定部 4 に半導体スイッチ 2 1 , 2 2 , . . . 2 8 のオン/オフ状態が設定された場

50

合、対応する駆動回路 31, 32, … 38 夫々に対して、上述の相補的な駆動信号が印加される。これにより、可変キャパシタ 1 の半導体スイッチ 21, 22, … 28 のオン/オフ状態が新たに制御される。そして、可変キャパシタ 1 のキャパシタンスは、制御部 3 が算出したキャパシタンスに調整される。

【0038】

次に、インピーダンス整合装置 100 全体の動作の流れについて説明する。図 3 は、実施形態 1 に係るインピーダンス整合装置 100 の動作を示すタイミングチャートである。図 3 に示す 4 つのタイミングチャートは、何れも同一の時間軸 (t) を横軸にしてあり、上段から順に、半導体スイッチ 21, 22, … 28 の設定、負荷 7 側のインピーダンスの算出・平均化、インピーダンス更新フラグのセット/クリア、及びインピーダンスの整合演算夫々を行うタイミングを模式的に示す。図中の B1 ~ B7 は、半導体スイッチ 21, 22, … 28 のビット番号を表す。

10

【0039】

本実施形態 1 に係るインピーダンス整合装置 100 では、図 3 の全体に示すシーケンスが、例えば 1 ms に 1 回ずつ周期的に出現するが、シーケンスの周期が 1 ms に限定されるものではない。この 1 ms の間に、可変キャパシタ 1 のキャパシタンスが 1 回算出され、算出されたキャパシタンスに基づいて、半導体スイッチ 21, 22, … 28 の各ビットがオン又はオフに設定される。図 3 に示すタイミングチャートに対応する動作のうち、インピーダンスの算出・平均化及びインピーダンス更新フラグのセット/クリアは、算出部 2 に含まれる FPG A (以下、単に FPG A という) が実行し、その他 2 つのタイミングチャートに対応する動作は、制御部 3 が有する CPU (以下、単に CPU という) が実行する。

20

【0040】

時刻 t0 から t8 にわたって行われる半導体スイッチ 21, 22, … 28 の設定は、時刻 t0 の 1 ms 前に始まる 1 つ前の周期で決定されたオン/オフ状態に合わせて CPU が時間 T1 毎に実行するものである。ここでは、最上位ビットである半導体スイッチ 28 からビット番号の降順に半導体スイッチ 21, 22, … 28 が設定されるが、最下位ビットである半導体スイッチ 21 からビット番号の昇順に設定されてもよい。半導体スイッチ 21, 22, … 28 の設定は、夫々時間 T1 の間の初期に行われる。時間 T1 の長さは、例えば最短で 4 μs である。CPU は、FPG A に対してマスク信号を与えており、時刻 t7 で実行した半導体スイッチ 21 (B1 に対応) の設定が完了したときにマスク信号をオフにする。

30

【0041】

一方の FPG A は、CPU から与えられるマスク信号をセンスしており、マスク信号がオフになったときから、負荷 7 側のインピーダンスの算出・平均化を開始するまでの間に時間 T2 だけインターバルを設ける。時間 T2 の長さは、例えば 30 μs である。このインターバルは、時刻 t7 の直後に実行された半導体スイッチ 21 の設定によって、負荷 7 側のインピーダンスが安定化するまで待機する時間である。

【0042】

時刻 t9 で上記のインターバルが終了した場合、FPG A は、時間 T3 の間に高周波検出部 6 から負荷 7 側のインピーダンスを算出するためのパラメータを複数回にわたって取得し、取得する毎に負荷 7 側のインピーダンスを算出して平均化する。時間 T3 の長さは、例えば 15 μs である。時刻 t10 で最初の算出・平均化が終了した場合、FPG A は、CPU が時刻 t0 より前にクリアしたインピーダンスの更新フラグを 1 にセットする。以後、時刻 t10 及び t11 夫々から始まる時間 T3 の間に、FPG A は負荷 7 側のインピーダンスの算出・平均化を繰り返す。この算出・平均化は、CPU によってマスク信号がオンされるまで繰り返される。

40

【0043】

他方の CPU は、FPG A によってセットされるインピーダンスの更新フラグをセンスしており、更新フラグが 0 にクリアされている間は、整合演算を行わない。時刻 t12 でイ

50

インピーダンス更新フラグが1にセットされているのをセンスした場合、CPUは、インピーダンスの整合演算を行い、整合演算が終了した時刻 t_{13} にインピーダンス更新フラグを0にクリアすると共に、FPGAに与えるマスク信号をオンにする。ここでの整合演算とは、FPGAから平均化された負荷7側のインピーダンスを取り込み、負荷7側のインピーダンスを高周波電源5の出力インピーダンスに整合させるべく、可変キャパシタ1のキャパシタンスを算出して、半導体スイッチ21, 22, …, 28がとるべきオン/オフ状態を決定する処理である。

【0044】

以下では、上述した算出部2及び制御部3の動作を、それを示すフローチャートを用いて説明する。図4は、負荷7側のインピーダンスを算出して平均化するFPGAの処理手順を示すフローチャートである。図5は、インピーダンスの整合演算を行うCPUの処理手順を示すフローチャートである。図6は、実施形態1に係るインピーダンス整合装置100で半導体スイッチ21, 22, …, 28のオン/オフを切り換えるCPUの処理手順を示すフローチャートである。図4の処理は、例えば1msより十分短い間隔をおいて開始され、FPGAによって実行される。図5及び図6の処理は、例えば1ms毎に同時に起動され、不図示のROMに予め格納されているコンピュータプログラムに従ってCPUにより実行される。

10

【0045】

図4及び図5では、インピーダンス更新フラグを単に更新フラグと記載する。更新フラグの初期値は0である。図4及び図6では、マスク信号を単にマスクと記載する。マスク信号の初期値はオンである。図5及び図6では、半導体スイッチを単にスイッチと記載する。図4における初回フラグは、インピーダンスを算出及び平均化する処理の初回であることを示すフラグである。図6におけるjは、半導体スイッチ21, 22, …, 28のうち変化するビット数を記憶するためのものであり、kは、処理中のビット番号を記憶するためのものである。

20

【0046】

図4の処理が開始された場合、FPGAは、マスク信号がオンであるか否かを判定し(S11)、オンである場合(S11: YES)、マスク信号がオフとなるまで待機する。マスク信号がオフとなってマスクが外された場合(S11: NO)、FPGAは、初回フラグを1にセットし(S12)、不図示のタイマによる計時を開始する(S13)。その後、FPGAは、タイマの計時により時間T2が経過したか否かを判定し(S14)、経過していない場合(S14: NO)、時間T2が経過するまで待機する。この時間T2は上述のインターバルであり、例えば30µsの長さである。

30

【0047】

時間T2のインターバルが経過した場合(S14: YES)、FPGAは、タイマによる計時を開始しておき(S15)、高周波検出部6からインピーダンスに関する情報、即ち負荷7側のインピーダンスを算出するためのパラメータを取得する(S16)。次いで、FPGAは、取得したパラメータを用いて負荷7側のインピーダンスを算出し(S17)、算出したインピーダンスを逐次平均化する(S18)。インピーダンスの1回の算出は、例えば100ns以下の時間内に終了する。その後、FPGAは、タイマの計時により時間T3が経過したか否かを判定し(S19)、経過していない場合(S19: NO)、ステップS16に処理を移す。この時間T3は、例えば15µsの長さである。

40

【0048】

時間T3が経過した場合(S19: YES)、FPGAは、平均化した負荷7側のインピーダンス(より具体的には、インピーダンスを示すデータ)をCPUに向けて出力する(S20)。その後、FPGAは、初回フラグが1にセットされているか否かを判定し(S21)、1にセットされている場合(S21: YES)、即ち、最初にインピーダンスの算出及び平均化を終えた場合、FPGAは、インピーダンス更新フラグを1にセットする(S22)と共に、初回フラグを0にクリアする(S23)。

【0049】

50

ステップ S 2 3 の処理を終えた場合、又はステップ S 2 1 で初回フラグが 1 にセットされていない場合 (S 2 1 : N O)、F P G A は、マスク信号がオンであるか否かを判定し (S 2 4)、依然としてオンではない場合 (S 2 4 : N O)、負荷 7 側のインピーダンスの算出及び平均化を繰り返すために、ステップ S 1 5 に処理を移す。一方、マスク信号がオンとなって再びマスクされた場合 (S 2 4 : Y E S)、F P G A は、図 4 の処理を終了する。

【 0 0 5 0 】

なお、ステップ S 1 6 で反射係数を算出するためのパラメータを取得し、ステップ S 1 7 で負荷側を見た反射係数を算出し、ステップ S 1 8 で反射係数を平均化し、ステップ S 2 0 で平均化した反射係数を出力するようにしてもよい。

10

【 0 0 5 1 】

図 5 の処理が起動された場合、C P U は、インピーダンス更新フラグが 1 にセットされているか否かを判定し (S 3 1)、1 にセットされていない場合 (S 3 1 : N O)、1 にセットされるまで待機する。これに対し、インピーダンス更新フラグが 1 にセットされている場合 (S 3 1 : Y E S)、C P U は、算出部 2 から平均化されたインピーダンスを取り込み (S 3 2)、負荷 7 側のインピーダンスを高周波電源 5 の出力インピーダンスに整合させるべく、可変キャパシタ 1 のキャパシタンスを算出する (S 3 3)。次いで、C P U は、可変キャパシタ 1 のキャパシタンスが算出したキャパシタンスとなるように、半導体スイッチ 2 1 , 2 2 , ・ ・ 2 8 がとるべきオン / オフ状態を決定する (S 3 4)。その後、C P U は、更新フラグを 0 にクリアし (S 3 5)、マスク信号をオンにして (S 3 6) 図 5 の処理を終了する。

20

【 0 0 5 2 】

なお、図 4 に示す処理によって反射係数が出力される場合は、図 5 のステップ S 3 2 で平均化された反射係数を取り込み、S 3 3 では負荷 7 側を見た反射係数を 0 に近づけるべく、可変キャパシタ 1 のキャパシタンスを算出すればよい。

【 0 0 5 3 】

図 6 の処理が起動された場合、C P U は、1 周期前の処理で不図示の R A M に記憶した半導体スイッチ 2 1 , 2 2 , ・ ・ 2 8 のオン / オフ状態を読み出し (S 4 1)、図 5 のステップ S 3 4 で決定したオン / オフ状態と比較する (S 4 2)。次いで、C P U は、比較結果に基づいて、オンからオフに又はオフからオンに変化するビットを抽出する (S 4 3) と共に、変化するビット数を j に代入する (S 4 4)。更に、C P U は、 j が 0 であるか否か、即ち変化するビットが無いか否かを判定し (S 4 5)、 j が 0 である場合 (S 4 5 : Y E S)、マスク信号をオフするために後述するステップ S 5 5 に処理を移す。一方、 j が 0 ではない場合 (S 4 5 : N O)、C P U は、 k を 8 に初期化する (S 4 6)。

30

【 0 0 5 4 】

その後、C P U は、半導体スイッチ 2 1 , 2 2 , ・ ・ 2 8 のうちの k 番目のビットである B_k が、オンからオフに又はオフからオンに変化するビットであるか否かを判定する (S 4 7)。 B_k が変化するビットではない場合 (S 4 7 : N O)、C P U は、変化するビットをサーチするために、後述するステップ S 5 3 に処理を移す。一方、 B_k が変化するビットである場合 (S 4 7 : Y E S)、C P U は、不図示のタイマによる計時を開始しておく (S 4 8)、 B_k に対応する k 番目の半導体スイッチについて実際にオン / オフを切り換える (S 4 9)。

40

【 0 0 5 5 】

その後、C P U は、 j を 1 だけデクリメントし (S 5 0)、 j が 0 であるか否か、即ち変化する残りのビット数が 0 であるか否かを判定する (S 5 1)。 j が 0 ではない場合 (S 5 1 : N O)、C P U は、タイマの計時により時間 T_1 が経過したか否かを判定し (S 5 2)、経過していない場合 (S 5 2 : N O)、時間 T_1 が経過するまで待機する。この時間 T_1 は、前述のとおり最短で $4 \mu s$ であり、半導体スイッチ 2 1 , 2 2 , ・ ・ 2 8 のオン / オフ状態を 1 ビットずつ制御する場合の時間差となる。時間 T_1 が経過した場合 (S 5 2 : Y E S)、C P U は、 k を 1 だけデクリメントした (S 5 3) 後、変化するビット

50

を更にサーチするために、ステップ S 4 7 に処理を移す。

【 0 0 5 6 】

ステップ S 5 1 で j が 0 である場合 (S 5 1 : Y E S)、即ち変化する残りのビット数が 0 となった場合、CPU は、切り換え後の半導体スイッチ 2 1, 2 2, … 2 8 のオン/オフ状態を記憶し (S 5 4)、更にマスク信号をオフして (S 5 5) 図 6 の処理を終了する。ここで記憶したオン/オフ状態は、次の 1 周期におけるステップ S 4 1 で読み出されることとなる。なお、ステップ S 5 4 で記憶した切り換え後のオン/オフ状態は、図 5 のステップ S 3 4 で決定したオン/オフ状態と一致する。

【 0 0 5 7 】

上述の図 6 に示すフローチャートでは、半導体スイッチ 2 1, 2 2, … 2 8 のうち、オンからオフに又はオフからオンに変化するビットを抽出し、抽出したビットのみについて半導体スイッチ 2 1, 2 2, … 2 8 のオン/オフを切り換えたが、これに限定されるものではない。例えば、半導体スイッチ 2 1, 2 2, … 2 8 の各ビットが変化するか否かに関わらず、全てのビットについて半導体スイッチ 2 1, 2 2, … 2 8 のオン/オフを新たに設定してもよい。

【 0 0 5 8 】

具体的には、図 6 に示す各ステップのうち、S 4 1 - 4 3、S 4 5 及び S 4 7 を削除し (次の番号のステップに移るようにする)、ステップ S 4 4 で j に 8 (総ビット数) を代入し、ステップ S 4 9 で $B k$ に対応する k 番目の半導体スイッチについてオン/オフを新たに設定すればよい。

【 0 0 5 9 】

以上のように本実施形態 1 によれば、キャパシタ 1 1 及び半導体スイッチ 2 1 の直列回路と、キャパシタ 1 2 及び半導体スイッチ 2 2 の直列回路と、… キャパシタ 1 8 及び半導体スイッチ 2 8 の直列回路とが並列に接続された可変キャパシタ 1 が高周波電源 5 と負荷 7 との間に設けられている。そして、高周波電源 5 の出力端又はインピーダンス整合装置の入力端から負荷 7 側を見たインピーダンスに関するパラメータを高周波検出部 6 から取得し (ステップ S 1 6)、取得したパラメータを用いて、現在の負荷 7 側のインピーダンス又は反射係数を算出する (ステップ S 1 7)。負荷 7 側のインピーダンスを算出した場合は、調整後の負荷 7 側のインピーダンスが高周波電源 5 の出力インピーダンスに近づくように可変キャパシタ 1 のキャパシタンスを調整すべく、半導体スイッチ 2 1, 2 2, … 2 8 がとるべきオン/オフ状態を決定する (ステップ S 3 4)。一方、反射係数を算出した場合は、実際の反射係数が 0 に近づくように可変キャパシタ 1 のキャパシタンスを調整すべく、半導体スイッチ 2 1, 2 2, … 2 8 がとるべきオン/オフ状態を決定する。その後、決定したオン/オフ状態に一致させるべく半導体スイッチ 2 1, 2 2, … 2 8 の実際のオン/オフ状態を新たにオン又はオフに調整する場合 (ステップ S 4 9)、全ての半導体スイッチ 2 1, 2 2, … 2 8 の隣り合うビット同士 (一部と他の一部に相当) で、オン/オフ何れかに制御するタイミングについて時間差を設ける (ステップ S 5 2)。これにより、例えばインピーダンス整合装置 1 0 0 内における各インダクタ F L の配置関係に起因してオン/オフの制御時に不安定な動作に至る可能性がある半導体スイッチ 2 1, 2 2, … 2 8 同士で、オン/オフ何れかに制御されるタイミングが一致しないようになる。従って、高周波信号をスイッチングする半導体スイッチ 2 1, 2 2, … 2 8 のノイズに起因する不安定なオン/オフ動作を防止することが可能となる。

【 0 0 6 0 】

また、実施形態 1 によれば、全ての半導体スイッチ 2 1, 2 2, … 2 8 について、オン/オフ何れかに制御するタイミングに順次時間 $T 1$ の時間差を設ける (ステップ S 5 2)。従って、どの 2 つの半導体スイッチについても同時にオン/オフに制御されることがないため、制御が干渉し合うのを防止することができる。

【 0 0 6 1 】

更に、実施形態 1 によれば、半導体スイッチ 2 1, 2 2, … 2 8 の現在のオン/オフ状態を記憶しておき (ステップ S 5 4)、記憶したオン/オフ状態と決定したオン/オフ状

10

20

30

40

50

態とを比較することによって（ステップ S 4 2）、オン/オフ状態を変化させるべき半導体スイッチを抽出する（ステップ S 4 3）。そして、抽出した半導体スイッチの一部と他の一部とで、オン/オフ何れかに制御するタイミングに時間差を設ける（ステップ S 5 2）。これにより、オン/オフ状態が変化する半導体スイッチのみについて、オン/オフの制御に時間差が設けられるため、オン/オフ状態が変化する半導体スイッチが少ない場合は、状態の変更に要する総時を短縮することができる。

【 0 0 6 2 】

更に、実施形態 1 によれば、可変キャパシタ 1 に含まれるキャパシタ 1 1, 1 2, … 1 8 の少なくとも一部は、キャパシタンスの大きさが段階的に異なる。従って、並列的に接続されるキャパシタ 1 1, 1 2, … 1 8 の組み合わせによるキャパシタンスの調整範囲を比較的大きくすることができる。

10

【 0 0 6 3 】

更に、実施形態 1 によれば、可変キャパシタ 1 に含まれるキャパシタ 1 1, 1 2, … 1 8 のうち、キャパシタンスの大きさが最も大きい最上位ビットから半導体スイッチ 2 1, 2 2, … 2 8 をオン/オフに制御するか、又はキャパシタンスの大きさが最も小さい最下位ビットから半導体スイッチ 2 1, 2 2, … 2 8 をオン/オフに制御する。最上位ビットから半導体スイッチ 2 1, 2 2, … 2 8 をオン/オフに制御した場合は、可変キャパシタ 1 のキャパシタンスの大きさが目標のキャパシタンスに向けて収束するように調整することができる。最下位ビットから半導体スイッチ 2 1, 2 2, … 2 8 をオン/オフに制御した場合は、目標のキャパシタンスの変動が小さい領域にて、可変キャパシタ 1 のキャパシタンスの大きさを目標のキャパシタンスに向けて速やかに調整することができる。

20

【 0 0 6 4 】

（実施形態 2）

実施形態 1 は、最上位ビット又は最下位ビットから時間 T 1 の時間差で半導体スイッチ 2 1, 2 2, … 2 8 のオン/オフを順次切り換え又は設定する形態であるのに対し、実施形態 2 は、奇数ビットと偶数ビットに分けて半導体スイッチ 2 1, 2 2, … 2 8 のオン/オフを切り換え又は設定する形態である。実施形態 2 に係るインピーダンス整合装置のブロック構成は、実施形態 1 の場合と同様であるため、対応する箇所には同様の符号を付してその説明を省略する。

【 0 0 6 5 】

図 7 は、実施形態 2 に係るインピーダンス整合装置 1 0 0 における駆動回路 3 1, 3 2, … 3 8 の配置例を模式的に示す説明図である。ビット番号が B 1 から B 4 までの半導体スイッチ 2 1, 2 2, 2 3, 2 4 夫々を駆動する駆動回路 3 1, 3 2, 3 3, 3 4 は、ビット番号の昇順に縦一列に配置されている。また、ビット番号が B 5 から B 8 までの半導体スイッチ 2 5, 2 6, 2 7, 2 8 夫々を駆動する駆動回路 3 5, 3 6, 3 7, 3 8 は、ビット番号の昇順に縦一列に配置されている。これら二列の駆動回路 3 1, 3 2, 3 3, 3 4 及び駆動回路 3 5, 3 6, 3 7, 3 8 は、略平行に配置されている。

30

【 0 0 6 6 】

上記のような配置の場合、隣り合うビット番号（B 1 と B 2、B 2 と B 3、B 3 と B 4、B 5 と B 6、B 6 と B 7、B 7 と B 8）に対応する駆動回路の間で、インダクタ F L, F L 同士が干渉する場合がある。なお、配置された列（B 1 - B 4 の列と B 5 - B 8 の列）が異なる駆動回路の間では、インダクタ F L, F L 同士が干渉しないものとしてよい。そこで、本実施形態 2 では、奇数ビットの半導体スイッチ 2 1, 2 3, 2 5, 2 7 と偶数ビットの半導体スイッチ 2 2, 2 4, 2 6, 2 8 とを時間 T 1 の時間差でオン/オフに切り換え又は設定する。

40

【 0 0 6 7 】

図 8 は、実施形態 2 に係るインピーダンス整合装置 1 0 0 の動作を示すタイミングチャートである。図 8 に示す 4 つのタイミングチャートは、何れも同一の時間軸（t）を横軸にしてあり、上段から順に、半導体スイッチ 2 1, 2 2, … 2 8 の設定、負荷 7 側のインピーダンスの算出・平均化、インピーダンス更新フラグのセット/クリア、及びインピー

50

ダンスの整合演算夫々を行うタイミングを模式的に示す。図 8 に示すタイミングチャートに対応する動作を実行する主体（算出部 2 の F P G A 及び制御部 3 の C P U ）は、実施形態 1 の場合と同様である。

【 0 0 6 8 】

時刻 t_{20} から t_{22} にわたって行われる半導体スイッチ 21, 22, … 28 の設定は、時刻 t_{20} の 1 m s 前に始まる 1 つ前の周期で決定されたオン/オフ状態に合わせて C P U が時間 T_1 毎に実行するものである。ここでは、奇数ビットの半導体スイッチ 21, 23, 25, 27 が先に、偶数ビットの半導体スイッチ 22, 24, 26, 28 が後に設定されるが、偶数ビットの半導体スイッチ 22, 24, 26, 28 が先に設定されてもよい。また、全ての半導体スイッチ 21, 22, … 28 を任意の 2 つ以上のグループに分けておき、時間 T_1 毎に順次グループ単位で半導体スイッチが設定されるようにしてもよい。

10

【 0 0 6 9 】

C P U は、時刻 t_{21} で実行した偶数ビットの半導体スイッチ 22, 24, 26, 28 の設定が完了したときにマスク信号をオフにする。一方の F P G A は、マスク信号がオフになったときから、負荷 7 側のインピーダンスの算出・平均化を開始するまでの間に時間 T_2 だけインターバルを設ける。時刻 t_{23} で上記のインターバルが終了した場合、F P G A は、時間 T_3 の間に高周波検出部 6 から負荷 7 側のインピーダンスを算出するためのパラメータを複数回にわたって取得し、取得する毎に負荷 7 側のインピーダンスを算出して平均化する。時刻 t_{24} で最初の算出・平均化が終了した場合、F P G A は、C P U が時刻 t_{20} より前にクリアしたインピーダンスの更新フラグを 1 にセットする。

20

【 0 0 7 0 】

他方の C P U は、時刻 t_{25} から始まる演算周期の開始時点でインピーダンス更新フラグが 1 にセットされていた場合、インピーダンスの整合演算を行い、半導体スイッチ 21, 22, … 28 がとるべきオン/オフ状態を決定して演算が終了した時刻 t_{26} にインピーダンス更新フラグを 0 にクリアする。上記以外のその他のタイミングについては、実施形態 1 の図 3 に示す場合と同様である。

【 0 0 7 1 】

以下では、上述した算出部 2 及び制御部 3 の動作のうち、半導体スイッチ 21, 22, … 28 の設定を行う制御部 3 の動作を、それを示すフローチャートを用いて説明する。算出部 2 の動作及びインピーダンスの整合演算を行う制御部 3 の動作については、実施形態 1 の場合と同様であるため、ここでの説明を省略する。図 9 は、実施形態 2 に係るインピーダンス整合装置 100 で半導体スイッチ 21, 22, … 28 のオン/オフを切り換える C P U の処理手順を示すフローチャートである。図 9 の処理は、例えば 1 m s 毎に起動され、制御部 3 の C P U により実行される。

30

【 0 0 7 2 】

図 9 の処理が起動された場合、C P U は、1 周期前の処理で不図示の R A M に記憶した半導体スイッチ 21, 22, … 28 のオン/オフ状態を読み出し (S 6 1)、インピーダンスの整合演算にて時刻 t_{26} の直前に決定したオン/オフ状態と比較する (S 6 2)。C P U は、更に、比較結果に基づいて、オンからオフに又はオフからオンに変化するビットを抽出する (S 6 3)。

40

【 0 0 7 3 】

その後、C P U は、半導体スイッチ 21, 22, … 28 の奇数ビットの何れかに、オンからオフへ又はオフからオンへの変化が有るか否かを判定する (S 6 4)。変化が有る場合 (S 6 4 : Y E S)、C P U は、タイマによる計時を開始しておき (S 6 5)、変化する奇数ビットの半導体スイッチについて実際にオン/オフを切り換える (S 6 6)。

【 0 0 7 4 】

その後、C P U は、半導体スイッチ 21, 22, … 28 の偶数ビットの何れかに、オンからオフへ又はオフからオンへの変化が有るか否かを判定する (S 6 7)。変化が有る場合 (S 6 7 : Y E S)、C P U は、タイマの計時により時間 T_1 が経過したか否かを判定

50

し (S 6 8)、経過していない場合 (S 6 8 : N O)、時間 T 1 が経過するまで待機する。この時間 T 1 は、前述のとおり最短で 4 μ s であり、半導体スイッチ 2 1 , 2 2 , \dots 2 8 のオン/オフ状態を奇数ビットと偶数ビットとに分けて制御する場合の時間差となる。

【 0 0 7 5 】

時間 T 1 が経過した場合 (S 6 8 : Y E S)、C P U は、変化する偶数ビットの半導体スイッチについて実際にオン/オフを切り換える (S 6 9)。このステップ S 6 9 の処理を終えた場合、又はステップ S 6 7 で偶数ビットの何れにも変化が無い場合 (S 6 7 : N O)、C P U は、切り換え後の半導体スイッチ 2 1 , 2 2 , \dots 2 8 のオン/オフ状態を記憶し (S 7 0)、更にマスク信号をオフして (S 7 1) 図 9 の処理を終了する。ここで記憶したオン/オフ状態は、次の 1 周期におけるステップ S 6 1 で読み出されることとなる。

10

【 0 0 7 6 】

ステップ S 6 4 で奇数ビットの何れにも変化が無い場合 (S 6 4 : N O)、C P U は、半導体スイッチ 2 1 , 2 2 , \dots 2 8 の偶数ビットの何れかに、オンからオフへ又はオフからオンへの変化が有るか否かを判定する (S 7 2)。変化が有る場合 (S 6 7 : Y E S)、C P U は、変化する偶数ビットの半導体スイッチについてオン/オフを切り換えるために、ステップ S 6 9 に処理を移す。一方、偶数ビットの何れにも変化が無い場合 (S 7 2 : N O)、C P U は、マスク信号をオフするためにステップ S 7 1 に処理を移す。

【 0 0 7 7 】

上述の図 9 に示すフローチャートでは、半導体スイッチ 2 1 , 2 2 , \dots 2 8 のうち、オンからオフに又はオフからオンに変化するビットを抽出し、抽出したビットのみについて半導体スイッチ 2 1 , 2 2 , \dots 2 8 のオン/オフを切り換えたが、これに限定されるものではない。例えば、半導体スイッチ 2 1 , 2 2 , \dots 2 8 の各ビットが変化するか否かに関わらず、全ての奇数ビット及び偶数ビットについて半導体スイッチ 2 1 , 2 2 , \dots 2 8 のオン/オフを新たに設定してもよい。

20

【 0 0 7 8 】

具体的には、図 9 に示す各ステップのうち、S 6 1 - 6 4、S 6 7 及び S 7 2 を削除し (次の番号のステップに移るようにする)、ステップ S 6 6 で奇数ビットの半導体スイッチ 2 1 , 2 3 , 2 5 , 2 7 についてオン/オフを新たに設定し、ステップ S 6 9 で偶数ビットの半導体スイッチ 2 2 , 2 4 , 2 6 , 2 8 についてオン/オフを新たに設定すればよい。

【 0 0 7 9 】

以上のように本実施形態 2 によれば、決定したオン/オフ状態に一致させるべく半導体スイッチ 2 1 , 2 2 , \dots 2 8 の実際のオン/オフ状態を新たにオン又はオフに調整する場合 (ステップ S 6 6 , S 6 9)、奇数ビットの半導体スイッチ 2 1 , 2 3 , 2 5 , 2 7 と偶数ビットの半導体スイッチ 2 2 , 2 4 , 2 6 , 2 8 (一部と他の一部に相当) とで、オン/オフ何れかに制御するタイミングについて時間差を設ける (ステップ S 6 8)。これにより、例えばインピーダンス整合装置 1 0 0 内における各インダクタ F L の配置関係に起因してオン/オフの制御時に不安定な動作に至る可能性がある半導体スイッチ 2 1 , 2 3 , 2 5 , 2 7 と半導体スイッチ 2 2 , 2 4 , 2 6 , 2 8 とで、オン/オフ何れかに制御されるタイミングが一致しないようになる。従って、高周波信号をスイッチングする半導体スイッチ 2 1 , 2 2 , \dots 2 8 のノイズに起因する不安定なオン/オフ動作を防止することが可能となる。

30

40

【 0 0 8 0 】

今回開示された実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。また、各実施形態で記載されている技術的特徴は、お互いに組み合わせることが可能である。

【 符号の説明 】

【 0 0 8 1 】

1 0 0 インピーダンス整合装置

50

101 伝送路

1 可変キャパシタ

C1 キャパシタ

L1 インダクタ

11、12、13、14、15、16、17、18 キャパシタ

21、22、23、24、25、26、27、28 半導体スイッチ

31、32、33、34、35、36、37、38 駆動回路

QH、QL トランジスタ

R 抵抗器

SC スピードアップコンデンサ

F フィルタ

FC キャパシタ

FL インダクタ

2 算出部

3 制御部

4 スイッチ状態設定部

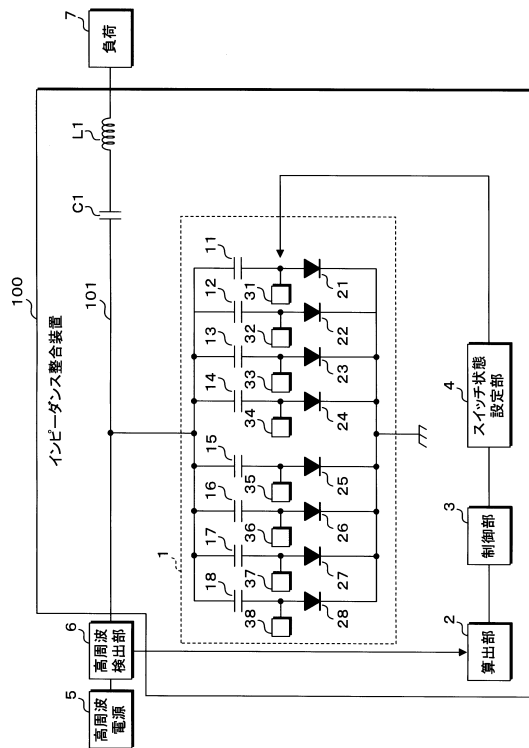
5 高周波電源

6 高周波検出部

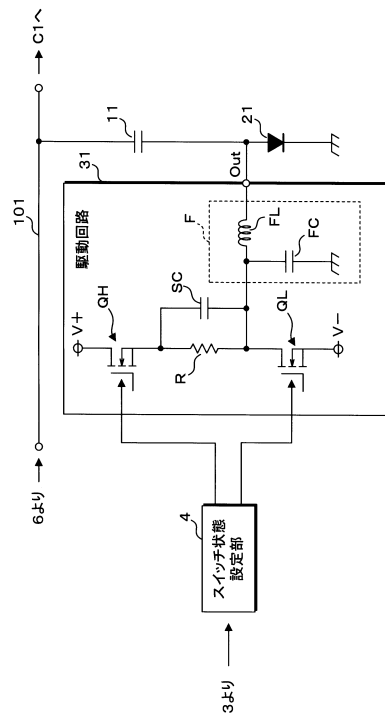
7 負荷

【図面】

【図1】



【図2】



10

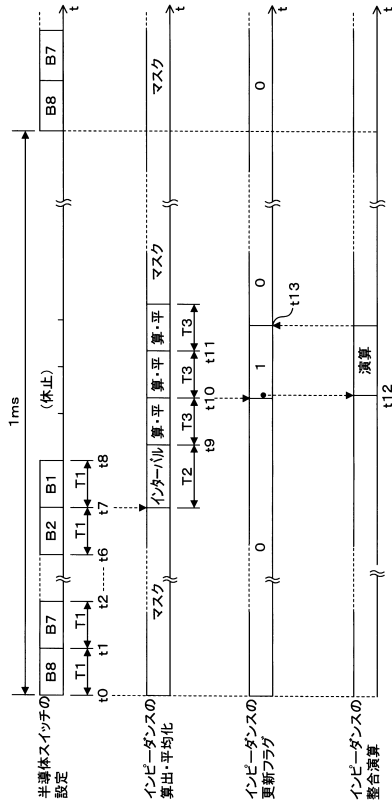
20

30

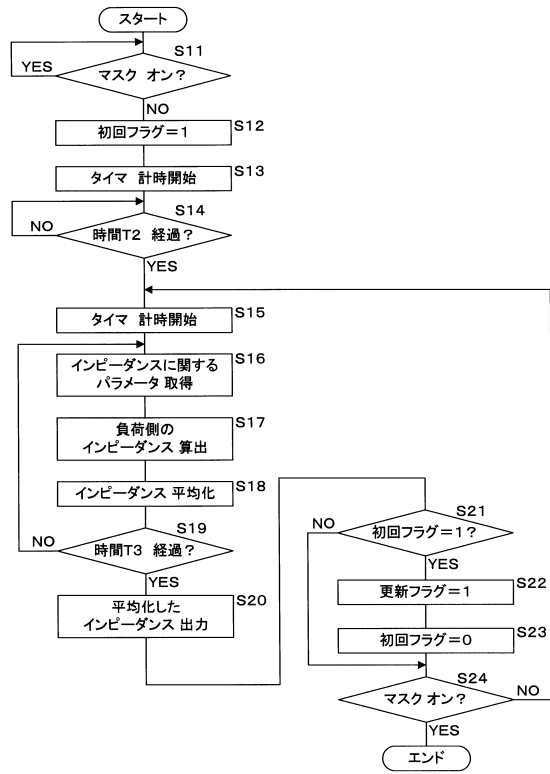
40

50

【図3】



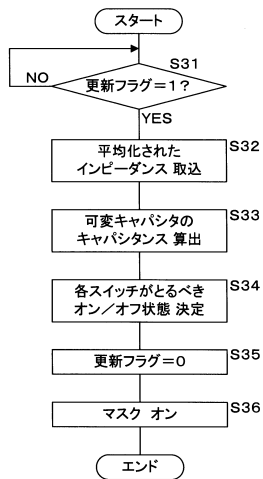
【図4】



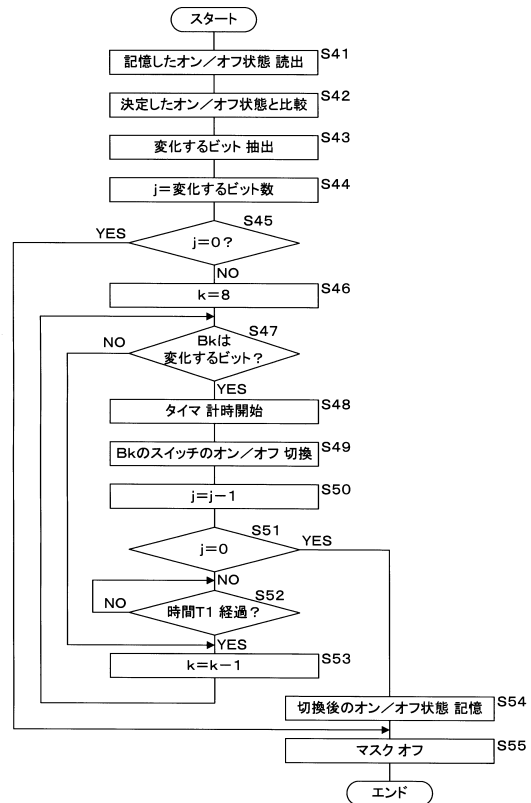
10

20

【図5】



【図6】

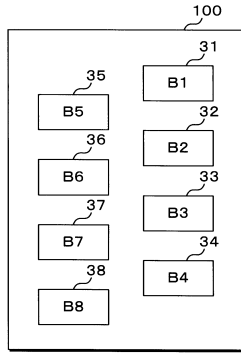


30

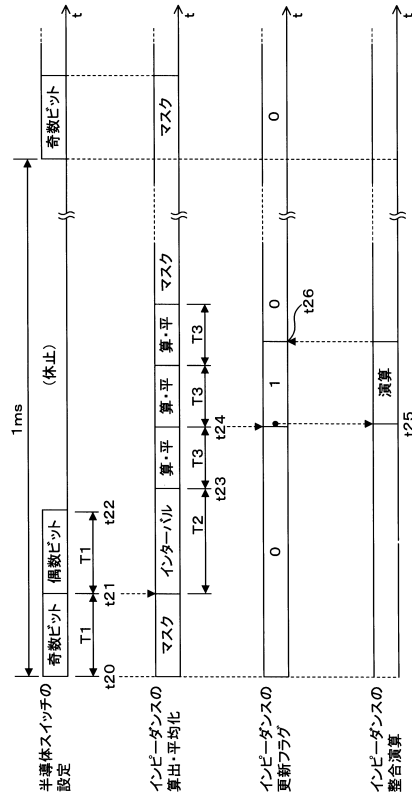
40

50

【 図 7 】



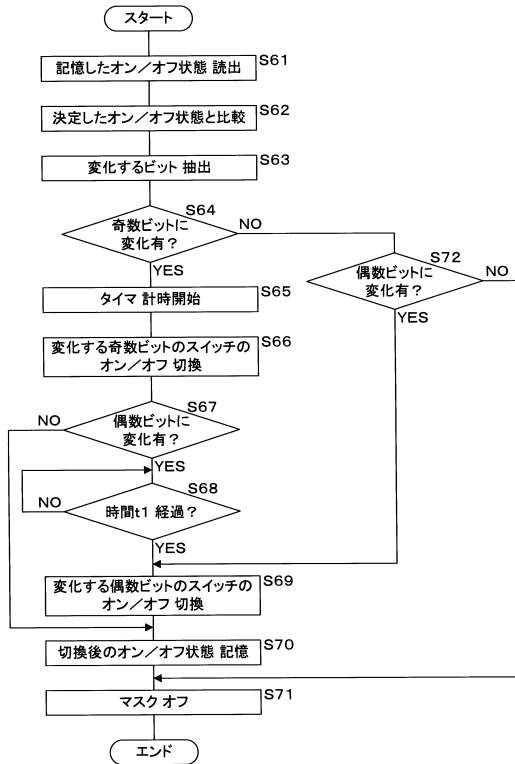
【 図 8 】



10

20

【 図 9 】



30

40

50

フロントページの続き

- (56)参考文献 特開2018-082332(JP,A)
国際公開第2018/062109(WO,A1)
特開2016-119671(JP,A)
特開2009-130881(JP,A)
特開2009-065023(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H05H 1/00 - 1/54
H03H 7/38
H03H 7/40