

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 00106557.2

G03F 7/004 (2006.01)
H01L 21/311 (2006.01)
H01L 21/336 (2006.01)
H01L 21/762 (2006.01)
H01L 21/8234 (2006.01)

[45] 授权公告日 2006 年 9 月 6 日

[11] 授权公告号 CN 1273866C

[22] 申请日 2000.4.12 [21] 申请号 00106557.2

[30] 优先权

[32] 1999. 4. 26 [33] US [31] 09/299,137

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 黛安娜·C·博伊德

斯图尔特·M·伯恩斯

赫赛恩·I·汉纳菲

沃尔德玛·W·科肯

威廉·C·威利 理查德·怀斯

审查员 李 彬

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 王永刚

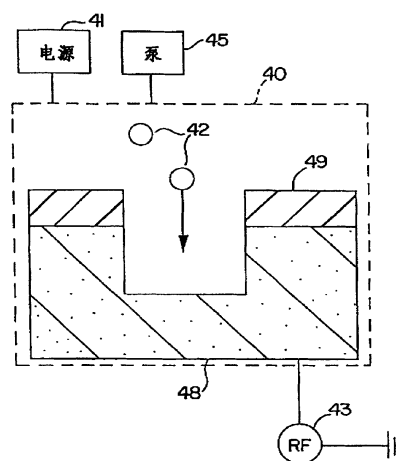
权利要求书 5 页 说明书 14 页 附图 9 页

[54] 发明名称

镶嵌蚀刻方法中各向异性氮化物的蚀刻工艺

[57] 摘要

一种在多层结构的氮化硅层中各向异性地蚀刻沟槽的工艺和蚀刻剂气体组分。此蚀刻剂气体组分具有包括聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体。氧化剂最好包括含碳的氧化剂组分和氧化剂-稀有气体组分。控制等离子体的方向性的电源与用来激活蚀刻剂气体的电源隔离。在制造金属氧化物半导体场效应晶体管的工艺中的氮化物蚀刻步骤中，可以使用此蚀刻剂气体。



1. 一种在多层结构的氮化硅层中各向异性地蚀刻沟槽的工艺，所述多层结构包括 (i) 衬底；(ii) 制作在所述衬底上的氧化硅层；(iii) 制作在所述氧化层上的氮化硅层；以及 (iv) 光刻胶层，所述光刻胶层制作在所述氮化硅层上，并确定窗口暴露部分所述氮化硅层以便进行镶嵌蚀刻，所述工艺包含下列步骤：

激活含有聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体以形成高密度等离子体，其中所述蚀刻剂气体相对于所述氧化硅层和所述光刻胶层，具有高的氮化物选择性，

其中所述聚合剂包含 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个，其体积大约为 0.1%-25%，

所述氢源包含 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少一个，其体积大约为 5%-30%，

所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个，其体积大约为 0.1%-50%，

所述氧化剂包括含碳组分和氧化剂-稀有气体组分，所述含碳组分包含 CO 、 CO_2 中的至少一个，其体积大约为 1%-25%，所述氧化剂-稀有气体组分包含 O_2 ，其体积大约为 0.1%-20%；以及

引入所述高密度等离子体，以便蚀刻所述氮化硅层的暴露部分，从而形成延伸到所述氧化硅层的所述沟槽。

2. 权利要求 1 的工艺，其中：

所述聚合剂是 C_2F_6 ；

所述氢源是 CH_3F ；

所述稀有气体稀释剂是 Ar；

所述含碳的组分是 CO_2 ；以及

所述氧化剂-稀有气体组分是 He 中的 O_2 。

3. 权利要求 1 的工艺，其中：

在所述稀有气体中，氧化剂的相对浓度为大约 30%。

4. 权利要求 3 的工艺, 其中:
 - 加入大约 3%-8% 体积的所述聚合剂;
 - 加入大约 10%-30% 体积的所述氢源;
 - 加入大约 5%-15% 体积的所述含碳组分;
 - 在所述稀有气体中大约 30% 的氧化剂相对浓度中, 加入大约 5%-15% 体积的所述氧化剂-稀有气体组分; 以及
 - 加入大约 10%-50% 体积的所述稀有气体稀释剂。
5. 权利要求 1 的工艺, 其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 4:1, 且相对于所述光刻胶层至少约为 3:1 的氮化物选择性。
6. 权利要求 5 的工艺, 其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 5:1, 且相对于所述光刻胶层至少约为 4:1 的氮化物选择性。
7. 权利要求 1 的工艺, 还包含将电源施加到所述多层结构以控制所述高密度等离子体在所述多层结构上的方向性。
8. 权利要求 7 的工艺, 其中施加电源的步骤包含将 RF 电源施加到所述多层结构的与所述氮化硅层相反的一侧。
9. 权利要求 7 的工艺, 其中激活所述蚀刻剂气体的步骤使用线圈, 且所述电源与所述线圈隔离。
10. 权利要求 1 的工艺, 其中激活所述蚀刻剂气体的步骤包括形成密度至少为 10^{11}cm^{-3} 的所述高密度等离子体。
11. 权利要求 1 的工艺, 还包含下列步骤:
 - 将所述蚀刻剂气体引入工作室; 以及
 - 利用连接于所述工作室的真空泵保持所述工作室的压力在大约 2-40 毫毛之间。
12. 一种制造金属氧化物半导体场效应晶体管的工艺, 它包含下列步骤:
 - 在衬底上制作氧化硅层;
 - 在所述衬底中淀积至少二个浅沟槽隔离区, 以便确定所述至少二

个浅沟槽隔离区之间的间隔;

在所述氧化硅层上制作氮化硅层;

在所述氮化硅层上淀积光刻胶, 其中所述光刻胶确定窗口暴露部分所述氮化硅层, 以便进行镶嵌蚀刻, 其中所述部分位于所述间隔上;

激活含有聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体以形成高密度等离子体, 其中所述蚀刻剂气体相对于所述氧化硅层和所述光刻胶层, 具有高的氮化物选择性,

其中所述聚合剂包含 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个, 其体积大约为 0.1%-25%,

所述氢源包含 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少一个, 其体积大约为 5%-30%,

所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个, 其体积大约为 0.1%-50%,

所述氧化剂包括含碳组分和氧化剂稀有气体组分, 所述含碳组分包含 CO 、 CO_2 中的至少一个, 其体积大约为 1%-25%, 所述氧化剂稀有气体组分包含 O_2 , 其体积大约为 0.1%-20%;

引入所述高密度等离子体, 以便将所述氮化硅层的暴露部分蚀刻到所述氧化硅层, 从而在所述氮化硅层的所述窗口处留下栅孔;

在所述栅孔中淀积栅导体; 以及

清除至少部分所述氮化硅层, 其中所述栅导体形成延伸在所述间隔上的栅支柱。

13. 权利要求 12 的工艺, 其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 4:1, 且相对于所述光刻胶层至少约为 3:1 的氮化物选择性。

14. 权利要求 13 的工艺, 其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 5:1, 且相对于所述光刻胶层至少约为 4:1 的氮化物选择性。

15. 权利要求 12 的工艺, 还包含:

在引入所述高密度等离子体以蚀刻所述氮化硅层的暴露部分的步

骤之后，清除所述栅孔底部的所述氧化硅层；以及

在淀积所述栅孔中的栅导体之前，在所述栅孔的底部制作薄的栅氧化物。

16. 权利要求 15 的工艺，其中所述薄的栅氧化物用加热所述衬底的方法制作。

17. 一种在镶嵌蚀刻方法中在多层结构的氮化硅层中蚀刻沟槽的组分，所述组分包含含有聚合剂、氢源、氧化剂以及稀有气体稀释剂，并相对于氧化硅和相对于光刻胶具有高的氮化物选择性的蚀刻剂气体，

其中所述聚合剂包含 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个，其体积大约为 0.1%-25%，

所述氢源包含 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少一个，其体积大约为 5%-30%，

所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个，其体积大约为 0.1%-50%，

所述氧化剂包括含碳组分和氧化剂稀有气体组分，所述含碳组分包含 CO 、 CO_2 中的至少一个，其体积大约为 1%-25%，所述氧化剂稀有气体组分包含 O_2 ，其体积大约为 0.1%-20%。

18. 权利要求 17 的组分，其中：

所述聚合剂是 C_2F_6 ；

所述氢源是 CH_3F ；

所述稀有气体稀释剂是 Ar；

所述含碳的组分是 CO_2 ；以及

所述氧化剂-稀有气体组分是 He 中的 O_2 。

19. 权利要求 17 的组分，其中：

在所述稀有气体中，氧化剂的相对浓度大约为 30%。

20. 权利要求 19 的组分，其中：

加入大约 3%-8% 体积的所述聚合剂；

加入大约 10%-30% 体积的所述氢源；

加入大约 5%-15%体积的所述含碳组分；

在所述稀有气体中大约 30%的氧化剂相对浓度中，加入大约 5%-15%体积的所述氧化剂-稀有气体组分；以及

加入大约 10%-50%体积的所述稀有气体稀释剂。

21. 权利要求 17 的组分，其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 4:1，且相对于所述光刻胶层至少约为 3:1 的氮化物选择性。

22. 权利要求 21 的组分，其中所述蚀刻剂气体具有相对于所述氧化硅层至少约为 5:1，且相对于所述光刻胶层至少约为 4:1 的氮化物选择性。

镶嵌蚀刻方法中各向异性氮化物的蚀刻工艺

技术领域

本发明涉及到在制作于半导体晶片上或其它多层结构上的氮化硅层中进行线条图形化。

背景技术

在半导体制造中，常常希望对具有高形状比部件（例如 4:1 或更大）的厚的介质膜进行各向异性蚀刻而不过量地同时侵蚀光刻胶，并希望具有相对于氧化层（例如氧化硅）的高的选择性。在许多应用中，图形化的氮化物的分布必须是垂直的。目前最先进的氮化物蚀刻工艺达不到足够垂直的蚀刻分布或相对于氧化物具有足够选择性的蚀刻过程。

作为这种应用的一个例子，用镶嵌蚀刻工艺制作器件栅时，要求将氮化物材料垂直地蚀刻到氮化物下方的薄的热氧化物材料。热氧化物材料的顶层被清除，并在其位置生长更薄的栅氧化物。停止层的厚度受制于将其清除而不明显地下切的能力，而生长的栅氧化物的厚度决定于器件的性能特性。然后淀积栅导体并向下抛光到氮化物。

在标准的栅蚀刻工艺中，为了确保对热氧化物材料的薄的停止层的恰当的和可控的选择性，需要硬掩模。在适当的地方具有光刻胶的硬掩模的图形化，是嵌套线条和隔离线条变化的主要原因。更确切地说，图 1A 和 1B 示出了多层结构 10 的标准（亦即非镶嵌）栅蚀刻工艺。结构 10 包括导电栅叠层 12、氮化硅硬掩模 14、光刻胶层的嵌套线条 16a、以及光刻胶层的隔离线条 16b。在氮化硅硬掩模层 14 的顶部淀积光刻胶层之后，对硬掩模层进行蚀刻，以便在硬掩模层中形成对应于光刻胶层图形的图形。随后剥离光刻胶，留下图 1B 所示的图形化的氮化硅硬掩模层 14。如从图 1B 可见，隔离线条 16b 下方的部

分氮化硅硬掩模层 14 在掩模蚀刻工艺中被横向侵蚀,且氮化硅硬掩模层在整个芯片上表现出明显的宽度变化 (ACLV)。

嵌套线和隔离线局部区域中的光刻胶加载的差异,是引起嵌套-隔离蚀刻偏离的主要原因。例如,隔离线 16b 附近几乎 100%的区域是敞开的(亦即无光刻胶);相反,嵌套线 16a 附近只有大约 50%的区域是敞开的。等离子体化学被选择与氮化硅反应,因而,在隔离线 16b 附近,由于氮化硅的局部加载比较高,故蚀刻剂气体中的反应粒子(例如离子、原子团和聚合物产物母体)的局部浓度将被耗尽。隔离线 16b 周围的大面积氮化物起反应粒子吸收点的作用。

同样,嵌套线 16a 附近较多的光刻胶的局部存在,倾向于使等离子体化学相对于隔离线 16b 附近的无光刻胶区域移动。具体地说,光刻胶的侵蚀起聚合物产物母体源的作用。因此,隔离线 16b 附近的硬掩模层 14 区域被暴露于比嵌套线 16a 附近更弱的聚合化学过程,从而引起图 1B 所示的隔离线下方的被蚀刻的硬掩模中的横向侵蚀。

在图 1A 和 1B 所示的标准的硬掩模栅蚀刻方法中,通常在氯基或溴基蚀刻剂气体中,相对于热氧化物(未示出,但在栅叠层 12 上形成薄层),硅被选择性地蚀刻。由于栅导体蚀刻对衬底(亦即栅叠层 12)是非选择性的,故热氧化物的任何击穿都导致对下方硅的灾难性冲击。当为了提高器件速度而减小栅氧化物厚度时,这一危险变得特别重要。随着栅线宽度的减小,栅叠层的形状比增大。栅叠层在硬掩模栅蚀刻方法中的稳定性就成为更先进的基本规则中的一个问题。

在栅制作工艺中,如图 2 所示,常常必须剥离热氧化牺牲层,然后生长新鲜的栅氧化物。热氧化牺牲层 20 的厚度受制于氧化物剥离过程中的蚀刻的各向异性程度。热氧化层 20 的任何下切都会在后续的多晶硅 24(栅导体)填充氮化硅层 26 的栅孔之后引起覆盖区 22 的形成。覆盖区 22 使器件的性能下降。

而且,在诸如图 4B 所示的任何各向同性蚀刻中,离子 51 不沿均匀的方向向着氮化硅层 50 被加速。因此,蚀刻沿各个方向进行,使光刻胶层 52 下切,从而限制器件的封装密度。在图 4B 中,氮化硅层 50

可以形成在硅衬底（未示出）上。

虽然氮化硅的蚀刻技术得到了高度发展，但此技术固有的某些问题仍然存在。一个特别的问题是，在保持相对于光刻胶层和氧化层二者的高选择性的情况下，对高形状比氮化硅层的蚀刻。因此，对于在保持相对于光刻胶层和氧化层的高的选择性并避免随后的图象完整性损失的情况下，对高形状比的氮化硅进行图形化的工艺，存在着需求。

发明内容

为了满足这一需求和其它的需求，并考虑到其目的，本发明提供了一种在镶嵌蚀刻方法中各向异性地蚀刻多层结构的氮化硅层中的沟槽的工艺。此工艺包含下列步骤：激活含有聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体以形成高密度等离子体，其中的蚀刻剂气体相对于氧化硅层（形成在衬底上和氮化物层下）和光刻胶层（形成在氮化物层上），具有高的氮化物选择性；以及引入高密度等离子体，以便蚀刻氮化硅层的暴露部分，从而形成延伸到氧化硅层的沟槽。

本发明还提供了一种在多层结构的氮化硅层中各向异性地蚀刻沟槽的工艺，所述多层结构包括（i）衬底；（ii）制作在所述衬底上的氧化硅层；（iii）制作在所述氧化层上的氮化硅层；以及（iv）光刻胶层，所述光刻胶层制作在所述氮化硅层上，并确定窗口曝露部分所述氮化硅层以便进行镶嵌蚀刻，所述工艺包含下列步骤：激活含有聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体以形成高密度等离子体，其中所述蚀刻剂气体相对于所述氧化硅层和所述光刻胶层，具有高的氮化物选择性，其中所述聚合剂包含 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个，其体积大约为 0.1%-25%，所述氢源包含 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少一个，其体积大约为 5%-30%，所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个，其体积大约为 0.1%-50%，所述氧化剂包括含碳组分和氧化剂稀有气体组分，所述含碳组分包含 CO 、 CO_2 中的至少一个，其体积大约为 1%-25%，所述氧化剂稀有气体组分包含 O_2 ，其体积大约为 0.1%-20%；以及引入所述高密度

子体，以便蚀刻所述氮化硅层的暴露部分，从而形成延伸到所述氧化硅层的所述沟槽。在本发明的最佳实施例中，氧化剂包含诸如 CO_2 之类的含碳的氧化剂组分以及诸如 He 中的 O_2 之类的氧化剂-稀有气体组分。对各个组分的浓度进行选择，以便得到相对于光刻胶具有例如至少约为 3:1，最好是至少约为 4:1 的高的氮化物选择性，且相对于氧化物具有例如至少约为 4:1，最好是至少约为 5:1 的高的氮化物选择性的蚀刻剂气体。

根据本发明另一实施例，诸如控制射频 (RF) 电源之类的用来控制等离子体方向性的电源，被分隔于诸如线圈之类的用来激活蚀刻剂气体的电源。RF 电源最好施加到结构的与氮化硅层被蚀刻的侧相反的侧。

本发明的目的还在于一种制造金属氧化物半导体场效应晶体管 (MOSFET) 的工艺，此工艺包含下列步骤：在至少具有二个浅沟槽隔离区的衬底上制作氧化硅层；在氧化层上制作氮化硅层；在氮化物层上淀积光刻胶，使光刻胶确定暴露氮化物层的窗口；激活具有上述组分的蚀刻剂气体，以便形成高密度等离子体；引入高密度等离子体，以便在镶嵌蚀刻工艺中将氮化物层的暴露部分蚀刻到氧化层，从而在窗口处的氮化物层中留下栅孔；在栅孔中淀积栅导体；以及清除在栅导体形成栅支柱处的至少部分氮化硅层。

本发明还提供一种制造金属氧化物半导体场效应晶体管的工艺，它包含下列步骤：在衬底上制作氧化硅层；在所述衬底中淀积至少二个浅沟槽隔离区，以便确定所述至少二个浅沟槽隔离区之间的间隔；在所述氧化硅层上制作氮化硅层；在所述氮化硅层上淀积光刻胶，其中所述光刻胶确定窗口暴露部分所述氮化硅层，以便进行镶嵌蚀刻，其中所述部分位于所述间隔上；激活含有聚合剂、氢源、氧化剂和稀有气体稀释剂的蚀刻剂气体以形成高密度等离子体，其中所述蚀刻剂气体相对于所述氧化硅层和所述光刻胶层，具有高的氮化物选择性，其中所述聚合剂包含 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个，其体积大约为 0.1%-25%，所述氢源包含 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少一个，

其体积大约为 5%-30%，所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个，其体积大约为 0.1%-50%，所述氧化剂包括含碳组分和氧化剂稀有气体组分，所述含碳组分包含 CO、CO₂ 中的至少一个，其体积大约为 1%-25%，所述氧化剂稀有气体组分包含 O₂，其体积大约为 0.1%-20%；引入所述高密度等离子体，以便将所述氮化硅层的暴露部分蚀刻到所述氧化硅层，从而在所述氮化硅层的所述窗口处留下栅孔；在所述栅孔中淀积栅导体；以及清除至少部分所述氮化硅层，其中所述栅导体形成延伸在所述间隔上的栅支柱。

本发明的目的还在于一种在镶嵌蚀刻方法中在多层结构的氮化硅层中蚀刻沟槽的蚀刻剂气体组分。如上所述，此蚀刻剂气体组分包含聚合剂、氢源、氧化剂以及稀有气体稀释剂，并相对于氧化硅层和相对于光刻胶层具有高的氮化物选择性。

本发明还提供一种在镶嵌蚀刻方法中在多层结构的氮化硅层中蚀刻沟槽的组分，所述组分包含含有聚合剂、氢源、氧化剂以及稀有气体稀释剂，并相对于氧化硅和相对于光刻胶具有高的氮化物选择性的蚀刻剂气体，其中所述聚合剂包含 CF₄、C₂F₆ 和 C₃F₈ 中的至少一个，其体积大约为 0.1%-25%，所述氢源包含 CHF₃、CH₂F₂、CH₃F 和 H₂ 中的至少一个，其体积大约为 5%-30%，所述稀有气体稀释剂包含 He、Ar 和 Ne 中的至少一个，其体积大约为 0.1%-50%，所述氧化剂包括含碳组分和氧化剂稀有气体组分，所述含碳组分包含 CO、CO₂ 中的至少一个，其体积大约为 1%-25%，所述氧化剂稀有气体组分包含 O₂，其体积大约为 0.1%-20%。

应该理解的是，上述一般描述和下列详细描述都是示例性的而不是对本发明的限制。

附图说明

从下列结合附图的详细描述中，可以最好地理解本发明。需要强调的是，根据通常的做法，图中的各个部件是不按比例绘出的。相反，为了清楚起见，各个部件被随意放大或缩小了。在这些附图中：

图 1A 示出了待要被标准栅蚀刻工艺蚀刻的多层结构的分布；

图 1B 示出了常规氮化物蚀刻工艺和常规光刻胶剥离工艺之后的图 1A 的多层结构的分布；

图 2 示出了由于常规各向同性蚀刻而具有不希望有的氧化层下切的多层结构的分布；

图 3A 示出了根据本发明为镶嵌栅蚀刻工艺制备的多层结构的分布；

图 3B 示出了根据本发明的氮化物蚀刻工艺之后的图 3A 的多层结构的分布；

图 4A 示出了根据本发明的使用偏离衬底蚀刻的氮化物层的分布；

图 4B 示出了用不偏离的衬底使用常规工艺蚀刻的氮化物层的分布；以及

图 5A-5L 示出了在金属氧化物半导体场效应晶体管的制造过程的不同阶段中的多层结构的分布。

具体实施方式

本发明提供了一种在镶嵌蚀刻方法中相对于光刻胶和氧化物具有提高了的选择性并提供可调节各向异性的氮化物蚀刻工艺和组分。描述了使氮化物蚀刻更为有效的干法蚀刻工艺。最佳的蚀刻剂气体是由 C_2F_6 、 CH_3F 、 CO_2 、 He 、 O_2 和 Ar 组成的混合物。本发明使氮化硅的各向异性蚀刻能够按制作栅导体所要求的那样停止于二氧化硅薄层上。在诸如动态随机存取存储器 (DRAM) 和逻辑器件之类的半导体器件中，制作栅导体 (即“栅”) 是所期望的。

图 3A 和 3B 示出了制作多层结构 30 的氮化硅层 31 中的沟槽 (或图形) 的镶嵌栅蚀刻工艺。多层结构 30 还包括半导体器件 32、薄氧化层 33 以及形成嵌套线 35a 和隔离线 35b 的光刻胶层 34。在镶嵌栅蚀刻工艺中，与图 1A 和 1B 所示的标准栅蚀刻工艺相反，光刻胶层 34 被用来图形化氮化硅层 31 中的线条和沟槽，使蚀刻之后大部分氮化物层保留在结构上。然后剥离光刻胶并用栅导体 37 填充形成在氮化硅层

31 中的沟槽 36a 和 36b。

如图 3A 和 3B 所示，镶嵌栅制作工艺要求在隔离线 35b 附近几乎 100% 的光刻胶加载以及嵌套线 35a 附近 50% 的光刻胶加载。借助于裁剪相对于光刻胶的高的氮化物选择性的蚀刻化学，由于蚀刻工艺必须设计成与氮化物反应，故光刻胶加载的局部变化变得比标准蚀刻工艺更不重要。换言之，由于蚀刻被设计成与氮化物反应，故能够将工艺设计成对 100%-50% 的光刻胶局部加载的变化不灵敏，但不能够设计成对 100%-50% 的氮化硅局部加载的变化不灵敏（如图 1A 所示）。更确切地说，在光刻胶的隔离线 16b 周围的氮化硅硬掩模 14 的蚀刻过程中，如图 1B 所示，蚀刻剂气体与位于隔离线下方的氮化物反应；在镶嵌栅蚀刻工艺中，在任何线条附近不存在这样高度暴露的氮化硅。

本发明的蚀刻剂气体的组分对于提供相对于氧化硅层和光刻胶层具有高的氮化物选择性的气体是重要的。相对于氧化物和光刻胶的“氮化物选择性”，分别意味着氮化物的蚀刻速率对氧化物的蚀刻速率的比率以及氮化物的蚀刻速率对光刻胶的蚀刻速率的比率。本发明的蚀刻剂气体包括聚合剂、氢源、氧化剂和稀有气体稀释剂。这些组分最好被组合成能够得到相对于氧化物的氮化物选择性至少约为 4:1，而相对于光刻胶的氮化物选择性至少约为 3:1。相对于氧化物的氮化物选择性至少约为 5:1，而相对于光刻胶的氮化物选择性至少约为 4:1 则更好。

本发明的蚀刻剂气体的聚合剂是导致形成钝化层的产物母体物质。此聚合剂最好是选自 CF_4 、 C_2F_6 和 C_3F_8 中的至少一个的碳氟化合物。氟有助于氮化硅层中的氮化物的反应，但不与氧化硅（或二氧化硅）层中的硅反应。聚合剂由于起 CF_x 聚合物产物母体的降低空穴供应量的作用而减小了下切并控制了氮化物的斜度。确切地说，聚合剂数量的减少使分布更垂直。同时，聚合剂数量的增加改善了相对于氧化物的氮化物选择性。

本发明的蚀刻剂的氢源增强了氮化物的化学蚀刻（由各向同性的提高所提供的）并改善了相对于光刻胶的选择性（由聚合作用和氟清洗二者提供的）。氢源最好选自 CHF_3 、 CH_2F_2 、 CH_3F 和 H_2 中的至少

一个。由于氢易燃，故在某些情况下，为了安全起见应该避免氢。借助于增加氢源的数量，改善了相对于光刻胶的氮化物选择性。

本发明还使用氧化剂，借助于沿垂直方向增强蚀刻而协助清除介质层。此氧化剂是一种由 CO 、 CO_2 和 O_2 中的至少一个组成的含氧的化合物。由于光刻胶不像氮化硅那样有大量加载，故氧化剂的加入降低了相对于光刻胶的选择性。借助于增加聚合物含量以保留光刻胶，在高形状比部件中更容易发生蚀刻停止。氧化剂是一种容易与聚合剂反应以形成比原来的碳氟化合物更具挥发性的产物（诸如 COF_x 化合物）。氧化剂的加入协助清除钝化层，并使气相等离子体化学 C/F 比率变低，从而进一步增强蚀刻速率并减少钝化聚合物的形成。氧化剂数量的增加提高了相对于氧化物的选择性。氧化剂最好包含诸如 CO_2 之类的含碳的氧化剂组分以及诸如 He 中的 O_2 之类的氧化剂-稀有气体组分。

氧化剂气体的最后一个组分是稀有气体稀释剂，最好选自 He、Ar、Ne 中的至少一个。如果没有稀有气体，则本发明的蚀刻剂气体相对于氧化物不具有高的选择性。这样，若相对于氧化物的选择性不够高，则应该提高稀有气体的数量。

本发明范围内的示例性实施例包括由 1%-10% 体积的聚合剂、5%-30% 体积的氢源、1%-25% 体积的含碳组分、0.1%-20% 体积的氧化剂-稀有气体组分（亦即在稀有气体中氧化剂的相对浓度约为 30%）、以及 0.1%-50% 体积的稀有气体组成的气体混合物。蚀刻剂气体最好包括 3%-8% 体积的聚合剂、10%-30% 体积的氢源、5%-15% 体积的含碳组分、5%-15% 体积的氧化剂-稀有气体组分（亦即在稀有气体中氧化剂的相对浓度约为 30%）、以及 10%-50% 体积的稀有气体。聚合剂是 C_2F_6 、氢源是 CH_3F 、含碳组分是 CO_2 、氧化剂-稀有气体组分是 He 中的 O_2 、稀有气体是 Ar 则更好。

基于如上所述的各个组分的功能，可以根据特定应用的需要调整各个组分的具体浓度以达到本发明的目的。例如，若蚀刻剂气体呈现相对于氧化物的氮化物选择性不足，则应该提高氧化剂的浓度，应该

提高聚合剂的浓度，或二者组合。此外，稀有气体稀释剂的存在有助于相对于氧化物的选择性。

而且，若蚀刻剂气体呈现相对于光刻胶的氮化物选择性不足，则应该提高氢源的浓度。若提高氢源浓度之后仍然无法得到相对于光刻胶的适当的氮化物选择性，则应该按提高蚀刻剂气体的 H:F 比率的方法来选择特殊的聚合剂和氢源化合物。从上述条件减少氢和氧化剂二者，由于氢源（例如 CH_3F ）的损失被氧化剂（例如 CO ）的减少所平衡，故得到相似分布。

借助于改变蚀刻剂气体的各个相对浓度，还可以控制倾斜角。例如，提高聚合剂（例如 C_2F_6 ）的剂量而其它各组分保持恒定，就增大了氮化物层中的沟槽的倾斜程度。小心地控制高形状比氮化物零件中的倾斜角的能力，使得能够在后续工艺中更容易对孔进行填充。

根据本发明，对蚀刻剂气体进行激活以形成高密度等离子体。用来控制等离子体方向性的电源与用来激活蚀刻剂气体以形成高密度等离子体的电源彼此隔离。于是，被隔离的电源构成独立于等离子体发生机构的对晶片上偏压的控制。由于离子轰击能量主要受晶片偏压的控制，而离子流量（和等离子体密度）主要受施加于发生结构（例如感应等离子体源中的线圈）的功率的控制，故使用术语“隔离”。

图 4A 示出了这一结构，其中蚀刻剂气体被引入工作室 40（示于虚线），并用第一电源 41 激活蚀刻剂气体以形成具有离子 42 的高密度等离子体。诸如 RF 电源 43 之类的第二电源与第一电源 41 隔离。最好用耦合于工作室 40 的真空泵 45 将工作室 40 的压力保持在大约 2-40 毫托。

诸如被隔离的等离子体源所用的那种被偏置的衬底，通常用几千伏特使晶片平台的电位振荡。虽然这一电位的某些部分被等离子体电子（板极电容）和晶片吸盘电容屏蔽，但轰击晶片的离子的加速度高得多，通常相当于 50-500V 的加速度。这一额外的能量加速了沿垂直于晶片表面方向的蚀刻，而且是本发明中的各向异性蚀刻的原因。

如图 4A 所示，在被偏置的衬底中，RF 电源 43 被施加到衬底 48

的背面，亦即与被蚀刻的层（例如氮化硅层）相反的衬底侧。在图 4A 中，衬底 48 可以代表制作在硅衬底（未示出）上的氮化硅层。RF 电源 43 将离子 42 向衬底加速，从而提高此方向的蚀刻速率。光刻胶 49 上的图形被直接转移到下方的各层，从而使封装密度最大化。

高密度等离子体表示等离子体中的带电粒子密度。在常规或典型的密度的等离子体中，离子密度通常小于大约 10^{11}cm^{-3} ，而在高密度源中，部分离子化在 10^{11}cm^{-3} 以上。高密度等离子体源沿垂直于反应室边界的方向加速等离子体电子，使电子平均自由程比等离子体尺寸长。这一长的平均自由程允许较低的工作压力，但同时要求较高的离子化度以便维持具有较高的离子壁流量的等离子体。

在 Applied Materials High Density Plasma 干法蚀刻工作室中演示了本发明的工艺，虽然也可以使用其它的高密度源（例如 Lam 9100）。含有本发明的气体混合物的任何相似的工作室都可产生所希望的结果，这是在本发明的范围之内。工作室的压力最好在大约 2-40 毫毛之间的范围内。

上述的氮化物层的蚀刻可以组合在图 5A-5L 所示的制作金属氧化物半导体场效应晶体管（MOSFET）的工艺中。这些工艺步骤不一定要按所述的顺序执行和描述。根据本发明的制造方法特别适合于制作具有非常薄的栅氧化物（例如小于 5nm）的 MOSFET。

在下述的例子中，MOSFET 的制作开始于衬底 130，此衬底可以是诸如硅衬底的任何已知的半导体衬底。如图 5A 所示，衬底 130 被衬垫氧化层 135 和氮化硅层 131 覆盖。衬垫氧化层 135 的厚度通常为 5-20nm。可以用厚度为 8nm 的 SiO_2 层作为衬垫氧化层 135。可以用快速热退火工艺（RTP）或炉子工艺来制作氧化层 135。氮化硅层 131 可以由 Si_3N_4 组成，其厚度可以约为 90nm。可以用高温低压化学汽相淀积（LPCVD）工艺来制作氮化硅层 131。可以使用包括等离子体增强化学汽相淀积（PECVD）的其它的淀积工艺。作为变通，可以溅射氮化硅层。

接着，在氮化硅层 131 上旋涂单层光刻胶 132。然后，如图 5B 所

示，用常规光刻方法对光刻胶层 132 进行图形化，以确定后续蚀刻步骤的蚀刻窗口 133。蚀刻窗口 133 为后续镶嵌蚀刻暴露部分氮化硅层 131。在镶嵌蚀刻工艺中，大部分氮化硅层被光刻胶层覆盖；在标准的蚀刻工艺中，只有选定的光刻胶线条被用来覆盖相应的氮化物线条。可以用多层光刻胶或包括硬烘焙的掩模的任何其它掩模来代替单层光刻胶。蚀刻窗口 133 的形状与尺寸确定了接着要蚀刻的浅沟槽隔离 (STI) 沟槽的横向尺寸。这种 STI 沟槽 (亦即所知的场氧化物隔离沟槽) 通常被用于 MOS 工艺中以提供相邻晶体管之间的隔离。可以用硅的局部氧化 (LOCOS) 或多重缓冲 LOCOS 来代替 STI。

如图 5C 所示，现在用恰当的蚀刻技术将光刻胶图形转移到下方的层状结构中。这一步骤是不关键的。STI 沟槽 134 的深度 D_{STI} 可以是 100nm 或更大。在用适当的绝缘体填充 STI 沟槽 134 之前，如图 5D 所示，可以在沟槽 134 内部热生长薄的氧化层 146。若沟槽 134 待要用作为淀积的氧化物的原硅酸四乙酯 (TEOS) 填充，则特别推荐这一生长。淀积的 TEOS 通常在与硅衬底 130 的界面处具有不规则的表面状态。在不存在氧化层 146 的情况下，这种不规则的表面状态可以对硅衬底 130 的工作造成不利的影

响。在本例子中，如图 5D 所示，光刻胶 132 被清除，制作一个薄的热氧化层 146，然后淀积 TEOS 136，使所有的 STI 沟槽 134 被填充到底部。可以用 LPCVD 工艺来淀积 TEOS 136。许多其它的材料可以用来代替 TEOS，只要保证相邻晶体管 (在图 5A-5L 中未示出) 的充分隔离即可。TEOS 的优点在于它为任何后续的化学机械抛光 (CMP) 整平步骤提供了良好的停止层。

如图 5E 示意地示出的那样，接着用 CMP 步骤整平结构的上表面。在本实施例中，CMP 步骤清除过量的 TEOS 136，并停止于氮化硅层 131 上。层 131 的上表面 137 现在完全平坦了。在 CMP 之后，这一氮化硅层 131 的厚度被稍许减小到大约 75nm。

在后续步骤中 (见图 5F)，借助于在被整平的表面 137 的顶部制作额外的层而完成衬垫氧化层 135 顶部上的介质叠层 (D_{ST})。在本例

子中，介质叠层包含：

- Si_3N_4 层 131（厚度减小到大约 75nm）；以及
- Si_3N_4 层 138（厚度约为 50nm）。

在本实施例中，介质叠层制作在已经包含诸如 STI 或 LOCOS 沟槽之类的某些层和结构元件的半导体结构的顶部上。虽然如此，介质叠层也可以制作在包括单个衬底、预制衬底、包含其它电路的半导体器件等等的任何类型的半导体结构上。此叠层也可以包括额外的氮化硅层。

在后续步骤（未示出，导致图 5G）中，光刻工艺被用来确定待要制作的栅支柱的横向尺寸（亦即栅长度 L_{GATE} 和栅宽度 W_{GATE} ）以及形状。在本申请中，术语“栅支柱”被用来描述从半导体结构突出的栅结构。此支柱可以具有任何形状和尺寸，只要侧壁垂直（亦即垂直于半导体结构）即可。但应该指出的是，形状比太大的栅支柱在制作之后容易翻倒。

由于存在许多确定栅支柱的横向尺寸和形状的不同方法，故未示出这一步骤。如图 5G 所示，在光刻胶掩模 148 中基本上提供了一个蚀刻窗口 140。蚀刻窗口 140 的尺寸和形状大致与待要制作的栅支柱的横向尺寸和形状相同。蚀刻窗口 140 的长度确定了栅孔 150 的长度，栅孔的长度又最终确定了栅的长度。这一栅长度则决定了有效沟道长度。

为了制作栅孔 150，制作栅的反应离子刻蚀（RIE）工艺被用来将制作在光刻胶掩模 148 中的蚀刻窗口 140 转移到介质叠层中。制作栅的 RIE 工艺是上面结合图 3A 和 3B 所述的那种。如上所述，可以优化 RIE 工艺以确保介质叠层的各个氮化硅层的恰当蚀刻。

如图 5G 所示，在本例子中，制作栅的 RIE 工艺被设计成蚀刻介质叠层的氮化物层 138 和 131 并停止于衬垫氧化层 135。重要的是，相对于衬垫氧化物的选择性要为 4:1 或更好，因为否则衬垫氧化物 135 可能受到强烈冲击，其厚度会减小。栅孔 150 的深度 D_{GATE} （大致与图 5F 中的介质叠的厚度 D_{STACK} 相同）确定了也待要制作的包括栅氧

化物的栅支柱的高度。用作栅的这一支柱的高度通常在 100-200nm 之间。将来的 MOSFET 将具有 50nm 和甚至更小的栅长度。用本发明的工艺能够容易地制作如此短的栅。常规栅电极的宽度（纸平面向外）在 2-50 微米之间。

在确定介质叠层中的栅孔 150 之后，可以从栅孔的底部清除其余的衬垫氧化物 135。用浸入氢氟酸（HF）的方法可以做到这一点。由于 HF 冲击氧化层 135 但不冲击硅衬底 130，故 HF 是非常合适的。在清除栅孔 150 底部的衬垫氧化层 135 之前，清除光刻胶 148。如图 5H 所示，在完全清除衬垫氧化层 135 之后，可以如图 5I 所示制作精确确定的栅氧化物 149。这一栅氧化物 149 的厚度和质量与衬垫氧化层 135 的厚度和质量无关。如果需要，此栅氧化物 149 也可以比衬垫氧化层 135 更厚。

在制作栅氧化物 149 之前，可以在栅孔 150 底部制作牺牲氧化层（未示出）。然后蚀刻掉这一牺牲氧化层，并对结构进行加热。这一短步骤修复了栅孔 150 底部的硅衬底 130 的可能损伤（制作栅的 RIE 引起的）。

如图 5I 所示，栅导体材料 141 被淀积在栅孔 150 中和介质叠层的最上部氮化硅层 138 内。重要的是确保栅导体材料 141 完全填充栅孔 150。此栅导体材料 141 可以是 LPCVD（例如在大约 650°C 下）淀积的多晶硅。可以用非晶硅来代替多晶硅，并在稍后转变成多晶硅。实际上，可以将任何适合用作栅导体的材料“填充”到栅孔 150 中。本发明不局限于多晶硅栅。

可以对多晶硅进行掺杂或不掺杂。可以在多晶硅淀积过程中或淀积之后，将掺杂剂引入到多晶硅中。本发明工艺的优点是，不一定要在源区和漏区被注入时对多晶硅栅进行掺杂。若认为合适，可以在后续的制造步骤中对多晶硅栅进行硅化，并可以在后续工艺过程中淀积帽介质以保护栅。

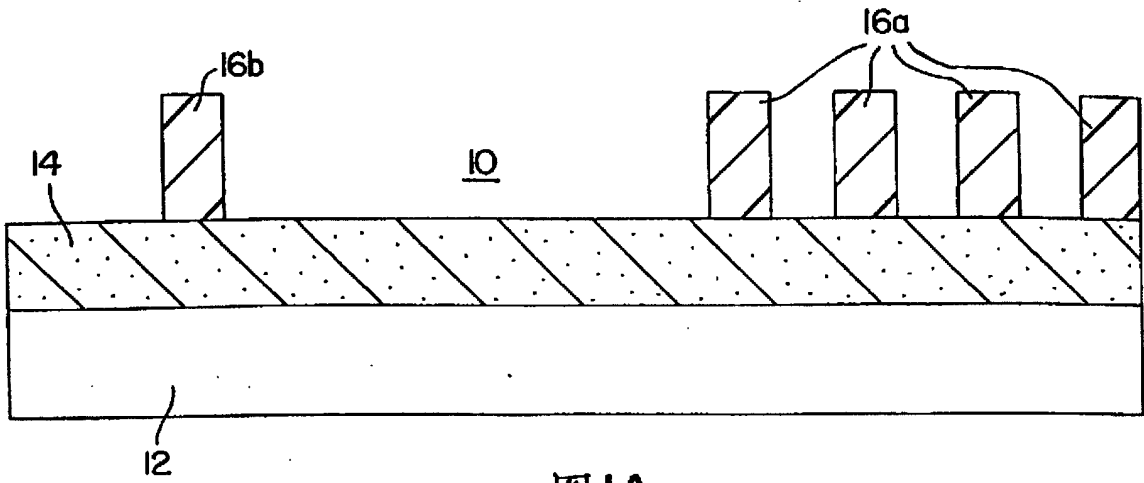
在淀积栅导体材料 141 之后，可以执行整平步骤。最合适的是 CMP 工艺。如图 5J 所示，在整平之后，介质叠层的最上部氮化硅层 138 被

暴露。

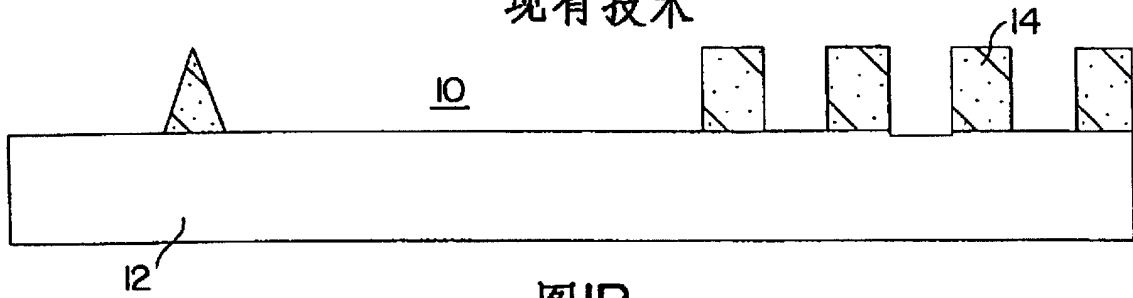
然后必须清除介质叠层。用热磷酸剥离氮化硅层 138 和 131。在完全清除介质叠层之后，如图 5K 所示，具有垂直侧壁 142 的栅导体材料 141 组成的突出支柱被暴露出来。现在可以在例如 R.Colclaser 的《Microelectronics Processing and Device Design》一书第 10 章 p.266-69 (John Wiley & Sons, 1988) 中所述的标准的 CMOS 工艺中继续加工。

在后续步骤中，如果还没有这样早就做过了的话，则可以如图 5L 所示，用注入适合的掺杂剂的方法确定源区 143 和漏区 144。于是就确定了沟道 145 (位于支柱下方和漏区 144 与源区 143 之间)。如上所述，由于源-沟道界面和漏-沟道界面是陡峭的和突变的(轮廓分明的)，故沟道长度大约与栅长度相同，且重叠被最小化。

虽然参照某些具体的实施例进行了上述描述，但并不意味着本发明局限于所述细节。而是在权利要求的等效范围内可以做出各种各样的修正而不超越本发明。



图IA
现有技术



图IB
现有技术

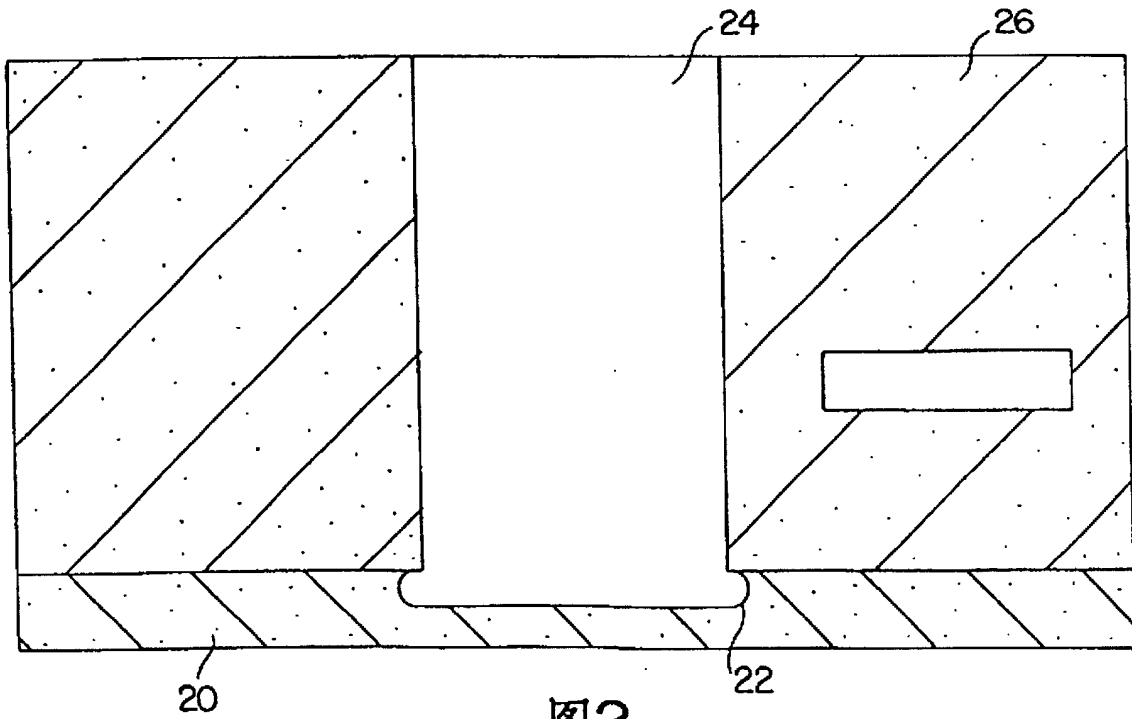


图2
现有技术

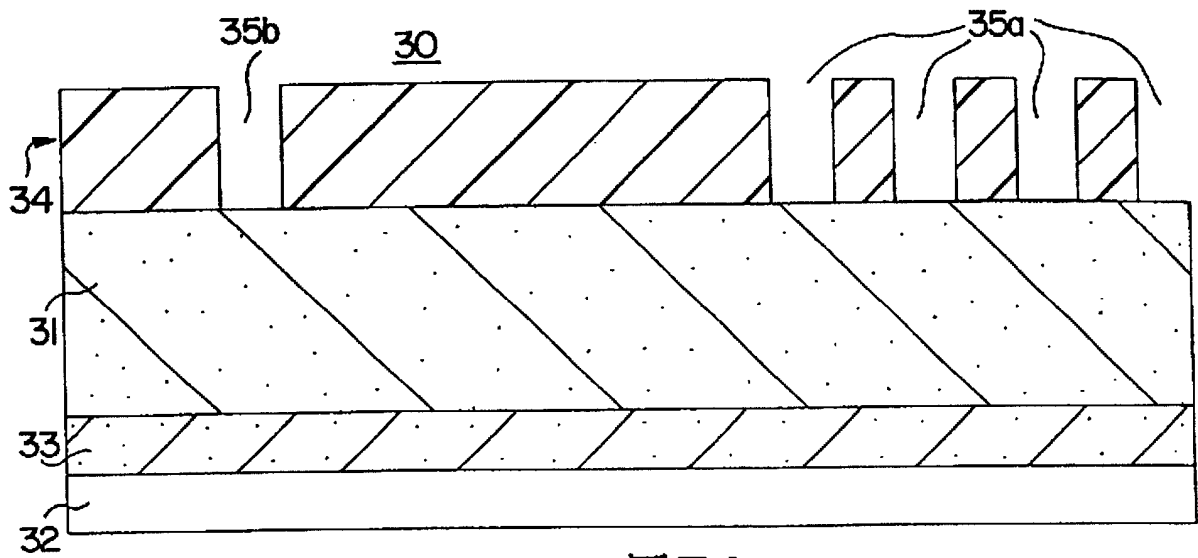


图3A

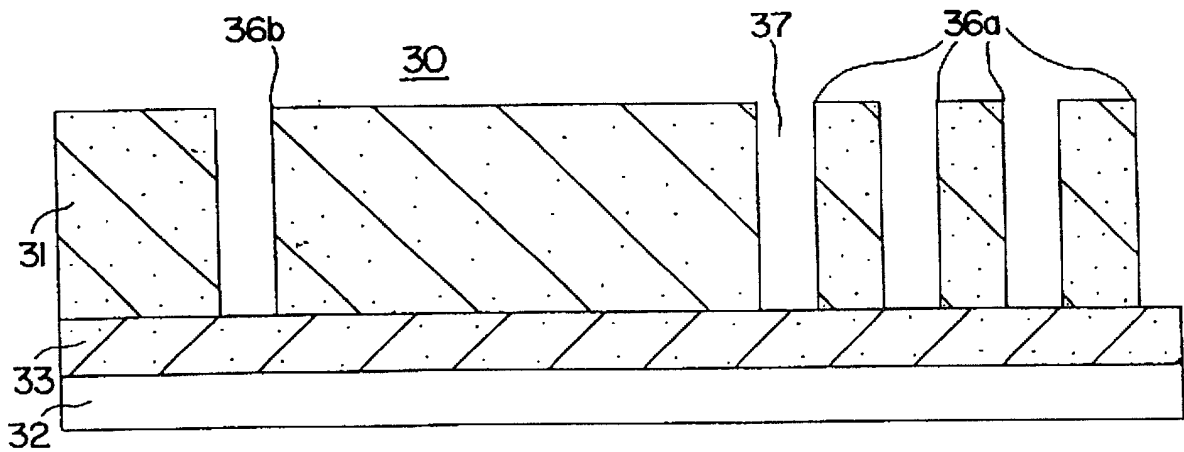


图3B

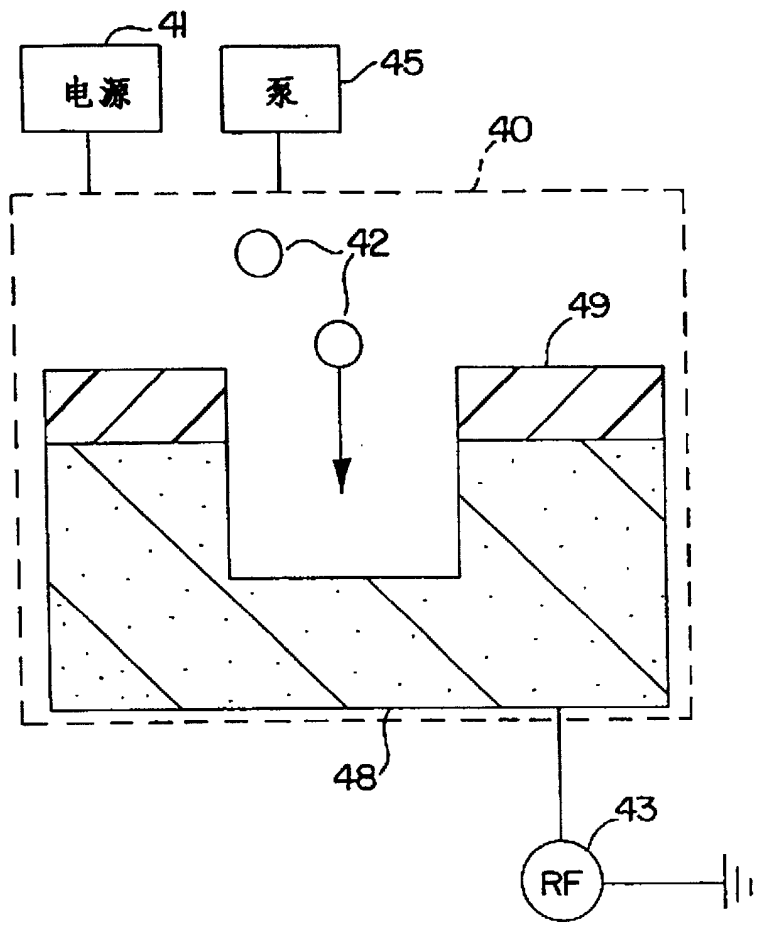


图4A

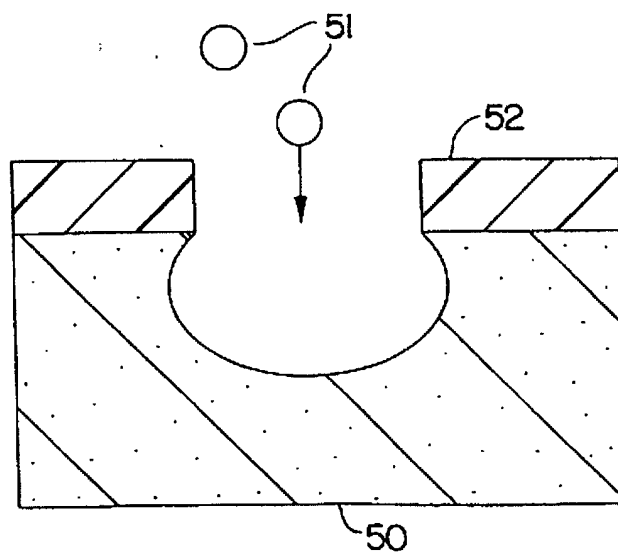


图4B
现有技术

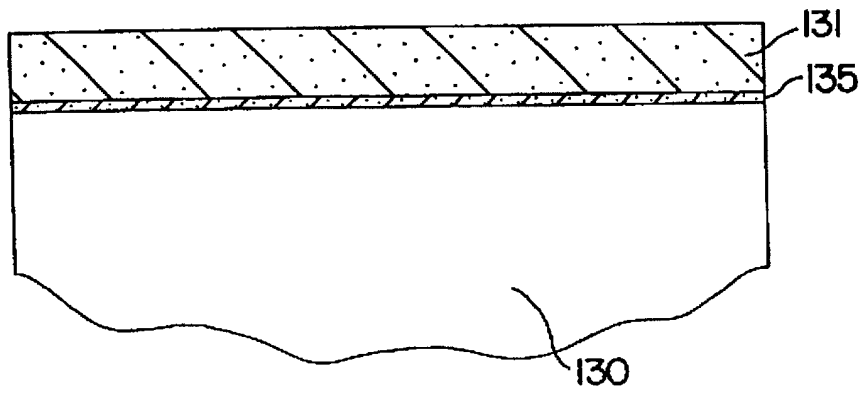


图5A

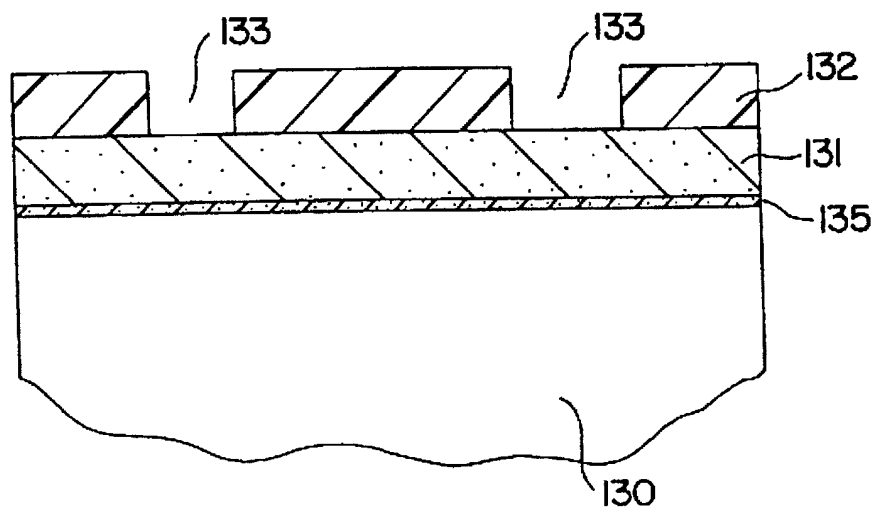


图5B

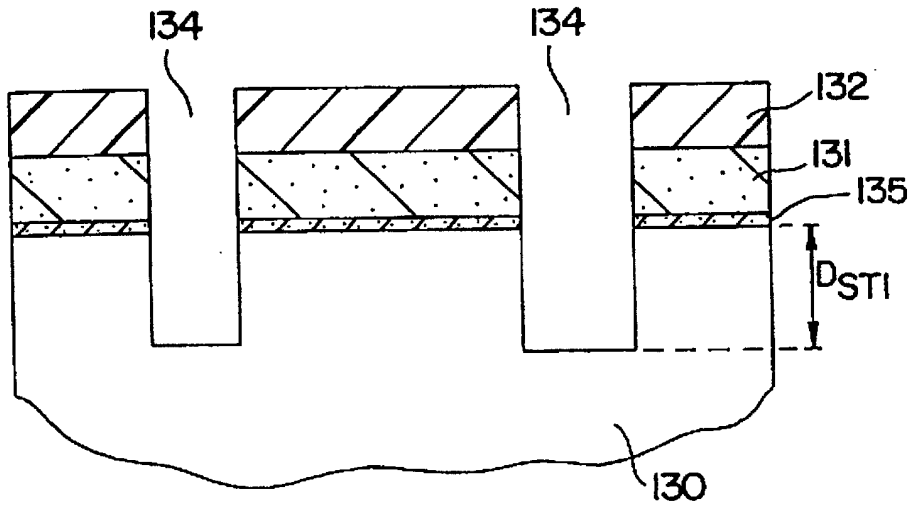


图5C

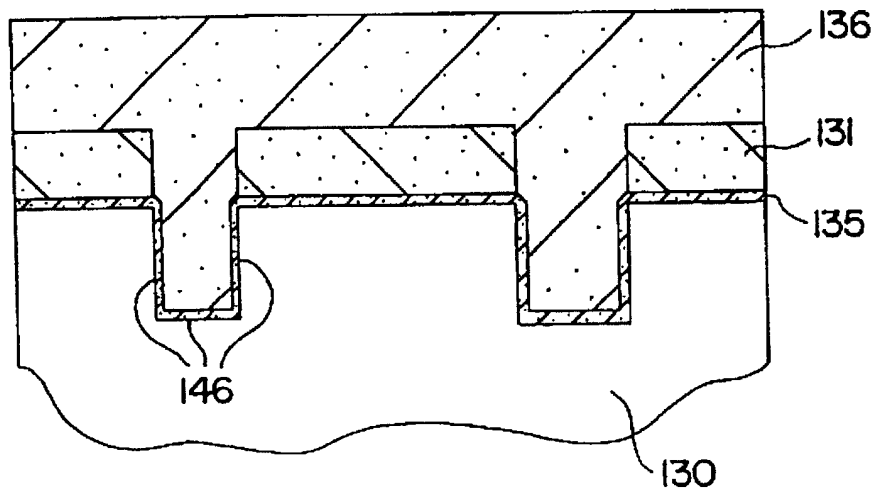


图5D

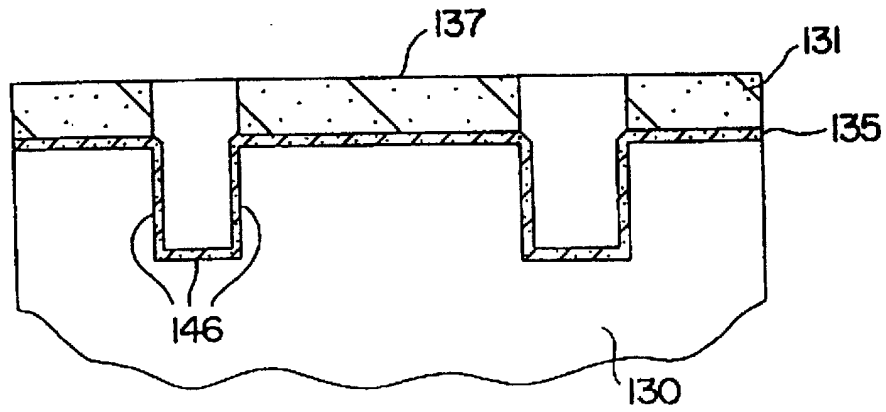


图5E

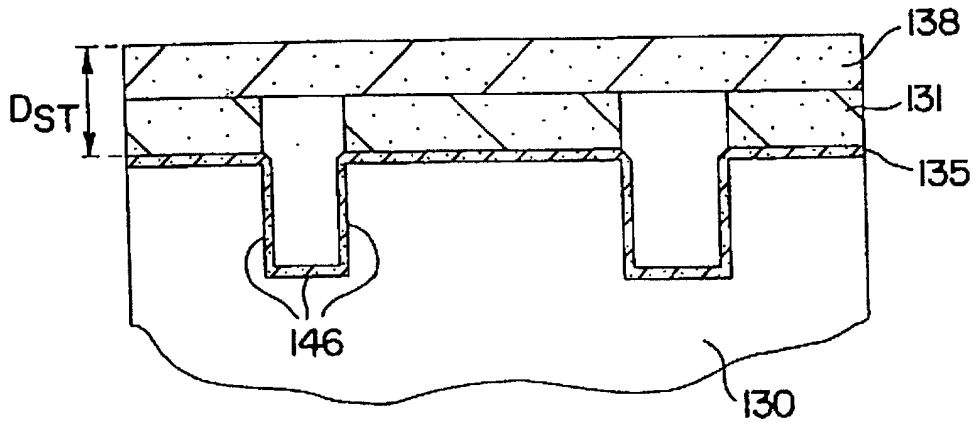


图5F

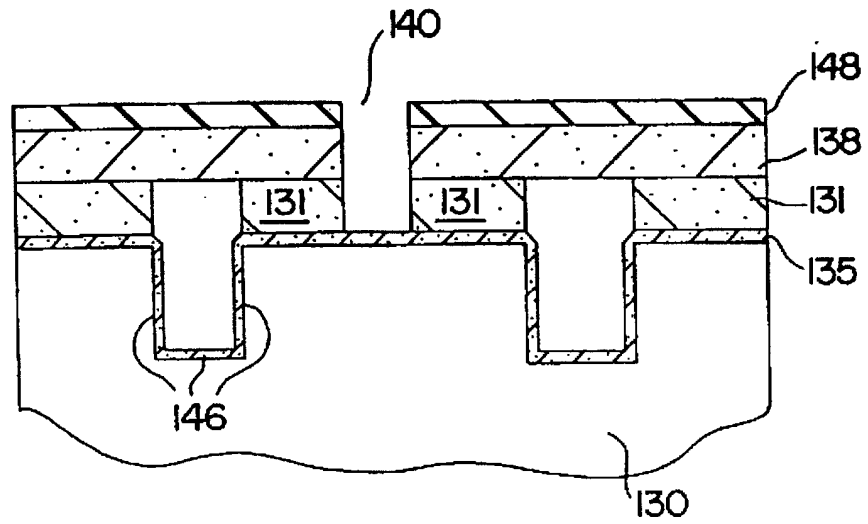


图5G

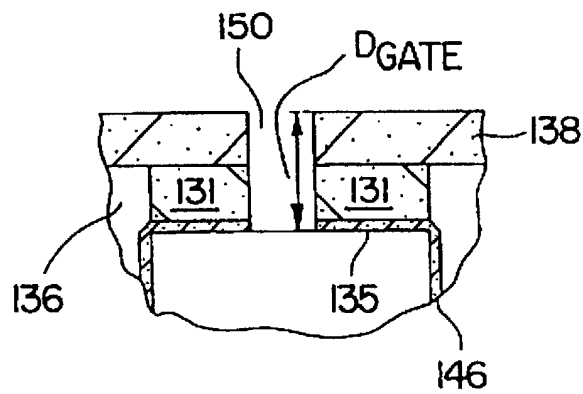


图5H

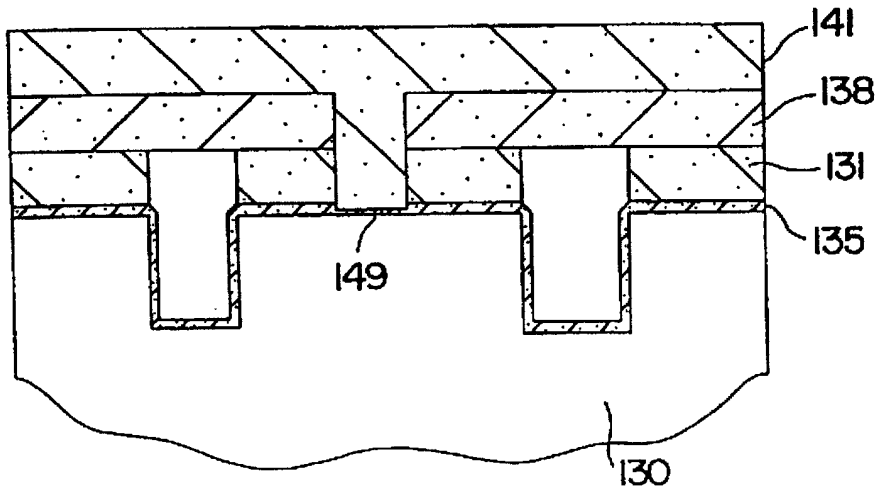


图5I

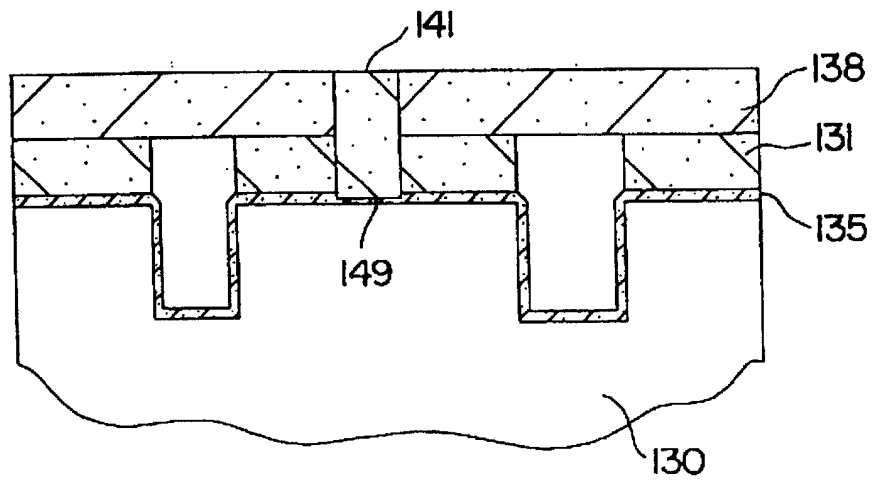


图5J

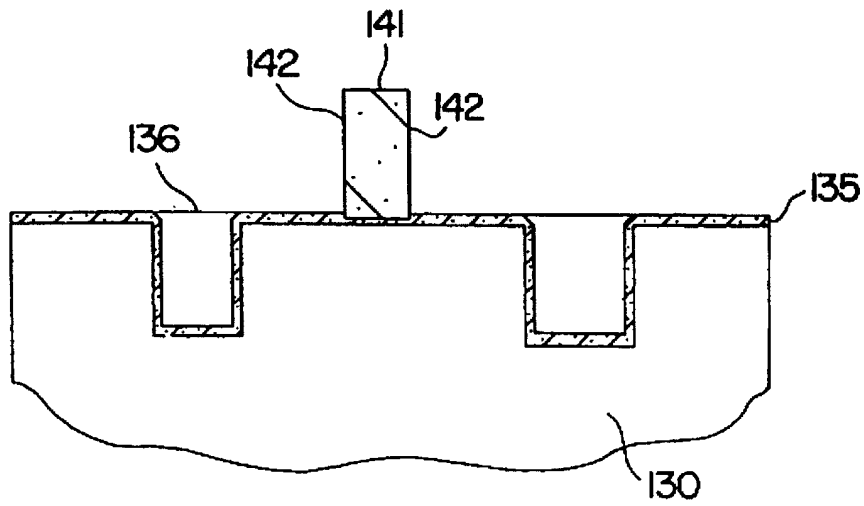


图5K

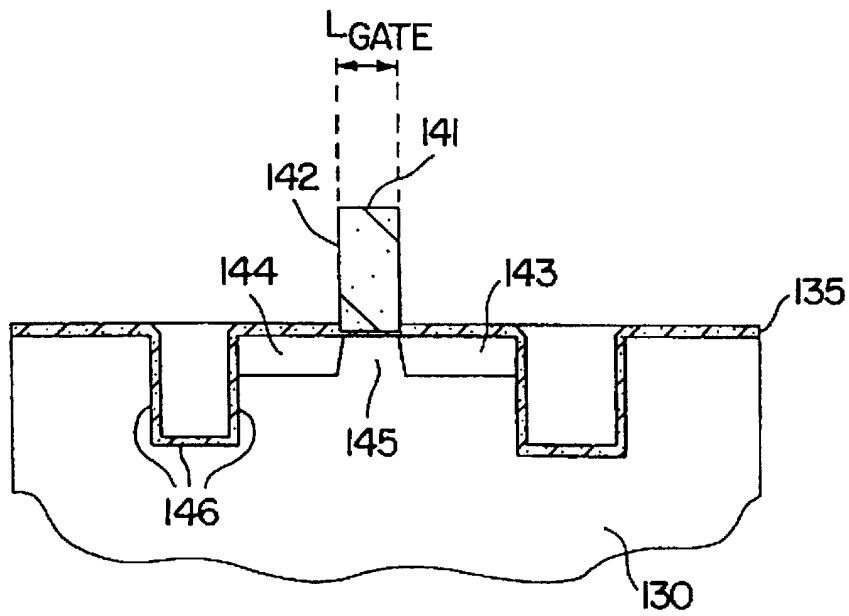


图5L