

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-170774
(P2004-170774A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/22	G09G 3/22 E	5C031
G09G 3/20	G09G 3/20 612E	5C036
H01J 29/04	G09G 3/20 612G	5C058
H01J 31/12	G09G 3/20 622C	5C080
H04N 5/68	G09G 3/20 623C	

審査請求 有 請求項の数 14 O L (全 29 頁) 最終頁に続く

(21) 出願番号	特願2002-337943 (P2002-337943)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成14年11月21日 (2002.11.21)	(74) 代理人	100085006 弁理士 世良 和信
		(74) 代理人	100100549 弁理士 川口 嘉之
		(74) 代理人	100106622 弁理士 和久田 純一
		(72) 発明者	藪 成樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	塚本 健夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

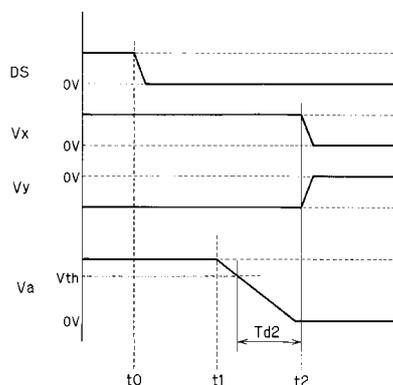
(54) 【発明の名称】 表示装置及びその駆動制御方法

(57) 【要約】

【課題】 表示終了信号の発生に応じてアノード電位を供給状態から遮断状態に遷移させる場合における、不本意な表示状態の発生や不本意な発光を抑制することができる表示装置及びその駆動制御方法を提供する。

【解決手段】 時刻 t_0 で表示終了信号 DS が発生した場合、時刻 t_1 でアノード電位 V_a を立ち下げ、カソード・ゲート間に遮断電圧を印加した状態でアノード電位 V_a が閾値電位 V_{th} より低くなってから所定時間 $Td2$ 経過した後の時刻 t_2 で、遮断電圧の印加を終了させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

カソード、ゲート及びアノードを有し、前記カソードと前記ゲートとがマトリクス接続された表示パネルを備え、カソード・アノード間のみ電圧を印加した状態において電子放出を行い得る電子放出体が前記カソードに設けられ、カソード・ゲート間に遮断電圧を印加して前記電子放出体から前記アノードに向かう電子放出を遮断することにより画素を暗状態として表示を行う表示装置において、表示終了信号が発生した場合、前記カソード・ゲート間に前記遮断電圧又は特定の表示状態を呈し得る駆動電圧を印加した状態で前記アノードの電位が前記電子放出体からの電子放出を行い得る閾値電位より低くなってから、所定時間経過した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了させるように表示パネル駆動回路の動作を制御する制御手段を備えることを特徴とする表示装置。

10

【請求項 2】

前記カソード・ゲート間への前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を、前記表示パネルの全画素について同時に行うことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示パネルの少なくとも 1 行の走査配線に走査選択電位を供給し、残りの行の走査配線に走査非選択電位を供給し、前記走査選択電位の供給に同期して前記表示パネルの全列の変調信号配線に最暗状態を生成し得る変調電位又は所定の変調電位を供給することによって、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を前記カソード・ゲート間へ印加することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 4】

前記表示パネル駆動回路は、前記アノード電位を供給するためのアノード電源回路と、前記カソードを駆動するためのカソード駆動回路と、前記ゲートを駆動するためのゲート駆動回路と、前記カソード駆動回路及び前記ゲート駆動回路に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を生成するための駆動用基準電位を供給する駆動電源回路と、を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記カソード駆動回路及び前記ゲート駆動回路に論理回路用駆動電位が供給されている状態で、前記カソード駆動回路及び前記ゲート駆動回路は、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了し、その後、前記駆動電源回路は、前記駆動用基準電位の供給を終了することを特徴とする請求項 4 に記載の表示装置。

30

【請求項 6】

前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了する期間において、前記アノード電源回路は、前記アノード電源回路に論理回路用駆動電位が供給されている状態で、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に低い特定電位に保持することを特徴とする請求項 4 に記載の表示装置。

40

【請求項 7】

前記カソード駆動回路及び前記ゲート駆動回路から前記表示パネルへの入力された表示画像データに基づいた表示用駆動電圧の印加を停止した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了することを特徴とする請求項 4 に記載の表示装置。

【請求項 8】

前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了した後に、前記カソード・ゲート間の電圧を零に遷移させることを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

50

前記表示パネルの走査配線となるカソード配線又はゲート配線の何れか一方に、変調信号配線となる他方の配線の電位にかかわらず、前記遮断電圧を印加し得る走査非選択電位を供給するか、

又は、変調信号配線となるカソード配線又はゲート配線の何れか一方に、走査配線となる他方の配線の電位にかかわらず、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を印加し得る変調電位を供給することによって、

前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を前記カソード・ゲート間へ印加することを特徴とする請求項 1 に記載の表示装置。

【請求項 1 0】

前記表示パネルの変調信号配線となるカソード配線又はゲート配線の何れか一方に供給される変調電位は 3 以上の複数レベルから選択された電位であり、そのうち 2 以上は走査選択電位と同期して供給されることにより電子を放出し得る駆動電圧を生成する電位であり、そのうち 1 つは前記遮断電圧を生成する電位であることを特徴とする請求項 1 に記載の表示装置。

10

【請求項 1 1】

前記電子放出体が半導体若しくは導電体からなる繊維状のナノ構造体又は炭素を主成分とするナノ構造体であることを特徴とする請求項 1 に記載の表示装置。

【請求項 1 2】

前記ナノ構造体は、カーボンナノチューブ、グラファイトナノファイバー、アモルファスカーボン、カーボンナノホーン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンド、フラーレンから選択される少なくとも一種を含むことを特徴とする請求項 1 1 に記載の表示装置。

20

【請求項 1 3】

カソード、ゲート及びアノードを有し、前記カソードと前記ゲートとがマトリクス接続された表示パネルを備え、カソード・アノード間にのみ電圧を印加した状態において電子放出を行い得る電子放出体が前記カソードに設けられ、カソード・ゲート間に遮断電圧を印加して前記電子放出体から前記アノードに向かう電子放出を遮断することにより画素を暗状態として表示を行う表示装置の駆動制御方法において、

表示終了信号が発生した場合、前記カソード・ゲート間に前記遮断電圧又は特定の表示状態を呈し得る駆動電圧を印加した状態で前記アノードの電位を前記電子放出体からの電子放出を行い得る閾値電位より低くするアノード電位供給停止工程、

30

前記アノード電位供給停止工程を行ってから所定時間経過した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を停止する印加停止工程と、を含むことを特徴とする表示装置の駆動制御方法。

【請求項 1 4】

駆動電源回路は、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に高い電位に保持し、カソード駆動回路及びゲート駆動回路から前記表示パネルへの入力された表示画像データに基づいた表示用駆動電圧の印加を停止し、

その後、前記アノード電位供給停止工程を行うと共に、前記アノード電位供給停止工程の終了時期において、前記カソード駆動回路及び前記ゲート駆動回路は前記カソード駆動回路及び前記ゲート駆動回路に論理回路用駆動電位が供給されている状態で、前記カソード・ゲート間に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を印加し続け、

40

その後更に、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に低い特定電位に保持した状態で、前記カソード・ゲート間に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を停止することを特徴とする請求項 1 3 に記載の表示装置の駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータのモニター、テレビジョン装置などに用いられる表示装置に関し

50

、特に、アノード、カソード及びゲートの3端子を有し、カソードとゲートとがマトリクス接続された表示パネルを有する表示装置に関する。

【0002】

【従来の技術】

近年、電子放出素子を用いた平面型表示装置が注目されている。

【0003】

電子放出素子としては、熱陰極型と冷陰極型とがあるが、平面型表示装置の表示パネルにおいては主として冷陰極型が用いられており、電界放出型（以下FE型という）、金属/絶縁層/金属型（以下MIM型という）や表面伝導型（以下SC型という）等が知られている。

10

【0004】

FE型の例としては、C. A. Spindt、"Physical properties of thin-film field emission cathodes with molybdenum cones"、J. Appl. Phys.、47、5248（1976）に開示されたものが有名である。MIM型の例としては、C. A. Mead、"Operation of Tunnel-Emission Devices"、J. Appl. Phys.、32、646（1961）に開示されたものが知られている。またSC型としては、M. I. Elinson、Radio Eng. Electron Phys.、10、1290（1965）に開示されているものが知られている。

20

【0005】

これらの電子放出素子を電子源として用いて表示パネルを実現するためには、XYマトリクス状に接続されたカソード及びゲートが形成された基板と、それに対向して配置される蛍光体を有するアノードを設け、カソードの電子放出体から放出された電子をアノード側の蛍光体に照射して蛍光体を発光させる構成としている。

【0006】

こうした電子放出素子として、電子放出のための仕事関数が小さく閾値電圧が低い炭素系の材料や繊維状の電子放出体が注目されており、それらの電子放出素子を用いた例が、特許文献1～3に開示されている。

【0007】

これらはいずれも、フラーレン、ダイヤモンド、ダイヤモンドライクカーボン（DLC）、カーボンナノチューブ（CNT）、繊維状カーボン等を電子放出体として用いたものである。

30

【0008】

このように、閾値電圧の低い電子放出体では、3端子の場合、カソード・ゲート間に電圧を印加することなく、単にアノード・カソード間に通常の高電圧（アノード電圧という）を印加するだけで、カソードに付設された電子放出体から電界電子放出により電子が放出される。よって、放出時にはカソード・ゲート間に電圧を印加せずに電子放出を行い、非放出時にはカソード・ゲート間に遮断電圧を印加することによって電子放出の抑制を行うように構成することができる。こうした動作をノーマリーオン型ということにする。

40

【0009】

以下、炭素繊維の電子放出体を用いたノーマリーオン型の単一の電子放出素子を例に挙げて説明する。

【0010】

図11は単一の電子放出素子の電位分布を示す模式図であり、電子を放出している駆動状態（図11（a））と、電子放出を停止している遮断状態（図11（b））と、の電位分布を示している。

【0011】

図11（a）に示す状態では、カソード2上の電子放出体5に電子放出が開始される閾値電界より大きな電界がカソード2・アノード6間の電圧のみによって生成され、電子放出

50

が起こる駆動状態であることを示しており、これをノーマリーオン状態と呼ぶことにする。

【0012】

例えば、電子放出体5の閾値電界が $3\text{ V}/\mu\text{m}$ であるとする、アノード6をカソード2から 2 mm の距離を隔てた位置に設けた場合、カソード2を 0 V としカソード2・アノード6間のアノード電圧 6 kV となるように印加すると電子放出が開始される。

【0013】

なお、好適なノーマリーオン状態にするためにはさらに高いアノード電圧を印加してもよく、アノード電圧は電子放出素子の電圧 電流特性により必要な電流密度の得られる電界強度によって決めればよい。

【0014】

例えば、 $5\text{ V}/\mu\text{m}$ の電界強度で必要な電流密度が得られるのであれば、アノード6をカソード2から 2 mm の距離を隔てた位置に設けた場合、アノード電圧として 10 kV を印加するにすればよい。

【0015】

図11(a)には、この時の等電位面の様子を図示してある。図11(a)では、アノード6と電子放出体5の間にほぼ均等に等電位面が存在し、電子放出体5近傍の電界強度も約 $5\text{ V}/\mu\text{m}$ となり電子放出が起こる。

【0016】

また、電子放出のためにカソード2・ゲート4間に印加する電圧は、アノード電圧による電界強度に影響を与えない電位であればよいが、上記ノーマリーオン状態では 0 V に設定した例を示している。

【0017】

一方、図11(b)に示す状態では、カソード2に対してゲート4に負の電位を供給すると、電子放出体5近傍においてアノード6から受ける電界強度が小さくなり電子放出に必要な閾値電界以下となり、電子放出が停止する。この時のカソード2・ゲート4間の電圧を遮断電圧と呼ぶ。

【0018】

カソード2・ゲート4間に遮断電圧を印加した時の等電位面は、図11(b)に示したようにカソード2及び電子放出体5は 0 V で、ゲート4が負電位となるために電子放出体5近傍の等電位面の間隔が広くなり、電界強度が小さくなることがわかる。

【0019】

なお、この時のカソード2・ゲート4間に印加する遮断電圧は、電子放出体5の閾値電界及びノーマリーオン状態のアノード電圧による電界強度によって必要な電界強度が決まり、電子放出体5の寸法及びカソード・ゲート間距離、ゲート寸法等の設計によって適宜決定される。

【0020】

以上のように、ノーマリーオン型の電子放出素子においては、カソード・アノード間の電圧の印加のみによって電子放出が行われ、カソード・ゲート間に遮断電圧を印加して電子放出を遮断することにより電子放出を制御するようにしているので、カソード・ゲート間の電圧を電子放出に必要な閾値以上にする必要がないため、より低電圧で安定した駆動制御が可能となる。

【0021】

【特許文献1】

特開2000-251783号公報

【特許文献2】

特開2000-268706号公報

【特許文献3】

特開2002-100279号公報

【0022】

10

20

30

40

50

【発明が解決しようとする課題】

ところで、こうしたノーマリーオン型の電子放出素子をXYマトリクス型の平面型表示装置に応用することが考えられている。このような平面型表示装置の場合には、カソード・アノード間に電子放出の閾値以上の電界強度を与えるような電圧が印加されていて、且つ、カソード・ゲート間に遮断電圧が印加されていない時には、表示画面の全面にわたって最高輝度で全白表示が行われる。

【0023】

よって、テレビジョン装置やコンピュータ用のモニターとしてこの平面型表示装置を使用する場合、たとえ短時間であっても全白表示が行われるとユーザーが装置の故障と誤認したり、不快感を覚えたりすることがある。

10

【0024】

特に、表示装置本体の電源オフ時や、表示モードから省電力のための非表示モードに移行する時や、停電により電源が遮断された時などの表示終了時には、アノード電位を急に遮断してもアノード上には電荷が蓄積されているために、すぐにアノード電位は下がらない。そして、この時には遮断電圧の印加も停止されているので、アノード電位が閾値以下になるまで装置は電子放出を続けてしまう。このため、表示装置は、表示終了時にアノード電位が閾値以下になるまで最高輝度で全面全白表示を行ってしまう。

【0025】

本発明の目的は、表示終了信号の発生に応じてアノード電位を供給状態から遮断状態に遷移させる場合における、不本意な表示状態の発生や不本意な発光を抑制することができる表示装置及びその駆動制御方法を提供することにある。

20

【0026】**【課題を解決するための手段】**

本発明においては、上記課題を解決するために、カソード・アノード間にアノード電圧を印加した状態において電子放出を行うような閾値を持つ電子源をカソードとして用いて、カソード近傍に設けられたゲートとのカソード・ゲート間に遮断電圧を印加して電子放出を遮断することにより表示を制御するXYマトリクス型の平面型ディスプレイのような表示装置において、例えば電源切断時のように表示終了信号が発生してから、少なくともアノード電圧によって生じる平均電界強度が電子源の閾値より小となるアノード電圧を印加した後に、カソード・ゲート間に所定の制御電圧の印加を停止するように制御する制御手段を設けるものである。

30

【0027】

本発明の骨子は以下のとおりである。

【0028】

(1)カソード、ゲート及びアノードを有し、前記カソードと前記ゲートとがマトリクス接続された表示パネルを備え、カソード・アノード間にのみ電圧を印加した状態において電子放出を行い得る電子放出体が前記カソードに設けられ、カソード・ゲート間に遮断電圧を印加して前記電子放出体から前記アノードに向かう電子放出を遮断することにより画素を暗状態として表示を行う表示装置において、表示終了信号が発生した場合、前記カソード・ゲート間に前記遮断電圧又は特定の表示状態を呈し得る駆動電圧を印加した状態で前記アノードの電位が前記電子放出体からの電子放出を行い得る閾値電位より低くなってから、所定時間経過した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了させるように表示パネル駆動回路の動作を制御する制御手段を備えることを特徴とする表示装置。

40

【0029】

これにより、表示終了信号の発生に応じてアノードの電位を供給状態から遮断状態に遷移させる場合における、不本意な表示状態の発生や不本意な発光を抑制することができる。

【0030】

(2)前記カソード・ゲート間への前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を、前記表示パネルの全画素について同時に行うことを特徴とする(1)に記

50

載の表示装置。

【0031】

これにより、アノードの電位を供給状態から遮断状態に遷移させて全白（明）相当のアノード電位が残っていても、直ちに、画面全体を最低輝度レベルの全黒（暗）状態又は特定の表示状態に保持することができる。

【0032】

（3）前記表示パネルの少なくとも1行の走査配線に走査選択電位を供給し、残りの行の走査配線に走査非選択電位を供給し、前記走査選択電位の供給に同期して前記表示パネルの全列の変調信号配線に最暗状態を生成し得る変調電位又は所定の変調電位を供給することによって、

10

前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を前記カソード・ゲート間へ印加することを特徴とする（1）に記載の表示装置。

【0033】

これにより、通常の表示終了動作と同じ動作により、アノードの電位を供給状態から遮断状態に遷移させて全白（明）相当のアノード電位が残っていても、画面を最低輝度レベルの全黒（暗）状態又は特定の表示状態に保持することができる。

【0034】

（4）前記表示パネル駆動回路は、前記アノード電位を供給するためのアノード電源回路と、前記カソードを駆動するためのカソード駆動回路と、前記ゲートを駆動するためのゲート駆動回路と、前記カソード駆動回路及び前記ゲート駆動回路に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を生成するための駆動用基準電位を供給する駆動電源回路と、を有することを特徴とする（1）に記載の表示装置。

20

【0035】

これにより、各回路への給電状態が細やかに制御可能となる。

【0036】

（5）前記カソード駆動回路及び前記ゲート駆動回路に論理回路用駆動電位が供給されている状態で、前記カソード駆動回路及び前記ゲート駆動回路は、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了し、

その後、前記駆動電源回路は、前記駆動用基準電位の供給を終了することを特徴とする（4）に記載の表示装置。

30

【0037】

これにより、装置には高電圧印加終了後に低電圧が印加終了されることになり、また、各回路に順次電圧が印加終了されるので、回路の誤動作や破壊を抑止できる。

【0038】

（6）前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了する期間において、

前記アノード電源回路は、前記アノード電源回路に論理回路用駆動電位が供給されている状態で、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に低い特定電位に保持することを特徴とする（4）に記載の表示装置。

【0039】

これにより、アノードの帯電を防止し、アノード電位が閾値より下がるタイミングの制御をし易くする。

40

【0040】

（7）前記カソード駆動回路及び前記ゲート駆動回路から前記表示パネルへの入力された表示画像データに基づいた表示用駆動電圧の印加を停止した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了することを特徴とする（4）に記載の表示装置。

【0041】

これにより、表示不良を抑止し、入力表示画像データに基づく表示からスムーズに終了することができる。

50

【0042】

(8) 前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を終了した後に、前記カソード・ゲート間の電圧を零に遷移させることを特徴とする(1)に記載の表示装置。

【0043】

これにより、カソード・ゲート間が短絡するので、放出電子又は2次電子などによる帯電を防止することができる。

【0044】

(9) 前記表示パネルの走査配線となるカソード配線又はゲート配線の何れか一方に、変調信号配線となる他方の配線の電位にかかわらず、前記遮断電圧を印加し得る走査非選択電位を供給するか、

又は、変調信号配線となるカソード配線又はゲート配線の何れか一方に、走査配線となる他方の配線の電位にかかわらず、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を印加し得る変調電位を供給することによって、

前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を前記カソード・ゲート間へ印加することを特徴とする(1)に記載の表示装置。

【0045】

これにより、走査側又は変調信号側の駆動回路の制御のみで、不本意な画面の発光を抑制することができる。

【0046】

(10) 前記表示パネルの変調信号配線となるカソード配線又はゲート配線の何れか一方に供給される変調電位は3以上の複数レベルから選択された電位であり、そのうち2以上は走査選択電位と同期して供給されることにより電子を放出し得る駆動電圧を生成する電位であり、そのうち1つは前記遮断電圧を生成する電位であることを特徴とする(1)に記載の表示装置。

【0047】

これにより、変調電位により幾つかの階調レベルを表示しようとした場合に、それに用いられる電位と遮断電圧を生成する電位を兼用できるので、基準電位レベルの数を抑えることができる。

【0048】

(11) 前記電子放出体が半導体若しくは導電体からなる繊維状のナノ構造体又は炭素を主成分とするナノ構造体であることを特徴とする(1)に記載の表示装置。

【0049】

(12) 前記ナノ構造体は、カーボンナノチューブ、グラファイトナノファイバー、アモルファスカーボン、カーボンナノホーン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンド、フラーレンから選択される少なくとも一種を含むことを特徴とする(11)に記載の表示装置。

【0050】

(13) カソード、ゲート及びアノードを有し、前記カソードと前記ゲートとがマトリクス接続された表示パネルを備え、カソード・アノード間にのみ電圧を印加した状態において電子放出を行い得る電子放出体が前記カソードに設けられ、カソード・ゲート間に遮断電圧を印加して前記電子放出体から前記アノードに向かう電子放出を遮断することにより画素を暗状態として表示を行う表示装置の駆動制御方法において、

表示終了信号が発生した場合、前記カソード・ゲート間に前記遮断電圧又は特定の表示状態を呈し得る駆動電圧を印加した状態で前記アノードの電位を前記電子放出体からの電子放出を行い得る閾値電位より低くするアノード電位供給停止工程、

前記アノード電位供給停止工程を行ってから所定時間経過した後に、前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を停止する印加停止工程と、を含むことを特徴とする表示装置の駆動制御方法。

【0051】

10

20

30

40

50

(14) 駆動電源回路は、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に高い電位に保持し、カソード駆動回路及びゲート駆動回路から前記表示パネルへの入力された表示画像データに基づいた表示用駆動電圧の印加を停止し、その後、前記アノード電位供給停止工程を行うと共に、前記アノード電位供給停止工程の終了時期において、前記カソード駆動回路及び前記ゲート駆動回路は前記カソード駆動回路及び前記ゲート駆動回路に論理回路用駆動電位が供給されている状態で、前記カソード・ゲート間に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧を印加し続け、その後更に、前記アノードを前記電子放出体から電子放出を行い得る閾値電位より十分に低い特定電位に保持した状態で、前記カソード・ゲート間に前記遮断電圧又は前記特定の表示状態を呈し得る駆動電圧の印加を停止することを特徴とする(13)に記載の表示装置の駆動制御方法。

10

【0052】

【発明の実施の形態】

以下に図面を参照して、本発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、配置等については、特に特定の記載なき限りは、本発明の範囲をそれらのみ限定する趣旨のものではない。

【0053】

(第1実施形態)

図1は本発明の第1実施形態による表示装置の駆動制御方法を説明するためのタイミングチャートを示す。図2は本発明の第1実施形態に用いられる表示パネルの構成を示す。図3は本発明の第1実施形態による表示装置の駆動制御系のブロックを示す。

20

【0054】

本実施形態に係る平面型ディスプレイである表示装置は、マトリクス接続された複数の電子放出素子を行列状に配置して得られるものである。

【0055】

図2において、201は電子源基板であり、206はフェースプレートであり、214は外枠であり、211は行方向配線であり、212は列方向配線であり、200はノーマリーオン型の電子放出素子である。

【0056】

単純マトリクスの電子源基板201に対向して、電子放出素子200の上部に対応するフェースプレート206上に画像形成部材として設けられた蛍光体208を位置合わせして配置している。

30

【0057】

蛍光体208上には、高電圧印加用の導体として蒸着等によってアルミニウム系配線材料をメタルバック209として設けてある。メタルバック209には、高電位を供給するための高圧端子213が電氣的に接続されている。

【0058】

また、メタルバック209を設けた側とは反対側の蛍光体208表面には、アノード基板207が設けられている。

【0059】

40

図2において、行方向配線211はC1、C2・・・Cmのm本の配線からなり、ストライプ状に配列され、各々がカソード202を形成している。行方向配線211は蒸着法等にて形成されたアルミニウム、銀等の導電性材料で構成されている。なお、配線の材料、膜厚、線巾は、適宜設計されるものであり、また製造法も適宜選択されるものである。

【0060】

このストライプ状に配列されたカソード202上の電子放出素子200の位置に電子放出体205が形成されている。なお、電子放出体205としては、前述のように電子放出閾値が低い炭素系又は炭素系以外の半導体や導電体からなる繊維状のナノ構造体を用いるとよい。

【0061】

50

列方向配線 2 1 2 は G 1、G 2・・・G n の n 本の配線からなり、行方向配線 2 1 1 と直交するストライプ状に配列され、各々がゲート 2 0 4 を形成している。列方向配線 2 1 2 は行方向配線 2 1 1 と同様に構成されている。

【0062】

このストライプ状に配列されたゲート 2 0 4 には、カソード 2 0 2 の電子放出体 2 0 5 の上部に対応する部分に開孔したホール部 2 1 0 が設けられている。

【0063】

なお、ストライプ状に配列されたゲート 2 0 4 及びホール部 2 1 0 は、図面を見易くするために一番手前側のカソード 2 0 2 (C 1) 上については図示していない。

【0064】

また、行方向配線 2 1 1 にカソード 2 0 2 を設け、列方向配線 2 1 2 にゲート 2 0 4 を設けるようにしたが、この接続配置は逆でもよい。

【0065】

これら m 本の行方向配線 2 1 1 と n 本の列方向配線 2 1 2 との間には、図面を見易くするために不図示とした層間絶縁層が設けられており、両者を電氣的に分離している (以上 m、n は、共に正の整数)。なお、層間絶縁層は、電子放出体 2 0 5 とホール部 2 1 0 に対応する部分には設けられていない。

【0066】

不図示の層間絶縁層は、スパッタ法等を用いて形成された絶縁層である。例えば、行方向配線 2 1 1 を形成した電子源基板 2 0 1 の全面或は一部に所望の形状で形成され、特に、行方向配線 2 1 1 と列方向配線 2 1 2 の交差部の電位差に耐え得るように、膜厚、材料、製法等が適宜選択されるものである。

【0067】

行方向配線 2 1 1 と列方向配線 2 1 2 は、それぞれ外部端子として引き出されている。

【0068】

本実施形態においては、電子放出素子 2 0 0 を構成する一対の電極の層自体が、m 本の行方向配線 2 1 1 と n 本の列方向配線 2 1 2 としての機能も果たしているが、素子毎に配線とは独立したカソード 2 0 2 及びゲート 2 0 4 を設け、Y 方向の複数の独立ゲート 2 0 4 を列方向配線で共通に接続し、X 方向の複数の独立カソード 2 0 2 を列方向配線で共通に接続するように、ゲート電極とゲート配線、カソード電極とカソード配線とに分けて形成

【0069】

図 3 に示すように、行方向配線 2 1 1 には、X 方向に配列した電子放出素子 2 0 0 の行を選択するための走査選択信号を印加する走査信号印加手段 3 0 1 が接続される。

【0070】

一方、列方向配線 2 1 2 には、Y 方向に配列した電子放出素子 2 0 0 の各列を入力信号に応じて変調するための変調信号印加手段 3 0 2 が接続される。

【0071】

各電子放出素子 2 0 0 に印加されるカソード 2 0 2 ・ゲート 2 0 4 間の遮断電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。なお、本実施形態においては、行方向配線 2 1 1 をカソード 2 0 2 とし、そこに走査信号として零電位又は正電位を供給し、列方向配線 2 1 2 をゲート 2 0 4 とし、そこに変調信号として零電位又は負電位を供給するように構成されている。

【0072】

各画素を構成する電子放出素子 2 0 0 の駆動は次のように行われる。

【0073】

メタルバック 2 0 9 (以後アノードという) に高電位を供給し、カソード・ゲート間の電圧に依存してアノード電位を電子放出体 2 0 5 から電子放出をせしめるに十分な値に保持しておく。

【0074】

10

20

30

40

50

この状態において、非選択の走査行にあたる行方向配線 2 1 1 のカソード 2 0 2 に走査非選択電位として正電位を供給する。また、選択走査行にあたる行方向配線 2 1 1 のカソード 2 0 2 には走査選択電位として零電位を供給する。これと同時に、列方向配線 2 1 2 のゲート 2 0 4 には、変調信号として零電位又は負電位が与えられる。

【 0 0 7 5 】

非選択の行においては変調信号の電位（零電位又は負電位）に因らずに、カソード・アノード間の電圧は電子放出体 2 0 5 からの電子放出を生起しない値に設定されているので、非選択行上にある電子放出体 2 0 5 からは電子が放出されず、その行の画素は発光しない。

【 0 0 7 6 】

一方、選択行において零電位の変調信号が与えられた素子では、カソード・ゲート間の電圧は零となり、カソード 2 0 2 ・アノード間の電圧は電子放出の閾値電圧を超えているので、当該素子から電子が放出され、画素は発光する。

【 0 0 7 7 】

また、選択行において負電位の変調信号が与えられた素子では、カソード・ゲート間の電圧は遮断電圧となり、カソード・アノード間の電圧は電子放出の閾値電圧を超えているにもかかわらず、ゲート電位の影響により、実際の電子放出体 2 0 5 における電界強度は電子放出の閾値を越えないので、当該素子からは電子が放出されず、画素は発光しない。

【 0 0 7 8 】

このような走査を少なくとも 1 行を順次選択しながら行うことによって、一画面走査が完了し、入力された表示画像データに応じて画像を表示することになる。

【 0 0 7 9 】

ここで、図 1、図 3 を用いて表示終了シーケンスの説明をする。

【 0 0 8 0 】

図 3 に示すように、走査信号印加手段 3 0 1 と変調信号印加手段 3 0 2 には、それぞれ走査信号と変調信号を生成するために必要な信号が制御手段としてのコントロール回路 3 0 3 から供給される。また、コントロール回路 3 0 3 からはアノード電源回路 3 0 4 の動作を制御するための制御信号も供給される。

【 0 0 8 1 】

また、これらのコントロール回路 3 0 3 やアノード電源回路 3 0 4 の動作に必要な電圧を供給するために給電上流側には本体電源 3 0 5 が設けられている。

【 0 0 8 2 】

なお、ここで、画像表示に必要な他の信号処理用回路、あるいは走査信号印加手段 3 0 1 及び変調信号印加手段 3 0 2 の構成等の詳述は省く。

【 0 0 8 3 】

さて、図 1 に示すように、上流側の電源スイッチがオフとなり電源オフとなった場合、本体電源 3 0 5 からの電源供給遮断によりコントロール回路 3 0 3 において、時刻 t_0 においてローレベルの表示信号 DS が発生する（図 1 においては $H \rightarrow L$ ）。または、本体電源 3 0 5 自身から表示信号 DS をコントロール回路 3 0 3 に供給してもよい。

【 0 0 8 4 】

表示信号 DS が発生してからアノード電源回路 3 0 4 を停止するのに必要な所定期間経過した後、時刻 t_1 において、アノード電源回路 3 0 4 から高圧端子 2 1 3 へのアノード電位 V_a の供給を停止する。供給停止後、アノード上に電荷が蓄積されているために、アノード電位 V_a はすぐに下がらずに徐々に低下していく。

【 0 0 8 5 】

表示信号 DS が発生してから、アノード電位 V_a が 0 V になるまでの間、アノード電位 V_a が電子放出体の閾値電界以上の電界強度が得られる電位 V_{th} を越えていると、電子を放出し続けてしまう。よって、時刻 t_1 以後も、カソード・ゲート間に遮断電圧を供給するように、行方向配線 2 1 1 又は列方向配線 2 1 2 のうち少なくともどちらか一方の電位を素子に遮断電圧を印加し得る電位にしておく。

10

20

30

40

50

【0086】

具体的に本実施の形態では、時刻 t_1 以後も、走査非選択信号 (V_x) には正電位を印加し続け、変調信号 (V_y) には負電位を印加し続ける。すなわち、時刻 t_1 以後も、走査信号印加手段 301 からカソード 202 への正電位の供給を行い続け、同時に、変調信号印加手段 302 からゲート 204 に負電位の供給を行い続ける。

【0087】

そして、アノード電位 V_a が電子放出体の閾値電界以上の電界強度が得られる電位 V_{th} よりも下がった時点から所定の遅延時間 T_{d2} 経過後の時刻 t_2 において、遮断電圧の印加を停止する。

【0088】

遮断電圧の印加を停止した直後に、カソード 202 やゲート 204 の電位が不定であるとそれらが帯電する可能性がある。よって、必要に応じて、所定時間カソード 202 及びゲート 204 は同電位に保持することが望ましい。通常は $V_x = V_y = 0V$ とすればよい。

10

【0089】

前述のように本実施形態においては、カソード 202 を行方向配線 211 とし、ゲート 204 を列方向配線 212 としているので、列方向配線 212 側の変調信号を、全て遮断電圧を生成し得る負電位となるように、すなわち表示画像データとして全黒表示を行うデータをコントロール回路 303 より変調信号印加手段 302 に与えるように制御すればよい。この場合の走査信号は走査選択電位 (零電位) であってもよく、また、それより高い電位であってもよい。

20

【0090】

あるいは、行方向配線 211 の走査信号を、全て遮断電圧を生成し得る正電位としてもよい。この場合の変調信号は、零電位又はそれより低い電位であればよいので、黒表示データ (負電位) であろうが白表示データ (零電位) であろうが構わない。

【0091】

図 1 のシーケンスでは、全ての行方向配線 211 の走査信号を正電位、全ての列方向配線 212 の変調信号を負電位として、カソード・ゲート間に印加される遮断電圧を大きくして、確実に電子放出を抑止する例を示しているが、前述したとおり、カソード 202 又はゲート 204 の何れか一方の電位を、遮断電圧を生成し得る電位とすればよい。

【0092】

各電位の遷移タイミングは、コントロール回路 303 の制御によって実現できる。

30

【0093】

なお、構成部品のばらつき等による供給電位 V_x , V_y , V_a 等の立ち下がり時間のばらつきや、複数の電子放出素子間の閾値電界のばらつき、あるいは電子放出素子の電圧電流特性がヒステリシスを持っている場合等を考慮すると、 V_a が電子放出体 205 の閾値電界を生ずる電位 V_{th} 以下になってから V_x 及び V_y が所定の電位に到達する時間 T_{d2} は、13ms 程度以上又は 26ms 以上に設定した方が望ましい。

【0094】

このようなシーケンスにより、電源オフ時や表示停止時などのローレベルの表示信号 D_S の発生時に最高輝度で全面が全白点灯するという現象を防止することができる。

40

【0095】

なお、アノード電位 V_a が 0V まで下がるよりも前にカソード・ゲート間の所定の遮断電圧の印加を停止し、アノード電位 V_a が閾値電位 V_{th} よりも下がった直後にカソード・ゲート間の遮断電圧を印加停止するように、タイミングを決めることも可能ではある。しかしながら、アノード電位 V_a を供給停止後の過渡的な容量電圧によってカソード 202・アノード間の電界強度が閾値電界を越え電子放出する可能性が皆無とはいえないため、アノード電位 V_a を 0V まで下げた後からカソード 202・ゲート 204 間の遮断電圧を印加停止することがより望ましいものである。

【0096】

(第2実施形態)

50

図4には、第2実施形態が示されている。本実施形態では、第1実施形態の表示装置の制御系に遮断接地回路306をさらに加えたものである。

【0097】

第1実施形態では、アノード電位 V_a が供給停止されてもアノード上には電荷が蓄積されているために、すぐにはアノード電位 V_a が供給停止後に0Vに下がり難い。特に、大型の平面型表示装置の場合等は表示面積が大きく、すなわちアノード面積が大きく、蓄積電荷量も大きくなり、よりアノード電位 V_a が供給停止後に0Vへ下がり難くなる。

【0098】

よって、本実施形態では、例えば停電等によって電源電圧が遮断された場合のように、できる限り速やかに表示終了シーケンスを実行したいときに、アノード電位 V_a が閾値電位 V_{th} 以下に低下するまでの時間を短縮するために、図4に示すようにアノード電源回路304と表示パネル300の高圧端子213との間に遮断接地回路306を接続する。

10

【0099】

これにより、コントロール回路303において表示信号DSがローレベルへと発生するのに伴って、遮断接地回路306において、アノード電源回路304からの高電位供給を遮断して停止させた後、高圧端子213を接地してアノードに蓄積した電荷をGNDに放電させ、アノード電位 V_a をできる限り速やかに電位 V_{th} 以下とする。

【0100】

なお、アノード電位 V_a の供給遮断は、アノード電源回路304の出力をオフすることによって行ってもよく、その場合はコントロール回路303によってアノード電源回路304の出力をオフした後、遮断接地回路306において高圧端子213を接地させればよい。

20

【0101】

(第3実施形態)

図5～図11には、第3実施形態が示されている。本実施形態では、第1実施形態よりも詳しく各種回路を用いた本発明の構成を説明する。

【0102】

図5は本発明の第3実施形態による表示装置の駆動制御系のブロックを示す。図6、図7は本発明の第3実施形態による表示装置の駆動制御方法を説明するためのタイミングチャートを示す。

30

【0103】

300は、カソード、ゲート及びアノードを有し、カソードとゲートとがマトリクス接続された表示パネルであり、図5では1つの電子放出素子200しか描かれていないが、現実には素子がマトリクス状に多数配列されている。表示パネル300の例としては、第1実施形態に挙げたものがあるので、本実施形態ではその詳しい説明は省略する。

【0104】

そして、この表示パネル300には、カソード・アノード間にのみ電圧を印加した状態において電子放出を行い得る電子放出体がカソードに設けられ、カソード・ゲート間に遮断電圧を印加して電子放出体からアノードに向かう電子放出を遮断することにより画素を暗状態とし、カソード・ゲート間に駆動電圧を印加して電子放出体からアノードに向かう電子放出を生起させることにより画素を明状態として表示を行う。

40

【0105】

表示パネル300を駆動するための表示パネル駆動回路は、アノードにアノード電位 V_a を供給するためのアノード電源回路314と、カソードを駆動するためのカソード駆動回路21と、ゲートを駆動するためのゲート駆動回路22と、カソード駆動回路21及びゲート駆動回路22に遮断電圧又は特定の表示状態を呈し得る駆動電圧を生成するための駆動用基準電位 V_s 、 V_i を供給する駆動電源回路24と、を有する。

【0106】

駆動用基準電位 V_i は、例えば、階調表示用の電圧振幅変調(PHM)駆動のために、3つ以上の駆動基準電位からなることが好ましいものである。

50

【0107】

図8は駆動電源回路の回路構成図である。図9は行駆動回路(ここではカソード駆動回路21)の回路構成図である。図10は列駆動回路(ここではゲート駆動回路22)の回路構成図である。図11はアノード電源回路314の回路構成図である。これらのいずれの回路も5V又は3.3Vのような論理回路用駆動電位 V_{cc} が動作電源となる何らかの論理回路を備えている。

【0108】

図8に示す駆動電源回路24は、本体電源305からの電力供給、即ち、+50V、-50Vのような電位 V_{DD} 、 V_{EE} の供給を制御信号 R_{CONT} に応じてオン/オフするスイッチ31、32と、ボルテージホロワのオペアンプ33と、複数の抵抗器34と、を有する。そして、駆動電源回路24は、列駆動回路に3つの負電位(V_{i1} 、 V_{i2} 、 V_{i3})を供給すると共に、行駆動回路に走査選択電位 V_s を供給するマルチ電源である。

10

【0109】

図9に示す行駆動回路(ここではカソード駆動回路21)は、クロック Y_{CLK} に同期して一行毎に出力レベルがシフトする垂直シフトレジスタ S_{R35} と、走査非選択電位の供給をイネーブル信号 Y_{EN} で制御するためのアンドゲート36と、出力電圧を論理回路用低電圧($V_{cc} = 0V$)から駆動用高電圧($V_s = 0V$)に昇圧するためのレベルシフト回路37と、走査選択電位又は走査非選択電位を与える走査信号が出力される出力段の高電圧 $CMOS$ インバータ38と、を有する。なお、ここでは1チャンネルのみ示している。

20

【0110】

図10に示す列駆動回路(ここではゲート駆動回路22)は、駆動制御回路23から入力されるデジタル表示画像データを変調電位に変調するためのパルス変調器 P_{M39} と、3つの変調電位 V_{i1} 、 V_{i2} 、 V_{i3} を選択的に出力するための3つの選択回路40、41、42と、を有している。また、各選択回路40、41、42は、変調電位の供給をイネーブル信号 X_{EN} で制御するためのアンドゲート43と、レベルシフト回路44と、出力段の高電圧 $CMOS$ インバータ45と、をそれぞれ有する。なお、ここでは1チャンネルのみ示している。

【0111】

図11に示すアノード電源回路314は、制御信号 P_{CONT} にตอบสนองして高圧出力トランス47の動作を制御するフィードバック制御型のトランス制御回路46と、高圧に変換された交流を整流する整流回路48と、アノード電位 V_a を GND へ接地するために制御信号 P_{CONT2} に応じてオン/オフするスイッチ49と、を有している。アノード電源回路314は、制御信号 P_{CONT} にตอบสนองして、本体電源305から供給された電位 V_{aa} をアノードに供給する高電位のアノード電位 V_a に変換して出力する。なお、本体電源305とアノード電源回路314は1つの回路ブロックで構成されていてもよい。

30

【0112】

図5に戻り、電源オン時のシーケンスを説明すると、本体電源305は、電源プラグ26が商用電源に接続され、給電上流側にある本体電源スイッチ25がオンになると、各回路21~24、314の中の論理回路に論理回路用駆動電位 V_{cc} を供給する。この本体電源スイッチ25のオン状態を検知して、これと同時に若干遅れて、図6に示す時刻 t_{10} に、表示信号 D_S は表示開始を行うハイレベルのスタート信号を発生させる。また、本体電源スイッチ25がオンになると、本体電源305はアノード電源回路314と駆動電源回路24にアノード電位 V_a や駆動用基準電位 V_s 、 V_i を発生させるための源になる動作電圧を供給する。

40

【0113】

駆動制御回路23は、通常 MPU のような中央演算処理部を有する制御手段である。この駆動制御回路23が、アノード電源回路314に制御信号 P_{CONT} 、 P_{CONT2} を供給し、駆動電源回路24に制御信号 R_{CONT} を供給し、カソード駆動回路21に垂直走査用のクロック Y_{CLK} 、イネーブル信号 Y_{EN} 、制御信号 Y_{CONT} を供給し、ゲート

50

駆動回路 2 2 に水平走査用のクロック X C L K、イネーブル信号 X E N、制御信号 X C O N T、表示画像データ D A T A を供給するように構成されている。

【 0 1 1 4 】

アノード電源回路 3 1 4 は、制御信号 P C O N T 2 がオフ（ローレベル）の時、スイッチ 4 9 が導通し、電子放出体からの電子放出を行い得る閾値電位 V_{th} より十分に低い零電位のような特定電位に、アノードの電位を保持している。

【 0 1 1 5 】

駆動電源回路 2 4 は、通常、零電位を出力しているが、論理回路用駆動電位 V_{cc} が供給されている状態で、図 6 に示す時刻 t_{11} に、入力される制御信号 R C O N T がオンになると、駆動用基準電位 V_s 、 V_i をカソード駆動回路 2 1 及びゲート駆動回路 2 2 に供給し始める。この時、カソード駆動回路 2 1 やゲート駆動回路 2 2 の出力は、ハイインピーダンスの電位不定状態から零電位に遷移し、カソード・ゲート間には同電位に保たれる。

10

【 0 1 1 6 】

時刻 t_{12} に、イネーブル信号 X E N、Y E N がハイレベルになると、カソード駆動回路 2 1 から全てのカソード（行方向配線 2 1 1）への高電位の非選択電位の供給が開始され、それとほぼ同時刻に、ゲート駆動回路 2 2 から全てのゲート（列方向配線 2 1 2）への低電位の非選択電位の供給が開始される。これにより、電子放出素子 2 0 0 のカソード・ゲート間には遮断電圧が印加されることになる。

【 0 1 1 7 】

時刻 t_{12} から遅れた時刻 t_{13} に、入力される制御信号 P C O N T、P C O N T 2 がオン（ハイレベル）になり、アノード電源回路 3 1 4 からアノードへ高いアノード電位 V_a の供給が開始される。

20

【 0 1 1 8 】

アノード電源回路 3 1 4 の出力側の時定数に因り一定のアノード電位 V_a に到達した後の時刻 t_{14} において、制御信号 X C O N T、Y C O N T により、マトリクス交点の電子放出素子 2 0 0 へ表示用駆動電圧の印加が許可される。即ち、カソード駆動回路 2 1 が走査を開始し、ゲート駆動回路 2 2 から表示パネル 3 0 0 への表示画像データ D A T A に基づいた変調電位の供給が開始される。

【 0 1 1 9 】

こうして、1 水平走査期間（1 H）に少なくとも 1 行の行方向配線 2 1 1 が選択されて零電位が供給され、これに同期して多数の列方向配線 2 1 2 に表示画像データに基づいた変調電位が供給される。この走査を垂直方向に順次行う線順次駆動によって 1 フレームの画像表示が行われる。この時、走査非選択行の画素と、走査選択行であって黒表示データの変調電位が与えられた画素と、のカソード・ゲート間には遮断電圧が印加され、当該画素は暗状態となる。

30

【 0 1 2 0 】

次に、図 7 を用い、電源オフ時のシーケンスを説明すると、本体電源 3 0 5 では、ユーザにより給電上流側にある本体電源スイッチ 2 5 がオフされる。この本体電源スイッチ 2 5 のオフ状態を検知して、これと同時に若干遅れて、表示信号 D S は表示終了を行うローレベルのエンド信号を発生させる。また、本体電源スイッチ 2 5 がオフになると、図 7 の時刻 t_{20} において、アノード電源回路 3 1 4 へ入力される制御信号 P C O N T がオフになり、アノード電源回路 3 1 4 にアノード電位 V_a を発生させるための源になる動作電圧を供給停止する制御を行う。

40

【 0 1 2 1 】

よって、時刻 t_{20} からアノード電位 V_a は下がり始めるが、アノード上に電荷が蓄積されているために、アノード電位 V_a はすぐに下がらずに徐々に低下していく。

【 0 1 2 2 】

そして、時刻 t_{20} から若干の時間経過後の時刻 t_{21} において、アノード電源回路 3 1 4 へ駆動制御回路 2 3 から供給される制御信号 P C O N T 2 がオフになり、制御信号 P C O N T 2 に応じるアノード電源回路 3 1 4 のスイッチ 4 9 がオンとなり、アノード電位 V

50

a は GND へ接地される。このため、時刻 t_{21} からアノード電位 V_a は急激に低下し、 $0V$ へ向かう。

【0123】

この時刻 t_{21} までに、制御信号 X_{CONT} , Y_{CONT} によるマトリクス交点の電子放出素子 200 への表示用駆動電圧の印加を終了しておく。即ち、カソード駆動回路 21 が走査を終了し、ゲート駆動回路 22 から表示パネル 300 への表示画像データ DATA に基づいた変調電位の供給が停止される。

【0124】

しかし、時刻 t_{21} 以後も、イネーブル信号 X_{EN} , Y_{EN} はハイレベルに保たれ、カソード駆動回路 21 から全てのカソード（行方向配線 211）への高電位の非選択電位の供給が行われ、同時に、ゲート駆動回路 22 から全てのゲート（列方向配線 212）への低電位の非選択電位の供給が行われる。これにより、電子放出素子 200 のカソード・ゲート間には遮断電圧が未だ印加され続けることになる。

10

【0125】

この遮断電圧によって、アノード電位 V_a が電子放出体の閾値電界以上の電界強度が得られる電位 V_{th} を越えている場合の電子放出を防止する。

【0126】

そして、アノード電位 V_a が電子放出体からの電子放出を行い得る閾値電位 V_{th} よりも下がった時点から所定の遅延時間 T_d 経過後のアノード電位 V_a が $0V$ となって充分経過した時刻 t_{22} に、イネーブル信号 X_{EN} , Y_{EN} をローレベルに落とし、カソード駆動回路 21 から全てのカソード（行方向配線 211）への高電位の非選択電位の供給を停止し、同時に、ゲート駆動回路 22 から全てのゲート（列方向配線 212）への低電位の非選択電位の供給を停止する。これにより、電子放出素子 200 のカソード・ゲート間の遮断電圧が印加終了される。

20

【0127】

時刻 t_{22} から遅れた時刻 t_{23} に、駆動電源回路 24 は、制御信号 R_{CONT} がオフになり、駆動用基準電位 V_s , V_i をカソード駆動回路 21 及びゲート駆動回路 22 から供給停止する。この時、カソード駆動回路 21 やゲート駆動回路 22 の出力は、零電位からハイインピーダンスの電位不定状態に移り、カソード・ゲート間が同電位から解除される。もちろん、電位不定状態とすることは必須ではない。

30

【0128】

そして、時刻 t_{23} 後の時刻 t_{24} 以降に、本体電源 305 から供給される電位 V_{aa} , V_{DD} , V_{EE} が必要な動作電位以下になるように、本体電源 305 は蓄電コンデンサを有しているとよい。

【0129】

さらに、時刻 t_{24} から遅れた時刻 t_{25} において、論理回路用駆動電位 V_{cc} が必要な動作電位以下になり、最終的な電源オフ状態となる。また、これら電位 V_{aa} , V_{DD} , V_{EE} , V_{cc} の遮断制御を本体電源 305 内の蓄電池と遮断スイッチによって制御してもよい。

【0130】

（第4実施形態）

図 12 ~ 図 14 には、第4実施形態が示されている。本実施形態では、第3実施形態と同様に第1実施形態よりも詳しく各種回路を用いた本発明の構成を説明する。

40

【0131】

図 12 は本発明の第4実施形態による表示装置の駆動制御系のブロックを示す。図 13、図 14 は本発明の第4実施形態による表示装置の駆動制御方法を説明するためのタイミングチャートを示す。本実施形態では図 5 ~ 図 7 と同じ構成、動作については詳述を省く。

【0132】

図 12 において図 5 と異なる点は、カソード駆動回路 21' が列方向配線 212 に接続され、ゲート駆動回路 22' が行方向配線 211 に接続されている点である。そして、ゲー

50

ト駆動回路22'に垂直走査用のクロックYCLK、イネーブル信号YEN、制御信号YCONTを供給し、カソード駆動回路21'に水平走査用のクロックXCLK、イネーブル信号XEN、制御信号XCONT及び表示画像データDATAを供給する点である。更に、無線又は有線で駆動制御回路23を制御し表示装置を操作するための遠隔操作器27から表示信号DSを発生させている点である。特に、回路21'、22'、24'の詳細は、前述した第3実施形態と異なる構成となることに注意されたい。

【0133】

ここではまず、電源プラグ26が商用電源に接続され、給電上流側にある本体電源スイッチ25がオン状態にあり、各回路の論理回路に論理回路用駆動電位Vccが供給されている省電力の非表示モードから表示モードに遷移するシーケンスについて図13を用いて説明する。

10

【0134】

この非表示モードの状態、時刻t10に、遠隔操作器27の操作により、表示再開信号DS1が2システムクロックの期間ハイレベルとなって発生し、駆動制御回路23に供給される。

【0135】

駆動電源回路24'は、通常、零電位を出力しているが、時刻t11に、入力される制御信号RCONTがオンになると、駆動用基準電位Vs、Vi1をカソード駆動回路21'及びゲート駆動回路22'に供給し始める。この時、カソード駆動回路21'やゲート駆動回路22'の出力は、ハイインピーダンスの電位不定状態から零電位に遷移し、カソード・ゲート間は同電位に保たれる。

20

【0136】

時刻t12に、イネーブル信号XEN、YENがハイレベルになると、ゲート駆動回路22'から全てのゲート(行方向配線211)への低電位の非選択電位の供給が開始され、それとほぼ同時に、カソード駆動回路21'から全てのカソード(列方向配線212)への高電位の非選択電位の供給が開始される。これにより、全画素のカソード・ゲート間には同時に遮断電圧が印加される。

【0137】

時刻t12から遅れた時刻t13に、入力される制御信号PCONTがオンになり、アノード電源回路314からの出力は、電子放出体からの電子放出を行い得る閾値電位Vthより十分に低い零電位のような特定電位から高電位への遷移を開始する。

30

【0138】

アノード電源回路314の出力側の時定数に因り一定のアノード電位Vaに到達した後の時刻t14において、制御信号XCONT、YCONTにより、マトリクス交点の電子放出素子へ表示用駆動電圧の印加が許可される。即ち、ゲート駆動回路22'が走査を開始し、カソード駆動回路21'から表示パネル300への表示画像データDATAに基づいてパルス幅変調された低電位の供給が開始される。

【0139】

こうして、ゲートの線順次走査により1水平走査期間(1H)に少なくとも1行の行方向配線211が選択されて選択電位(零電位)が供給され、残りの行方向配線211には非選択電位(負電位)が供給され、これに同期して多数の列方向配線212に表示画像データに基づいてパルス幅変調(PWM)された低電位の変調電位が供給される。この時、走査非選択行の画素と、走査選択行であって黒表示データの変調電位(正電位)が与えられた画素と、のカソード・ゲート間には遮断電圧が印加され、当該画素は暗状態となる。

40

【0140】

次に、電源プラグ26が商用電源に接続され、給電上流側にある本体電源スイッチ25がオン状態にあり、表示モードから各回路の論理回路に論理回路用駆動電位Vccが供給されている省電力の非表示モードに遷移するシーケンスについて図14を用いて説明する。

【0141】

表示モードの状態、遠隔操作器27の操作により、表示終了信号の一つである表示一時

50

停止信号 D S 2 が 5 システムクロックの期間ハイレベルとなって発生し、駆動制御回路 2 3 に供給される。すると、時刻 t 2 0 に、駆動制御回路 2 3 によりアノード電源回路 3 1 4 へ入力される制御信号 P C O N T がオフになり、アノード電源回路 3 1 4 にアノード電位 V a を発生させるための源になる動作電圧を供給停止する制御を行う。

【 0 1 4 2 】

よって、時刻 t 2 0 からアノード電位 V a は下がり始めるが、アノード上に電荷が蓄積されているために、アノード電位 V a はすぐに下がらずに徐々に低下していく。

【 0 1 4 3 】

そして、時刻 t 2 0 から若干の時間経過後の時刻 t 2 1 において、アノード電源回路 3 1 4 へ駆動制御回路 2 3 から供給される制御信号 P C O N T 2 がオフになり、制御信号 P C O N T 2 に応じるアノード電源回路 3 1 4 のスイッチ 4 9 がオンとなり、アノード電位 V a は G N D へ接地される。このため、時刻 t 2 1 からアノード電位 V a は急激に低下し、0 V へ向かう。

【 0 1 4 4 】

この時刻 t 2 1 までに、制御信号 X C O N T , Y C O N T によるマトリクス交点の電子放出素子 2 0 0 への表示用駆動電圧の印加を終了しておく。即ち、ゲート駆動回路 2 2 ' が走査を終了し、カソード駆動回路 2 1 ' から表示パネル 3 0 0 への表示画像データ D A T A に基づいた変調電位の供給が停止される。

【 0 1 4 5 】

しかし、時刻 t 2 1 以後も、イネーブル信号 X E N , Y E N はハイレベルに保たれ、ゲート駆動回路 2 2 ' から全てのカソード（行方向配線 2 1 1 ）への低電位の非選択電位の供給が行われ、同時に、カソード駆動回路 2 1 ' から全てのゲート（列方向配線 2 1 2 ）への高電位の非選択電位の供給が行われる。これにより、電子放出素子 2 0 0 のカソード・ゲート間には遮断電圧が未だ印加され続けることになる。

【 0 1 4 6 】

この遮断電圧によって、アノード電位 V a が電子放出体の閾値電界以上の電界強度が得られる電位 V t h を越えている場合の電子放出を防止する。

【 0 1 4 7 】

そして、アノード電位 V a が電子放出体からの電子放出を行い得る閾値電位 V t h よりも下がった時点から所定の遅延時間 T d 2 経過後のアノード電位 V a が 0 V となって充分経過した時刻 t 2 2 に、イネーブル信号 X E N , Y E N をローレベルに落とし、ゲート駆動回路 2 2 ' から全てのカソード（行方向配線 2 1 1 ）への低電位の非選択電位の供給を停止し、同時に、カソード駆動回路 2 1 ' から全てのゲート（列方向配線 2 1 2 ）への高電位の非選択電位の供給を停止する。これにより、電子放出素子 2 0 0 のカソード・ゲート間の遮断電圧が印加終了される。

【 0 1 4 8 】

時刻 t 2 2 から遅れた時刻 t 2 3 に、駆動電源回路 2 4 ' は、制御信号 R C O N T がオフになり、駆動用基準電位 V i 1 , V s をカソード駆動回路 2 1 ' 及びゲート駆動回路 2 2 ' から供給停止する。この時、カソード駆動回路 2 1 ' やゲート駆動回路 2 2 ' の出力は、零電位からハイインピーダンスの電位不定状態に移り、カソード・ゲート間が同電位から解除される。これにより、非表示モードとなる。もちろん、電位不定状態とすることは必須ではない。

【 0 1 4 9 】

前述した実施形態においては、遮断電圧は、全黒表示データに基づく変調電位をゲート又はカソードに与え続けておいて、カソード又はゲートを垂直走査してもよいし、走査線の選択・非選択にかかわらず、全黒表示データに基づく変調電位をゲート又はカソードに与え続けることによって実現することも可能である。或いは、変調電位にかかわらず、全走査線に非選択電圧を与え続けてもよい。また、遮断電圧は、走査選択電位や走査非選択電位或いは変調電位等の表示動作に用いられる電位とは別の電位から生成されてもよい。

【 0 1 5 0 】

また、時刻 t_{23} まで、遮断電圧を印加し続ける代わりに、全面灰色表示や終期画像のような特定の表示状態を呈し得る駆動電圧の印加を行うことも可能である。この場合、カソード又はゲートを垂直走査し、表示画像データに基づく変調電位をゲート又はカソードに与える。

【0151】

さらには、時刻 t_{21} の後、アノードの電位が電子放出体からの電子放出を行い得る閾値より下となつてから、線順次で行を選択しながら、表示パネル 300 の全列に最暗状態を呈し得る変調電位を供給することによって遮断電圧を印加する状態を経て、表示終了を行ってもよい。または、アノード電位 V_a が当該閾値より下となつてから、線順次で行を選択しながら、表示パネル 300 の複数の列に所定の変調電位を供給することによって特定の表示状態を呈し得る駆動電圧を印加する状態を経て、表示終了を行ってもよい。

10

【0152】

本発明に用いられる変調電位としては、表示画像データの表示階調レベルに応じて、3以上の複数の電位から変調電位を選択する電圧振幅変調 (PHM) や、3以上の複数のパルス幅から変調電位のパルス幅を選択するパルス幅変調 (PWM) や、PHM と PWM の組み合わせによる変調方式を採用することができる。特に、変調信号配線となるカソード配線又はゲート配線の何れか一方に供給される変調電位が3以上の複数レベルの電位から選択される場合には、そのうち1つを、遮断電圧を生成する電位に設定することが望ましい。

【0153】

また、本発明に用いられる遮断電圧は、走査選択電位や走査非選択電位或いは変調電位などの表示動作に用いられる電位とは、別の電位から生成されてもよい。

20

【0154】

表示信号 DS としては、前述したように、表示装置の最も上流にある本体電源スイッチのオンやオフを示す信号や、表示装置を無線又は有線で操作する遠隔操作器からの出力信号に限らず、中央演算処理部からの出力信号や、表示装置に接続されたコンピュータからの出力信号などのうち、少なくとも何れか1つであってもよい。また、これらの表示信号 DS は、アノード電源回路、カソード駆動回路、ゲート駆動回路に少なくとも論理回路用駆動電位 V_{cc} が供給されている状態で発生した、非表示モードから表示モードへの復帰信号や表示モードから非表示モードへの終了信号であるとよい。

30

【0155】

或いは、カソード駆動回路及びゲート駆動回路に少なくとも駆動用基準電位 V_s , V_i が供給されている状態で、発生した非表示モードから表示モードへの復帰信号や表示モードから非表示モードへの終了信号 (表示信号) をトリガとして、この復帰信号や終了信号にตอบสนองして、イネーブル信号 XEN , YEN を発生させ、カソード駆動回路及びゲート駆動回路をイネーブルとして遮断電圧などを与えてもよい。

【0156】

また、スイッチオンの後の非表示モードにおいては、 V_{cc} の供給を維持しているが、アノード電源回路、カソード駆動回路及びゲート駆動回路へは V_{cc} の供給をも遮断しておいて、表示信号 DS が発生した後に、 V_{cc} の供給を復帰してもよい。

40

【0157】

本発明に用いられる、画素を構成するための電子放出素子としては、図示したようなカソードよりアノード側にゲートが配されている上ゲート構造であってもよいが、ゲートよりアノード側にカソードが配されている下ゲート構造や基板の同一平面上にカソードとゲートが配されている水平ゲート構造であってもよい (特開 2002 - 170483 号公報、US 公開 20020475139 号公報、特開 2002 - 150925 号公報、US 公開 2002074947 号公報等を参照)。

【0158】

また、本発明に用いられる電子放出閾値の低い電子放出体は、半導体若しくは導電体からなる繊維状のナノ構造体又は炭素を主成分とするナノ構造体であることが望ましい。ナノ

50

構造体は、具体的には、カーボンナノチューブ、グラファイトナノファイバー、アモルファスカーボン、カーボンナノホーン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンド、フラーレンから選択される少なくとも一種を含む。

【0159】

このように、各実施形態によれば、駆動制御回路23により、終了又は一時停止信号(DS)が発生した場合、カソード・ゲート間に、遮断電圧又は特定の表示状態を呈し得る駆動電圧の印加した状態でアノードの電位が電子放出体からの電子放出を行い得る閾値電位 V_{th} より低くなってから、所定時間 T_d2 経過した後に、遮断電圧又は特定の表示状態を呈し得る駆動電圧の印加を終了させるように表示パネル駆動回路の動作を制御することにより、不本意な表示状態の発生や不本意な発光を抑制することができる。

10

【0160】

また、本発明は電子放出閾値の近い材料を用いた場合には、ノーマリーオン型に限らず、ノーマリーオフ型にも適用できる。

【0161】

【実施例】

以下に、上記実施の形態に基づいた具体的な実施例について説明する。なお電子放出素子および平面型ディスプレイの実施例については、例えば特開2002-100279号公報に記載されている実施例とほぼ同様であるためここでの詳述は割愛し、簡単に構成を述べるにとどめる。

【0162】

20

(実施例1)

図2に示したような表示パネルを以下のようにして作製した。

【0163】

電子源基板201としてPD200(旭硝子製)を用い、十分に洗浄を行って基板表面を清浄とした後、基板にアルミニウム系配線材料を用いてスパッタ法およびフォトリソグラフィ法を用いて、カソード202を、厚さ約 $1\mu\text{m}$ 、幅 $300\mu\text{m}$ の連続した平行ストライプ状の配列に形成した。

【0164】

さらにカソード202上には、電子放出体205となる部分に、密着層としてTiNを、この上に触媒層としてPd/Co(各50重量%)をいずれもスパッタ法およびフォトリソグラフィ法を用いて、 $10\mu\text{m}$ となるように形成した。なお触媒層としては他にFe, Ni及びこれらと前述のPd, Co等の混合物を用いることもできる。

30

【0165】

この上に電子放出体205を除く部分に、層間絶縁層として SiO_2 をスパッタ法およびフォトリソグラフィ法を用いて、厚さ約 $2\mu\text{m}$ にて形成した。

【0166】

さらに層間絶縁層上にカソード202と同様に、ゲート204を、厚さ約 $0.5\mu\text{m}$ 、幅 $200\mu\text{m}$ で、カソード202と直交するように連続した平行ストライプ状の配列に形成した。

【0167】

40

さらにゲート204には、電子放出体205の真上に対応する位置に、ホール部210を開口径 $10\mu\text{m}$ となるように形成した。

【0168】

なお、上記電子放出体205及びホール部210については各電子放出素子200について1個のみ図示しているが、複数個設けることもできる。

【0169】

この後、この電子源基板201を大気中で熱処理を行いPd/Coをそれぞれ酸化させた後、CVD装置中に入れ、水素を流入させながら熱処理を行い、酸化パラジウム及び酸化コバルトを水素還元し、微粒子化した。

【0170】

50

この後、エチレンを流入させながら550にて1時間熱処理した。即ち、熱CVDにより、電子放出体205として多数のグラフェンが繊維の長手方向に積層された構造のグラファイトナノファイバー(GNF)を、触媒の作用によりTiNの密着層上に形成した。なお、エチレンに替えてアセチレン、メタン等の炭化水素ガスを用いることもでき、ガス流量、温度、時間等を適宜選択することにより、同様のGNFを形成することができる。

【0171】

こうして作成した電子源基板201とあらかじめ同一のPD200を使用して形成したフェースプレート206及び外枠214とを、 10^{-7} Pa以下の圧力まで排気した真空チャンバー中にてガラスフリットを用いて400に加熱することにより外囲器を形成した。

10

【0172】

なおこの時、図示していないスペーサーを電子源基板201上のX方向に配置して大気圧支持構造を形成し、外枠214及びスペーサーによって電子源基板201及びフェースプレート206のアノード(メタルバック209)が2mmの間隔をもって対向し保持されるようにした。

【0173】

このようにして作成した表示パネルのカソード202を0V、ゲート204を0Vとし、アノードに電位Vaを印加して、アノード電位を徐々に上昇させたところ、 $V_a = 7\text{ kV}$ (これがカソード202・アノード間の電子放出閾値電圧)より電子放出が行われフェースプレート206の蛍光体208が発光することが確認され、電子放出素子200の閾値電界強度が約 $3.5\text{ V}/\mu\text{m}$ であることがわかった。さらに $V_a = 10\text{ kV}$ まで供給することにより、カソード202・アノード間の電界強度を $5\text{ V}/\mu\text{m}$ としてノーマリーオン型の電子放出素子200として確実に動作するようにした。

20

【0174】

こうして作製した、電子放出素子200のカソード202・ゲート204間の遮断電圧を調べるために、カソード202である行方向配線211に供給される電位Vxを0Vのままとし、ゲート204である列方向配線212に供給される電位Vyを徐々に供給したところ、 $V_y = -50\text{ V}$ にて、 $V_a = 10\text{ kV}$ の時に電子放出を遮断できた。すなわち、カソード202・ゲート204間の遮断電圧が -50 V (カソード側を0Vとした場合のゲート電圧)であることがわかった。

30

【0175】

さて前述の表示パネル300に、X方向配線211には走査信号印加手段301として、走査信号印加回路を集積化したドライバICをプリント基板上に搭載し、X方向配線211との間をフレキシブルプリント基板で接続した。同様に変調信号印加手段302をY方向配線212に接続した。

【0176】

さらに走査信号印加手段301と変調信号印加手段302には、それぞれ走査信号と変調信号を生成するために必要な信号をコントロール回路303より接続し、またコントロール回路303からはアノード電源回路304の動作を制御するための信号線も接続した。

【0177】

また、これらのコントロール回路303やアノード電源回路304の動作に必要な電圧を供給するための本体電源305をそれぞれに接続した。

40

【0178】

なお、上記以外の図示しない画像表示に必要な信号処理用回路や周辺回路についても同様に接続した。

【0179】

コントロール回路303にはマイコンICを搭載し、電源オフシーケンスおよびその他画像表示に必要な各種信号処理や、あるいはテレビジョン装置として必要な機能(例えばリモコン操作等)の制御に使用した。

【0180】

50

図 1 の電源オフシーケンスのタイミングチャートに示すように、電源オフと共にコントロール回路 303 において表示信号 DS がローレベルとなり、マイコン IC にて不図示の必要な信号処理および電源電圧制御等が行われ、その後コントロール回路 303 よりアノード電源回路 304 に制御信号を送り、 $V_a = 10 \text{ kV}$ をオフするようにした。

【0181】

なお、本実施例においては、前述のように $V_{th} = 7 \text{ kV}$ であるためアノード電位 V_a が 7 kV 以下となった後、本実施例においては t_{Td2} が 50 ms となるように、 V_x および V_y がそれぞれオフされるようにコントロール回路 303 より走査信号印加手段 301 および変調信号印加手段 302 にそれぞれ制御信号を送り、ドライバ IC よりそれぞれ V_x 、 V_y が印加されなくなるようにした。なお、このときの V_x 、 V_y は通常が表示信号として V_x は走査信号、 V_y は変調信号を印加し続けた。

10

【0182】

以上のように電源オフシーケンスにおいて、ノーマリーオン型の電子放出素子のアノード電位 V_a を供給停止し、アノード電位 V_a が電子放出素子の閾値電位 V_{th} 以下に低下した後、カソード 202・ゲート 204 間電圧をオフするように構成したので、電源オフ時や停電時に全面白表示により不快感を与えることなく表示を終了することができた。

【0183】

(実施例 2)

実施例 1 で作成したノーマリーオン型の表示パネル 300 を用いて、図 4 に示す構成図にて表示装置を構成した。

20

【0184】

本実施例においては、アノード電源回路 304 と表示パネル 300 の高圧端子 213 の間に、遮断接地回路 306 を設けた。

【0185】

上記構成において、電源電圧の低下を検知してコントロール回路 303 において表示信号 DS をローレベルにすると共に、遮断接地回路 306 に信号を送り高電位供給を遮断した後、高圧端子 213 を接地して GND にアノードの蓄積電荷を放電させアノード電位 V_a を閾値電位 V_{th} 以下にした。

【0186】

その後、図 1 に示す電源オフシーケンスに従い V_x 、 V_y を $T_{d2} = 50 \text{ ms}$ でオフするようにした。

30

【0187】

本実施例においては、アノード電位 V_a を速やかに閾値電位 V_{th} 以下にすることができるよう構成したので、電源オフシーケンスをより速やかに実行することができた。

【0188】

(実施例 3)

実施例 1 と同様にして、触媒層および熱 CVD の条件を適宜選択することにより、電子放出体 205 として周知の方法でグラフェンが円筒状となっている構造のカーボンナノチューブ (CNT) を形成し、同様に閾値電界強度約 $3.5 \text{ V} / \mu\text{m}$ の電子放出素子を得た。

【0189】

実施例 1 と同様に $V_a = 10 \text{ kV}$ 印加によりノーマリーオン型の電子放出素子が得られ、その時のカソード・ゲート間の遮断電圧はほぼ -50 V であることが確認された。

40

【0190】

この実施例 3 においても、電源オフシーケンスにおいて、電源オフ時に全面白表示となることを防止できた。

【0191】

【発明の効果】

以上説明したように、本発明は、例えば電源オフ時等の表示終了信号の発生に応じてアノード電位を供給状態から遮断状態に遷移させる場合に、全面白のような不本意な表示となることを防止できる。つまり、たとえ短時間であってもユーザーが装置の故障と誤認した

50

り、不快感を覚えたりするような現象を防止することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態による表示装置の駆動制御方法のタイミングチャートを示す図である。

【図 2】本発明の第 1 実施形態に用いられる表示パネルの一部破断模式図である。

【図 3】本発明の第 1 実施形態による表示装置の駆動制御系のブロック図である。

【図 4】本発明の第 2 実施形態による表示装置の駆動制御系のブロック図である。

【図 5】本発明の第 3 実施形態による表示装置の駆動制御系のブロック図である。

【図 6】本発明の第 3 実施形態による表示装置の駆動制御方法のタイミングチャートを示す図である。

10

【図 7】本発明の第 3 実施形態による表示装置の駆動制御方法のタイミングチャートを示す図である。

【図 8】本発明の第 3 実施形態に用いられる駆動電源回路の一例を示す回路構成図である。

【図 9】本発明の第 3 実施形態に用いられる行駆動回路の一例を示す回路構成図である。

【図 10】本発明の第 3 実施形態に用いられる列駆動回路の一例を示す回路構成図である。

【図 11】本発明の第 3 実施形態に用いられるアノード電源回路の一例を示す回路構成図である。

【図 12】本発明の第 4 実施形態による表示装置の駆動制御系のブロック図である。

20

【図 13】本発明の第 4 実施形態による表示装置の駆動制御方法のタイミングチャートを示す図である。

【図 14】本発明の第 4 実施形態による表示装置の駆動制御方法のタイミングチャートを示す図である。

【図 15】電子放出素子の動作を説明するための模式図である。

【符号の説明】

2 カソード

4 ゲート

5 電子放出体

6 アノード

30

2 1 カソード駆動回路

2 2 ゲート駆動回路

2 3 駆動制御回路

2 4 駆動電源回路

2 5 本体電源スイッチ

2 6 電源プラグ

2 7 遠隔操作器

3 1 , 3 2 スイッチ

3 3 オペアンプ

3 4 抵抗器

40

3 6 アンドゲート

3 7 レベルシフト回路

3 8 インバータ

4 0 , 4 1 , 4 2 選択回路

4 3 アンドゲート

4 4 レベルシフト回路

4 5 インバータ

4 6 トランス制御回路

4 7 高圧出力トランス

4 8 整流回路

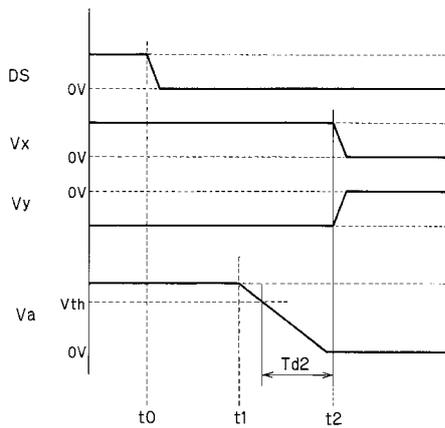
50

- 4 9 スイッチ
- 2 0 0 電子放出素子
- 2 0 1 電子源基板
- 2 0 2 カソード
- 2 0 4 ゲート
- 2 0 5 電子放出体
- 2 0 6 フェースプレート
- 2 0 7 アノード基板
- 2 0 8 蛍光体
- 2 0 9 メタルバック
- 2 1 0 ホール部
- 2 1 1 行方向配線
- 2 1 2 列方向配線
- 2 1 3 高圧端子
- 2 1 4 外枠
- 3 0 0 表示パネル
- 3 0 1 走査信号印加手段
- 3 0 2 変調信号印加手段
- 3 0 3 コントロール回路
- 3 0 4 アノード電源回路
- 3 0 5 本体電源
- 3 0 6 遮断接地回路
- 3 1 4 アノード電源回路

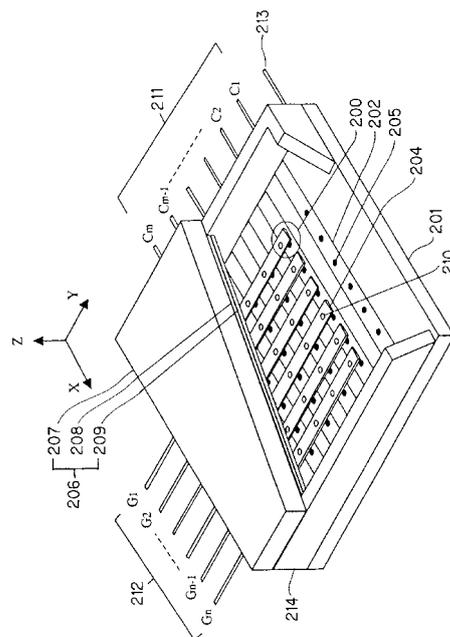
10

20

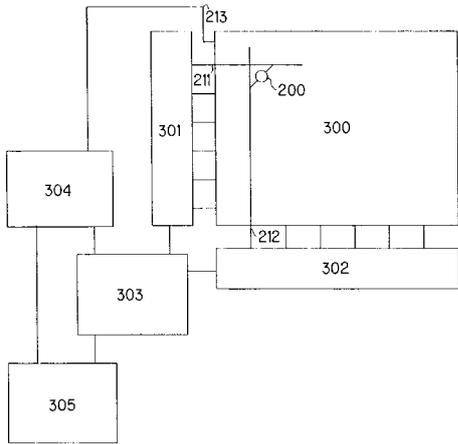
【 図 1 】



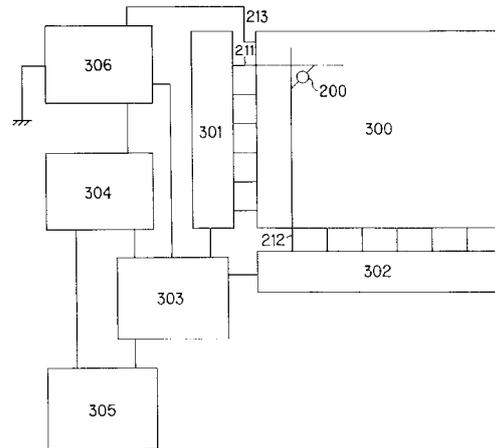
【 図 2 】



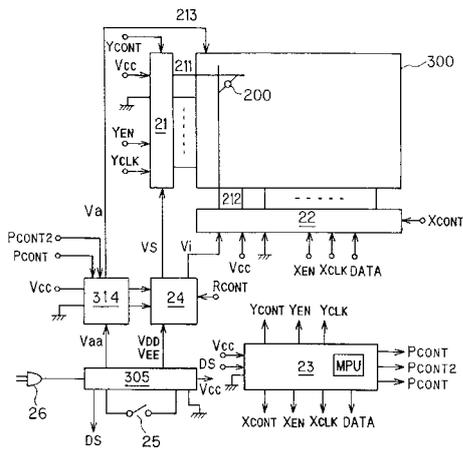
【 図 3 】



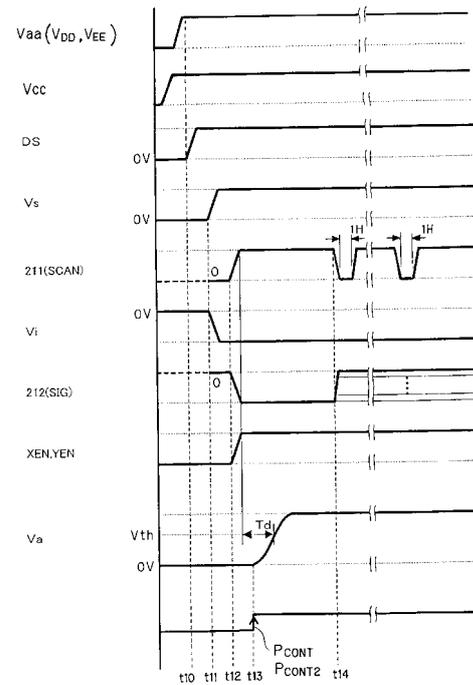
【 図 4 】



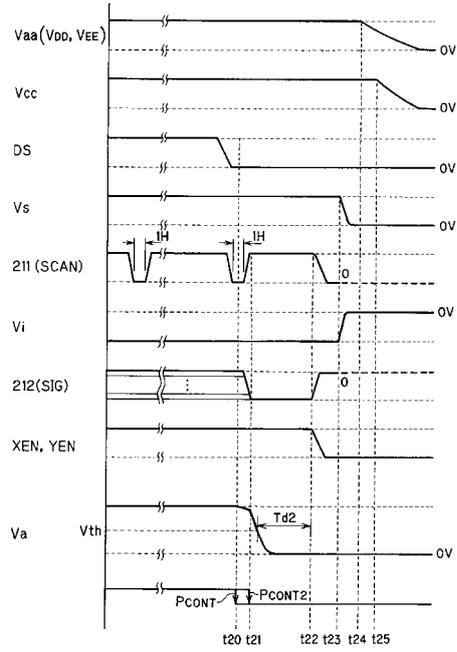
【 図 5 】



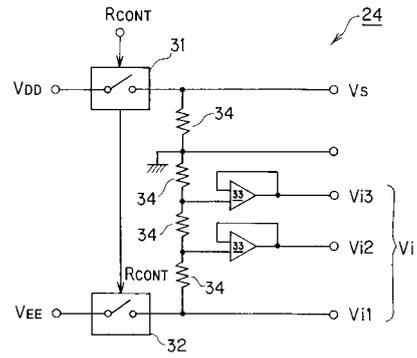
【 図 6 】



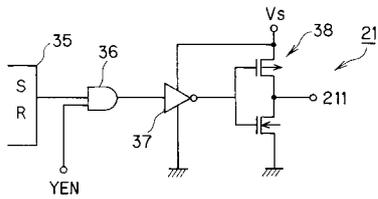
【 図 7 】



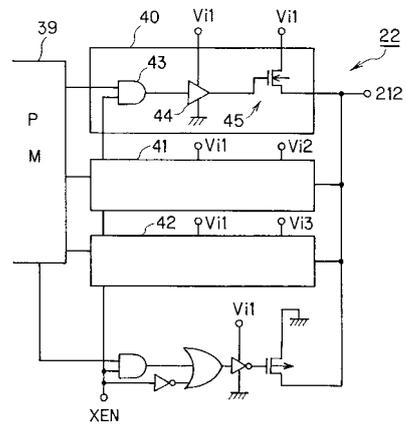
【 図 8 】



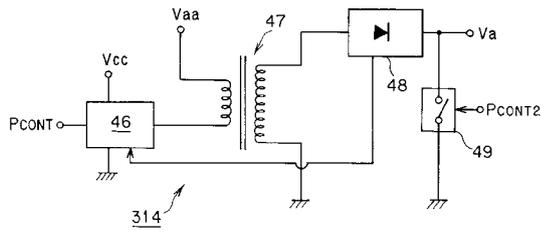
【 図 9 】



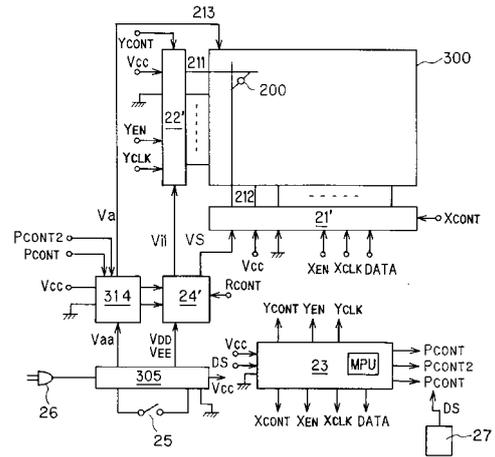
【 図 10 】



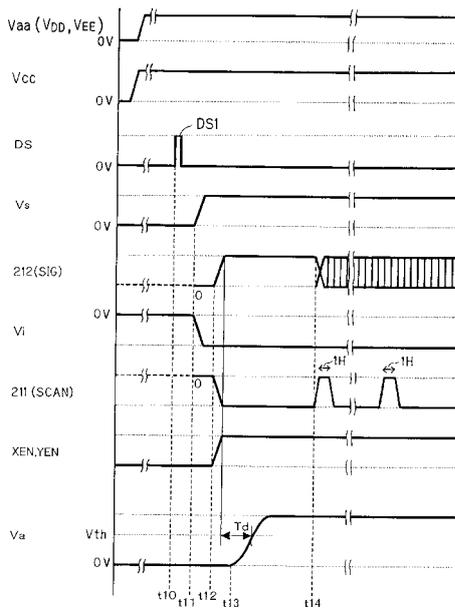
【 図 1 1 】



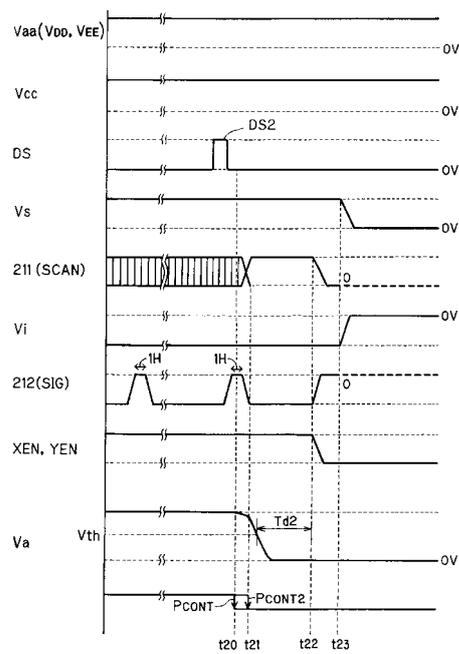
【 図 1 2 】



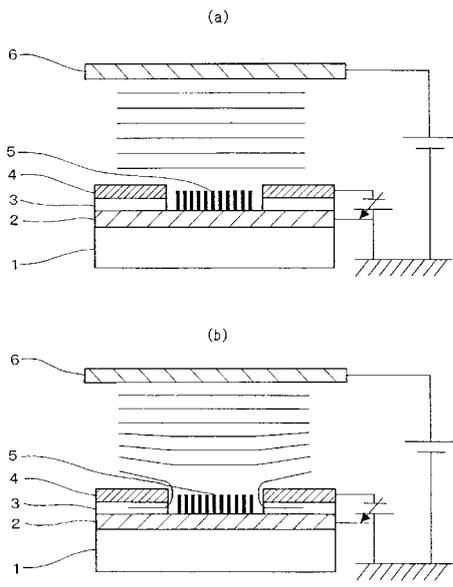
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 7 0 D
	H 0 1 J 29/04	
	H 0 1 J 31/12	C
	H 0 4 N 5/68	B

F ターム(参考) 5C031 DD17

5C036 EE19 EF01 EF06 EF09 EG12 EG47 EG48 EH26

5C058 AA03 BA01

5C080 AA08 AA18 BB05 DD03 DD26 EE29 FF03 FF12 HH17 JJ02

JJ03 JJ04 JJ06 KK02 KK43