

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G11C 5/14	(11) 공개번호 (43) 공개일자	특 1996-0032483 1996년 09월 17일
(21) 출원번호	특 1996-0005063	
(22) 출원일자	1996년 02월 28일	
(30) 우선권주장	95-40219 1995년 02월 28일 일본(JP)	
(71) 출원인	닛본덴기 가부시끼가이샤 가네꼬 히사시	
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7-1 하시모토 기요카즈	
(74) 대리인	일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내 장수길, 구영창	

심사청구 : 있음

(54) 복수 범위의 전원 전압용 반도체 메모리 디바이스

요약

어드레스 전이 검출 회로(ATD), 어드레스 전이 검출 회로의 출력 신호(AU)에 응답하여 타이밍 펄스 신호(PU<sub>1</sub>)를 생성하는 타이밍 펄스 생성 회로(PG<sub>2</sub>), 및 메모리셀 어레이(MCA)로부터 판독된 데이터를 감지하는 감지 증폭기(SA<sub>1</sub>)를 포함하는 반도체 메모리 디바이스에서, 감지 증폭기는 타이밍 펄스 신호에 의해 활성화된다.

전원 전압 결정 회로(VD)는 전원 전압(V<sub>CC</sub>)이 특정 전압 보다 높은지의 여부를 결정하고, 타이밍 펄스 신호의 펄스 폭은 전원 전압 결정 회로의 출력에 의해 제어된다.

대표도

도 11

명세서

[발명의 명칭]

복수 범위의 전원 전압용 반도체 메모리 디바이스

[도면의 간단한 설명]

- 제 11도는 본 발명에 따른 반도체 메모리 디바이스의 한 실시예를 도시하는 블록 회로도.
- 제 12도는 제 11도의 전원 전압 결정 회로를 도시하는 상세 회로도.
- 제 13도는 제 12도의 회로의 동작을 도시하는 그래프.
- 제 14도는 제 11도의 타이밍 펄스 생성 회로를 도시하는 상세 회로도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

반도체 메모리 디바이스에 공급된 전원 전압(V<sub>CC</sub>)이 특정 전압(V<sub>CC0</sub>)보다 높은지의 여부를 결정하는 전원 전압 결정 회로(VD); 어드레스 신호(A<sub>1</sub><sup>'</sup>, A<sub>2</sub><sup>'</sup>, ..., A<sub>m</sub><sup>'</sup>) 중의 적어도 한 신호에서의 전이(AU)를 검출하는 어드레스 전이 검출 회로(ATD); 상기 전원 전압 검출 회로와 상기 어드레스 전이 검출 회로에 접속되며, 상기 어드레스 신호의 전이에 응답해서 제 1 타이밍 펄스 신호(PU<sub>1</sub>)를 발생시키는 타이밍 펄스 생성 회로(PG<sub>2</sub>)를 포함하며, 상기 제 1 타이밍 펄스 신호의 펄스 폭은 상기 전원 전압이 상기 특정 전압보다 높은지의 여부에 따라 제어되며; 메모리셀 어레이(MCA); 및 상기 메모리셀 어레이에 동작 가능하게 접속되며, 상기 어드레스 신호에 따라 상기 메모리셀 어레이로부터의 데이터 판독을 감지하는 감지 증폭기(SA<sub>1</sub>)를 포함하며, 상기 감지 증폭기는 상기 타이밍 펄스 생성 회로에 접속되며 상기 제 1 타이밍 펄스 신호에

의해 활성화되는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 2**

제1항에 있어서, 상기 감지 증폭기와 상기 타이밍 펄스 생성 회로에 접속되며 상기 타이밍 펄스 생성 회로로부터 생성된 제2타이밍 펄스 신호( $PU_2$ )에 따라 상기 감지 증폭기의 출력 신호( $SO_1$ )를 출력 버퍼( $OUT_1$ )를 더 포함하며, 상기 제2타이밍 펄스 신호는 상기 제1타이밍 펄스 신호가 비활성이 될 때마다 활성화되는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 3**

제1항에 있어서, 상기 타이밍 펄스 생성 회로는, 상기 어드레스 전이 검출 회로에 접속되며, 상기 전원 전압에 의해 공급받는 지연 회로( $G_1$ ); 상기 어드레스 전이 검출 회로와 상기 지연 회로에 접속되며, 상기 제1타이밍 펄스 신호를 발생시키기 위해 상기 어드레스 전이 검출 회로의 출력 신호(AU)와 상기 지연 회로의 출력 신호(F)에 대해 논리 연산을 수행하는 게이트 회로( $G_2$ ); 다수의 전압( $V_1, V_2, \dots$ )을 발생시키기 위해 상기 전원 전압을 분할하는 분압기( $U_1$ ); 및 상기 지연 회로와 상기 분압기 사이에 접속되며 상기 지연 회로의 지연 시간을 조정하기 위해 상기 전원 전압 결정 회로에 의해 제어되는 제1스위칭 회로( $U_2$ )를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 4**

제3항에 있어서, 상기 지연 회로는 직렬 접속되며 상기 전원 전압에 의해 전력을 공급받는 다수의 충전 및 방전 회로를 포함하며, 상기 제1스위칭 회로는 상기 충전 및 방전 회로 각각의 충전 능력 및 방전능력이 상기 전원 전압 결정 회로의 출력 신호에 관계없이 대략 동일하게 되도록 제어되는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 5**

제4항에 있어서, 상기 각각의 충전 및 방전 회로는 직렬 접속된 적어도 하나의 P채널 MOS트랜지스터 및 N채널 MOS 트랜지스터와, 상기 P채널 MOS 트랜지스터에 의해 충전되고 상기 N채널 MOS 트랜지스터에 의해 방전되는 캐패시터를 포함하며, 상기 제1스위칭 회로는 상기 각각의 충전 및 방전 회로의 상기 P채널 MOS 트랜지스터 및 상기 N채널 MOS 트랜지스터 중의 하나의 포화 전류를 제어하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 6**

제3항에 있어서, 상기 게이트 회로는 NAND 회로인 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 7**

제3항에 있어서, 상기 타이밍 펄스 생성 회로는 상기 제1스위칭 회로와 상기 분압기의 노드 사이에 접속된 다수의 제2스위칭 회로(1712 내지 1717)를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 8**

제7항에 있어서, 상기 제2스위칭 회로의 각각은 접속의 유무에 의해 형성되는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 9**

제7항에 있어서, 상기 제2스위칭 회로는 퓨즈형 PROM에 의해 형성되는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 10**

제3항에 있어서, 상기 분압기는 상기 전원 전압에 의해 전력을 공급받는 직렬 배치된 다수의 저항을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 11**

제3항에 있어서, 상기 분압기는 상기 전원 전압에 의해 전력을 공급받는 직렬 배치된 게이트 대 드레인 접속 MOS 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 12**

어드레스 신호의 전이에 응답하여 내부 회로( $SA_1$ )를 활성화하는 내부 회로( $SA_1$ )를 활성화시키는 펄스 신호 생성 회로( $PG_2$ )를 포함하는 반도체 메모리 디바이스에 있어서, 출력 신호(LV)를 발생시키기 위해 전원 전압( $V_{cc}$ )이 특정 전압( $V_{cc0}$ ) 보다 높은지의 여부를 결정하는 전원 전압 결정 회로(VD); 상기 전원 전압을 분할하는 분압기( $U_1, U_1'$ ); 및 상기 분압기와 상기 펄스 신호 생성 회로 사이에 접속되며 상기 전원 전압 결정 회로의 출력 신호에 의해 제어되는 스위칭 회로( $U_2$ )를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 13**

제12항에 있어서, 상기 분압기는 상기 전원 전압에 의해 전력을 공급받는 직렬 접속된 다수의 로드부를

포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 14**

제13항에 있어서, 상기 각 로드부는 저항을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

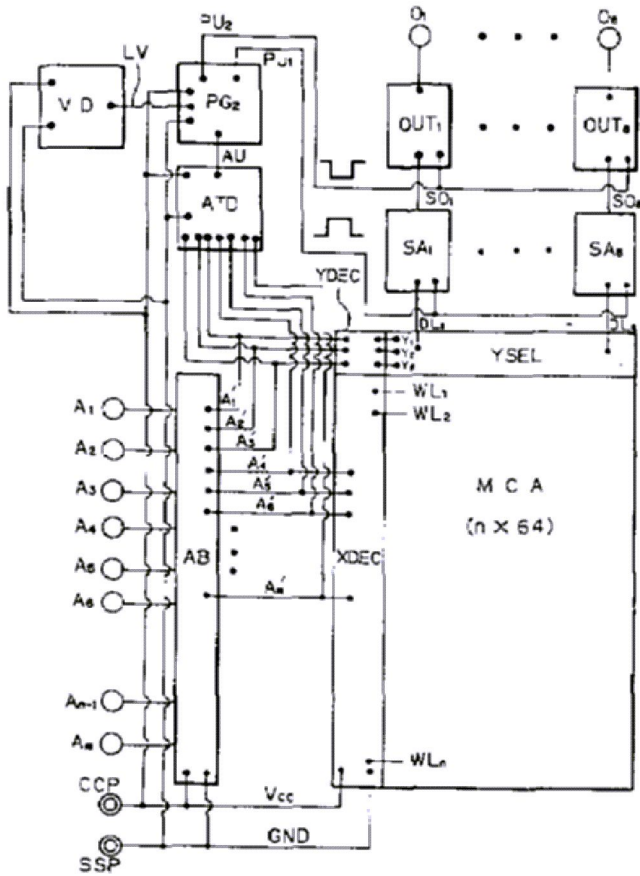
**청구항 15**

제13항에 있어서, 상기 각 로드부는 게이트 대 드레인 접속의 MOS 트랜지스터를 포함하는 것을 특징으로 하는 메모리 디바이스.

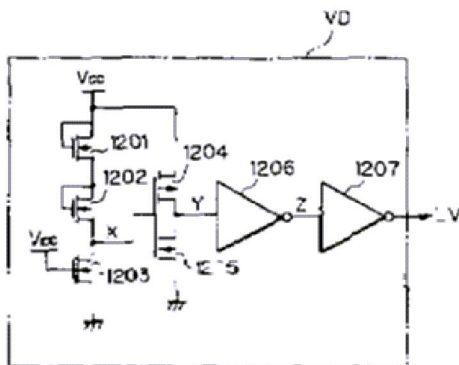
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

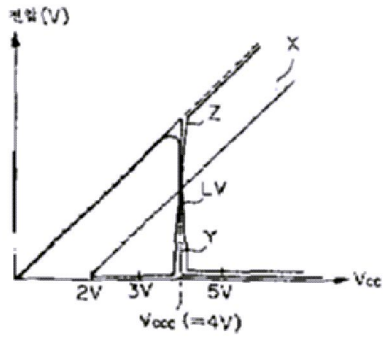
도면11



도면12



도면 13



도면 14

