



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0001896
(43) 공개일자 2014년01월07일

- (51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
- (21) 출원번호 10-2013-7012334
- (22) 출원일자(국제) 2011년10월11일
심사청구일자 없음
- (85) 번역문제출일자 2013년05월13일
- (86) 국제출원번호 PCT/US2011/055760
- (87) 국제공개번호 WO 2012/051176
국제공개일자 2012년04월19일
- (30) 우선권주장
12/969,186 2010년12월15일 미국(US)
61/392,450 2010년10월12일 미국(US)

- (71) 출원인
애플리콧 머티어리얼즈 테크놀로지스, 엘엘씨
미국 플로리다 주피터 주피터 파크 드라이브 2915
슈트 300 (우: 33458)
- (72) 발명자
차이, 리양
미국 34997 플로리다 스튜어트 사우쓰이스트 시게
이트 레인 7204
- (74) 대리인
특허법인 남앤드남

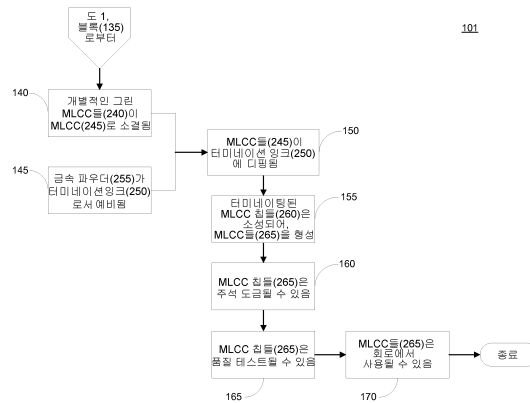
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 세라믹 캐패시터 및 제조 방법

(57) 요약

캐패시터는 전극들의 쌍 및 전극들의 쌍 사이에 배치되는 금속화된 유전체 층을 포함하며, 여기서 금속화된 유전체 층은 유전체 재료 내에 분포되는 다수의 금속 집합체들을 갖는다. 금속화된 유전체 층에서 금속의 체적 분율이 적어도 약 30%이도록 분포된다. 한편, 다수의 금속 집합체들은 유전체 재료에 의하여 서로 분리된다. 금속-유전체 복합물을 형성하는 방법은, 다수의 금속-코팅된 유전체 입자들을 형성하기 위하여 금속으로 다수의 유전체 입자들을 코팅하는 단계 및 금속 코팅들을 다수의 별개의 분리된 금속 집합체들로 변형시키기 위하여 적어도 약 750℃ 내지 약 950℃의 온도에서 다수의 금속-코팅된 유전체 입자들을 소결하는 단계를 포함할 수 있다. 유전체 테이블에 의해 전극들을 분리하는 종래의 기법들에 반해, 이 발명의 시스템 및 방법은 소결 동안 금속화된 유전체 층이 인-시투로 형성될 수 있음을 증명한다.

대표도 - 도1b



특허청구의 범위

청구항 1

캐패시터로서,

전극들의 쌍; 및

상기 전극들의 쌍 사이에 배치되는 금속화된 유전체 층

을 포함하며, 상기 금속화된 유전체 층의 금속의 체적 분율(volume fraction)이 적어도 약 30%이도록, 유전체 재료 내에 분포되는 다수의 금속 집합체들을 포함하고, 상기 다수의 금속 집합체들은 상기 유전체 재료에 의하여 서로 분리되는, 캐패시터.

청구항 2

제1항에 있어서,

소결(sintering) 동안에 인-시투로(in-situ) 형성되고 상기 전극들 중 적어도 하나의 전극으로부터 상기 금속화된 유전체 층을 분리시키는, 적어도 하나의 실질적으로 금속 프리 유전체 층(metal free dielectric layer)을 더 포함하는, 캐패시터.

청구항 3

제1항에 있어서,

상기 금속의 체적 분율은 약 30% 내지 약 60%의 범위에 있는, 캐패시터.

청구항 4

제1항에 있어서,

상기 금속의 체적 분율은 약 40% 내지 약 50%의 범위에 있는, 캐패시터.

청구항 5

제1항에 있어서,

상기 금속화된 유전체 층은 플로팅 전극(floating electrode)으로서 구성되는, 캐패시터.

청구항 6

제1항에 있어서,

상기 금속화된 유전체 층은 전압 단자(voltage terminal)와 전기 결합하기 위한 전극으로서 구성되는, 캐패시터.

청구항 7

제1항에 있어서,

상기 금속화된 유전체 층은 약 0.01 미크론 내지 약 250.0 미크론 범위의 두께를 갖는, 캐패시터.

청구항 8

제1항에 있어서,

상기 캐패시터는 상기 금속화된 유전체들이 없는 캐패시터보다 약 2배 내지 약 1000배 또는 그 초과인 용량성 밀도(capacitive density)를 나타내는, 캐패시터.

청구항 9

제1항에 있어서,
상기 유전체 재료는 세라믹을 포함하는, 캐패시터.

청구항 10

다중-층 캐패시터로서,
다수의 전극들; 및

다수의 유전체 층들 — 상기 유전체 층들 각각은 상기 전극들 중 2개의 전극들 사이에 배치됨 — 을 포함하며, 상기 유전체 층들 중 적어도 하나의 유전체 층은 다수의 금속 함유물들(inclusion)들이 분포되는 유전체 재료를 포함하는 금속화된 부분을 갖고, 상기 금속화된 부분의 금속의 체적 분율은 적어도 약 30%이며, 상기 금속 함유물들은 상기 유전체 재료에 의하여 서로 분리되는, 다중-층 캐패시터.

청구항 11

제10항에 있어서,
소결 동안에 인-시튜로 형성되고 상기 전극들 중 적어도 하나의 전극으로부터 상기 금속화된 유전체 층을 분리시키는, 적어도 하나의 실질적으로 금속 프리 유전체 층을 더 포함하는, 다중-층 캐패시터.

청구항 12

제11항에 있어서,
상기 금속화된 유전체 층의 금속의 체적 분율은 적어도 약 30%인, 다중-층 캐패시터.

청구항 13

제12항에 있어서,
상기 금속의 체적 분율은 약 40% 내지 약 60%의 범위에 있는, 다중-층 캐패시터.

청구항 14

금속-유전체 복합물을 형성하는 방법으로서,
다수의 금속-코팅된 유전체 입자들을 형성하기 위하여, 금속으로 다수의 유전체 입자들을 코팅하는 단계; 및
상기 금속 코팅들을 다수의 별개의 분리된 금속 집합체들로 변형시키기 위하여 약 750℃ 내지 약 950℃의 온도에서 상기 다수의 금속-코팅된 유전체 입자들을 소결하는 단계를 포함하는, 금속-유전체 복합물을 형성하는 방법.

청구항 15

제14항에 있어서,
약 800℃ 내지 약 945℃의 범위에 있도록 상기 소결 온도를 선택하는 단계를 더 포함하는, 금속-유전체 복합물을 형성하는 방법.

청구항 16

제14항에 있어서,
소결 동안에 인-시튜로 적어도 하나의 실질적으로 금속 프리 유전체 층을 형성하는 단계를 더 포함하며, 상기 적어도 하나의 실질적으로 금속 프리 유전체 층은 상기 전극들 중 적어도 하나의 전극으로부터 상기 금속화된 유전체 층을 분리하는, 금속-유전체 복합물을 형성하는 방법.

청구항 17

제16항에 있어서,

적어도 약 30%인 금속의 체적 분율을 갖는 상기 금속화된 유전체 층을 형성하는 단계를 더 포함하는, 금속-유전체 복합물을 형성하는 방법.

청구항 18

제16항에 있어서,

약 40% 내지 약 60%의 범위에 있는 금속의 체적 분율을 갖는 상기 금속화된 유전체 층을 형성하는 단계를 더 포함하는, 금속-유전체 복합물을 형성하는 방법.

청구항 19

제15항에 있어서,

약 0.1 내지 약 250 마이크론의 범위의 두께를 갖는 상기 금속화된 유전체 층을 형성하는 단계를 더 포함하는, 금속-유전체 복합물을 형성하는 방법.

청구항 20

제15항에 있어서,

상기 금속-유전체 복합물은 캐패시터로서 사용되며, 상기 캐패시터는 금속화된 유전체들이 없는 상기 캐패시터보다 약 2배 내지 약 1000배 또는 그 초과인 용량성 밀도를 나타내는, 금속-유전체 복합물을 형성하는 방법.

명세서

기술분야

[0001] 이 출원은 출원 일련 번호 12/969,186가 부여되고 2010년 12월 15일자로 출원된 "CAPACITOR WITH THREE-DIMENSIONAL HIGH SURFACE AREA ELECTRODE AND METHODS OF MANUFACTURE"라는 제목의 미국 정규 출원의 부분 연속 출원이며, 상기 미국 정규 출원에 대해 35 U.S.C. § 120 하에서 우선권을 주장한다. 35 U.S.C. § 119(e) 하에서의 또한 출원 일련 번호 61/392,450가 부여되고 2010년 10월 12일자로 출원된 "CERAMIC CAPADITOR AND METHOD OF MAKING THE SAME"라는 제목의 미국 가출원에 대해 우선권이 주장된다. 이들 2개 특허 출원들의 전체 내용들은 이로써 참조에 의해 포함된다.

배경기술

[0002] 캐패시터는 캐패시턴스의 주요한 전기적 특성, 즉, 전기 전하를 저장하는 능력을 갖는 임의의 디바이스이다. 전자 분야에서, 전기 전하를 저장하는 캐패시터의 능력은 전기 전류의 흐름을 제어하는데 유용하다. 또한, 캐패시터들은 전기 신호들을 필터링하는 목적을 위해 회로들에서 이용될 수 있다; 예를 들어, 가변 캐패시턴스를 갖는 캐패시터가 라디오 또는 텔레비전 수신기의 튜닝 회로에서 이용될 수 있다. 캐패시턴스를 변화시키는 것은 그것이 원하는 스테이션 또는 채널의 주파수를 매칭시키도록 튜너 회로의 공진 주파수를 변화시켜, 모든 원치않는 주파수들의 신호들을 필터링한다(filter out).

[0003] 캐패시터들 중 가장 단순한 캐패시터는 유전체로도 또한 지칭되는, 절연체에 의하여 서로 분리되는 전도성 재료의 2개의 플레이트들을 포함할 수 있으며, 각각의 플레이트는 단자에 연결된다. 충전되지 않은 캐패시터의 단자들 양단에 전압이 걸릴 때, 전하는 플레이트들 각각으로 흐르지만(애노드 플레이트에 대한 양전하 및 캐소드 플레이트에 대한 음전하), 전도성 플레이트 사이에 샌드위치되는 절연체 양단에는 흐르지 않는다. 전도성 애노드 및 캐소드 플레이트들 상에서 반대 전하들이 증가함에 따라, 그들 사이의 유전체 상의 힘이 또한 증가하고, 그에 의해 유전체 양단의 전계가 증가하게 한다. 이 현상은 플레이트들 상의 전하에 비례하여 증가하는 전압을 일으킨다.

[0004] 각각의 플레이트 상의 전하 크기 대 플레이트들 사이의 전위(전압)의 비율은 전술한 캐패시턴스이며, 캐패시터를 충전하는데 사용되는 외부적으로 인가된 전압 소스에 가깝다. 이들 2개 전압들이 동일한 크기를 가질 때(전압 소스 및 캐패시터), 전류는 흐르는 것을 중단하고, 캐패시터는 충전되는 것으로 고려된다. 충전된 캐패시터는 후속하여, 인가된 전기 부하를 통한 외부 전압을 감소시킴으로써 방전되며, 따라서 생성된 전류가 플레이트들로부터 전하를 빠르게 흘러보내는 경우, 플레이트들 양단의 전압의 감소를 야기한다.

[0005] 다수의 타입들의 캐패시터들이 존재하며, 캐패시터들 각각은 구성 및 재료 조합들이 변화하지만, 상기 설명된

물리학은 모두에 대해 본질적으로 동일하다. 공통 캐패시터 타입은 유전체 층에 대한 세라믹을 이용하며, 원통형 구조(여기서 세라믹 재료의 중공 실린더는 그것의 내측 및 외측 표면들 상에서 전도성 금속의 박막들과 라이닝됨) 또는 평탄한 평행 플레이트 구조(여기서 전도성 재료들 및 세라믹의 다수의 플레이트들은 샌드위치된 "전극-유전체-전극" 배열을 생성하기 위하여 인터리브됨)를 취할 수 있다.

[0006] 제조는 소위 평행 플레이트 구조로 이루어지는 캐패시터들에 대해 상당히 간단하다. 유전체의 층이 2개의 전도성 전극 층들 사이에 샌드위치되며, 여기서 결과적인 평행 플레이트 캐패시터의 캐패시턴스는 전극 플레이트들의 중첩된 영역, 유전체 층의 두께 및 유전체의 유전율의 함수이다.

[0007] 다중-층 세라믹 캐패시터(MLCC)는 다수의 적층된 "전극-유전체-전극" 배열들(EDE)을 갖는 평행 플레이트 캐패시터이며, 각각의 "전극-유전체-전극" 배열들은 삼중-층을 형성할 수 있다. MLCC의 캐패시턴스는 다수의 평행한 플레이트들의 평행한 연결에 의해 대폭 증가될 수 있다. 꽤 간단하게, 더 많이 적층된 배열들은 캐패시턴스를 증가시키고, MLCC를 형성한다. 유사하게, 개별적인 캐패시터들은 또한 직렬로 연결되어, 본질적으로 상기 설명된 MLCC를 더 많은 양의 헤드 룸(head room)과 대조적으로 더 큰 표면적에 걸쳐 전개될(spread) 수 있다.

[0008] 고도로 적층된 MLCC 위에 직렬로 연결된 캐패시터들의 장점은 직렬 배열이 항복 전압(voltage breakdown)에 대해 더 나은 저항을 나타내는 것으로 본 기술분야에 알려진다는 점이다(주어진 캐패시터 상의 전하 및 전압이 증가됨에 따라, 몇몇 포인트에서, 유전체는 더 이상 서로로부터 전하들을 절연시킬 수 없고, 후속하여 유전 파괴(dielectric breakdown) 또는 몇몇 영역들에서의 높은 전도율을 나타내며, 이는 저장된 에너지 및 전하를 낮추어 내부적인 열을 발생시키는 경향이 있다).

[0009] 통상적인 MLCC들을 제조하는데 이용되는 제조 방법들로 다시 돌아가, 캐패시터는 전도성 플레이트들의 교번하는(alternating) 쌍들 사이에 세라믹 기반 슬러리와 같은 유전체 슬러리를 인가함으로써 만들어질 수 있다. 그러나 MLCC들의 제조는 대체로 플레이트들 대신에 전도성 잉크 또는 페이스트(예를 들어, 은과 같은 전도성 재료를 포함하는 잉크 또는 페이스트)의 사용으로 이동하였다; 이 잉크 또는 페이스트는 캐리어 폴리머 막 상에 이전에 주조되었던 유전체 슬러리의 "그린 테이프(green tape)" 위에 스크린-프린팅될 수 있다. 상기 설명된 것과 일치하여, 인터리브된 유전체 테이프 및 전극 애플리케이션들의 다수의 층들은 최종적 MLCC 물건을 형성하기 위하여 함께 적층되고 라미네이팅될 수 있다.

[0010] 약 500 내지 약 1000개의 층들을 갖는 다중-층 세라믹 캐패시터들이 달성가능하며, 여기서 유전체 층들은 종종 약 1 마이크로 미만의 두께이다. MLCC의 층 두께의 감소는 절약된 헤드 룸과 직접 관련되지만, 이것은 종종 프리미엄이 붙은(come at a premium) 헤드룸이 아니다. 실제로, MLCC와 같은 수동 전기 컴포넌트를 수용하도록 요구되는 전체 표면적은 전기 회로 내의 귀중한 부지(real estate)를 나타낸다.

[0011] 수동 컴포넌트들이 표면 실장 기술을 사용하여 점유하는 공간을 감소시키기 위해, 0402 사이즈(약 0.04 인치 × 약 0.02 인치)는 가장 인기 있는 것으로서 활기를 찾고 있으며, 심지어 0201(약 0.02 인치 × 약 0.01 인치)이 신뢰성 있게 제조될 수 있다. 일반적으로, 캐패시턴스를 일정하게 홀딩할 때, MLCC를 더 작게 하는 것이 더 낫다. 그러나 유전체 및 전극 층들의 두께의 계속되는 감소가 제조 문제들을 생성할 수 있음에 따라, 단순히 영역 풋프린트(footprint)를 감소시키고 층 수량들을 증가시키는데 대한 제한이 존재한다. 따라서, 세라믹 캐패시터의 용량성 밀도를 증가시키고 사이즈를 감소시키는 추세가 계속되기 위해 대안적인 방법들을 제공할 필요성이 존재하며, 향상된 용량성 밀도를 나타내는 캐패시터들에 대한 필요성이 존재한다.

발명의 내용

[0012] 일 양상에서, 전극들의 쌍 및 전극들의 쌍 사이에 배치되는 금속화된 유전체 층을 포함하는 캐패시터가 개시되며, 여기서 금속화된 유전체 층은 유전체 재료 내에 분포되는 다수의 금속 집합체들을 갖는다. 금속화된 유전체 층의 금속의 체적 분율은 적어도 약 20 중량 퍼센트(wt%), 또는 적어도 약 30 wt%, 또는 적어도 약 40 wt%, 또는 적어도 약 50 wt%, 예를 들어, 약 30 wt% 내지 약 60 wt% 범위에 있도록 분포된다. 다수의 실시예들에서, 다수의 금속 집합체들(또한 "금속 함유물(metal inclusion)들"로서 지칭됨)은 유전체 재료에 의하여 서로 분리된다.

[0013] 다수의 실시예들에서, 금속 집합체들은 퍼컬레이션(percolation) 금속 네트워크를 형성하지 않고 상기 체적 분율들과 같은, 금속화된 유전체 층의 상당한 체적 분율을 제공한다.

[0014] 몇몇 예시적 실시예들에서, 금속화된 유전체 층의 금속의 체적 분율은 약 40% 초과, 예를 들어, 약 40% 내지 약 60%의 범위에 있을 수 있다. 다른 실시예들에서, 금속의 체적 분율은 약 50% 내지 약 60%의 범위에 있을 수 있

다.

- [0015] 몇몇 실시예들에서, 금속화된 유전체 층은 약 0.01 내지 약 250.0 미크론의 범위의 두께를 가질 수 있다.
- [0016] 몇몇 실시예들에서, 금속화된 유전체 층은 실질적으로 금속 프리 유전체 층(본 명세서에서 "공핍 층(depletion layer)"으로서 또한 지칭됨)에 의하여 전극들 중 적어도 하나의 전극으로부터 분리된다. 그러한 몇몇 실시예들에서, 금속화된 유전체 층은 2개의 전극들 각각으로부터 분리되며, 금속화된 유전체 층은 2개의 전극들 사이에 실질적으로 금속 프리 유전체 층에 의하여 배치된다. 몇몇 실시예들에서, 실질적으로 금속 프리 유전체 층의 두께는 약 5.0 내지 약 10.0 미크론의 범위에 있다.
- [0017] 몇몇 실시예들에서, 금속화된 유전체 층은 플로팅 전극(즉, 외부 전압 소스에 커플링하도록 구성되지 않는 전극)으로서 구성되는 반면, 몇몇 다른 실시예들에서, 금속화된 유전체 층은 전압 단자와의 전기적 커플링에 적합한 전극으로서 구성된다.
- [0018] 몇몇 실시예들에서, 금속화된 유전체 층을 갖는 상기 캐패시터는 동일한 사이즈, 전극들 및 유전체 재료를 갖지만 금속 함유물들이 부족한 추정(putative) 캐패시터의 캐패시턴스보다 적어도 2배 큰(예를 들어, 2배 내지 1000배 범위의) 캐패시턴스를 나타낸다.
- [0019] 몇몇 실시예들에서, 유전체 재료는 세라믹을 포함한다. 예를 들어, 유전체 재료는 예를 들어, 약 0.01 미크론 내지 약 15.0 미크론 범위의, 그리고 더욱 구체적으로는 약 0.05 미크론 내지 약 10.0 미크론의 사이즈를 갖는 다수의 세라믹 입자들의 형태일 수 있다. 그러한 다수의 실시예들에서, 금속화된 유전체 층의 금속 집합체들은 세라믹 입자들의 외측 표면들 상에 배치되는 금속 함유물의 형태일 수 있다.
- [0020] 몇몇 실시예들에서, 세라믹 입자들은 BaTiO₃, 도핑된 BaTiO₃ 및 다른 티탄산 바륨 유전체들 중 임의의 것으로 형성된다.
- [0021] 몇몇 실시예들에서, 상기 캐패시터에서, 전극들 중 적어도 하나의 전극은 유전체에 통합되는 금속과 공동으로 적어도 하나의 컴포넌트를 갖는 금속성 성분으로 형성된다. 예를 들어, 몇몇 실시예들에서, 전극들 모두는 유전체에 통합된 것과 동일한 금속으로 형성된다.
- [0022] 다른 양상에서, 적어도 하나의 전극들의 쌍 및 전극들 사이에 배치되는 유전체 층을 포함하는 캐패시터가 개시되며, 유전체 층은 금속화된 부분을 포함한다. 금속화된 부분은 분리된 금속 함유물들이 유전체 내에 분포되는 금속-유전체 복합물의 형태일 수 있다. 캐패시터는 유전체 층에 통합되는 금속의 부족을 제외하고, 모든 점에서 동일한(예를 들어, 이것은 각각 동일한 금속 및 유전체 재료로 형성되는 전극들 및 유전체 층과 동일한 사이즈를 가짐) 제어 캐패시턴스의 캐패시턴스보다 적어도 약 3 배, 또는 적어도 약 5 배, 또는 적어도 약 10 배, 또는 적어도 약 20배 더 큰 캐패시턴스를 나타낸다. 예를 들어, 캐패시터는 약 3배 내지 약 1000배 범위로 제어 캐패시터의 캐패시턴스보다 더 큰 캐패시턴스를 나타낼 수 있다.
- [0023] 몇몇 실시예들에서, 금속-통합 유전체의 유효 유전 상수는 20의 유전 상수를 갖는 정상 유전체에 대해 약 20 내지 약 120의 범위에 있을 수 있다. 몇몇 실시예들에서, 금속 함유물들은 전체 유전체 층 전반에 걸쳐 분포되나, 다른 실시예들에서 금속 함유물들은 유전체 층의 일부분으로 국한된다. 몇몇 경우들에서, 그러한 금속화된 층은 실질적으로 금속 함유물들("공핍 층")이 없는 층에 의해 전극들 중 적어도 하나의 전극으로부터 분리될 수 있다.
- [0024] 다른 양상에서, 다수의 금속-코팅된 유전체 입자들을 형성하기 위하여, 금속으로 다수의 유전체 입자들을 코팅하는 단계, 및 금속 코팅들을 다수의 별개의 분리된 금속 집합체들로 변형시키기 위하여 다수의 금속-코팅된 유전체 입자들을 소결하는 단계를 포함하는, 금속-유전체 복합물을 형성하기 위한 방법이 개시된다. 일반적으로, 소결 온도는 세라믹 입자들을 코팅하는데 사용되는 금속에 기반하여 선택된다. 예를 들어, 몇몇 실시예들에서, 예컨대 은이 사용되는 경우 소결 온도는 적어도 약 800°C일 수 있다. 소결 온도는 일반적으로 약 750°C 내지 약 950°C의 범위에 있으며, 그리고 더욱 구체적으로는 약 850°C 내지 약 945°C일 수 있다. 다른 온도들 및 소결 지속기간들이 또한 이용될 수 있으나, 다수의 금속-코팅된 유전체 입자들은 약 10분 내지 약 1000분의 범위의 지속기간(duration) 동안 소결될 수 있다.
- [0025] 상기 방법의 몇몇 실시예들에서, 유전체 층에 포함되는 금속의 일부는 그 전극 근처에 얇은 유전체 층을 형성하도록 고온 소결 프로세스 동안 전극들 중 적어도 하나의 전극으로 이동하며(migrate), 여기서 얇은 유전체 층은 실질적으로 금속이 없다("공핍 층"). 다시 말해, 약 0.01 미크론 내지 약 20.0 미크론의 범위, 예를 들어, 약 0.01 미크론 내지 약 10.0 미크론의 범위의 두께를 가질 수 있는 공핍 층이 소결 프로세스 동안 인-시투로(in-

situ) 형성될 수 있다. 몇몇 실시예들에서, 전극들 중 적어도 하나의 전극의 금속성 성분(들) 및 유전체에 포함되는 금속의 금속 성분(들)은 예를 들어 전극에 대해 유전체에 포함되는 금속의 일부의 "위킹(wicking)"을 용이하게 함으로써, 공핍 층의 인-시튜 형성을 용이하게 하도록 공동으로 적어도 하나의 컴포넌트를 갖게 선택된다.

[0026] 발명의 시스템은 금속화된 유전체 층이 소결 동안 인-시튜로 형성될 수 있음을 증명한다. 캐패시터 구조물은 다중-층 세라믹 캐패시터(MLCC)의 소결 프로세스 동안 인-시튜로 생성될 수 있다. 예를 들어, 귀금속 MLCC에서, 유전체 층을 형성하는 은 유전체 복합물의 은은 다중층 세라믹 캐패시터의 소결 동안 전극 층으로 이동하는 경향이 있다. 은 유전체 복합물에 남겨지는 유전체는 캐패시터 구조물에 유전체 층을 형성한다. 이 얇은 유전체 층의 두께는 금속 또는 합금의 타입, 금속 함량(content)의 퍼센티지, 소결 온도 및 지속기간, 유전체 조성물들과 같은 파라미터들에 따라 변화할 수 있다. 통상적으로, 0.1 내지 약 20 마이크론의, 그리고 더욱 통상적으로 약 0.2 내지 약 5 마이크론의 두께가 달성될 수 있다. 소결 동안에 인-시튜로 생성되는 캐패시터 구조물은 향상된 MLCC를 제조하기 위하여 현재 테일 빌드업(buil dup) 기술을 보완할 수 있다.

도면의 간단한 설명

[0027] 도 1a-1b는 EDE 삼중-층들을 갖는 3-차원 다중-층 세라믹 캐패시터를 발생시키기 위한 실시예에 따른 변형된 제조 프로세스를 총괄하여 예시한다.

도 1c는 도 1의 방법에 금속 코팅된 유전체 테일이 사용될 때 제조되는 MLCC의 단면 야금학적 미세구조도를 예시한다.

도 2a는 소결 이전의 MLCC의 구성을 예시한다.

도 2b는 유전체로 구성되는 그것의 단부들에서의 절연부를 갖는 MLCC의 구성을 예시한다.

도 2c는 Ag-유전체 복합물이 전기적으로 단락되는 MLCC의 비교 예를 예시한다.

도 3은 유전체 테일의 표면 상에 전극 및 Ag-유전체들 양자 모두가 프린팅되는 비대칭적 레이아웃을 갖는 MLCC를 예시한다.

도 4는 도 3의 예시적 실시예의 비대칭적 레이아웃에 관한 MLCC의 예비-소결 스테이지 및 대칭적 레이아웃을 예시한다.

도 5a는 유전체 층들이 아직 형성되지 않은, 소결 이전의 예시적 MLCC를 예시한다.

도 5b는 소결 이후의 예시적 MLCC의 야금학적 미세구조 단면도를 예시한다.

도 6a-6c는 대략 5시간 동안 대략 940C에서 MLCC를 소결한 이후에, Ag 코팅된 유전체 테일들을 사용하는 제1 샘플의 주사 전자 현미경(SEM)에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 7a-7d는 도 6a-6c의 샘플 MLCC에 대응하는 다른 제1 샘플 MLCC들의 광학 현미경에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 8a-8c는 대략 5시간 동안 대략 940C에서 MLCC를 소결한 이후에, Ag 코팅된 유전체 테일들을 사용하는 제2 샘플의 주사 전자 현미경(SEM)에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 9a-9d는 도 8a-8c의 샘플 MLCC에 대응하는 다른 제2 샘플 MLCC의 광학 현미경에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 10a-10c는 대략 1시간 동안 대략 975C에서 MLCC를 소결한 이후에, Ag 코팅된 유전체 테일들을 사용하는 제3 샘플 MLCC의 주사 전자 현미경(SEM)에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 11a-11c는 도 10a-10c의 샘플 MLCC에 대응하는 다른 제3 샘플 MLCC들의 광학 현미경에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 12a-12c는 대략 1시간 동안 대략 975C에서 MLCC를 소결한 이후에, Ag 코팅된 유전체 테일들을 사용하는 제4 샘플 MLCC의 주사 전자 현미경(SEM)에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 13a-13d는 도 12a-12c의 샘플 MLCC에 대응하는 다른 제4 샘플 MLCC들의 광학 현미경에 의하여 제조되는 야금학적 미세구조 단면도들을 예시한다.

도 14는 3-차원 캐패시터의 예시적 일 실시예를 형성하는 단일 EDE 삼중-층의 단면도를 예시하며, 3-차원 구조물들이 유전체 미립자들 상에 전도성 코팅들로부터 형성된다.

도 15는 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 층의 단면도를 예시하며, 여기서 3-차원 구조물들은 코팅된 유전체 입자들의 유전체 슬러리로 혼합된 금속 입자들로부터 형성된다.

도 16은 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 금속 입자들은 유전체 그린 테이프로 함침된다(impregnated into).

도 17은 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 금속 입자들은 유전체 그린 테이프로 함침되며, 컨덕터 플레이트들은 유전체 층 근처의 낮은 용융점 전극 재료의 층을 포함한다.

도 18은 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 금속 코팅된 미립자는 전도성 층들을 생성하는데 사용되며, 상기 전도성 층들 사이에 유전체 층이 샌드위치된다.

도 19는 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 금속 코팅된 세라믹 층이 유전체 층과 전극 층들 사이에 형성된다.

도 20은 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 3-차원 구조물들이 1차 컨덕터 층들로부터 유전체 층으로 수직으로 돌출된다.

도 21은 3-차원 캐패시터의 다른 예시적 실시예를 형성할 수 있는 단일 EDE 삼중-층의 단면도를 예시하며, 여기서 3-차원 구조물들이 1차 컨덕터 층들로부터 유전체 층으로 돌출된다.

도 22는 유전체 층에 다수의 별개의 금속 함유물들을 갖지만 전극들 근처의 "공핍 층"이 없는 3-차원 캐패시터의 다른 예시적 실시예의 단면도를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0028] 이전에 개시된 실시예들 뿐 아니라, 실시예들의 피쳐들 및 양상들은 캐패시턴스 효율을 향상시키기 위한 캐패시터 및 제조 방법들을 제공하는 것에 관련된다. 더욱 구체적으로, 향상된 캐패시터는 유전체와의 계면의 포인트에서 3-차원 양상들을 갖는 전극 층들로 구성될 수 있다. 바람직하게, 3-차원 캐패시터의 실시예들은 본 기술분야의 당업자에게 알려진 현재 캐패시터 설계들과 비교할 때, 캐패시터를 수용하기 위하여 회로에 요구되는 공간 풋프린트(space footprint)를 대폭 감소시킨다. 증가된 용량성 밀도는 하이 k(높은 상수) 유전체 재료들, 계속해서 증가하는 적층물의 부가적인 "전극-유전체-전극" 배열들, 또는 다수의 캐패시터들을 함께 직렬로 잇는(stringing) 것을 필수적으로 요구하지 않고 구현될 수 있다.

[0029] 몇몇 실시예들에서, 하나 또는 그 초과인 금속화된 유전체 층들을 포함하는, MLCC와 같은 캐패시터가 개시되며, 유전체 층들 각각은 전압 단자들에 커플링하도록 적용되는 2개의 전극들 사이에 배치된다. 통합된 금속은 퍼컬레이션 네트워크를 형성하지 않는 개별적인 금속성 함유물들을 형성하는 것을 보장하면서, 유전체 층 내에 상당량의 금속이 포함될 수 있는 것이 발견되었다. 사실상, 몇몇 경우들에서, 통합된 금속의 체적 분율은 퍼컬레이션의 발생을 초래하지 않고 퍼컬레이션 임계치를 초과할 수 있다. 예를 들어, 몇몇 실시예들에서, 유전체 층의 금속의 체적 분율은 적어도 약 40%일 수 있다. 게다가, 몇몇 실시예들에서, 공핍 유전체 층(즉, 실질적으로, 그리고 바람직하게는 완전히 금속이 없는 유전체 층)은 적어도 하나의 그리고 바람직하게는 금속화된 층이 그 사이에 배치되는 2개 전극들 모두로부터 금속화된 유전체 층을 분리한다. 이러한 방식으로, 높은 캐패시턴스 뿐 아니라 높은 용량성 밀도들을 나타내는 캐패시터들이 달성될 수 있다.

[0030] 세라믹 기반 캐패시터들의 문맥에서 MLCC들의 예시적인 실시예들이 개시되나, 본 기술분야의 당업자는 MLCC의 다양한 실시예들이 세라믹 기반 컴포넌트들을 반드시 포함하지는 않을 수 있으며, 이로써, 본 개시물의 범위가 세라믹 기반 실시예들로 제한되지 않을 것임을 이해할 것이다. 또한, 개시된 실시예들의 유전체, 애노드 및 캐소드 층들은 가끔은 일반적으로 "플레이트들" 또는 "층들"로서 지칭될 수 있다. 그러나 본 개시물은 전도성 또는 유전체 층들이 3-차원 캐패시터의 모든 실시예들에서 "강성(rigid)" 또는 "스티프(stiff)" 플레이트들이어야 하도록 해석되지 않을 것이다. 그보다는, 특정 예시적 실시예가 전달되는 문맥에서 취해지는 바와 같은 용어 "플레이트는 잉크들, 페이스트, 변형가능한 몸체들의 메카닉들 등 등의 적용으로부터 생성되는 플레이트들 또는 강성 플레이트들을 포함하는 임의의 컴포넌트 층 또는 그것의 생성 방법을 포함하는 것으로 이해될 것이다.

즉, 용어 "플레이트"는 단순히 3-차원 캐패시터 내에 특정 층을 지칭하는 것으로 이해될 것이며, 그러한 층은 그것이 연관되는 예시적인 실시예들의 개시내용에 관하여 설명될 수 있는 양상들 및 피쳐들에 의해서만 제한된다.

[0031] 일반적으로, 본 발명의 개시물에 설명되는 특정 실시예들은 단지 예시적 목적들을 위해 공급되며, MLCC의 범위를 제한하는 것으로 해석되지 않을 것이다. 또한, MLCC의 다양한 실시예들이 상이한 컴포넌트 또는 재료 선택들을 이용할 수 있으나, 본 개시물의 예시적인 실시예들에 관하여 설명되는 예시적인 재료들은 MLCC 내에 포함될 수 있는 재료들 또는 컴포넌트들의 포괄적 리스팅으로서 의도되지 않는다. MLCC들을 생성하는데 사용되는 재료들, 그리고 특히 애노드 층, 캐소드 층, 단자들, 전도성 돌출부들, 유전체 또는 "그린 테일" 층과 같은 캐패시터들의 피쳐들은 (예를 들어, 캐패시터가 의도되는 특정 애플리케이션들에 기반하여) 일 실시예로부터 다른 실시예로 변경될 수 있으며, 혹시 특정 실시예의 신규한 피쳐 또는 양상을 발생시키는 역할을 하더라도, 개시물의 범위를 제한하지 않을 것이다.

[0032] 주어진 3-차원 캐패시터의 다양한 컴포넌트들 또는 피쳐들에 대한 재료 선택들은 다음을 포함한다(그러나 이에 제한되는 것은 아님): 전극들에 대해 - 은(예를 들어, 약 100 중량%), 은 팔라듐 합금(예컨대, 약 95 중량% Ag 내지 약 5 중량% 팔라듐), 팔라듐, 및 금, 백금, 이리듐, 및 그들의 합금들과 같은(그러나 이에 제한되는 것은 아님) 다른 귀금속들뿐 아니라, 텅스텐, 몰리브덴, 탄탈륨, 니오븀, 하프늄 및 레늄과 같은(그러나 이에 제한되는 것은 아님) 내화 금속들 및 니켈, 니켈 합금, 구리 및 구리 합금들과 같은(그러나 이에 제한되는 것은 아님) 비금속(base metal)들; 유전체 층에 대해 - 세라믹 및 유리-세라믹, 은-코팅된 세라믹들, 팔라듐-코팅된 세라믹들, 은 팔라듐-코팅된 세라믹들과 같은(그러나 이에 제한되는 것은 아님) 귀금속 코팅된 세라믹들 등뿐 아니라, 은 코팅된 포몰레이팅된 티탄산 바륨 기반 유전체들, 은 코팅된 유리 비드들, 및 알루미늄 및 탄탈륨 산화물과 같은(그러나 이에 제한되는 것은 아님) 무기 산화물들.

[0033] 이제 도면들로 돌아가, 예시적인 3-차원 캐패시터들 및 제조 방법들의 다양한 양상들, 피쳐들 및 실시예들이 더욱 상세히 제시될 것이며, 도면들에서 동일한 참조 번호들은 도면들 전반에 걸쳐 동일한 엘리먼트들을 나타낸다. 도면들 및 상세한 설명에서 진술되는 바와 같은 예들은 설명으로서 제공되며, MLCC, 그리고 특히 3-차원 캐패시터의 범위에 대한 제한들로서 의도되지 않는다.

[0034] 3-차원 캐패시터 또는 3-차원 캐패시터 내에 포함될 수 있는 구성의 특정 재료들을 제조하기 위한 방법들이 설명된다. 따라서 3-차원 캐패시터와 같은 MLCC는 본 기술분야의 당업자에게 이해되는 바와 같이 첨부된 청구항들 및 그들의 동등물들의 범위 내에 있는 다음의 예들에 대한 임의의 변경들 및 변형들을 포함한다.

[0035] MLCC의 예시적인 실시예들에 따라, 유전체 층의 코팅되지 않은 세라믹 입자들 대신에 금속 코팅된 세라믹 입자들 또는 은 유전체 복합물을 사용함으로써, 3-차원 캐패시터 실시예와 같은 MLCC들을 생성하는데 사용될 수 있는 변형된 제조 프로세스가 설명된다. 코팅된 유전체 재료들 또는 금속-유전체 복합물들 또는 혼합물들은 MLCC를 렌더링(render)하기 위한 향상된 제조 방법과 통합될 수 있다.

[0036] 3-차원 캐패시터의 몇몇 실시예들은 다중-층 세라믹 캐패시터들 (MLCC) 등을 포함하며, 따라서 본 개시물에 설명되고 도시되는 3-차원 캐패시터의 실시예들 중 다수가 MLCC 내의 단일 삼중-층을 나타낼 수 있는 단일 "전극-유전체-전극" 배열(EDE)만을 나타내도록 의도된다는 것이 이해될 것이다.

[0037] 도 1-2는 발명의 예시적 실시예에 따른 EDE 삼중-층들을 갖는 MLCC를 발생시키는데 사용될 수 있는 하나의 예시적 제조 방법(101)을 총괄하여 예시한다. 도 1을 참고하여, MLCC에 대한 제조 프로세스에서, 세라믹 파우더(205)는, 세라믹 슬러리(210)를 형성하기 위하여 용매, 폴리머 수지 및 첨가물들, 예컨대 분산제를 포함할 수 있는 화합물과 같은 캐리어로 혼합된다(단계(105)).

[0038] 세라믹 슬러리(210)는 프로세스의 테일 주조 단계(11)에서 "그린 세라믹 테일"(215)을 주조하는데 사용된다. 세라믹 파우더 슬러리로부터 만들어진 그린 테일(215)은 결국 캐패시터의 유전체 층으로서 기능할 것이다. 예시적인 그린 테일은 세라믹 슬러리로부터 형성되는 것으로서 상기 설명되나, 발명의 실시예들이 포몰레이팅된 티탄산 바륨 기반 유전체들과 같은(그러나 이에 제한되는 것은 아님) 세라믹들, 저온 동시 소성(low-temperature co-fired) 세라믹들에서 사용되는 Ca-B-Si-O 시스템 유리 세라믹들과 같은(그러나 이에 제한되는 것은 아님) 유리 세라믹들, 및 고온 동시 소성 세라믹들과 다양한 금속 코팅된 세라믹들 및 무기 산화물들 및 화합물들에서 사용되는 알루미늄 유리 세라믹들을 제외한, 또는 그것에 추가한 재료들로 만들어진 그린 테일 컴포넌트들을 포함할 수 있다는 것이 이해될 것이다. 코팅 또는 혼합을 위해 사용되는 금속은, 은-팔라듐 합금들 (약 95 중량% Ag 및 약 5 중량%Pd, 더욱 바람직하게는 약 90 중량%Ag 및 약 10 중량%Pd 그리고 가장 바람직하게

는 약 70 중량%Ag 및 약 30 중량%Pd 범위의 은 팔라듐의 중량 퍼센트 조성물과 같은) 뿐 아니라, 팔라듐, 팔라듐 합금들, 백금, 백금 합금들, 은, 은 합금들, 금, 금 합금들 및 다른 귀금속들 및 그들의 개별적인 합금들, 예컨대, 이리듐, 로듐, 루테튬뿐 아니라, 구리, 니켈, 철, 코발트, 망간, 티타늄, 아연, 및 내화 금속들, 예컨대(그러나 이에 제한되는 것은 아님) 텅스텐, 몰리브덴, 지르코늄, 탄탈륨, 및 니오븀을 포함할 수 있다(그러나 이에 제한되는 것은 아님).

[0039] 그린 테잎의 표면 텍스처링은 또한 기계적 롤러를 사용하여 만들어질 수 있다. 예를 들어, 그린 테잎의 상단 상의 롤링 이후에, 롤러 상의 텍스처는 그린 테잎 위로 전사될 수 있다. 추후에, 일단 주조되면, 그린 테잎 (215)은 예시적인 프로세스에서 단계(120)에서 스크린 프린팅되도록 진행된다.

[0040] 단계(120)에서 스크린 프린팅 이전에, 전극 금속 파우더(220)는 캐리어 화합물과 혼합되어(단계(115)) 전극 잉크(225)를 형성한다. 전극 잉크(225)는 단계(120)에서 세라믹 그린 테잎(215) 위에 스크린 프린팅되어, 최종적 MLCC의 단일 유전체-전도체 이중층을 형성한다.

[0041] 단계(120)는 도 1c-13과 함께 하기에 설명되는 바와 같은 이 발명의 시스템 및 방법의 하나의 주요 양상이다. 은 유전체 복합물 또는 혼합물은 본 기술분야의 당업자에게 알려진 "그린 테잎 스테이지"로서 또한 지칭되는, 이 스크린 프린팅 단계(120)에서 사용될 수 있다. 본 기술분야의 당업자에 의해 이해되는 바와 같이, 은 유전체 복합물은 금속(예를 들어, 은) 코팅된 유전체 테잎, 금속(예를 들어, 은) 파우더와 혼합된 유전체, 금속(예를 들어, 은) 코팅된 세라믹 입자들, 또는 금속 유전체 복합물을 형성하기 위한 임의의 다른 방식들을 포함할 수 있다. 금속-코팅된 세라믹 입자들이 이용되는 몇몇 실시예들에서, 세라믹 입자들은 약 0.01 미크론 내지 약 10.0 미크론 범위의 사이즈를 갖는다.

[0042] 금속(즉, 은) 파우더 또는 금속(즉, 은) 코팅된 유전체 테잎들과 혼합되는 유전체 입자들을 포함하는 유전체 복합물이, 상기 단계(120)에서 설명된 예시적인 코팅되지 않은 세라믹 파우더(205) 대신에 사용된다면, 도 14-22, 또는 도 1c-13에 예시되는 MLCC들이 형성될 수 있다. 예를 들어, 몇몇 실시예들에서, 은-코팅된 세라믹 입자들이 이용될 수 있다. 하기에 더욱 상세히 논의되는 바와 같이, 은 코팅된 세라믹 입자들에 대하여 약 850°C 내지 약 950°C 범위의 소결 온도와 같이 특정 프로세싱 파라미터들이 이용될 때, 금속의 일부분이 전극들 중 적어도 하나의 전극에 근접한 구역(region)으로부터 그 전극으로 이동하고, 그에 의해 공핍 층(즉, 실질적으로 금속 이 없는 층)을 그 전극 근처에 발생시킨다. 몇몇 경우들에서, 전극으로 이동한 금속은 예를 들어, 핑거-형 돌출부들의 형태로 그 전극의 표면 층에서의 증가를 야기하며, 이는 결국 후속 프로세싱 단계들을 통해 형성될 캐패시터의 캐패시턴스를 향상시킬 수 있다. 몇몇 실시예들에서, 전극은, 공핍 층을 발생시키도록, 전극 근처의 얇은 복합물 금속-유전체 층에서의 그 전극으로의 금속의 이동을 용이하게 하기 위하여 유전체 내에 포함되는 금속과 공동으로 적어도 하나의 금속 성분을 갖는다.

[0043] 단계들(105 내지 120)이 반복됨에 따라, 다수의 스크린 프린팅된 그린 테잎 시트들(230)(각각의 시트는 단일 유전체-전도체 이중층을 포함함)이 단계(125)에서 적층되어, EDE 삼중-층들이 후속 시트의 그린 테잎의 하단 표면과의 스크린 프린팅된 전도성 층의 반복된 병치(juxtaposition)를 통하여 생성된다. 단계(125)로부터 초래되는 적층물은 라미네이션 프로세스에서의 단계(130)에서 함께 라미네이팅된다. 결과적인 라미네이팅된 적층물(235)은 그 후 단계(135)에서 다수의 인터리빙된 EDE 삼중-층들을 포함하는 개별적인 세라믹 그린 칩들(240)로 변환된다.

[0044] 도 1b에서, 방법 또는 방법(101)은 단계(140)에서 개별적인 세라믹 그린 칩들(240)이 소성 프로세스에 노출되는 것을 계속한다. 소성 프로세스에서(단계(140)), 그린 세라믹 칩들(240)은 상기 언급된 슬러리들의 무기물들이 제거되게 하기 위하여 벨트 퍼니스(belt furnace) 등을 통해 전송되고, 그에 의해 EDE 삼중-층들을 포함하는 세라믹 캐패시터 칩(245)으로 그린 세라믹 칩(240)을 소결할 수 있다. 소결 온도는 예를 들어, 유전체-전도체 층을 형성하기 위하여 사용되는 금속에 기반하여 선택될 수 있다. 일반적으로, 소결 온도는 금속의 적어도 부분적인 용융을 야기하기에 충분히 높다. 예로서, 소결 온도는 비금속 MLCC에서 은 코팅된 세라믹들에 대해 약 750°C 내지 약 980°C 범위일 수 있는 한편, 니켈 코팅된 세라믹에 대해 약 1100°C 내지 약 1500°C일 수 있다.

[0045] 단계(150)에서, 소결된 세라믹 캐패시터 칩(245)은 그 후 전도성 금속 파우더(255)로부터 혼합된(단계(145)) 터미네이션 잉크(termination ink)(250)로의 디핑(dipping)을 통해 2개 단부들 각각에서 금속화될 수 있다. 터미네이션 금속화(termination metallization)는 회로 보드 애플리케이션에 대한 전기 콘택 포인트들 뿐 아니라 교번하는(alternating) 전도성 플레이트들 사이에 내부 접속부를 제공한다. 터미네이팅된(terminated) 칩들(260)은 그 후 건조되고 터미네이션 소성 프로세스에서 단계(155)에서 다시 소성되어, MLCC(265)가 된다. 몇몇 실시예들에서, 소성 온도는 예를 들어, 약 750°C 내지 약 900°C의 범위일 수 있다. 마지막으로, 단계(160)에서,

주석 도금이 도금 프로세스에서 MLCC들(265)에 적용될 수 있어, 터미네이션 금속화를 보호하고, 납땜 연결들의 용이성을 제공한다. 제조 분야의 당업자에게 알려진 바와 같이, MLCC들(265)은 그 후 회로의 이용 이전에 품질 제어를 위한 단계(165)에서 테스트 프로세스를 겪을 수 있다(단계(170)).

- [0046] 도 1c-13의 3-D 캐패시터들을 구성하기 위한 고유 컴포넌트 선택과 결합된 변형된 제조 프로세스: 프린팅된 코팅들을 갖는 금속 코팅된 유전체 테일들 또는 슬러리들
- [0047] 금속 코팅된 유전체 테일들을 사용하는 실제 샘플의 소결 후 도면: 도 1c
- [0048] 이제 도 1c를 참고하여, 이 도면은 도 1a-1b의 방법에서 은 코팅된 유전체 테일(30)이 사용될 때 생성되는 MLCC(100A)의 단면도를 예시한다. 이 도면은 대략 1000배의 확대 레벨로 주사 전자 현미경을 사용하여 생성된다. MLCC(100A)는 수 개의 층들을 포함한다: 금속 전극 층(10), 유전체 층(20A)(본 명세서에서 공핍 층(20A)으로도 지칭됨), 금속-유전체 테일 층(30)(본 명세서에서 금속화된 유전체 층(30)으로도 지칭됨) 및 유전체 층(40). 몇몇 실시예들에서, 유전체 층(40)은 공핍 층(20A)의 두께보다 큰, 예를 들어, 이 예에서는 약 6배만큼 큰 두께를 가질 수 있다. 소결 동안에 이동하는 금속의 포켓들 또는 함유물들(605)이 또한 가시적이다. 여기서 유전체 층(20A)은 은-유전체 층(30) 외부로의 은 이동으로부터 인-시튜로 형성된다는 것이 유념된다.
- [0049] 다음은 이 MLCC 구조물(100)을 형성하는데 사용되는 예시적인 재료들이다. 전극 층(10)은 95/5 Ag/Pd(대략 5% 팔라듐을 갖는 대략 95% 은)를 포함한다. 유전체 층(40)은, MRA Laboratories에 의해 제조되는 VLF-220Aq3라는 제품명 하의 상업적으로 이용가능한 물건으로서 팔리는, 저온 소성가능 COG 타입 티탄산염 유전체를 포함할 수 있으며, 금속-유전체(즉, Ag-유전체) 복합물 테일 층(30)은 VLF-220Aq3의 대략 30%(중량%)의 은 코팅을 포함할 수 있다. 소결 온도는 약 940 °C 내지 약 975 °C의 범위일 수 있다. 캐패시터 칩들의 사이즈는 2018(대략 0.20 인치 × 대략 0.18 인치)과 유사한 사이즈들을 포함할 수 있다. 통상적으로, 6개의 활성 층들이 캐패시터 칩들을 제조하는데 사용된다. 통상적인 유전체 층 두께는 약 0.001 인치(약 25 마이크론)이다. 다른 사이즈들이 발명의 범위 내에 포함될 수 있다.
- [0050] 이제 도 1c(소결 이후에 전자 현미경에 의해 생성된 단면도임)를 참고하여, 캐패시터(100A)는 Ag-유전체 복합물 테일(30)의 상단 상에 Ag/Pd 전극(10)을 프린팅함으로써 구성될 수 있으며, Ag-유전체 복합물 테일(30)은 유전체 층(40)에 의하여 절연된다. 유전체 층(40)은 약 30 마이크론의 두께를 가질 수 있다; 반면에 Ag-유전체 복합물 테일(30)은 소결 이후에 약 10 마이크론의 두께를 갖는다.
- [0051] 도 1c의 주사 전자 현미경 이미지에서, 더 밝게 음영처리된 재료들은 금속인데, 전극(10)에서 Ag/Pd이고, Ag-유전체 복합물 층(30)에서 Ag이다. 어두운 배경 음영처리 영역들은 유전체를 포함한다. Ag-유전체 복합물 내의 은의 전극(10)으로의 이동에 의하여 소결 프로세스 동안에 형성되는, 약 5 마이크론의 두께를 갖는 유전체 층(20A)이 Ag/Pd 전극(10)과 나머지 Ag-유전체 복합물 층(30) 사이에 명확히 보여질 수 있다. Ag-유전체 복합물 테일(30) 내에, 금속의 함유물들 또는 포켓들(605)이 관찰된다. 단지 순수한 유전체 테일들만을 가지고 그리고 유전체 내의 금속의 포함 없이 만들어진 재료들 및 동일한 치수들을 갖는 제어 캐패시터의 캐패시턴스에 대해 캐패시터(100A)의 캐패시턴스를 비교할 때, 약 5배(500%)의 대략적 증가가 관찰된다.
- [0052] 예비-소결 도면들: 금속 코팅된 유전체 테일들을 사용하는 예시적인 층 설계 - 도 2a-5a
- [0053] 이제 도 2a를 참고하여, 이 도면은 어떠한 유전체 층(40)도 없이 Ag-유전체 복합물 테일(30)만을 사용하여 형성될 수 있는 다른 예시적인 캐패시터 구조물(100B)을 도시한다. 구체적으로, 도 2a는 소결 이전의 MLCC(100B)의 구성을 예시한다. 도 2a는 소결(도 1a의 단계들(130-135)) 이전의 그린 스테이지에서의 캐패시터(100B)의 구성을 도시한다. 도 2a에서, Ag/Pd 전극(10)은 Ag-유전체 복합물 테일(30) 위에 직접 프린팅된다. Ag-유전체 복합물 테일(30)은 종단(termination)(50A)에 관하여 그것의 단부들 중 하나의 단부에서 전기적으로 절연된다. 종단들(50A, 50B)은 은을 포함하는(그러나 이에 제한되는 것은 아님) 재료들로 만들어질 수 있다.
- [0054] Ag-유전체 복합물 테일(30)의 단부들 중 하나의 단부에서의 절연체는 유전체(40) 또는 퓨지티브(fujitive) 잉크들에 의하여 형성되는 공기-충진된 캐비티(예시되지 않음)를 포함할 수 있다. 절연체는 또한 도 2b에 예시된 바와 같이 소결 동안 Ag/Pd 전극(10B)을 사용하여 형성될 수 있다. 다시 말해, 도 2b는 Ag-유전체 복합물 테일(30)을 포함하는 그것의 단부들에서 절연체를 갖는 MLCC(100C)의 구성을 예시한다.
- [0055] 도 1c와 함께 설명되는 유전체 층들(20a)은 이 중간 스테이지 또는 방법의 위상에서 예시된 바와 같이 도 2b의 이 스테이지에서 아직 형성되지 않았다. 소결 시, Ag-유전체 복합물 테일(30) 내의 은은 이동하고, 유전체 복합물 테일(30) 내에서 인-시튜로 (도 1c에 도시된) 유전체 층(20A)을 형성한다. 도 1a에 도시된 바와 같이 소결 동안 형성되는 유전체 층(20A)과 함께, 전극 층(10) 및 Ag-유전체 복합물 테일(30)은 도 2b의 캐패시터 구조

물(100C)을 형성할 수 있다. 2개의 유전체 층들(20a)(이러한 도 2b에 미도시됨)이 각각의 Ag-유전체 복합물 테잎(30)에 형성될 수 있다는 것을 유념하라.

[0056] 도 2c는 Ag-유전체 복합물(30)이 전기적으로 단락되는 MLCC(100D)의 비교 예를 예시한다. 구체적으로, 도 2c는, 종단(50A) 부근의 Ag-유전체 복합물 테잎(30)의 한 단부에서 유전성 절연체(40) 또는 캐비티가 사용되지 않을 때, 모든 Ag-유전체 복합물 층(30)이 도 2a 및 2b의 실시예들에 관하여 전기적으로 단락되는, 캐패시터 구조물(100D)을 도시한다. 그러나 종단들(50)이 부가될 때 터미네이션 프로세스 동안 은 이동이 효율적으로 발생하도록 허용되거나 촉진되는 경우, Ag-유전체 층(30)을 통상적으로 통과하는 전기 전류들의 단락이 방지될 수 있다. 도 2c의 이 예시적 실시예는 또한 (도 1에 예시된 바와 같은) 유전체 층들(20a)이 아직 형성되지 않았음을 의미하는 예비-소결 스테이지를 예시한다.

[0057] 페이스트는 Ag-유전체 복합물 테잎(30) 대신에 Ag-유전체 복합물 층(30)을 형성하는데 사용될 수 있다. Ag-유전체 복합물 층(30)은, 대개 은 이동이 캐패시터 구조물(100)에 대한 소결 스테이지 동안 발생한 이후, 은-유전체 층이 층(30) 내에 전극을 형성하기에 충분한 금속 재료를 갖는 것을 보장하기에 충분히 두꺼워야 한다. 도 2c의 이 실시예에 대한 Ag-유전체 복합물 층(30)의 통상적 두께는 일반적으로 도 1c의 설명에서 진술된 바와 같이 약 10 마이크론의 크기들을 포함한다.

[0058] 인-시투로 형성되는 유전체 층 두께는 프린팅된 층 두께에 의해서만 영향을 받는(affect) 것이 아니라 다른 인자들, 예컨대, 소결 온도 및 유전체의 케미스트리, 그리고 금속-유전체 복합물을 형성하는데 사용되는 금속의 성질에 의해 또한 영향을 받는다는 것이 본 기술분야의 당업자에 의하여 이해된다. 여기서 주어지는 두께는 제한 인자로서 사용되어서는 안되며, 더 얇은 인-시투로 형성된 유전체 층이 일반적으로 더 높거나 증가된 캐패시턴스 성능을 초래한다는 것이 또한 이해된다.

[0059] 도 3은 전극(10) 및 Ag-유전체들(30) 양자 모두가 유전체 테잎(70)의 표면 상에 프린팅되는 비대칭적 레이아웃을 갖는 MLCC(100E)를 예시한다. 구체적으로, 도 3은 캐패시터 구조물(100E)의 다른 예시적 실시예를 예시하며, 여기서 전극(10) 및 3개의 Ag-유전체 층들(30A, 30B 및 30C) 모두는 유전체 테잎(70)의 상단 상에 프린팅된다. 이 구성에서, 상이한 유전체 층 두께들을 갖는 서브-캐패시터 구조물들의 2개 타입들이 형성될 수 있다.

[0060] 도 3은 소결 이전에 그린 스테이지에서의 캐패시터 구성을 보여주며, 따라서 도 1에 도시된 바와 같이 소결 동안 형성되는 유전체 층(20A)은 아직 형성되지 않았다. 소결 이후 Ag/Pd 전극(10)과 근처에 프린팅된 제1 Ag-유전체 복합물(30A) 사이에 하나의 서브-캐패시터 구조물이 형성된다. 여기서 나머지 Ag-유전체(30A)는 하나의 전극이고, Ag/Pd(10)는 다른 전극이고, 이와 함께 유전체 층(20A)(미도시)이 얇은 캐패시터 구조물을 형성하기 위하여 유전체 공핍 층으로서 인-시투로 형성된다. 유전체 테잎 층(70)에 걸쳐 Ag/Pd 전극(10)과 제2 프린팅된 Ag-유전체 복합물(30B) 사이에 소결 이후 다른 캐패시터 구조물이 형성된다. 제1 캐패시터 서브-구조물이 종래의 구조물인 제2 타입보다, 인-시투로 형성되는 유전체의 더욱 얇은 층으로 인하여 훨씬 더 높은 캐패시턴스를 갖는다는 것이 명백하다.

[0061] 프린팅된 제1, 제2 및 제3 Ag-유전체 복합물들(30A, 30B, 30C)은 이들 재료들이 그들 자신의 개별적인 컴포넌트 제조 동안 형성된다는 점에서 도 2c의 실시예의 Ag-유전체 복합물 테잎(30)과 상이하다. 도 2a, 2b 및 2c의 Ag-유전체 복합물 테잎(30)은 슬러리로부터의 테잎 주조에 의하여 형성되는 한편, 프린팅된 제1 Ag-유전체 복합물들(30A, 30B 및 30C)이 페이스트로부터의 프린팅에 의해 형성된다. 기능적 재료, Ag-유전체 복합물 파우더는 동일할 수 있다. 일단 각각의 캐패시터(100D(도 2c) 및 100E(도 3))가 형성되면, 복합물 테잎(30) 및 복합물들(30A, 30B 및 30C)은 전체 캐패시터(100D, 100E)의 동작에 대하여 유사하게 기능한다.

[0062] 도 4는 도 3의 예시적인 실시예의 비대칭적 레이아웃(100E)에 관하여 MLCC의 대칭적 레이아웃 및 예비-소결 스테이지를 예시한다. 구체적으로, 도 4의 이 예시적인 실시예에서, Ag-유전체 복합물들(30A, 30B, 30C)(페이스트로부터 형성됨)은 종단들(50A, 50B)에 관하여 교번하는(alternating) 방식으로 위치설정된다. 도 4가 예비-소결 스테이지를 개략적으로 예시하기 때문에, 유전체 층들(20a)(도 1에 예시됨)은 형성되지 않았다.

[0063] 한편, 도 3의 예시적인 실시예에서, Ag-유전체 복합물 층(30)은 단지 종단들(50B) 중 하나의 종단과 접촉한다.

[0064] 도 5a는 유전체 층들(20a)이 아직 형성되지 않은 소결 이전의 예시적인 MLCC(100G)를 예시한다. 구체적으로, 도 5a는 유전체 층들(20a)(도 1c에 예시됨)이 아직 형성되지 않았음을 의미하는 소결 이전의 그린 스테이지에서의 다른 예시적인 캐패시터 구조물(100G)을 도시한다. 이 예시적 실시예에서, Ag-유전체 복합물들(30A, 30B, 30C)(페이스트로부터 형성됨) 및 Ag/Pd 전극(10) 모두는 유전체 테잎(70)의 상단 상에 프린팅된다. Ag-유전체

복합물들(30A, 30B, 30C)은 전기 전류들의 단락을 방지하기 위하여 Ag/Pd 전극(10)의 영역에 비해 더 크게 프린팅된다. 도 5a의 이 예시적 실시예에서, 전극(10)의 표면에 대해 복합물들(30A, 30B, 30C)의 표면적은 약 20% 더 크다. 캐패시터 구조물(100G)은 도 3에 예시된 것들과 동일한 재료로 만들어지는 유전체 테일 층들(70)을 또한 갖는다.

[0065] 소결 후 도면: 금속 코팅된 유전체 테일들을 사용하는 실제 샘플의 층 설계들 - 도 5b

[0066] 도 5b는 소결 이후의 예시적인 MLCC(100H)의 단면도를 예시한다. 구체적으로, 도 5b는 소결 이후의 캐패시터 구조물(100H)을 도시한다. 도 5b는 광학 현미경에 의하여 생성된 단면도이며, 소결 동안에 인-시투로 유전체 층들(20a)을 형성하기 위하여 유전체 테일들(70) 상에 프린팅되는 프린팅된 Ag-유전체 복합물(30)(도 2a-5a의 예비-소결 스테이지들에서 예시된 바와 같이 페이스트로부터 형성됨) 내의 은이 전극(10)으로 완전히 이동하도록 허용되는, 캐패시터 구조물(100H)의 예시적인 실시예를 예시한다. 도 5b에서, 더 밝게 음영처리된 재료는 Ag/Pd 전극 재료(10)인 반면, 어두운 배경 음영처리된 재료는 유전체 층들(70 및 20A)이다.

[0067] 도 5b에 도시된 바와 같이, (도 2a-5a의 예비-소결에서 예시된 바와 같은) Ag-복합물 층(30)의 은은 층(20A) 및 결과적인 캐패시터 구조물을 형성하기 위하여 전극 층(10)으로 완전히 이동(migrate or move)한다. 이 설명에서 사용되는 바와 같은 "인 시투"는 "소결 동안"을 의미한다. 소결 동안 은 이동로부터 형성되는 프린팅된 얇은 캐패시터를 갖지 않는, 동일한 사이트를 갖고 전극들 및 유전체 층에 대해 동일한 재료들로 형성되는 종래의 캐패시터에 이 캐패시터 구조물(100G 및 100H)을 비교할 때, 캐패시턴스의 약 6배(약 600%)의 증가가 관찰된다. 유전 파괴 전압이 대개 얇은 유전체 층으로 인하여 저하되지 않음이 또한 유념된다.

[0068] 상기 설명된 예시적인 실시예들에서, 캐패시턴스의 증가는 대개 Ag-유전체 복합물(30)로부터의 은 이동 이후에 얇은 유전체 층(20A)의 형성으로 인한 것이다. 그러나 전극(10)으로의 은의 이동은 또한 전극/유전체 계면에서 고르지 않은 표면을 형성할 기회들을 생성한다. 거친 표면은 대개 전극(10)의 표면적을 증가시키고, 캐패시턴스의 증가에 기여할 수 있다.

[0069] 전극/유전체 계면에서 고르지 않은 표면을 야기하는 이들 변화들은 소결 온도에 의하여 영향을 받을 수 있다. 도 1c-5에 예시되는 캐패시터들의 예시적인 실시예들에서, 캐패시터들(100)이 더 낮은 온도에서 소성될 때 캐패시턴스의 약 10퍼센트의 증가가 관찰되었다.

[0070] 캐패시터(100G 및 100H)는 Ag-유전체 복합물(30)을 순수 유전체로 교체함으로써 간단히 만들어질 수 있음이 주목되어야 한다. 이것은 은 퍼센트가 Ag-유전체 복합물(30)에서 재료에 접근할 때와 동등하다. 상기 예시적인 실시예들에서, 은은 Ag-유전체 복합물(30)의 금속으로서 사용된다. 비금속 MLCC의 Ni 및 Ni/Cu 및 귀금속 다중 층 세라믹 캐패시터들(MLCC들)에서 사용되는 Ag/Pd 합금들과 같은(그러나 이에 제한되는 것은 아님) 다른 금속들 또는 합금들이 Ag-유전체 복합물(30)에 대하여 사용될 수 있다. 몇몇 경우들에서, Ag-유전체 복합물(30)의 금속 함량은 이동 이후의 전도성 층을 형성하기에 충분히 높아야 한다. 인 시투로 형성된 유전체 층(20A), 예를 들어, 도 1c에 예시되는 유전체 층(20A), 도 5b의 유전체 층(30)의 두께에 영향을 미치는(affect or impact) 인자들은, 금속 유전체 복합물(30) 내의 금속 또는 합금의 용융점, 소결 온도, 및 금속 유전체 복합물(30)에서의 금속 함량의 양이다. 유전체(40) 또는 유전체(70)의 유리는 또한 인 시투로 형성된 유전체 층들(20a)의 두께에 대해 상당한 영향력을 가질 수 있다.

[0071] 테스트 샘플들의 소결 후 도면들: 금속 코팅된 유전체 테일들을 사용하는 층 설계 - 도 6-13

[0072] 도 6-13은 금속(즉, - Ag) 코팅된 유전체 테일들을 사용하는 MLCC 층 설계들의 4개 샘플들의 밝은 현미경 도면들 및 주사 전자 현미경(SEM)의 흑백 사진들을 예시하였다. 이들 Ag 코팅된 유전체 테일들은 MLCC의 층들을 형성하는 전체 유전체 두께의 대략 1/3을 만드는데 사용된다. 각각의 MLCC의 다른 2/3은 정상 유전체 테일들을 포함한다. 이들 샘플들에서, 더 얇게 나타나는 하나의 층이 Ag 코팅된 유전체 테일의 시트에 의하여 접촉되지 않은 것이 주목되었다. 전체 구조물이 전도성이 되었기 때문에, 작동/수행되지 않은 다른 테스트 샘플들과 마찬가지로, 이것은 전체 구조물이 전도성이 되는 것을 예방하기 위해 의도적으로 실행되었다.

[0073] 이들 샘플 MLCC들의 커버 층들은 또한 정상적 유전체 테일들로 만들어진다. 지정된 100개의 MLCC들(A)은 배향이 동일하게 남아있도록 프로세싱되었으며, 그에 의해 내부 전극이 Ag 코팅된 유전체 테일 위에 직접 프린팅되었다. 이들 부분들은 Ag 코팅된 층들이 아래쪽으로 향하도록, 번 아웃(burn out)되고 소결되었다. 번아웃 및 소성 동안(라벨 B) 코팅된 층들 각각이 (세터(setter)로부터 떨어져) 위쪽을 향하도록, 48개 MLCC들이 프로세싱되었다. 도 6-13에 예시되는 4개 샘플들의 각각의 그룹(A 및 B)은 2개 프로파일들, 940C/5시간 소결 및 975C/1시간 소결을 사용하여 세분(sub-divide)되고 소성된다.

- [0074] 도 6-13에 예시되는 샘플들에 대한 관찰들
- [0075] 도 2c에 참조된 이전 샘플들에 비해 이 설계에 대한 소결된 마이크로구조에는 뚜렷한 향상이 존재하였다. 975°C/1시간 소결은 940°C/5시간 프로파일보다 상당히 더 밀도가 높은 것으로 나타난다.
- [0076] 결합제(binder) 번아웃 및 소성 동안의 배향과 무관하게, 도 6-13에 예시되는 각각의 샘플에서, 유전체 층(30)의 코팅된 테일 부분 내의 Ag는 95Ag/5Pd 내부 전극(10)으로부터 실제로 멀리 이동하는 것으로 보여지며(이는 본 기술분야의 당업자에게 예기치 않은 결과임), 전기적 성능에 최소한의 영향력을 갖는 것으로 나타난다. 몇몇 층들에서 Ag가 중력에 대항하여 상향으로 이동되었기 때문에, 이것은 예기치 못한 것이다. 한편, 본 기술분야의 당업자는 중력으로 인하여 Ag가 하향으로 이동하는 것으로 예상할 것이다.
- [0077] 도 6-13에 예시되는 이들 샘플들에 대한 다른 관찰은, Ag 이동이 주로 코팅된 테일 유전체 층(30) 내에 머무르는 것으로 나타나고 다소 순수한 유전체 층(20A)인 것으로 보이는 것처럼 군집한다(congregate)는 점이다. 은-유전체 복합물 내의 은은 전극 층으로 이동하고, 또한 Ag 금속의 포켓들(605)을 형성하기 위하여 이동한다. 이들 포켓들(605)은 더욱 빠른 프로파일 소결 트라이얼에서 훨씬 더 작고(LT-3088A, sint. 975C/1h - 도 10-11 및 LT-3088B, sint. 940C/1h 도 12- 13), 그러나 더 느린 트라이얼에서 사이즈가 더 큰 것으로(LT-3088A, sint. 975C/5h - 도 6-7 및 LT- 3088B, sint. 940C/5h 도 8-9) 나타난다. 다시, 이것은 Ag의 상당 부분이 순수한 Ag의 포켓들(605)로서 축적되는 것을 제안한다. 이들 샘플들에 대한 다른 관찰은 샘플들 중 어느 것도 박리(delamination)들을 단면으로 보이지 않는다는 것이었다.
- [0078] 전기적 결과들(대략 1 kHz , 1 Vrms)
- | | | | |
|--------|---------------------------|---------------|---------------|
| [0079] | | 940°C/5hrs. | 975°C/1hr. |
| [0080] | LT-3088A 논-쇼트(non-shorts) | 7/50 | 50/50 |
| [0081] | LT-3088B 논-쇼트 | 4/24 | 19/24 |
| [0082] | LT-3088A 캡 범위 (피코 F) | 20.37 - 52.89 | 12.06 - 26.36 |
| [0083] | LT-3088B 캡 범위 (피코 F) | 36.26 - 70.10 | 18.60 - 24.24 |
| [0084] | (A) 유효 유전 상수 | 84.76 | 42.67 |
| [0085] | (B) 유효 유전 상수 | 113.5 | 39.24 |
- [0086] 가장 큰 캐패시턴스를 나타낸 각각의 그룹으로부터의 단일 파트에 대하여 유효 유전 상수가 계산되었다. 본 기술분야의 당업자에 의하여 이해되는 바와 같이, 유효 유전 상수는 캐패시터의 치수들 및 관찰된 캐패시턴스에 기반하여 계산된다. 940°C/5hrs에서 소결된 LT-3088A를 제외하고, 유전 손실은 각각의 그룹에 대해 약 0.00%로 측정되었으며, 유전 손실은 약 0.00 내지 약 0.03% 범위이다. 또한, 이들 범위들은 유효 층들의 정상 유전체 부분과 Ag 사이의 최소 반응을 제안한다.
- [0087] 한편, 이 유전체에 대하여 MLCC 형태의 정상 유전 상수(K)는 통상적으로 약 23이다. (내부 95Ag/5Pd 전극 층들을 갖지 않으나, MLCC의 것과 동일한 Ag 코팅된 유전체의 층들을 포함하는) K-스퀘어(square)들이 또한 이 동작(run)으로 만들어졌으며, 측정된 K는 대략 24.5인 것으로 발견되었다. 또, 이것은 Ag가 대체로 유전체와 비-반응성이며, 오히려(if anything), 본 기술분야의 당업자에 의하여 이해되는 바와 같이 이 형태의 전도에 크게 기여하지 않음을 제시한다.
- [0088] 도 6-13에 예시되고 하기에서 더욱 상세히 설명되는 샘플들에 대한 관찰들의 요약:
- [0089] 금속-코팅된(즉, Ag-코팅된) 유전체 테일들로부터 형성되는 MLCC 3-D 캐패시터는 전체 MLCC의 캐패시턴스 및 유효 유전 상수(K)를 상당히 증가시키는 것으로 보여진다. 상기 언급된 바와 같은 LT-3088B의 단일 경우에, 증가하는 어떠한 금속-코팅된 유전체 테일들도 없이 형성되는 MLCC에 대하여 대략 5배인 것으로 보여진다.
- [0090] 도 6-13에 예시되는 4개 샘플들에 대한 상세한 설명
- [0091] 도 6-13은 상기 논의된 4개 샘플들을 예시한다. 각각의 샘플은 그것의 다양한 층들에 대해 다음의 참조 번호들을 사용한다: Ag 전극 층(10); Ag 전극 층(10)과 Ag 코팅된 유전체 테일(30) 사이에 형성되는 유전체 층 (20A);

Ag 금속의 포켓들(605); 및 코팅되지 않은 표준/정규 유전체 테일(70).

- [0092] 구체적으로, 도 6a-6c는, 대략 5시간의 소킹(soaking) 동안 대략 940℃에서의 MLCC(100-1)의 소결 이후에, Ag 코팅된 유전체 테일들(30)을 사용하는 제1 샘플 MLCC(100-1)(LT-3088A)의 주사 전자 현미경(SEM)에 의해 생성된 단면도들을 예시한다.
- [0093] 더욱 구체적으로, 도 6a는 대략 500배의 크기 레벨로 제1 샘플 MLCC(100-1)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 층들의 수 개의 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0094] 도 6b는 대략 2000배의 크기 레벨로 도 6a의 제1 샘플 MLCC(100-1)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 가시적인 층들의 수 개의(그러나 도 6a에 예시된 것들보다 적은) 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0095] 도 6c는 대략 5000배의 크기 레벨로 도 6a의 제1 샘플 MLCC(100-1)의 SEM 단면도를 예시한다. Ag 코팅된 유전체 테일 층(30)만이 가시적이다. 유전체 테일 층(30) 내에 형성되는 Ag 금속의 포켓들(605)이 또한 가시적이다. 상기 언급된 바와 같이, 더 긴 소크 시간들을 갖는 이 예시적인 제1 샘플 MLCC(100-1)(및 제2 예시적 샘플 MLCC(100-2))의 금속(즉, - Ag)의 포켓들(605)은 더 긴 소크 시간들을 갖는 제3 및 제4 샘플 MLCC들(100-3, 100-4)의 포켓들(605)에 비해 사이즈가 더 크지만, 수가 더 적다(less frequent in number).
- [0096] 도 7a-7d는 도 6a-6c에 예시된 것에 대응하는 다른 샘플인 제1 샘플 MLCC들(100-1)(LT-3088A)의 광학 현미경에 의해 생성된 단면도들을 예시한다. 구체적으로, 도 7a-7c는 대략 100 배의 크기 레벨로 제1 샘플 MLCC(100-1)의 광학 현미경 단면도를 예시한다. 도 7a-7c에서, Ag 전극 층(10); Ag 코팅된 유전체 테일(30); 및 코팅되지 않은 표준/정규 유전체 테일(70)을 포함하는 수 개의 층들이 가시적이다. ((금속의 포켓들 또는 함유물들(605)은 가시적이지 않다.) 도 7a는 제1 샘플 MLCC(100-1)의 제1 실시예를 예시하는 반면, 도 7b는 제1 샘플 MLCC(100-1)의 제2 실시예를 예시하고, 도 7c는 제1 샘플 MLCC(100-1)의 제3 실시예를 예시하며, 여기서 각각의 실시예는 MLCC들(100)의 동일한 배치 또는 세트에서 제조된다.
- [0097] 도 7d는 대략 1000 배의 크기 레벨로 제1 샘플 MLCC(100-1)의 광학 현미경 단면도를 예시한다. 이 도 7d에서, Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는 수 개의 층들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0098] 도 8a-8c는 대략 5시간의 소킹 동안 대략 940℃에서 MLCC를 소결한 이후, Ag 코팅된 유전체 테일들을 사용하는 제2 샘플 MLCC(100-2)(LT-3088B)의 주사 전자 현미경(SEM)에 의하여 생성된 단면도들을 예시한다. 더욱 구체적으로, 도 8a는 대략 500 배의 크기 레벨로 제2 샘플 MLCC(100-2)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 층들의 수 개의 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0099] 도 8b는 대략 2000 배의 크기 레벨로 도 8a의 제2 샘플 MLCC(100-2)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 가시적인 층들의 수 개의(그러나 도 8a에 예시된 것들보다 적은) 사례들이 존재한다. Ag 금속의 포켓들(605)은 또한 가시적이다.
- [0100] 도 8c는 대략 5000 배의 크기 레벨로 도 8a의 제2 샘플 MLCC(100-2)의 SEM 단면도를 예시한다. 단지 Ag 코팅된 유전체 테일 층(30)만이 가시적이다. 유전체 테일 층(30) 내에 형성되는 Ag 금속의 포켓들(605)이 또한 가시적이다. 상기 논의된 바와 같이, 더 긴 소크 시간들을 갖는 이 예시적인 제2 샘플 MLCC(100-2)(및 제1 예시적 샘플 MLCC(100-1))의 금속(예를 들어, Ag)의 포켓들(605)은 더 긴 소크 시간들을 갖는 제3 및 제4 샘플 MLCC들(100-3, 100-4)의 포켓들(605)에 비하여 사이즈가 더 크지만, 개수가 더 적다.
- [0101] 도 9a-9d는 도 8a-8c에 예시되는 제2 샘플 MLCC(100-2)(LT-3088B)에 대응하는 다른 제2 샘플들의, 광학 현미경에 의하여 생성된 단면도들을 예시한다. 구체적으로, 도 9a-9c는 대략 100 배의 크기 레벨로 제2 샘플 MLCC(100-2)의 광학 현미경 단면도를 예시한다. 도 9a-9c에서, Ag 전극 층(10); Ag 코팅된 유전체 테일(30); 및 코팅되지 않은 표준/정규 유전체 테일(70)을 포함하는 수 개의 층들이 가시적이다. (금속의 포켓들 또는 함유물들(605)은 가시적이지 않다.) 도 9a는 제2 샘플 MLCC(100-2)의 제1 실시예를 예시하는 반면, 도 9b는 제2 샘플 MLCC(100-2)의 제2 실시예를 예시하고, 도 9c는 제2 샘플 MLCC(100-2)의 제3 실시예를 예시하며, 각각의 실시예는 MLCC들(100)의 동일한 배치 또는 세트에서 제조되었다.
- [0102] 도 9d는 대략 1000 배의 크기 레벨로 제2 샘플 MLCC(100-2)(LT-3088B)의 광학 현미경 단면도를 예시한다. 이

도 9d에서, Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는 수 개의 층들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.

- [0103] 도 10a-10c는 대략 한 시간의 소킹 동안 대략 975C에서 MLCC(100-3)의 소결 이후에, Ag 코팅된 유전체 테일들(30)을 사용하는 제3 샘플 MLCC(100-3)(LT-3088A)의, 주사 전자 현미경(SEM)에 의하여 생성된 단면도들을 예시한다. 더욱 구체적으로, 도 10a는 대략 500 배의 크기 레벨로 제3 샘플 MLCC(100-3)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 층들의 수 개의 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0104] 도 10b는 대략 2000 배의 크기 레벨로 도 10a의 제3 샘플 MLCC(100-3)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 가시적인 층들의 수 개의(그러나 도 10a에 예시된 것들보다는 적은) 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0105] 도 10c는 대략 5000 배의 크기 레벨로 도 10a의 제3 샘플 MLCC(100-3)의 SEM 단면도를 예시한다. 단지 Ag 코팅된 유전체 테일 층(30)만이 가시적이다. 유전체 테일 층(30) 내에 형성되는 유전체 테일 층(30)이 또한 가시적이다. 상기 언급된 바와 같이, Ag 금속의 포켓들(605)은 제1 및 제2 샘플 MLCC(100-1, 100-2)의 더 느린 소킹에 비해 소결 제3 샘플 MLCC(100-3)(및 제4 샘플(100-4))의 이러한 더 빠른 소킹에서 훨씬 더 빈번하게 나타나지만, 사이즈가 더 작다.
- [0106] 도 11a-11d는 도 10a-10c에 예시되는 제3 샘플 MLCC(100-3)(LT-3088A)에 대응하는 다른 제3 샘플의, 광학 현미경에 의하여 생성된 단면도들을 예시한다. 구체적으로, 도 11a-11c는 대략 100 배의 크기 레벨로 제3 샘플 MLCC(100-3)의 광학 현미경 단면도를 예시한다. 도 11a에서, Ag 전극 층(10); Ag 코팅된 유전체 테일(30); 및 코팅되지 않은 표준/정규 유전체 테일(70)을 포함하는 수 개의 층들이 가시적이다. (금속의 포켓들 또는 함유물들(605)은 가시적이지 않다.) 도 11a는 제3 샘플 MLCC(100-3)의 제1 실시예를 예시하는 반면, 도 11b는 제3 샘플 MLCC(100-3)의 제2 실시예를 예시하고, 도 11c는 제3 샘플 MLCC(100-3)의 제3 실시예를 예시하며, 각각의 실시예는 MLCC들(100)의 동일한 배치 또는 세트에서 제조되었다.
- [0107] 도 11d는 대략 1000 배의 크기 레벨로 제3 샘플 MLCC(100-3)의 광학 현미경 단면도를 예시한다. 이 도 11d에서, Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는 수 개의 층들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0108] 도 12a-12c는 대략 1시간의 소킹 동안 대략 975C에서의 MLCC의 소결 이후에, 주사 전자 현미경(SEM)에 의하여 생성된, Ag 코팅된 유전체 테일들을 사용하는 제4 샘플 MLCC(100-4)의 단면도들을 예시한다. 더욱 구체적으로, 도 12a는 대략 500 배의 크기 레벨로 제4 샘플 MLCC(100-4)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 층들의 수 개의 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0109] 도 12b는 대략 2000 배의 크기 레벨로 도 12a의 제4 샘플 MLCC(100-4)(LT-3088B)의 SEM 단면도를 예시한다. Ag 전극 층들(10), 유전체 층들(20a), 및 Ag 코팅된 유전체 테일 층(30)을 포함하는, 가시적인 층들의 수 개의(그러나 도 12a에 예시된 것들보다는 적은) 사례들이 존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.
- [0110] 도 12c는 대략 5000 배의 크기 레벨로 도 12a의 제4 MLCC(100-4)의 SEM 단면도를 예시한다. 단지 Ag 코팅된 유전체 테일 층(30)만이 가시적이다. 유전체 테일 층(30) 내에 형성되는 Ag 금속의 포켓들(605)이 또한 가시적이다. 상기 언급된 바와 같이, Ag 금속의 포켓들(605)은 제1 및 제2 샘플 MLCC(100-1, 100-2)의 더 느린 소킹에 비해 소결 제4 샘플 MLCC(100-4)(및 제3 샘플(100-3))의 이러한 더 빠른 소킹에서 훨씬 자주 나타나지만, 사이즈가 더 작다.
- [0111] 도 13a-13d는 도 12a-12c에 예시되는 제4 샘플 MLCC(100-4)(LT-3088A)에 대응하는 다른 제4 샘플들의, 광학 현미경에 의해 생성된 단면도들을 예시한다. 구체적으로, 도 13a-13c는 대략 100 배의 크기 레벨로 제4 샘플 MLCC(100-4)의 광학 현미경 단면도를 예시한다. 도 13a-13c에서, Ag 전극 층(10); Ag 코팅된 유전체 테일(30); 및 코팅되지 않은 표준/정규 유전체 테일(70)을 포함하는 수 개의 층들이 가시적이다. (금속의 포켓들 또는 함유물들(605)은 가시적이지 않다.) 도 13a는 제4 샘플 MLCC(100-4)의 제1 실시예를 예시하는 반면, 도 13b는 제4 샘플 MLCC(100-4)의 제2 실시예를 예시하고, 도 13c는 제4 샘플 MLCC(100-4)의 제3 실시예를 예시하며, 각각의 실시예는 MLCC들(100)의 동일한 배치 또는 세트에서 제작되었다.
- [0112] 도 13d는 대략 1000 배의 크기 레벨로 제4 샘플 MLCC(100-4)의 광학 현미경 단면도를 예시한다. 이 도 13d에서, Ag 전극 층들(10), 유전체 층들(20a) 및 Ag 코팅된 유전체 테일 층(30)을 포함하는 수 개의 층들이

존재한다. Ag 금속의 포켓들(605)이 또한 가시적이다.

- [0113] 도 14-22의 3-D 캐패시터들을 구성하기 위한 고유 컴포넌트 선택과 결합된 변형된 제조 프로세스: 금속 코팅된 세라믹 입자들
- [0114] 상기 설명된 예시적인 코팅되지 않은 세라믹 파우더(205) 대신에 금속 코팅된 세라믹 입자들을 사용함으로써, 변형된 세라믹 캐패시터 제조 방법(101)이 또한 3-차원 캐패시터 실시예들을 생성하는데 사용될 수 있다.
- [0115] 은 코팅된 유전체들과 같은(그러나 이에 제한되는 것은 아님) 연속하는 미립자 코팅을 특징으로 하는 금속-코팅된 세라믹 파우더들이 3-차원 MLCC의 다양한 실시예들에서 이용된다. 은 코팅된 유리 비드들은 현재 펜실베이니아 앨버튼의 Technic, Inc. of Woonsocket, Rhode Island 및 Potters Industries, Inc.로부터 입수가 가능하다.
- [0116] 통상적으로, 금속-코팅된 세라믹 파우더의 금속 코팅은 전도성 파우더와 부합하며, 상기 전도성 파우더는 귀금속 MLCC의 경우에 은 또는 은-팔라듐 합금 그리고 비금속 MLCC의 경우에 니켈 또는 니켈 합금들과 같은(그러나 이에 제한되는 것은 아님) 전극 층을 생성하는데 사용될 수 있다. 다른 실시예들에서, 부합하지 않는 결합이 있는 코팅들을 갖는 금속-코팅된 세라믹 파우더들이 이용될 수 있다. 또한, 파우더가 주어진 3-차원 캐패시터 실시예로 통합되기 이전에 몇몇 금속-코팅된 세라믹 파우더들에서 미립자 코팅이 실질적으로 부합됨에도 불구하고, 코팅의 지속성에 있어서의 결합들이 금속 코팅된 세라믹 미립자들을 페이스트들로 혼합하는 프로세스 동안에 발생할 수 있다. 코팅된 미립자가 연속적인 부합하는 코팅 또는 부합하지 않는 결합이 있는 코팅을 특징으로 하는지와 무관하게, 코팅된 미립자는 3-차원 캐패시터 실시예의 유전체 층을 효과적으로 형성하는데 사용될 수 있다.
- [0117] 바람직하게, 금속 코팅과 세라믹 미립자 기관 사이의 내재적 표면 장력으로 인하여, 소결 온도로의 노출의 결과로서 금속 코팅의 불연속성이 발생할 수 있다. 본 기술분야의 당업자는 주어진 소결 온도로의 금속-코팅된 미립자의 노출이 금속 코팅으로 하여금 미립자로부터 유동하고 이웃 미립자들 사이에 보이드(void)들에 집합되게 (aggregate) 할 수 있음을 이해할 것이다. 유전체 미립자의 표면으로부터 유동된 금속 코팅의 결과적인 집합체 (aggregation)들은 나란히 놓인 유전체 미립자 사이에 캐비티들로 안착하고, 동시에 MLCC 내의 애노드 또는 캐소드 층에 접촉할 수 있으며, 그에 의해 전극 층으로부터 유전체 층 내로 실질적으로 수직하게 돌출하는 애노드 또는 캐소드 층의 전도성 연장부를 효율적으로 생성한다. 특히, 그리고 바람직하게, 집합된 금속 코팅의 다수의 돌출부들은 전도성 층들에 기인하는 표면적의 증가에 의해서, MLCC의 전체 공간 풋프린트의 확장 없이, MLCC의 용량성 밀도를 증가시키는 역할을 한다. 소결 이후에, 금속 코팅들의 몇몇 집합체들로부터 초래될 수 있는 돌출부의 두께는, 약 0.001 미크론 내지 약 10 미크론 범위인 전체 입자 두께의 1% 내지 90%인 것으로 여겨진다.
- [0118] 본 기술분야의 당업자는, 다양한 제조 및 재료 파라미터들이 코팅된 유전체 미립자로부터의 전도성 코팅의 집합 및 유동을 제어하기 위하여 레버리징될 수 있으며, 따라서 특정 프로세스 파라미터 설정 조합들 또는 재료 피쳐들이 신규하거나 또는 신규한 결과들을 만들어낼 수 있더라도, 프로세스 파라미터 설정 또는 재료 피쳐들에 있어서의 변경들이 본 개시물의 범위를 제한하지 않을 것임을 인식할 것이다. 금속-코팅된 미립자로부터의 금속 코팅의 집합 및 유동에 영향을 미치도록 레버리징될 수 있는 제조 파라미터들 및 재료 피쳐들은 금속 코팅 퍼센트, 유전체 층의 두께, 소결 온도 및 소결 시간을 포함한다(그러나 이에 제한되는 것은 아님).
- [0119] 3-차원 캐패시터의 몇몇 실시예들은 코어-셸(core-shell) 세라믹 입자들로 구성되는 유전체 재료 선택을 레버리징할 수 있다. 몇몇 실시예들에서, 코어-셸 세라믹 입자의 코어는 BaTiO₃의 조성물을 가질 수 있는 한편, 셸들은 캐패시터의 온도 계수들을 변형하기 위하여 도펀트들이 풍부할 수 있다. 조성 분포(코어-셸 구조)는 요구되는 온도 범위에 걸쳐 일관된 유전 상수를 제공할 수 있다.
- [0120] 도 14는 3-차원 캐패시터의 예시적 일 실시예를 형성할 수 있는 단일 EDE 삼중-층(300)의 단면도를 예시하며, 여기서 금속 집합체들 (함유물들) 형태의 3-차원 구조물들(돌출부들)은 유전체 미립자들 상의 전도성 코팅들로부터 형성된다. 유전체 층(305)은 예를 들어, 금속 코팅된 세라믹 입자들(315)을 포함할 수 있으며, 여기서 세라믹 미립자 상의 전도성 금속 코팅은 은-팔라듐 합금들, 팔라듐, 팔라듐 합금들, 백금, 백금 합금들, 은, 은 합금들, 금, 금 합금들 등을 포함할 수 있다(그러나 이에 제한되는 것은 아님). EDE 삼중-층(300)의 몇몇 구현예들에서, 유전체 층과의 금속의 체적 분율은 예를 들어, 적어도 약 10%, 또는 적어도 약 20%, 또는 적어도 약 30%, 또는 적어도 약 40%, 예를 들어, 약 40% 내지 약 60%의 범위에 있을 수 있다. 유전체 미립자 상에 은-팔라듐 코팅을 포함할 수 있는 실시예들의 비-제한적 예로서, 은-팔라듐 코팅의 중량 퍼센트 조성은 약 95%Ag 내지 약 5%Pd, 더욱 바람직하게는 약 90%Ag 내지 약 10%Pd, 그리고 가장 바람직하게는 약 70%Ag 내지 약 30%Pd의

범위에 있을 수 있다.

- [0121] 몇몇 실시예들에서 사용되는 유전체 미립자 상의 전도성 금속 코팅은 이리듐, 로듐 및 루테튬과 같은(그러나 이에 제한되는 것은 아님) 다른 귀금속들 및 그들의 개별적 합금들을 포함할 수 있다. 부가적으로, 몇몇 실시예들은 구리, 니켈, 철, 코발트, 망간, 티타늄, 아연과 같은(그러나 이에 제한되는 것은 아님) 비금속들을 포함하는 금속 코팅을 갖는 미립자를 포함할 수 있다. 게다가, 또 다른 실시예들은 텅스텐, 몰리브덴, 지르코늄, 탄탈륨, 및 니오븀과 같은(그러나 이에 제한되는 것은 아님) 내화 금속들로 코팅되는 유전체 미립자를 포함할 수 있는 것으로 계획된다.
- [0122] 또한, 예시적인 유전체 층(305)이 코팅된 세라믹 입자들을 포함하는 것으로서 설명되나, 층(305)의 코팅된 입자들의 유전체 부분은 은-코팅된 세라믹들, 팔라듐-코팅된 세라믹들, 은 팔라듐-코팅된 세라믹들 등과 같은(그러나 이에 제한되는 것은 아님) 세라믹들을 제외한 유전체 물질뿐 아니라, 은 코팅된 포몰레이팅된 티탄산 바륨 기반 유전체들, 은 코팅된 유리 비드들, 및 알루미늄 및 탄탈륨 산화물과 같은(그러나 이에 제한되는 것은 아님) 무기 산화물들을 포함할 수 있는 것으로 또한 계획된다. 또한, 세라믹 입자들(315) 상의 금속 코팅(320)은 유전체 그린 시트의 생성 이전에 실질적으로 균일할 수 있으나(미도시), 금속 코팅(320)은 바람직하게는 소결 이후에 불연속적이 된다.
- [0123] 유전체 층(305)은 2개의 전극 플레이트들(310A, 310C) 사이에 위치설정되는 세라믹 입자들(315)의 전체 층으로서 도시된다. 특히, 도 14의 예시에 플레이트(310A)가 애노드 플레이트를 표현하는 것으로 지정되고 플레이트(310C)는 캐소드 플레이트로서 지정되었으나, 본 기술분야의 당업자는 전도성 플레이트(310)가 애플리케이션이 요구할 수 있는 바에 따라 충전된 캐패시터에서 애노드로서 또는 캐소드로서 수행할 수 있음을 이해할 것이다. 유전체 층(305)의 세라믹 입자들은 통상적으로 사이즈가 약 0.01 내지 약 10 마이크론의 범위이나, 본 기술분야의 당업자에 의하여 이해되는 바와 같이 다른 유전체 입자 사이즈도 가능하다.
- [0124] 상기 설명된 바와 같이, 세라믹 칩들의 소결 이후에 금속 코팅(320)의 불연속성은 주로 금속 및 세라믹과 같은(그러나 이에 제한되는 것은 아님), 코팅된 유전체 입자들(315)의 다른 재료들 간의 표면 장력으로 인한 것이다. 일반적으로, 소결 온도에 도달된 이후, 상기 온도는 금속 코팅(320)으로 하여금 유전체 세라믹 입자들(315) 사이의 캐비티들(325)로 유동하고 집합하게 한다. 바람직하게, 용융된 미립자 코팅으로부터 초래되는 집합된 금속(320)은 애노드(310A) 플레이트 또는 캐소드(310C) 플레이트 중 어느 하나로부터 유전체 층을 통해 아래로 실질적으로 수직하게 연장되거나 돌출되는 다수의 3-차원 구조물들 또는 돌출부들(320)을 형성하기 위하여 냉각될 것이다. 전도성 재료를 포함하는 3-차원 구조물들(320)은, EDE 삼중-층(300)의 애노드(310A) 플레이트 또는 캐소드(310C) 플레이트 중 하나를 갖는 계면 구조물(330)을 형성할 수 있다. 본 기술분야의 당업자는, 전도성 플레이트들(310A, 310C)에 기인하는 전체 표면적들이 효율적으로 증가될 수 있고(유전체 재료는 모두 유전체 입자들(315) 사이로 확산됨), 따라서 캐패시터(300)의 전체 용량성 밀도를 증가시킬 수 있음을 이해할 것이다.
- [0125] 용량성 밀도의 비-제한적 예가 증가함에 따라, 3-차원 캐패시터의 실시예들은 종래의 캐패시터 설계들에 대해 약 10배 내지 약 1000배 정도의 증가된 용량 밀도를 갖는 것으로 추정되었다. 그렇기는 하지만, 용량 밀도 증가의 상기 범위는 예시를 목적으로 제공되며, 개시물의 범위에 대한 제한 요인이 아닐 것이다. 본 기술분야의 당업자는 주어진 3-차원 캐패시터 실시예가 바람직하게는, 동등한 또는 거의 동등한 회로에서의 공간 풋 프린트를 요구하는 다른 용량 설계들에 비교할 때 증가된 용량 밀도를 가질 수 있음을 인식할 것이다.
- [0126] 중요하게, 본 기술분야의 당업자는, 유전체 층(305) 및 전도성 층(310)에 실질적으로 직각인 것들을 제외한 각도들이 유전체 미립자 코팅(315)의 집합체의 결과로서 계획되고, 이로써, 다양한 층들에 실질적으로 직각인 3-차원 구조물들(330)에 대한 상기 설명이 3-차원 캐패시터(300)의 범위를 제한하지 않을 것임을 이해할 것이다. 형성되는 3-차원 구조물들(315, 320) 양자 모두는 주어진 컨덕터 플레이트에 기인하는 전체 표면적을 증가시키고, 또한 본질적으로 주어진 EDE 삼중-층(300) 내의 다수의 작은 마이크로-캐패시터 삼중-층 배열들을 형성한다.
- [0127] 상기 설명된 예시적인 실시예와 같은 3-차원 캐패시터(315)를 생성하기 위하여 유전체 층(305)에서 사용하기에 적합한 금속-코팅된 세라믹 파우더들이 상업적으로 제조될 수 있다. 특정 조합들이 다른 조합들에 비해 더욱 바람직할 수 있으나, 혁신적인 캐패시터 구조물은 다양한 유전체 미립자 재료들 및 코팅 조합들을 포함할 수 있다. 또한, 본 기술분야의 당업자는 다양한 파라미터들이, 금속 코팅 퍼센트, 소결 온도 및 소결 시간의 선택과 같은(그러나 이에 제한되는 것은 아님) 3-차원 캐패시터의 3-차원 구조물들의 양상들 또는 특성들을 제어하는데 사용될 수 있음을 인식할 것이다.

- [0128] 도 15는 3-차원 캐패시터의 예시적 일 실시예를 형성하는 단일 EDE 층(400)의 단면도를 예시하며, 여기서 3-차원 구조물들은 유전체 입자들 또는 코팅된 유전체 입자들의 유전체 슬러리로 혼합된 금속 입자들(421)로 형성된다. 상기 설명된 방법(101)의 단계(120)에 부합하여, 전극 플레이트들(410A, 410C)이 그린 테잎(215, 405) 위에 프린팅되며, 여기서 그린 테잎(215, 405)은 순수한 유전체 슬러리(210)로 만들어지는 대신 금속 미립자(421) 및 유전체 입자들 또는 금속 코팅된 유전체 미립자(415)의 혼합물로 만들어진다. 도 14 실시예와 관련하여 상기 설명된 바와 같이, 금속 코팅된 유전체 미립자는 전도성 코팅 및 유전체 미립자의 임의의 조합물을 포함할 수 있는 것으로 계획되며, 이로써, 특정 미립자 및 전도성 코팅 재료 선택들 및 조합들이 본 명세서에서 예시를 목적으로 제공되고, 개시물의 범위를 제한하지 않을 것임이 이해될 것이다. 유사하게, 금속 미립자(421)는 은, 은 팔라듐 합금, 니켈, 니켈 합금들, 구리, 구리 합금들 등을 포함하는(그러나 이에 제한되는 것은 아님) 임의의 적절한 전도성 재료를 포함할 수 있는 것으로 계획된다. 유전체 입자들(415)의 금속 코팅은 금속 미립자(421)와의 기계적 혼합으로부터의 결과로서 불연속적일 수 있으나, 소결 이후, 코팅은 일반적으로, 3-차원 구조물들 또는 돌출부들(420)이 실질적으로 유전체 층에 수직으로 형성되고, 일부는 상단 전극과의 계면(430A) 상에 형성하고, 일부는 계면(430B) 상에 하단 전극과 연결되게 형성하도록, 유동하고 집합할 것이며, 금속 미립자(421)는 도처에 집합된다.
- [0129] 도 14에 예시되는 3-차원 캐패시터 층의 제조는 방법(101)에 관하여 설명된 것과 본질적으로 동등하다. 또, 도 14에 예시된 예시적인 실시예의 3-차원 캐패시터를 제조하기 위하여, 대개 도 1-2와 함께 설명된 바와 같은 제조 프로세스에 대한 변형들이 이루어진다. 구체적으로, 단계(105)에서, 금속 코팅된 유전체(315)가 MLCC 제품에서 세라믹 유전체 파우더(205) 대신에 사용된다면, 결과적인 3-차원 캐패시터는 도 14 실시예와 유사한 구조를 가질 것이다. 유사하게, 전도성 미립자(421) 및 유전체 입자들 또는 코팅된 유전체 미립자(415)의 기계적 혼합물이 파우더(205) 대신에 삽입된다면, 결과적인 3-차원 캐패시터는 도 15 실시예와 유사한 구조를 가질 것이다.
- [0130] 고유 컴포넌트 선택 및 부가적인 제조 단계들
- [0131] 다양한 신규한 컴포넌트 선택들을 수용하기 위한 부가적인 제조 단계들의 통합에 의하여, 고유 세라믹 캐패시터 제조 방법(101)이 3-차원 캐패시터들을 생성하는데 사용될 수 있다.
- [0132] 도 16은 3-차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(500)의 단면도를 예시하며, 여기서 금속 입자들(521)은 유전체 그린 테잎(215, 505) 내로 함침된다. 미세한(fine) 미립자를 함유하는 금속 파우더가 슬러리로 만들어지고, 금속 입자들(521)이 유전체 입자들(515) 사이의 보이드들 내로 강제되도록(force into), 방법(101)과 관련하여 설명되는 유전체 그린 테잎(215)의 표면에 적용될 수 있다. 도 14 및 도 15 실시예들과 관련하여 설명된 것과 유사하게, 금속 미립자(521)는 은, 은 팔라듐 합금, 니켈, 니켈 합금들, 구리, 구리 합금들 등을 포함하는(그러나 이에 제한되는 것은 아님) 임의의 적절한 전도성 재료를 포함할 수 있는 것으로 계획된다. 이로써, 금속 미립자 재료 선택들이 본 기술분야의 당업자들에게 떠오를 것이며, 개시물의 범위를 제한하지 않을 것임이 이해될 것이다.
- [0133] 본질적으로, 미세 입자 금속 슬러리의 적용은 금속 입자들(521)로 하여금 유전체 테잎(215, 505)의 "기공(pore)들"에 침투하도록 하고, 그에 의해 플레이트들(510A, 510C)과의 계면(530)을 형성하는 돌출부들(522)을 생성하기 위한 잠재적인 집합을 야기한다. 바람직하게, 임의의 인터페이스된 돌출부들(522)은 전도성 플레이트들(510A, 510C)에 기인하는 표면적을 효율적으로 증가시키도록 작동할 수 있다.
- [0134] 다시 방법(101)을 참고하여, 전극 스크린 프린팅 단계(120)에서 전극 잉크(510A, 510B)를 프린팅하기 이전에 적절하게 미세-크기설정된 금속 미립자(521)를 함유하는 슬러리의 증착이 유전체 테잎(215)에 적용될 수 있도록, 단계(110) 이후에 그리고 스크린 프린팅 단계(120) 이전에 부가적인 단계가 추가될 수 있다.
- [0135] 도 17은 -차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(600)의 단면도를 예시하며, 여기서 금속 입자들(621)은 유전체 그린 테잎(215, 605) 내로 함침되며, 컨덕터 플레이트들은 유전체 층(605) 근처에 낮은 용융점 전극 재료의 층을 포함한다. 도 16 실시예와 유사하게, 도 17은 유전체 층(605) 근처의 낮은 용융점 금속 컨덕터(611A, 611C)의 확산에 의해 형성되는 전극 구조물을 예시한다(낮은 용융점은 1차 컨덕터 플레이트들(610A, 610C)에 대하여 사용되는 재료의 용융점에 관련된다). 예를 들어, 약 95% Ag/5% Pd(은/팔라듐 합금)의 상부 전극 층(610A, 610C) 아래에 100% 은 전극(611A, 611C)의 사용은 소결 단계(140) 동안 유전체 미립자(615) 사이의 캐비티들 내로의 금속 유동을 증가시킬 수 있고, 그에 의하여 선택적인 함침된 금속 미립자(621)과 함께 3-차원 구조물들 또는 돌출부들(622)을 생성한다. 특히, 도 17의 예시가 낮은 용융점 컨덕터 층들(611A, 611C) 및 함침된 금속 미립자(621) 모두를 포함하는 실시예를 도시하나, 낮은 용융점 재료가 그것이

유전체 미립자(615) 사이의 보이드들 내로 소결 시 유동함에 따라 전도성 돌출부들을 적절히 생성할 수 있으므로, 유사한 실시예들이 함침된 미립자(621)를 포함하지 않을 수 있다는 것이 이해될 것이다.

- [0136] 도 14 및 도 15 실시예들에 관하여 설명된 것과 유사하게, 금속 미립자(621)가 은, 은 팔라듐 합금, 니켈, 니켈 합금들, 구리, 구리 합금들 등을 포함하는(그러나 이에 제한되는 것은 아님) 임의의 적절한 전도성 재료를 포함할 수 있는 것으로 계획된다. 이로써, 금속 미립자 재료 선택들이 본 기술분야의 당업자들에게 떠오를 것이며, 개시물의 범위를 제한하지 않을 것임이 이해될 것이다. 중요하게, 본 기술분야의 당업자는 예시적인 도 17 실시예와 유사한 실시예는 낮은 용융점 컨덕터 층들이 1차 컨덕터들이 유전체와 나란하도록 1차 컨덕터들 위에 위치설정되도록 요구할 수 있음을 또한 인식할 것이다.
- [0137] 다시 방법(101)을 참고하여, 낮은 용융 전극 페이스트가 동일한 단계에서 그러나 1차 전극들(610)의 프린팅 이전에 프린팅되도록, 부가적인 단계가 스크린 프린팅 단계(120) 내에 부가될 수 있다.
- [0138] 도 3 내지 6에 관하여 설명되고 도시된 3-차원 캐패시터의 예시적인 실시예들은 은, 은/팔라듐 합금, 니켈, 니켈 합금들, 구리 또는 구리 합금들과 같은(그러나 이에 제한되는 것은 아님) 강성 플레이트들 또는 주로 전도성인 미립자를 포함하는 전극 층들을 이용한다. 그러나 3-차원 캐패시터의 다른 실시예들은, 은 코팅된 세라믹 미립자 또는 전도성 코팅과 비전도성 재료의 임의의 조합들과 같은(그러나 이에 제한되는 것은 아님) 금속 코팅된 비전도성 재료를 포함하는 애노드 및 캐소드 층들을 이용한다. 또한, 3-차원 캐패시터의 전도성 층들에 대해 금속 코팅된 비전도성 재료를 이용하는 그러한 실시예들에서, 비전도성 재료에 기인하는 전도성 층 또는 대안적으로 전도성 코팅의 특정 중량 퍼센트는 실시예에 의해 변화할 수 있으며, 약 1% 내지 약 90% 범위일 수 있다. 바람직하게, 그러한 실시예들은 3-차원 구조물의 다양한 장점들을 제공하는 것에 더하여, 종래의 캐패시터 배열들에 대해 비용 절약을 실현할 수 있다.
- [0139] 도 18은 -차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(700)의 단면도를 예시하며, 여기서 금속 코팅된 미립자(720)는 유전체 층(705)이 그 사이에 샌드위치되는 전도성 층들(710A, 710C)을 생성하는데 사용된다. 예시적인 도 7 실시예에서, 스크린 프린팅 단계(120)에서 그린 테잎(705) 위에 인가되는 전극 잉크(225)는 금속 코팅된 세라믹 파우더와 같은(그러나 이에 제한되는 것은 아님) 전도성 코팅된 미립자 뿐 아니라, 임의의 다른 미립자 및 본 기술분야의 당업자에게 떠오를 수 있는 코팅 조합물들을 포함할 수 있다. 바람직하게, 단계(140)에서 소결 온도들에 노출 시, 3-차원 금속 네트워크(720)가 전극 층들(710)에서의 용융된 미립자 코팅의 집합으로부터 초래될 때, 잉크로부터 기능적 전극 층(710)이 형성된다. 중요하게, 몇몇 실시예들에서, 전극 층들(710)의 3-차원 금속 네트워크(720)는 전극 및 유전체를 기계적으로 혼합함으로써 또한 달성될 수 있다.
- [0140] 도 19는 3-차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(800)의 단면도를 예시하며, 여기서 금속 코팅된 세라믹 층(811A, 811C)이 유전체 층(805)과 전극 층들(810A, 810C) 사이에 형성된다. 이 예시적 실시예에서, 유전체 층(805)은 예를 들어, 표준 코팅되지 않은 세라믹들과 같은 유전체 재료들로부터 형성될 수 있다. 금속-코팅된 세라믹 층(811)은 네트워크(820)를 형성하고, 개별적인 전극 층들(810)에 전기적으로 연결된다. 3-차원 캐패시터에 대한 도 17 실시예와 관련하여 설명된 낮은 용융점 전도성 층과 유사하게, 금속-코팅된 세라믹 층들(811)은 표준 전극들(810A, 810C)의 프린팅 이전에, 금속-코팅된 세라믹 입자들을 포함하는 잉크를 사용하여 단계(120)에서 프린팅될 수 있다(대안적으로, 표준 전극 층은 몇몇 실시예들에서 금속 코팅된 세라믹 미립자 층 이전에 프린팅될 수 있다).
- [0141] 도 3 내지 8에 설명되고 도시된 3-차원 캐패시터의 예시적인 실시예들은 유전체 미립자 상의 전도성 코팅들의 제어된 유동 및/또는 전도성 입자들의 함침으로부터 형성되는 실시예들이다.
- [0142] 기계적 변환 단계들 및/또는 사전-설계된 플레이트 기하구조를 이용한 제조 프로세스
- [0143] 3-차원 캐패시터의 몇몇 실시예들은 계획된 컨덕터/유전체 기하구조 및/또는 기계적 변환 기법들에 의해 유전체 층에 실질적으로 수직으로 위치설정되는 3-차원 구조물들을 갖는다.
- [0144] 도 20은 3-차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(900)의 단면도를 예시하며, 여기서 3-차원 구조물들(또는 돌출부들)(920)은 애노드 층(910A) 및 캐소드 층(910C)으로부터 유전체(905) 내로 수직으로 돌출된다. 2개의 전극들(910)은 유전체 층(905)에 의하여 분리된다. 예시적인 도 20 실시예의 유전체 층(905)은 표준 코팅되지 않은 세라믹들과 같은(그러나 이에 제한되는 것은 아님) 종래의 유전체 재료들로부터 형성될 수 있으나, 상기 설명된 것과 유사한 코팅된 미립자가 다양한 실시예들에서 사용될 수 있는 것으로 계획된다.

- [0145] 본 기술분야의 당업자에 의하여 이해되는 바와 같이 임의의 적절한 기계적 디바이스 또는 보어링(boring) 방법에 의하여 전극 돌출부들(920)을 수용하는 "슬롯들" 또는 "기공(bore)들"이 유전체(905)에 생성된다. 실질적으로 수직한 3-차원 전극 연장부들 또는 핑거-형 돌출부들(920)이 그 후 전도성 재료로 슬롯들을 충전함으로써 생성된다. 그들의 개별적인 전극들(910A, 910C)에 연결되어, 전극 돌출부들(920)은 애노드 및 캐소드 돌출부(920) 쌍들 사이에 중첩 영역들(921)에서 메인 캐패시터(900) 내에 부가적인 캐패시터 배열들을 생성한다. 상기 설명된 실시예들에 부합하여, 전극 연장부들(920)은 1차 전극 플레이트들(910)와 함께 작동하여, 전극 층들의 유효 표면적을 증가시키고, 따라서 그러한 삼중-층(900)을 포함하는 캐패시터의 용량성 밀도를 향상시킨다.
- [0146] 도 20에서, 슬롯들 및 대응 전극 돌출부들(920)은 단면에 수직한 것으로서 도시된다. 그러나 그러한 레이아웃이 도시되지 않더라도, 돌출부들(920)이 예시 금속화 및 종료 기법들에 의해 1차 컨덕터 플레이트들 중 하나에 전기적으로 연결되는 전극 연장부들(920)을 제공하기 위해 단면에 평행할 수 있음이 이해되어야 한다. 슬롯들을 생성하기 위한 적절한 방법들은 레이저 드릴링(laser drilling), 기계적 펀칭 등을 포함할 수 있다(그러나 이에 제한되는 것은 아님). 전극 돌출부들을 생성하기 위하여 슬롯들을 충전하기 위한 적절한 방식들은, 슬롯들을 충전하기 위해 유전체 테일 위에 전극 잉크를 프린팅하는 것 또는 주어진 컨덕터 층(910)으로부터 주어진 전극(920)을 절연시키기 위하여 변경 슬롯들을 충전하기 위해 유전체 잉크를 프린팅하는 것을 포함할 수 있다(그러나 이에 제한되는 것은 아님). 패터닝은 또한 포토리소그래픽 기법들 또는 임프린트 프린팅을 통해 달성될 수 있는 것으로 계획된다. 3-차원 캐패시터 실시예를 생성하기 위하여 유전체의 보어들을 레버리징하기 위한 다른 방법들이 본 기술분야의 당업자들에게 떠오를 것이며, 이로써, 도면들에 도시되고 본 명세서에 설명되는 특정 예시적인 실시예들은 본 기술분야의 당업자에게 이해되는 바와 같이 개시물의 범위를 제한하지 않을 것이다.
- [0147] 도 20에 도시되는 예시적인 실시예 및 유사한 실시예들과 관련하여, 패터닝 밀도, 그리고 그에 따른 캐패시턴스는 슬롯들을 형성하기 위한 기계적 수단 및 슬롯들을 충전하기 위한 프린팅 수단의 레졸루션(resolution)에 의하여 제한된다는 것이 본 기술분야의 당업자들에게 명백해야 한다.
- [0148] 도 21은 3-차원 캐패시터의 예시적인 실시예를 형성할 수 있는 단일 EDE 삼중-층(1000)의 단면도를 예시하며, 여기서 3-차원 구조물들(또는 돌출부들)(1020)이 1차 컨덕터 층들로부터 유전체 층(1005)으로 돌출된다. 이전에 설명된 실시예들과 유사하게, 도 21의 예시적인 실시예는 바람직하게 유전체(1005)에 결합되는 애노드 및 캐소드 표면적의 증가를 통해 용량성 밀도를 증가시킨다. 전극 구조물들(1020)은 임프린트 프린팅, 몰딩 등과 같은(그러나 이에 제한되는 것은 아님) 패터닝 기법들에 의하여 형성될 수 있다. 즉, 예시적인 방법(101)의 단계(120)에서 전극 층(1010)의 스크린-프린팅 이전에 치형부(teeth)를 갖는 다이의 유전체 그린 테일(215)으로의 적용(스탬핑과 같은)을 통해, 변형된 그린 테일 컴포넌트에 3-차원 구조물들(1020)이 생성될 수 있다.
- [0149] 예시적인 도 21 실시예의 유전체 층(1005)은 표준 코팅되지 않은 세라믹들과 같은 종래의 유전체 재료들로부터 형성될 수 있으나, 그러한 것이 모든 실시예들에서 요구되는 것은 아니다. 변형된 그린 테일의 스크린 프린팅 시, 전극들(1010)은 변형된 유전체 층(1005)으로의 그린 테일의 스탬핑 또는 몰딩으로부터 초래된 예시적인 치형부 임프린트들에 기인하는 돌출부들(1020)을 요구한다. 돌출부들(1020)은 전기 전하들을 모으기 위해 메인 캐패시터(1000) 내에 부가적인 표면적일 효율적으로 생성하기 위하여 연장된 전극들로서 기능할 수 있다.
- [0150] 도 21의 예시적인 실시예 및 유사한 실시예들의 제조를 위해, 제조 방법(101)에 대한 변형들은 "테일 주조" 단계(110) 이후에 또는 그 동안에 유전체 테일에 텍스처를 부가하는 단계를 포함할 수 있다. 특히, 당업자는 예시된 것들을 제외한 돌출부들(1020)에 대한 패턴들이 3-차원 캐패시터의 유사한 실시예들에서 사용될 수 있다는 것을 인식할 것이다.
- [0151] 이제 도 22를 참고하여, 유전체 층(305)에 다수의 별개의 금속 함유물들(320)을 갖지만 전극들 근처의 "공핍 층"이 없는 3-차원 캐패시터(2200)의 다른 예시적 실시예의 단면도를 예시한다. 이 예시적 실시예는 도 14에 예시되는 예시적인 실시예와 유사하여, 단지 차이점들만이 하기에 설명될 것이다. 이 예시적 실시예에 따라, 3개의 유전체 층들(305)이 존재한다. 이들 2개 유전체 층들(305)은 그들 사이에 배치되는 어떠한 공핍 층도 없이 서로의 근처에 위치설정된다. 공핍 층(705 또는 805)은 도 18-19의 예시적인 실시예들에서 발견될 수 있다. 공핍 층(705, 805)은 실질적으로 금속 프리 유전체 층인 층이다.
- [0152] 이 명세서에 설명되는 프로세스들 또는 프로세스 흐름에서의 특정 단계들은 설명된 것과 같이 기능하기 위하여 주어진 3-차원 캐패시터 실시예에 대한 다른 단계들에 자연스럽게 선행되어야 한다. 그러나 3-차원 캐패시터의 제조는 그러한 순서 또는 시퀀스가 그로부터 초래된 3-차원 캐패시터의 기능을 변경하지 않는다면, 설명되는 단계들의 순서로 제한되지 않는다. 즉, 몇몇 단계들이 개시물의 범위 및 진의를 벗어나지 않고 다른 단계들과 동

시에, 그 이전에, 또는 그 이후에 수행될 수 있음이 인식된다. 몇몇 사례들에서, 발명으로부터 벗어나지 않고 특정 단계들이 삭제되거나 수행되지 않을 수 있다.

[0153] 상기 설명된 바와 같은 3-차원 캐패시터는 약 1 내지 약 1000개 층들, 바람직하게 약 300 내지 약 500개 층들을 포함할 수 있으며, 유전체 층 두께들은 종종 약 1 내지 약 50 마이크로미터이다. 유전체의 단일 층만이 이용될 때, 저온 공동-소성 세라믹(LTCC) 기술들에 있어서 수동 집적(passive integration)에서 종종 보여지는, 단일 층 캐패시터가 형성된다. 3-차원 캐패시터는 또한 0402 사이즈(약 0.04 인치 × 약 0.02 인치) 및 심지어 0201 사이즈(약 0.02 인치 × 약 0.01 인치)만큼 작은 사이즈를 포함할 수 있다.

[0154] 결론

[0155] 따라서, 상기 설명된 방법(101), 예시적인 실시예들 및 실제 샘플들은 전극들의 쌍(예컨대, 도 1d의 10 및 도 14의 310A, 310C)을 포함할 수 있는 캐패시터들을 개시한다. 금속 코팅된 유전체 테일들(일반적으로 도 1c-13에서 발견되는, 예컨대, 도 1c의 30) 또는 금속 코팅된 세라믹 입자들(일반적으로 도 14-22에서 발견되는, 예컨대, 도 14의 315)로부터 형성되는 금속화된 유전체 층이 전극들의 쌍 사이에 배치될 수 있다. 금속화된 유전체 층에서 금속의 체적 분율이 적어도 약 30%이도록, 유전체 재료(예컨대, 도 1 및 도 6의 20, 예컨대, 도 14의 세라믹 입자들(320), 예컨대, 도 15의 유전체 입자들(415)) 내에 분포되는 다수의 금속 집합체들(예컨대, 도 1c 및 6의 금속 포켓들(605), 예컨대, 도 14의 금속 코팅들(320), 예컨대, 도 15의 금속 입자들(421) 등)을 포함할 수 있다. 다수의 금속 집합체들은 유전체 재료에 의하여 서로 분리될 수 있다.

[0156] 캐패시터는 전극들(도 1c의 10) 중 적어도 하나의 전극으로부터 금속화된 유전체 층(도 1c의 30)을 분리시키는, "공핍 층"으로서 지칭되는 적어도 하나의 실질적으로 금속 프리 유전체 층(예컨대, 도 1c의 20A)을 포함할 수 있다. 금속의 체적 분율은 약 30% 내지 약 60%의 범위에 있을 수 있으며, 더욱 바람직하게는, 금속의 체적 분율은 약 40% 내지 약 60%의 범위에 있다.

[0157] 금속화된 유전체 층은 약 0.01 마이크로미터 내지 약 50.0 마이크로미터 범위의 두께를 가질 수 있다. 상기 설명되는 결과적인 캐패시터는 금속화된 유전체 층이 없는 것의 적어도 5배인 캐패시턴스를 나타낼 수 있다. 상기 언급된 바와 같이, 캐패시터의 유전체 재료들은 세라믹을 포함할 수 있다. 세라믹은 티탄산 바륨 기반 세라믹들 또는 다른 타입의 캐패시터 유전체들, 예컨대, 납 마그네슘 탄탈산염들 및 니오브산염들, 유리 세라믹, 무기 산화물들, 알루미늄 산화물, 및 탄탈륨 산화물 중 임의의 하나를 포함할 수 있다.

[0158] 상기 언급된 바와 같이, 세라믹은 부분적으로 금속 집합체들(도 14)에 예시된 바와 같은 코팅들(320)로 코팅되는 다수의 세라믹 입자들(예컨대, 도 14의 입자들(315))을 포함할 수 있다. 세라믹 입자들은 약 0.001 마이크로미터 내지 약 10 마이크로미터 범위의 사이즈를 가질 수 있다.

[0159] 사용되는 금속 집합체들은, 은, 팔라듐, 니켈, 금, 백금, 이리듐, 텅스텐, 몰리브덴, 탄탈륨, 니오븀, 하프늄, 레늄, 니켈 및 구리 중 임의의 것을 포함할 수 있다. 금속 집합체들 및 전극들 중 적어도 하나의 전극은 적어도 하나의 금속성 성분을 공통적으로 포함할 수 있거나 포함하지 않을 수 있다. 즉, 금속 집합체들 및 전극들 중 적어도 하나의 전극은 동일한 금속으로 형성되지 않을 수 있다. 전극들은 은, 팔라듐, 니켈, 금, 백금, 이리듐, 텅스텐, 몰리브덴, 탄탈륨, 니오븀, 하프늄, 레늄, 니켈 및 구리 중 임의의 것으로 형성될 수 있다.

[0160] 상기 설명되는 기법들에 의하여 형성되는 MLCC는 다수의 전극들 및 다수의 유전체 층들을 포함할 수 있으며, 여기서 각각의 유전체 층들은 전극들 중 2개의 전극들 사이에 배치된다. MLCC의 유전체 층들 중 적어도 하나의 유전체 층은 유전체 재료를 포함하는 금속화된 부분을 가지며, 상기 유전체 재료에는 다수의 금속 함유물들이 분포된다. 금속화된 부분에서의 금속의 체적 분율은 적어도 약 20%, 그리고 더욱 구체적으로는 적어도 약 30%이며, 상기 함유물들은 유전체 재료에 의하여 서로 분리된다.

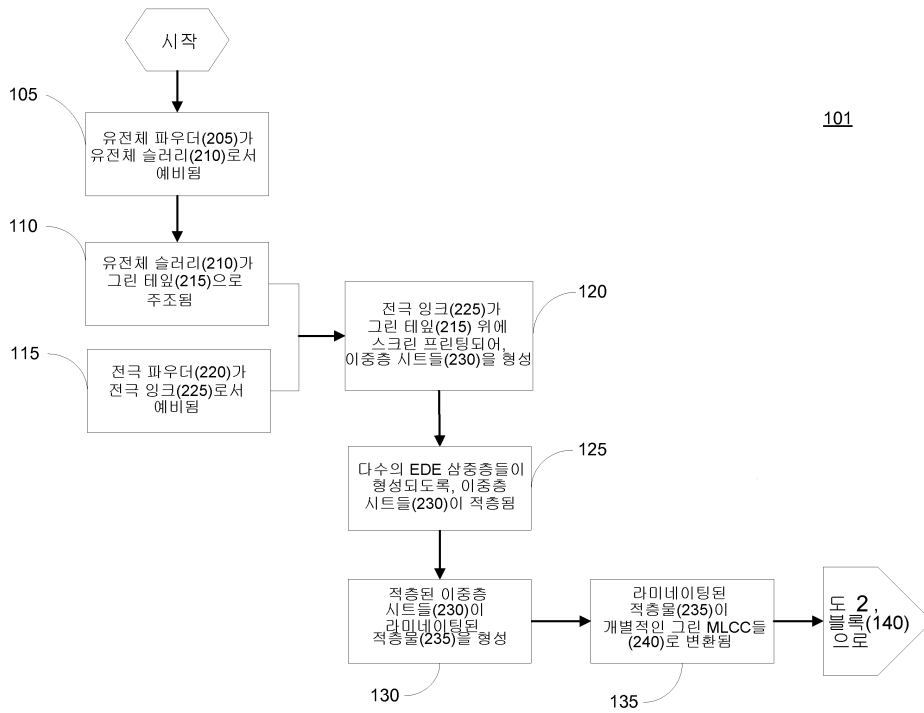
[0161] 유전체 층의 금속화된 부분은 세라믹 및 다수의 금속 함유물들의 혼합물들을 포함할 수 있다. 세라믹은 다수의 세라믹 입자들을 포함할 수 있다. 세라믹 입자들은 약 0.001 마이크로미터 내지 약 10 마이크로미터 범위의 사이즈들을 가질 수 있다.

[0162] 캐패시터의 전극들 중 적어도 하나의 전극 및 금속 함유물들은 공통으로 적어도 하나의 금속 성분을 가질 수 있거나 갖지 않을 수 있다. 금속 함유물들 및 적어도 하나의 전극은 동일한 금속으로 형성될 수 있거나 동일한 금속으로 형성되지 않을 수 있다. 금속 함유물들은 은, 비-산화 금속을 포함할 수 있다. 유전체 층은 금속 코팅된 유전체 테일 또는 금속으로 코팅된 세라믹 입자들을 포함하는 실질적으로 2-위상 조성물을 포함할 수 있다.

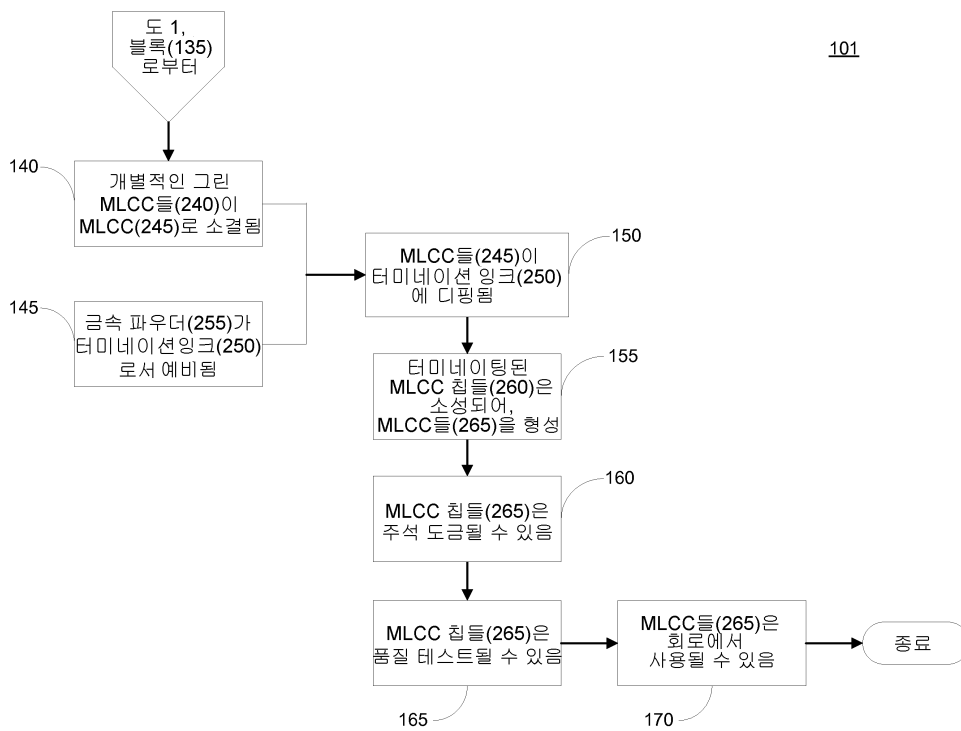
- [0163] 상기 설명된 기법들에 의해 생성되는 캐패시터는 도 1c에 예시된 바와 같이, 전극들의 쌍(10) 및 전극들의 쌍(10) 사이에 배치된 유전체 층(30, 40)을 포함할 수 있다. 도 1c에 예시된 바와 같이 유전체 층(30, 40)은, 다수의 별개의 금속 함유물들(605)을 갖는 적어도 하나의 금속화된 부분(30), 및 전극들의 쌍(10) 중 적어도 하나의 쌍으로부터 상기 적어도 하나의 금속화된 부분(30)을 분리시키는 적어도 하나의 실질적으로 금속 프리 부분(20A)을 포함할 수 있다. 인-시튜로 형성된 공핍 층(20A)은 약 0.1 미크론 내지 10 미크론의 두께를 가질 수 있다.
- [0164] (A) (도 1c-13로서 예시된 바와 같이 금속 코팅을 유전체 테일에 인가하거나 또는 도 14-22에 예시된 바와 같이 입자들을 개별적으로 코팅하는) 다수의 금속-코팅된 유전체 입자들을 형성하기 위하여 금속으로 다수의 유전체 입자들을 코팅하는 단계; 및 상기 금속 코팅들을 다수의 별개의 분리된 금속 집합체들로 변형하기 위하여 은에 대해 적어도 약 750°C 내지 950°C의 온도에서 다수의 금속-코팅된 유전체 입자들을 소결하는 단계를 포함하는, 금속-유전체 복합물을 형성하는 방법이 개시된다.
- [0165] 방법은, 은이 사용된다면, 약 750°C 내지 약 950°C 범위이도록 소결 온도를 선택하는 단계를 포함한다. 다수의 금속-코팅된 유전체 입자들은 대개 약 0.1 내지 10 시간 범위의 지속기간 동안 소결된다. 상기 언급된 바와 같이, 방법 및 시스템에서, 다수의 유전체 입자들 또는 유전체 테일은 세라믹 재료를 포함한다. 유전체 입자들은 약 0.001 미크론 내지 약 10 미크론 범위의 사이즈들을 가질 수 있다. 한편, 유전체 입자들에 적용되는 금속은, 팔라듐, 니켈, 금, 백금, 이리듐, 텅스텐, 몰리브덴, 탄탈륨, 니오븀, 하프늄, 레늄, 니켈, 및 구리 중 임의의 것을 포함할 수 있다. 금속은 실질적으로 산화되지 않을 수 있다.
- [0166] 상기 설명되는 예시적인 3-차원 캐패시터 실시예들은 (도 1a-1b에 도시된 바와 같은) 소위 '테일 프로세스'를 이용한다. 그러나 3-차원 캐패시터 실시예들은 또한 소위 '습식 프로세서'를 사용하여 만들어질 수 있으며, 여기서 유전체 층은 실제로 유전체 슬러리를 사용하여 프린팅되는 것으로 계획된다.
- [0167] 3-차원 캐패시터 및 그것의 제조 방법들은 예로서 제공되는 그것의 실시예들에 대한 상세한 설명들을 사용하여 설명되었으며, 이는 개시물의 범위를 제한하도록 의도되지 않는다. 설명된 실시예들은 상이한 피쳐들을 포함하며, 피쳐들 중 전부가 3-차원 캐패시터의 모든 실시예들에서 요구되는 것은 아니다. 3-차원 캐패시터의 몇몇 실시예들은 피쳐들 중 단지 일부만을 또는 피쳐들의 가능한 조합들을 이용한다. 3-차원 캐패시터 및 그것의 제조 방법들의 실시예들의 변형들은 본 기술분야의 당업자에게 이해되는 바와 같이 발명의 범위 내에 포함된다.
- [0168] MLCC들의 문맥으로 본 명세서에 개시되는 시스템들, 디바이스들, 방법들 및 배열들, 또는 그것의 피쳐들 또는 양상들은, 내장형 능동 컴포넌트 애플리케이션들에 대한 세라믹 및 플라스틱 폴리머 기판들과 같은(그러나 이에 제한되는 것은 아님) 다른 관련된 또는 유사한 애플리케이션들에서 사용될 수 있다. 따라서 본 기술분야의 당업자는 개시된 실시예들 또는 그의 변형들이 다른 애플리케이션들 중에서도, 저온 동시 소성 세라믹(LTCC) 애플리케이션들, 고온 동시 소성 세라믹(HTCC) 애플리케이션들, 후막 하이브리드 회로들 및 인쇄 회로 보드들(PCB)에 통합될 수 있음을 인식할 것이다. 게다가, 3-차원 캐패시터의 전극 돌출부들이 바람직하게 수퍼-컨덕터들 또는 수퍼-컨덕터 애플리케이션들에서 바람직할 수 있는 전극 표면적의 증가를 발생시킴에 따라, 개시된 실시예들 및 그의 변형들이 수퍼-캐패시터들 또는 수퍼-캐패시터 애플리케이션들에 이용될 수 있는 것으로 계획된다.
- [0169] 단어 "예시적인"은 본 명세서에서 "예, 사례 또는 예시의 역할을 하는 것"을 의미하도록 사용된다. 본 명세서에 "예시적인" 것으로 설명되는 임의의 양상은 다른 양상들에 비해 반드시 선호되거나 바람직한 것으로 해석되는 것은 아니다.
- [0170] 따라서, 선택된 양상들이 상세히 예시되고 설명되었더라도, 뒤따르는 청구항들에 의해 정의되는 바와 같은 본 발명의 진의 및 범위를 벗어나지 않고 그에 대한 다양한 대체들 및 변경들이 이루어질 수 있음이 이해될 것이다.

도면

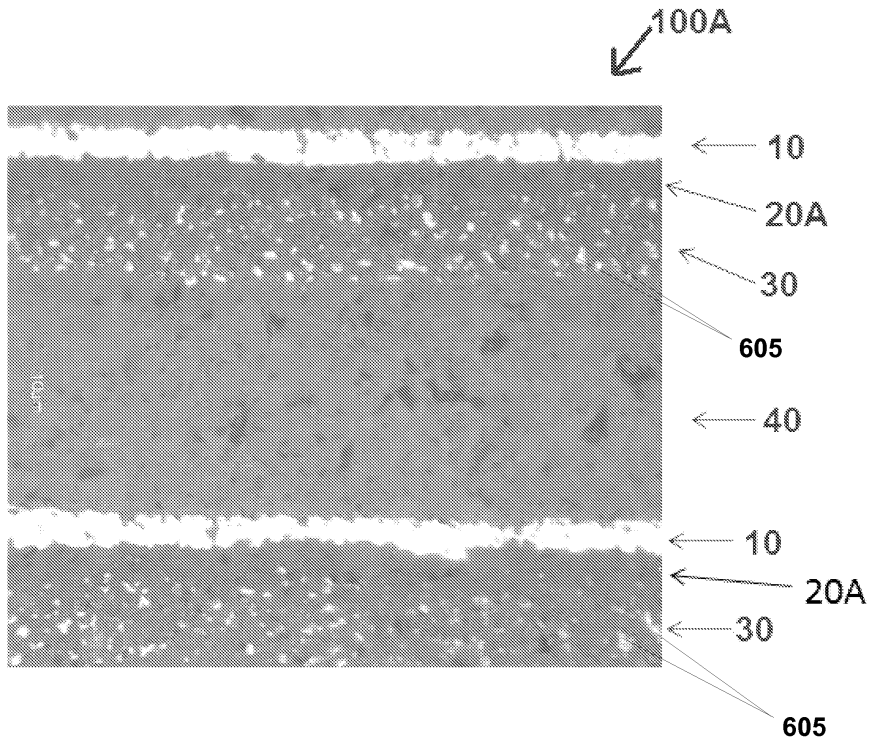
도면1a



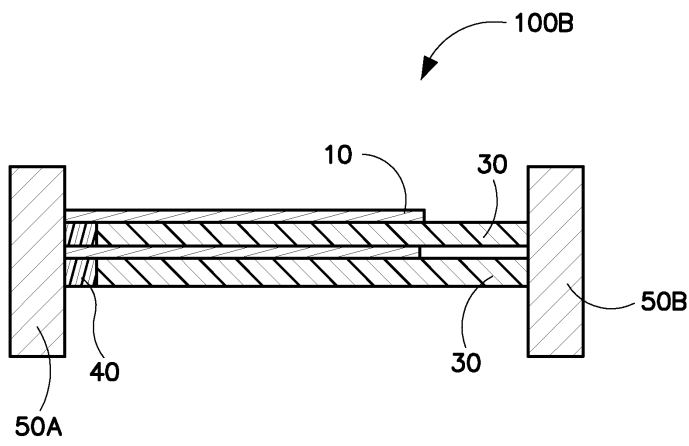
도면1b



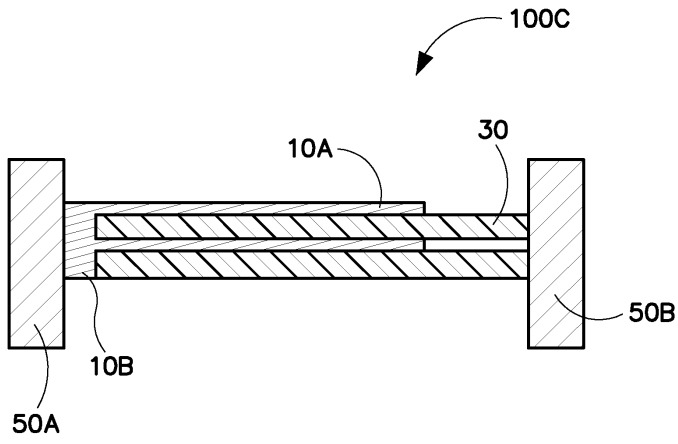
도면1c



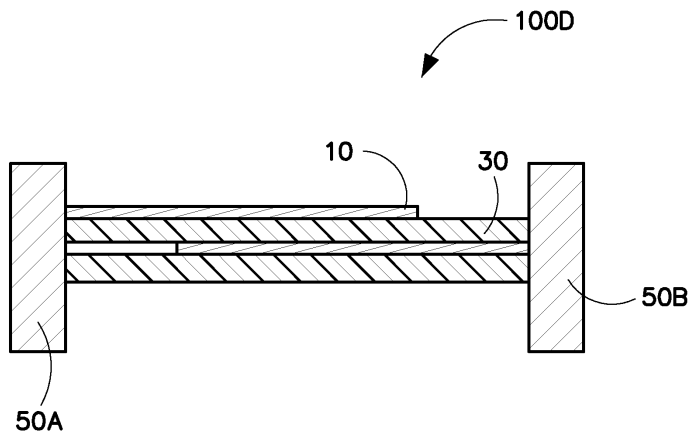
도면2a



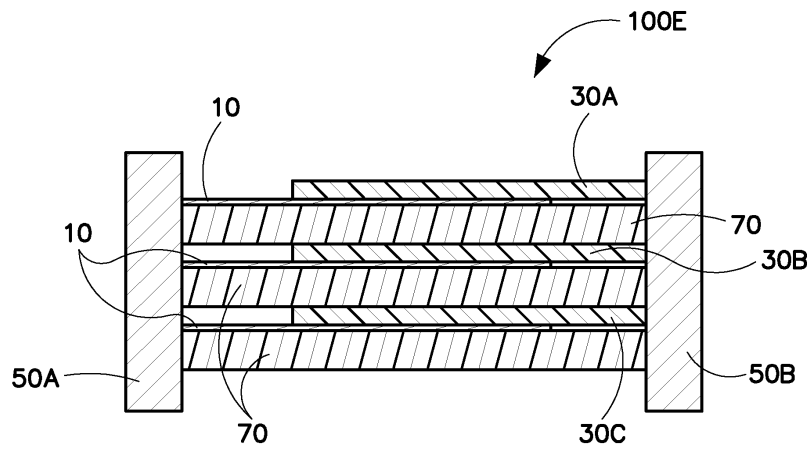
도면2b



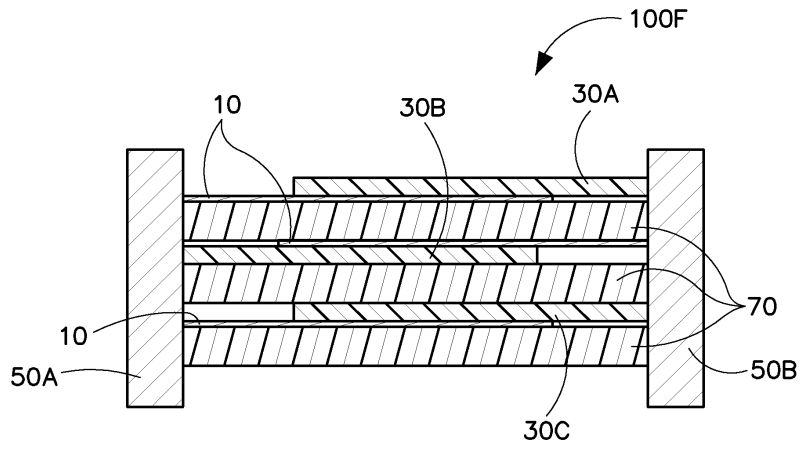
도면2c



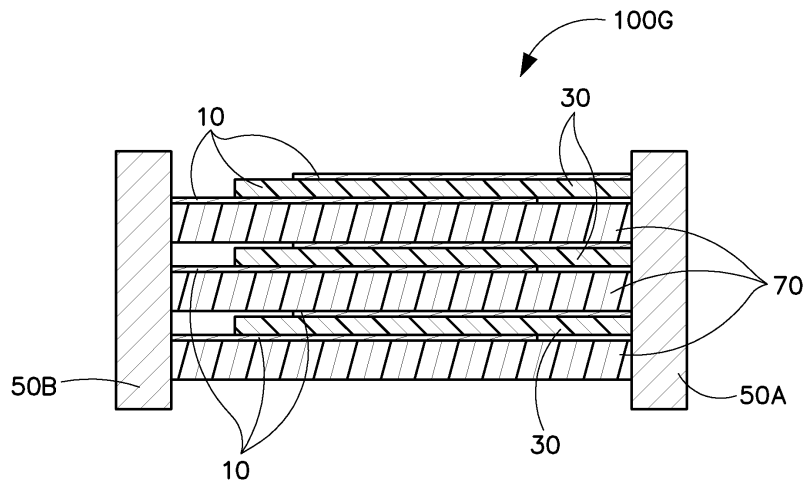
도면3



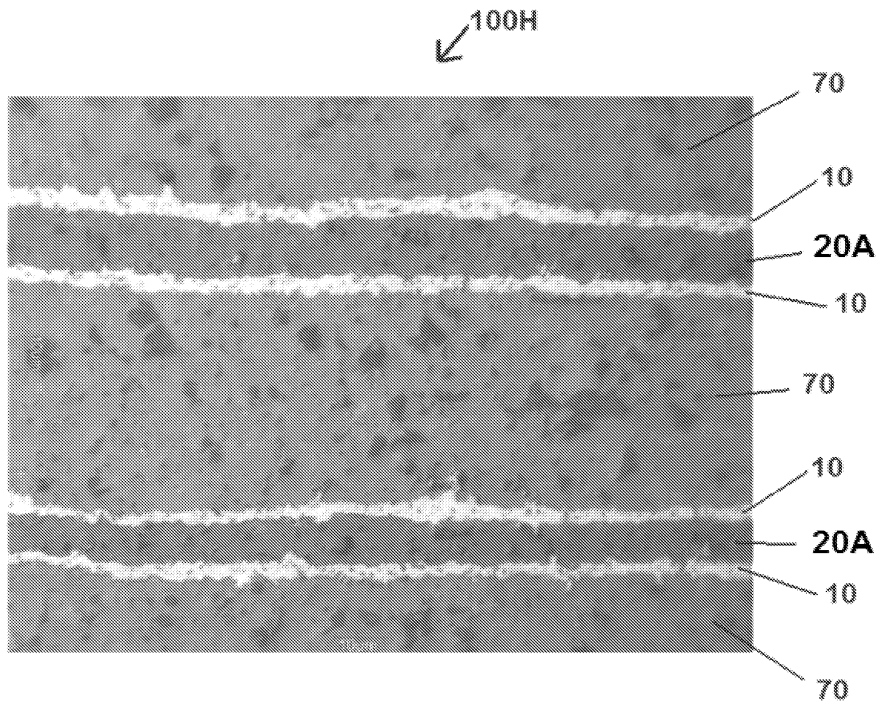
도면4



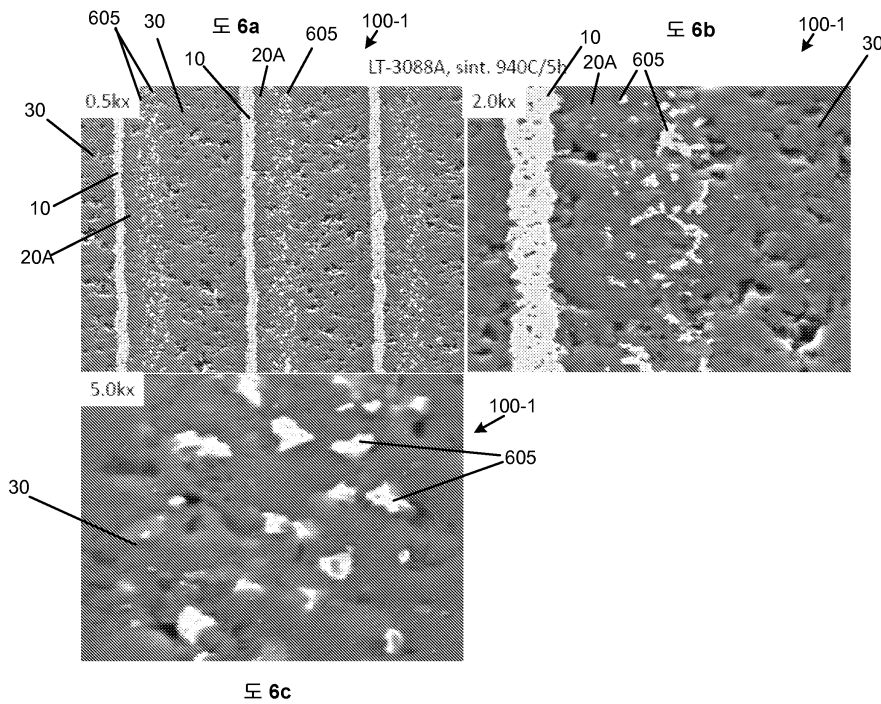
도면5a



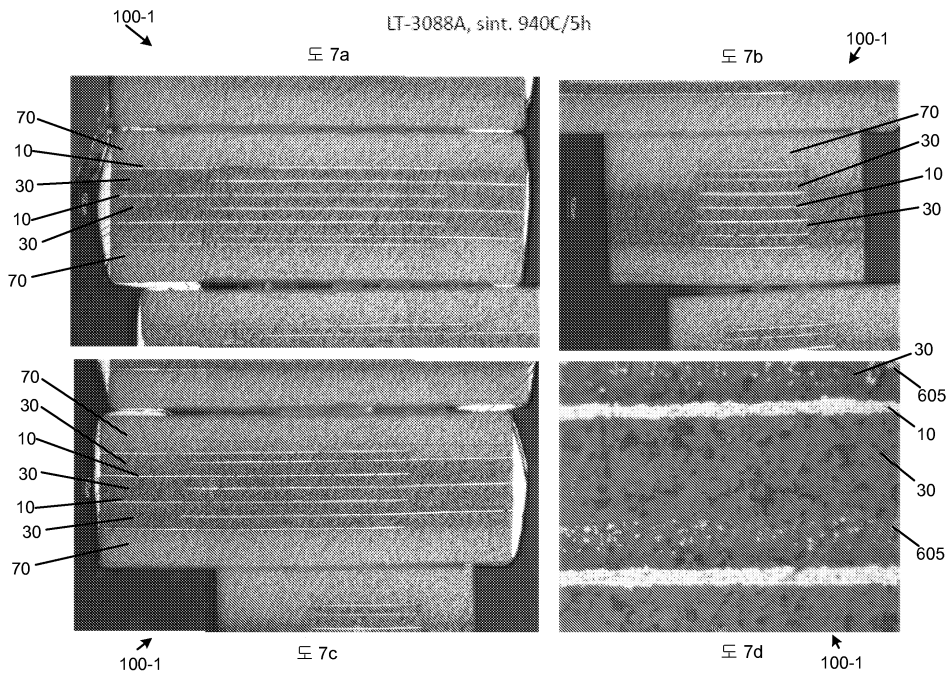
도면5b



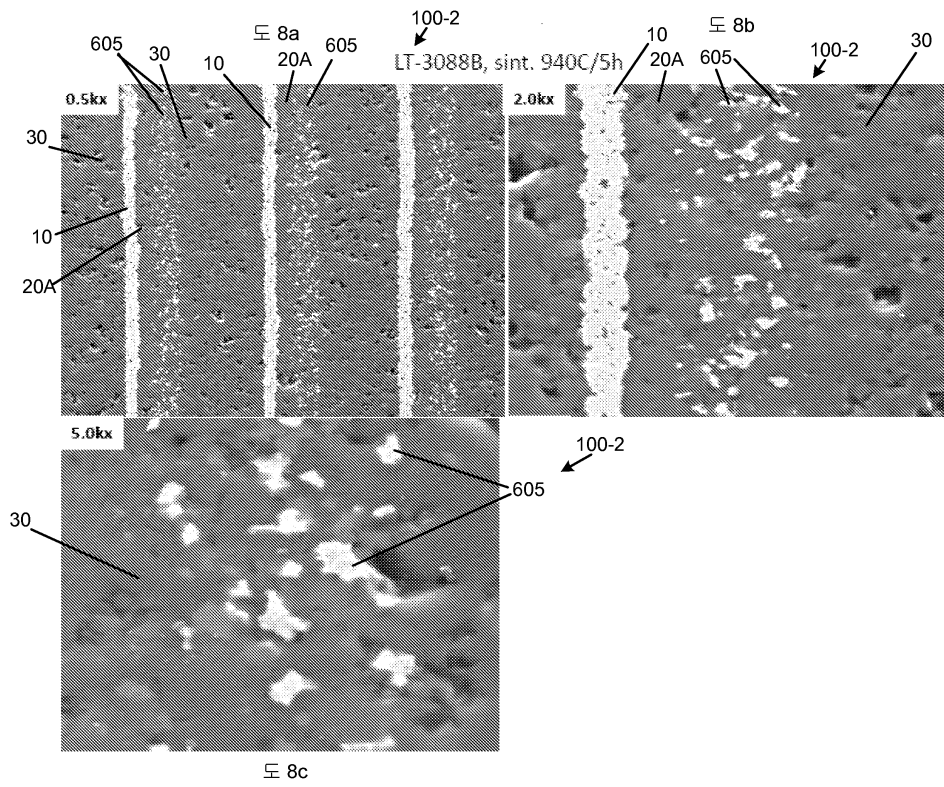
도면6



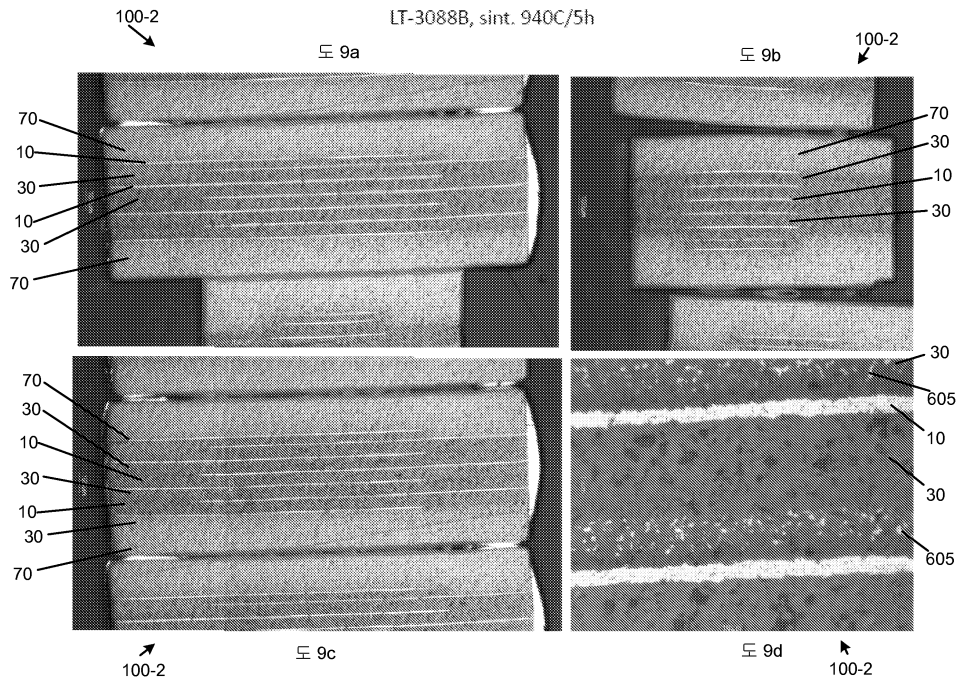
도면7



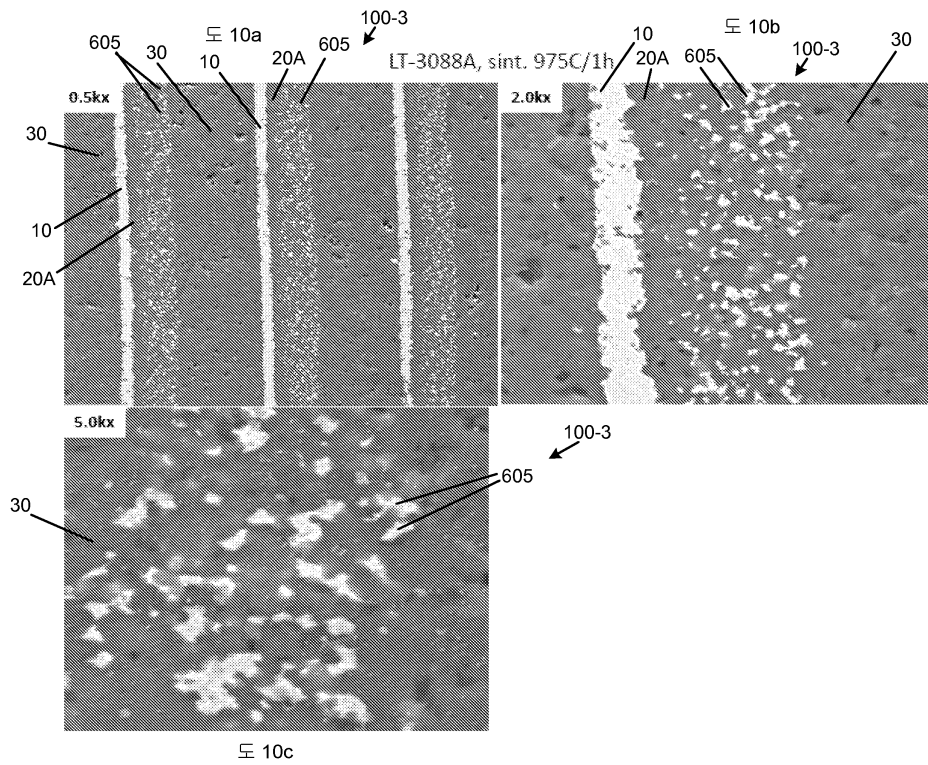
도면8



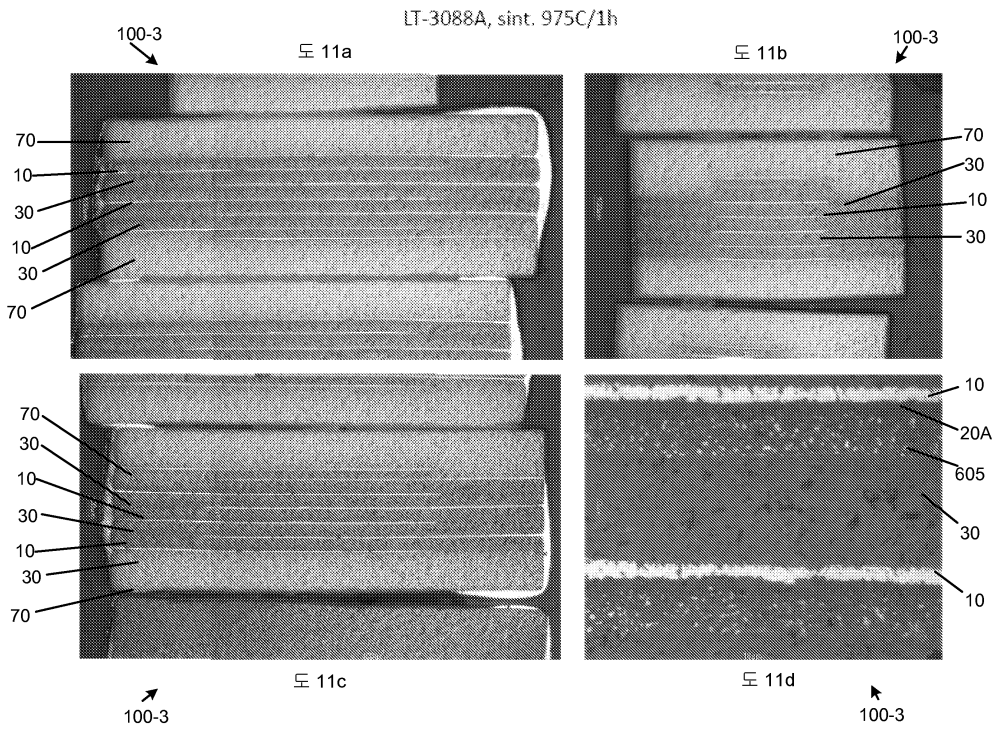
도면9



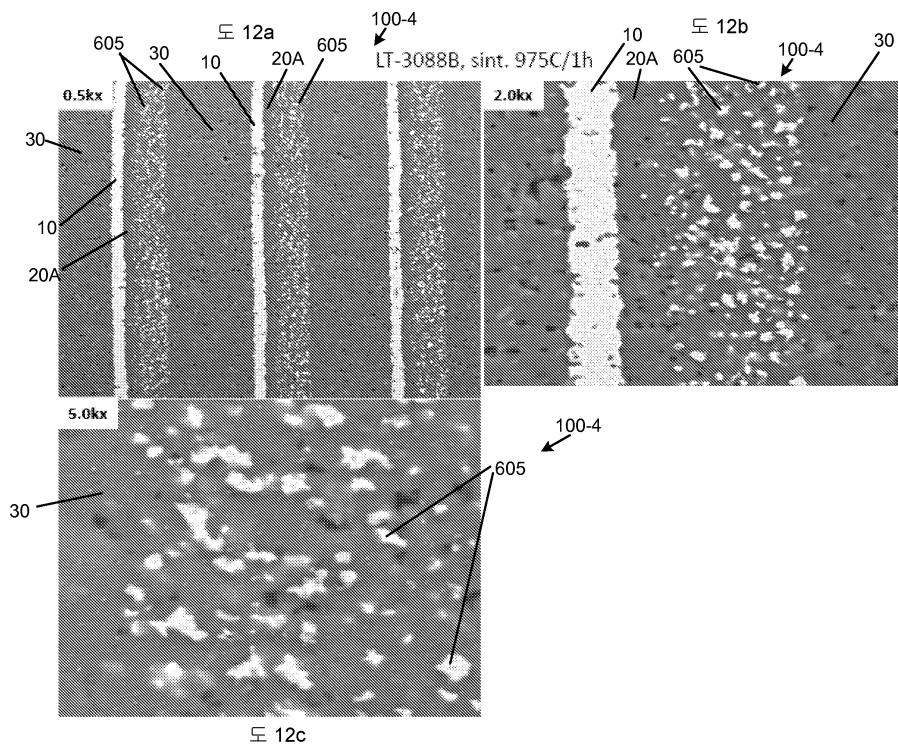
도면10



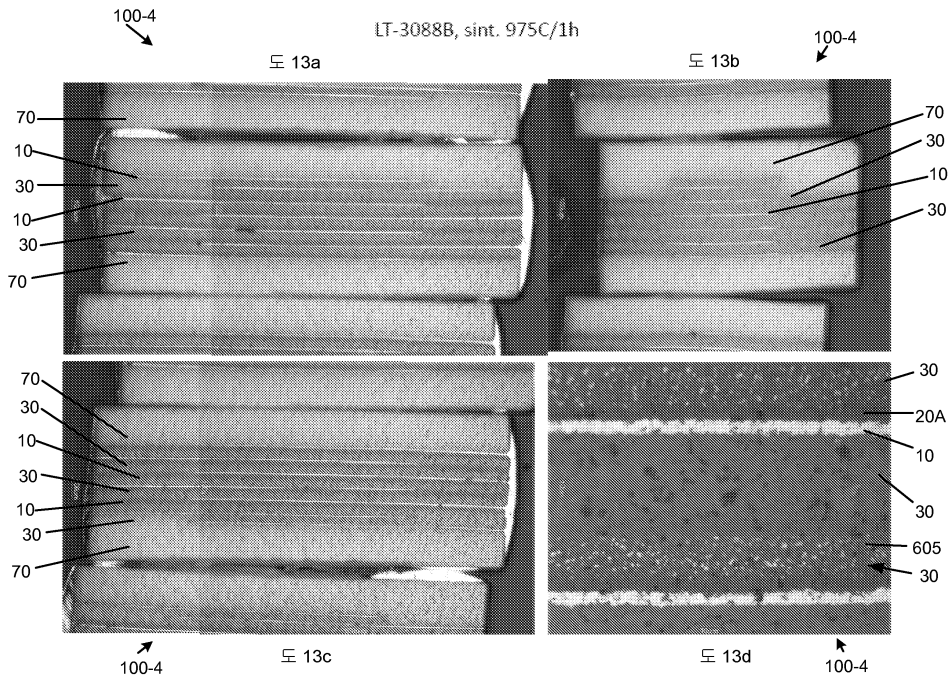
도면11



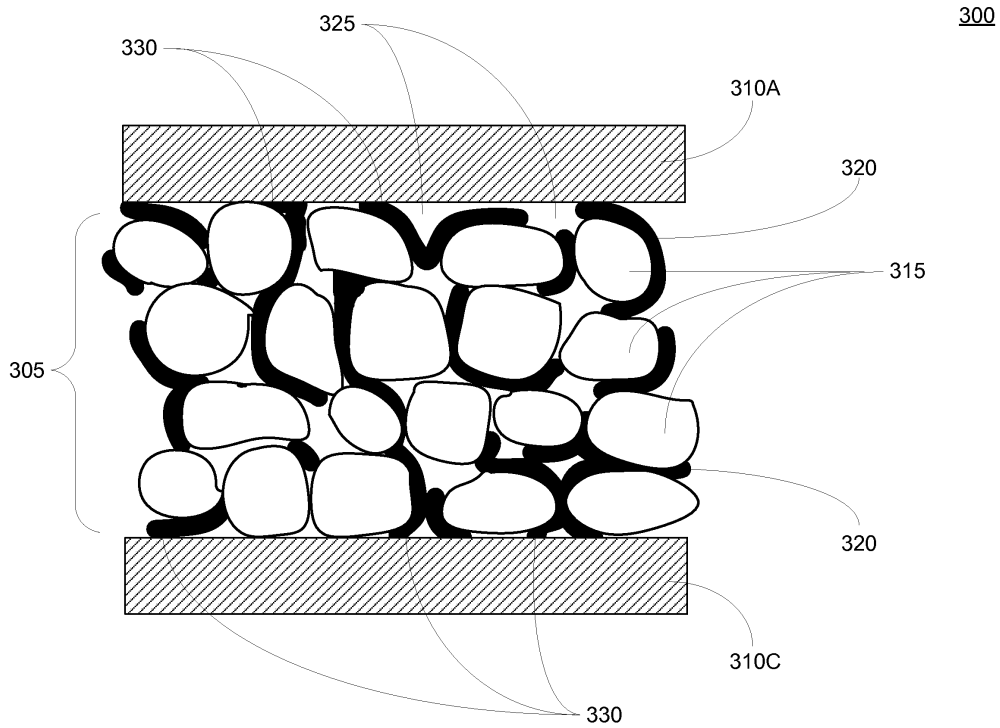
도면12



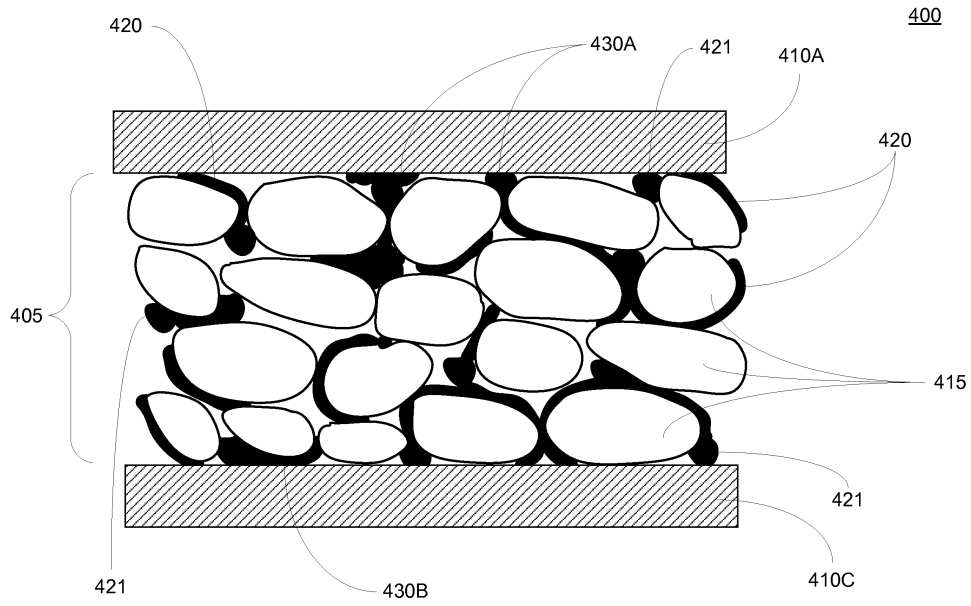
도면13



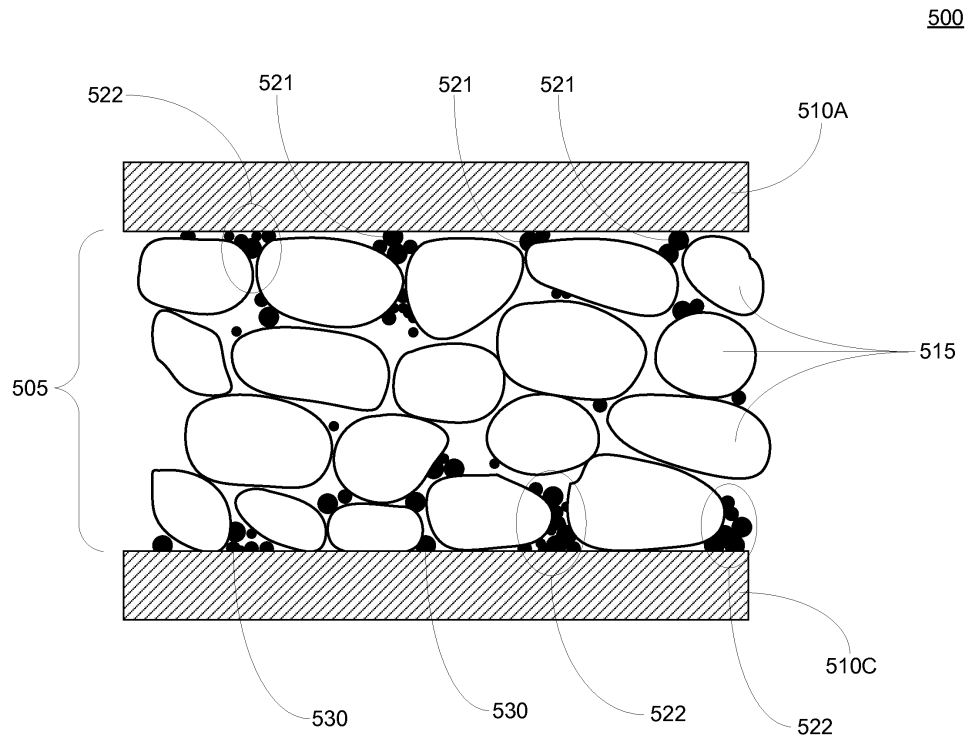
도면14



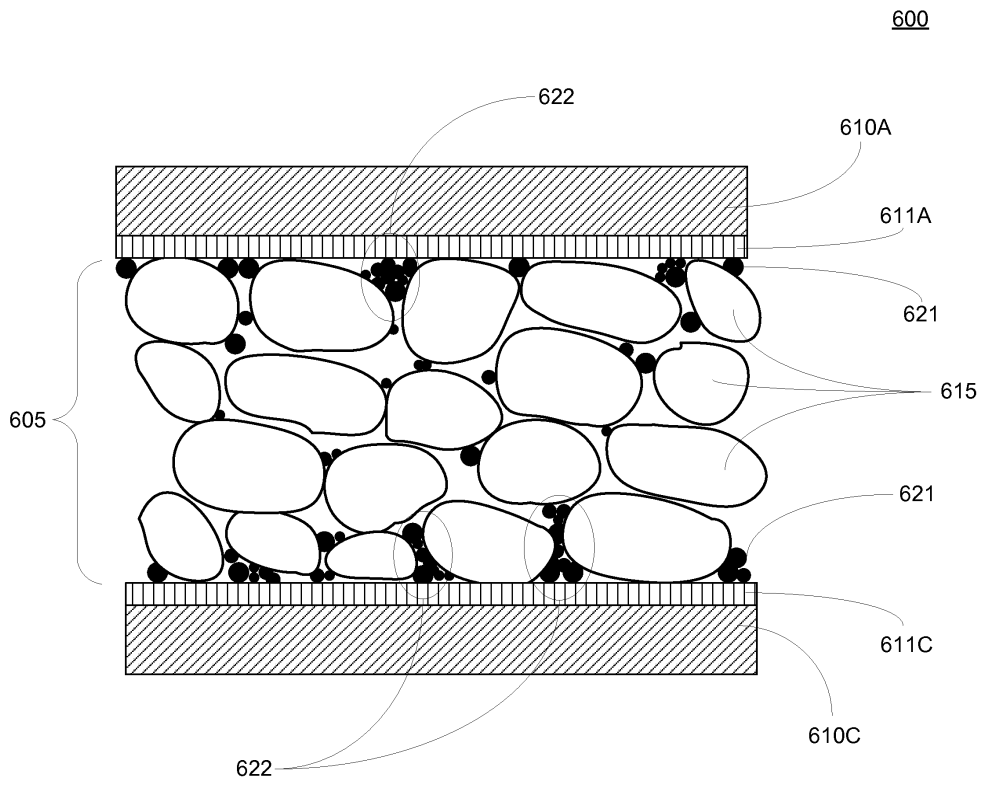
도면15



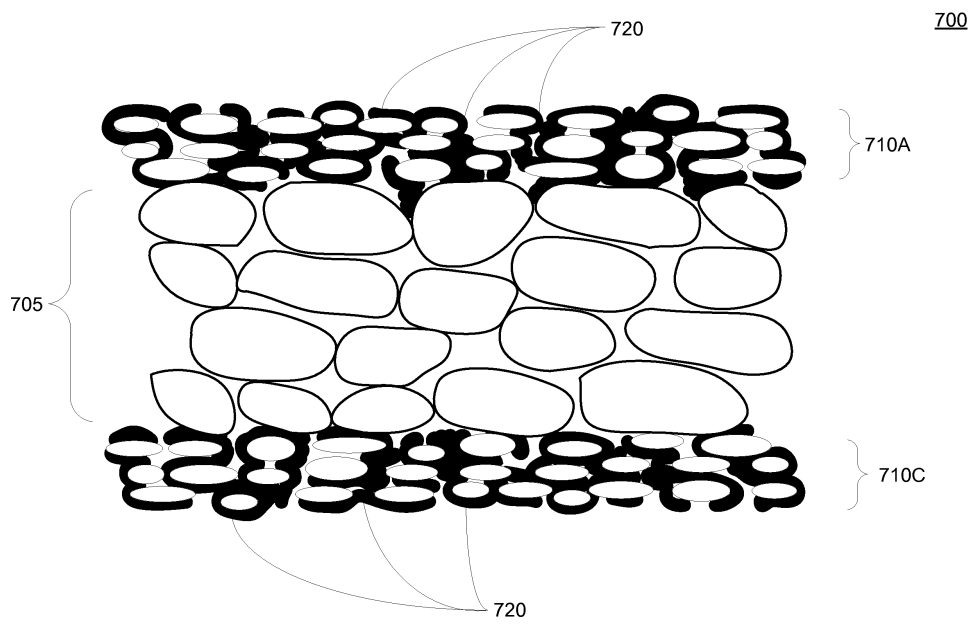
도면16



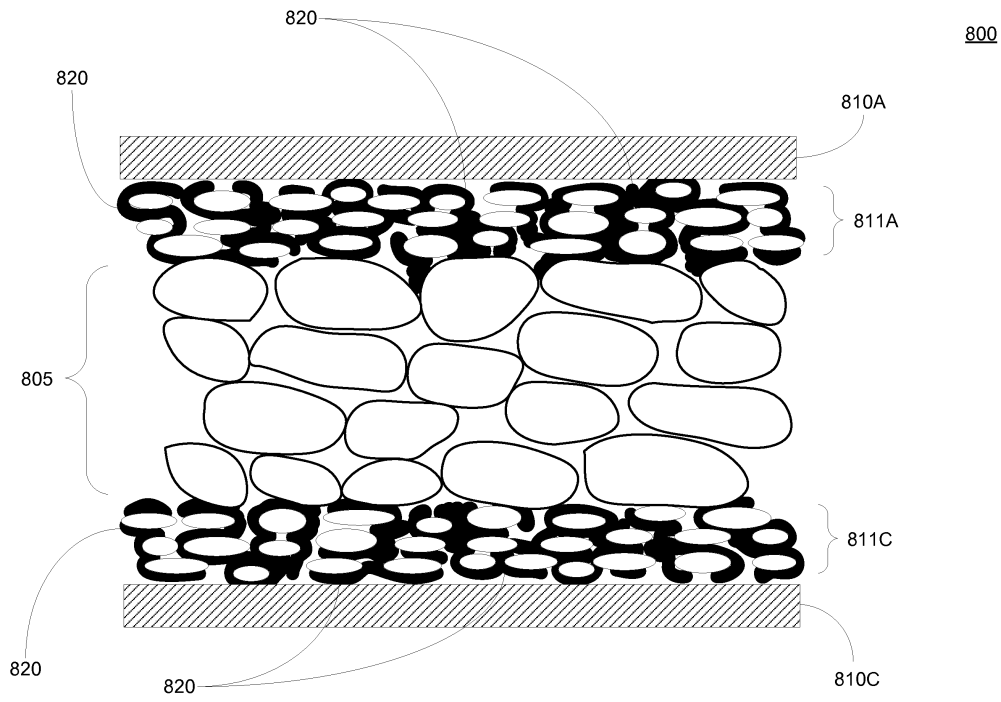
도면17



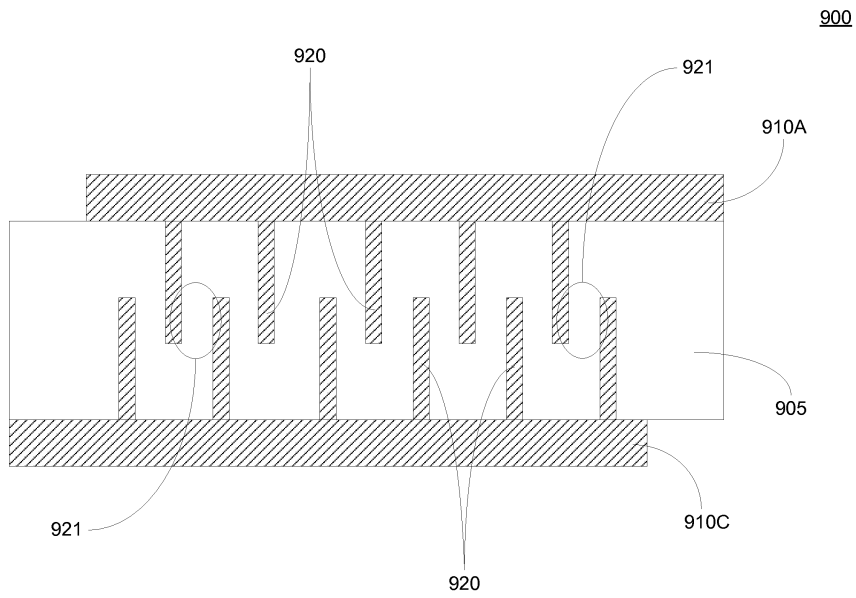
도면18



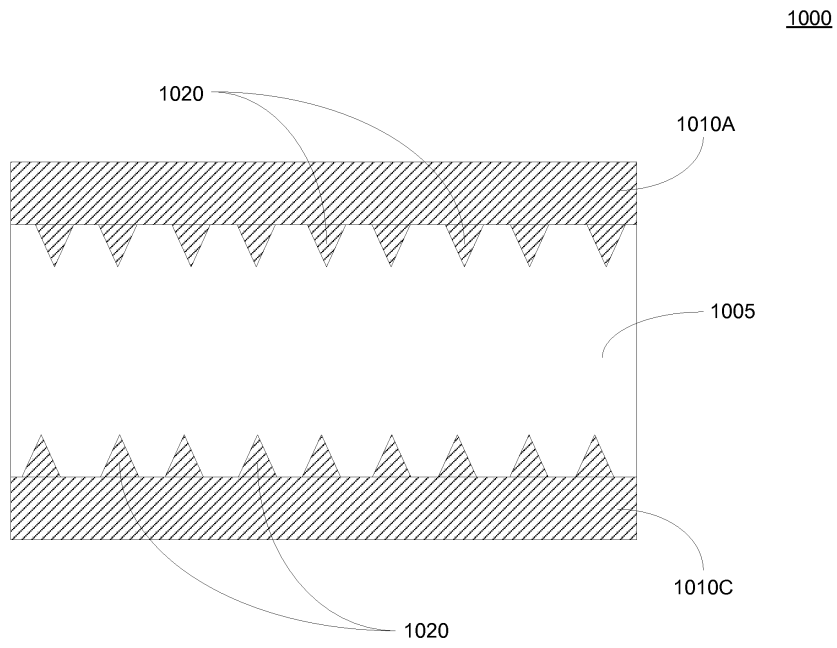
도면19



도면20



도면21



도면22

