

發明專利說明書

双面影印

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97115071

※ 申請日期： 97.4.30

※IPC 分類：H01L 27/108(2006.01)

一、發明名稱：(中文/英文)

包括接面場效電晶體之內容可定址記憶體胞元

CONTENT ADDRESSABLE MEMORY CELL INCLUDING A JUNCTION FIELD EFFECT
TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

DSM解析公司 / DSM SOLUTIONS, INC.

代表人：(中文/英文)

韓林 克里斯 / HAMLIN, CHRIS

住居所或營業所地址：(中文/英文)

美國加州洛葛圖斯·諾威里斯街130號B室

130 Knowles Drive, Suite B, Los Gatos, CA 95032, U. S. A.

國 籍：(中文/英文)

美國 / U. S. A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

瑟瑪拉波里 德摩達爾 R. / THUMMALAPALLY, DAMODAR R.

國 籍：(中文/英文)

美國 / U. S. A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、 2007/05/01、 11/799,305

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明一般係關於半導體裝置，並且尤其是關於一種
5 接面場效電晶體內容可定址記憶體(CAM)胞元。

【先前技術】

發明背景

一般的動態隨機存取記憶體(DRAM)胞元包括一金屬
氧化物半導體場效電晶體(金氧半場效電晶體(MOSFET))以
10 及一電容器。該金氧半場效電晶體(MOSFET)被使用作為一
種傳送電晶體以允許電荷被轉移至/自被使用以儲存資料
之一電容器。

Heald等人在1979年8月之電機電子工程師協會(IEEE)
固態電路期刊，第SC-11卷，第4期，第519-528頁之“每胞
15 元使用一個電晶體之多位準隨機存取記憶體”中，揭示一種
使用具有被使用以儲存電荷之埋入式閘的一接面場效電晶
體之隨機存取記憶體胞元，其內容將併入於此。Heald等人
之埋入式閘是埋入在一p式區域內部的一種n式擴散，因而
該埋入式閘之所有側邊被p式區域圍繞。此一結構在n式埋
20 入式閘形成期間可能需要一置入遮罩。尤其是當該動態隨
機存取記憶體之最小尺度成為極度的次微米時，此一遮罩
可能需要適當的對齊。

【發明內容】

發明概要

依據本發明實施例，一種半導體裝置可包括一內容可定址記憶體(CAM)胞元。該內容可定址記憶體胞元可包括耦合在一匹配線和一流極線之間的一第一接面場效電晶體(JFET)。

- 5 該接面場效電晶體可包括一資料儲存區域，其可依據儲存在其上之一資料數值而提供一臨界電壓至該接面場效電晶體。

圖式簡單說明

第1A圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體(DRAM)胞元的橫截面圖。

第1B圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體胞元的電路分解圖。

第2圖是依據一實施例展示被施加至各電極端點之供用於接面場效電晶體動態隨機存取記憶體胞元各種操作模式之電壓列表，其展示施加至一閘極端點之電壓(V_g)，施加至一流極端點之電壓(V_d)，施加至一流極端點之電壓(V_s)，以及施加至一深N式井之電壓(V_{well})。

第3A圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

20 第3B圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

第3C圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

第4A圖是依據一實施例之一消除操作模式時序圖。

第4B圖是依據一實施例之一規劃操作時序圖。

第4C圖是依據一實施例之一讀取操作時序圖。

第4D圖是依據一實施例之一更新操作時序圖。

5 第5A圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體胞元的橫截面圖。

第5B圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

第6圖是依據一實施例展示被施加至一接面場效電晶體動態隨機存取記憶體的端點以供各種操作之電壓列表。

10 第7A圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第7B圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

15 第7C圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

20 第8圖是依據一實施例指示在各種操作模式期間被施加至一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電壓的列表。

第9圖是依據一實施例之一雙電晶體動態隨機存取記憶體胞元陣列的電路分解圖。

第10A圖是依據一實施例之一消除操作模式的時序圖。

第10B圖是依據一實施例之一列消除操作模式的時序圖。

第10C圖是依據一實施例之一行消除操作模式的時序圖。

第10D圖是依據一實施例之全部區塊消除操作模式的時序圖。

- 5 第10E圖是依據一實施例之一部份區塊消除操作模式的時序圖。

第10F圖是依據一實施例之一規劃操作模式的時序圖。

第10G圖是依據一實施例之一讀取操作模式的時序圖。

- 10 第11A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的橫截面圖。

第11B圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

- 15 第11C圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

- 20 第12A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第12B圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

第12C圖是依據一實施例採用一接面場效電晶體動態

隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第13圖是依據一實施例展示使用一雙電晶體接面場效電晶體動態隨機存取記憶體胞元作為一個三元內容可定址記憶體(TCAM)胞元之電路分解圖。

第14圖是展示依據一輸入搜尋關鍵資料對於儲存在一X胞元和一Y胞元中之數值是否在一匹配線上有命中"匹配"或一錯失之真值表。

第15圖是依據一實施例之一個三元內容可定址記憶體陣列的電路分解圖。

第16圖是依據一實施例之一個三元內容可定址記憶體胞元的電路分解圖。

第17圖是依據一實施例之一個三元內容可定址記憶體陣列的電路分解圖。

第18圖是依據一實施例展示被施加至供用於一個三元內容可定址記憶體胞元中之一接面場效電晶體動態隨機存取記憶體胞元的各種操作模式之各電極端點的電壓之列表，其中為被施加至一閘極端點之電壓(V_g)、被施加至一汲極端點之電壓、被施加至一源極端點之電壓(V_s)以及被施加至一深N式井之電壓(V_{well})。

第19A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第19B圖是依據一實施例採用一接面場效電晶體動態

隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

- 第19C圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。
- 5

【實施方式】

較佳實施例之詳細說明

- 接著將參考一些圖形詳細說明本發明各種實施例。該等實施例展示一接面場效電晶體(JFET)動態隨機存取記憶體胞元以及其應用。
- 10

- 接著參看至第1A圖，依據一實施例之一接面場效電晶體動態隨機存取記憶體(DRAM)胞元的一橫截面圖被提出並且給予一般的參考號碼100a。接面場效電晶體動態隨機存取記憶體胞元100a是一種n通道接面場效電晶體動態隨機存取記憶體胞元。接面場效電晶體動態隨機存取記憶體胞元100a可在一半導體基片102上被形成。
- 15

- 接面場效電晶體動態隨機存取記憶體胞元100a在二個隔離區域104之間被形成。隔離區域104可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元100a可包括在一半導體基片102上被形成之一深n式井106。一資料儲存區域108可在該深n式井106上被形成。該資料儲存區域108可利用一p式井被形成。一通道區域110可在該資料儲存區域108上被形成。該通道區域110可以是一種n式摻雜區域。接面場效電晶體動態隨機存取記
- 20

憶體胞元100a可包括一源極端點114、一閘極端點112、以及一汲極端點116。該源極端點114以及汲極端點116可利用一n式多晶矽層被形成並且該閘極端點112可利用一p型式多晶矽層被形成。該深n式井106可電氣地連接到一深n式井端點(圖中未展示出)，因而一電氣偏壓可被連接到該深n式井106。

形成閘極端點112之多晶矽層可被使用，例如，作為一詞組線。一位元線可被連接到汲極端點116。該位元線和詞組線可彼此正交。以此方式，一位元線可連接相同接面場效電晶體動態隨機存取記憶體胞元100a之一個行並且一詞組線可連接相同接面場效電晶體動態隨機存取記憶體胞元100a之一個列。

接著參看至第1B圖，依據一實施例之接面場效電晶體動態隨機存取記憶體胞元100a的電路分解圖被提出並且給予一般的參考號碼100b。接面場效電晶體動態隨機存取記憶體胞元100b包括一汲極端點116、一源極端點114、一閘極端點112、一資料儲存區域108、以及一深N式井端點106。資料儲存區域108對於該接面場效電晶體動態隨機存取記憶體胞元100b可如同一背閘極端點地操作。

接著將說明接面場效電晶體動態隨機存取記憶體胞元(100a及100b)之操作。

如上所提及地，資料儲存區域108可以是一p型式擴散區域。資料可藉由將電荷聚集至該資料儲存區域108上而被儲存在資料儲存區域108上。當電子被聚集在資料儲存區域

108上時，在資料儲存區域108上之一空乏區域可侵入通道區域110，因而當閘極端點112相對於一源極端點114是在零伏特(或稍微地正性)時，接面場效電晶體動態隨機存取記憶體胞元100a及100b(包括一接面場效電晶體)可被截止。以此

5 方式，一高阻抗通路可在源極端點114和汲極端點116之間被形成。但是，當電洞被資料儲存區域108聚集時，在該資料儲存區域108上面的一空乏區域可能無法將該接面場效電晶體動態隨機存取記憶體胞元100a及100b(包括一接面場效電晶體)予以截止。以此方式，當閘極端點112相對於

10 一源極端點114是在零伏特時，電流可在源極114和汲極116之間流動。因此，一低阻抗通路可在該源極端點114和汲極端點116之間被形成。

接面場效電晶體動態隨機存取記憶體胞元(100a及100b)可具有四個主要的操作模式。一讀取操作，於其中被

15 儲存在資料儲存區域108上之資料可被讀取出。一消除操作，於其中可藉由該資料儲存區域108將電洞予以聚集。一規劃操作，於其中可自該資料儲存區域108將電洞予以空乏。一更新操作，於其中電荷可在洩漏之後再被儲存至該資料儲存區域108上。

20 在所有下面的操作模式中，一深N式井偏壓可被施加至深N式井106。

首先，將說明一胞元消除操作模式。

一消除操作模式可被使用以允許該資料儲存區域108以一種相似於雙極接面電晶體之操作方式聚集電洞。一p-n

接面順向偏壓可被施加在閘極端點112和源極及/或汲極端點(114及116)之間以允許一電流自閘極端點112流至源極及/或汲極端點(114及116)。因為該通道區域110是充分地薄，故自該閘極端點112被射入該通道區域110之電洞可越過通道區域110並且被資料儲存區域108聚集。以此方式，資料儲存區域108可達到一中性狀態。在被消除之狀態中，接面場效電晶體動態隨機存取記憶體胞元(100a及100b)可在汲極端點116和源極端點114之間具有一低阻抗通路而在該閘極端點112和源極端點114之間具有零伏特偏壓(或稍微地正電壓偏壓)(亦即，該接面場效電晶體可被導通)。

接著將說明一胞元規劃操作模式。

該接面場效電晶體動態隨機存取記憶體胞元(100a及100b)可藉由利用在閘極端點112和資料儲存區域108之間的一貫穿情況被規劃。為達成該貫穿情況，一負的閘極偏壓可被施加至該閘極端點112而同時施加一汲極/源極偏壓至該等汲極及/或源極端點(114及116)上。在這情況之下，該資料儲存區域108可聚集電子並且成為負性充電。一負性充電之資料儲存區域108可感應出該通道區域110中之一空乏區域，以至於該接面場效電晶體動態隨機存取記憶體胞元(100a及100b)可在汲極端點116和源極端點114之間具有一高阻抗通路而在閘極端點112和源極端點114之間具有零伏特偏壓(或稍微地正性電壓偏壓)(亦即，該接面場效電晶體可被截止)。

一胞元讀取操作模式接著將被說明。在一讀取操作模

式中，一閘極偏壓可被施加至該閘極端點112而提供一汲極電壓至該汲極端點116以及一接地電壓至該源極。如果該接面場效電晶體動態隨機存取記憶體胞元(100a及100b)是在一消除狀態，則一低阻抗通路可在汲極端點116和源極端點114之間被形成。該消除情況可對應至，例如，資料0。如果該接面場效電晶體動態隨機存取記憶體胞元(100a及100b)是在一規劃狀態，則一高阻抗通路可在汲極端點116和源極端點114之間被形成。該規劃情況可對應至，例如，資料1。

10 一胞元更新操作模式接著將被說明。一更新操作可被概念化作為一軟性規劃操作模式，其中在消除狀態之接面場效電晶體動態隨機存取記憶體胞元(100a及100b)不應受影響。

15 在一胞元更新操作模式，該閘極端點112可以是在一種正常接面場效電晶體動態隨機存取記憶體胞元撤除情況中，例如，零伏特，並且一汲極偏壓可被施加至該汲極端點116。於此情況中，在已負性充電(透過先前規劃或其類似者)的通道區域110和資料儲存區域108之間的一相對高的反向偏壓情況可被產生。因此，僅有那些接面場效電晶體動態隨機存取記憶體胞元(100a及100b)可再備足它們的負電荷。

20 接著參看至第2圖，用於上述各四個操作模式之一列表被提出，其展示被施加至一閘極端點112之電壓(V_g)、被施加至一汲極端點116之電壓(V_d)、被施加至源極端點114之

電壓(V_s)、以及被施加至深N式井106之電壓(V_{well})。在消除操作模式中，閘極端點112可具有一閘極電壓 $V_g = 0.4V$ ，該汲極端點116可具有一汲極電壓 $V_d = -0.3$ 伏特，該源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特或 -0.3 伏特，以及該深

5 N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在規劃操作模式中，該閘極端點112可具有一閘極電壓 $V_g = -0.9$ 伏特，該汲極端點116可具有一汲極電壓 $V_d = 0.5$ 伏特，該源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特或 0.5 伏特，以及該深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在讀

10 取操作模式中，該閘極端點112可具有一閘極電壓 $V_g = 0.2$ 伏特，該汲極端點116可具有一汲極電壓 $V_d = 0.1$ 伏特，該源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特，以及該深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在更新操作模式中，該閘極端點112可具有一閘極電壓 $V_g = 0.0$ 伏特或

15 一正常備用或讀取撤除偏壓，該汲極端點116可具有一汲極電壓 $V_d = 0.5$ 伏特或相同於一正常規劃偏壓，該源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特或 0.5 伏特，以及該深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。

接著參看至第3A圖，依據一實施例展示用於一接面場

20 效電晶體動態隨機存取記憶體胞元陣列之組態的電路分解圖被提出並且給予一般的參考號碼300A。

雖然一動態隨機存取記憶體可具有例如，十億個或更多的記憶體胞元，為避免使圖形過度地凌亂，僅有9個接面場效電晶體動態隨機存取記憶體胞元被展示。

陣列300A包括以三個列以及三個行被配置之接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)。三個接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)可連接到各個列(亦即，共用一詞組線WL1至WL3)並且三個

5 接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)可連接到各個行(亦即，共用一位元線BL1至BL3)。各個接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)可對應至一接面場效電晶體動態隨機存取記憶體胞元100a及100b。各個接面場效電晶體動態隨機存取記憶體胞元

10 (320-11至320-33)可包括一深N式井306、一電荷儲存節點308、一源極端點314、一汲極端點316以及一閘極端點312。尤其是，接面場效電晶體動態隨機存取記憶體胞元(320-11、320-12、以及320-13)各可具有連接到詞組線WL1之一閘極端點312。接面場效電晶體動態隨機存取記憶體胞

15 元(320-21、320-22、以及320-23)各可具有連接到詞組線WL2之一閘極端點312。接面場效電晶體動態隨機存取記憶體胞元(320-31、320-32、以及320-33)各可具有一閘極端點312連接到詞組線WL3。接面場效電晶體動態隨機存取記憶體胞元(320-11、320-21、以及320-31)各可具有連接到位元線

20 BL1之一汲極端點316。接面場效電晶體動態隨機存取記憶體胞元(320-12、320-22以及320-32)各可具有連接到位元線BL2之一汲極端點316。接面場效電晶體動態隨機存取記憶體胞元(320-13、320-23以及320-33)各可具有連接到位元線BL3之一汲極端點316。

第3A圖之實施例展示接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)的源極連接到接地。接著參看至第3B圖，依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元陣列之組態的電路分解圖被提出並且給予一般的參考號碼300B。在陣列300B中，接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)之源極可連接到平行於該位元線(BL1至BL3)而走線之源極線(SL1至SL3)。接著參看至第3C圖，依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元陣列之組態的電路分解圖被提出並且給予一般的參考號碼300C。在陣列300C中，接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)之源極可連接到平行於該詞組線(WL1至WL3)而走線之源極線(SL1至SL3)。陣列300B和300C可藉由允許以相同方式加偏壓於一接面場效電晶體動態隨機存取記憶體胞元(320-11至320-33)的源極和汲極上而允許消除、規劃、或軟性規劃操作有較大的彈性。

接著參看至第4A圖，依據一實施例之一消除操作模式的時序圖被提出。第4A圖展示一消除操作，於其中接面場效電晶體動態隨機存取記憶體胞元320-21被消除(亦即，被設定以儲存資料0)。雖然未被展示，但深N式井偏壓(Vwell1至Vwell3)可共同連接到一0.5伏特之井偏壓。

在時間 t_0 ，所有的詞組線(WL1至WL3)以及位元線(BL1至BL3)可以是在一備用狀態之零伏特。在時間 t_1 ，詞組線WL2可以轉換為大約0.4伏特並且位元線BL1可以轉換為大

約-0.3伏特。如果陣列使用第3B或3C圖之實施例，則源極線(第3B圖中之SL1或第3C圖中之SL2)同時也可轉移至-0.3V以改進消除效能。以此方式，利用接面場效電晶體動態隨機存取記憶體胞元320-21之閘極端點312至汲極端點316被形成的pn接面可被順向偏壓並且自閘極端點312被射入通道區域之電洞可越過通道區域並且被資料儲存區域308聚集。以此方式，接面場效電晶體動態隨機存取記憶體胞元320-21之資料儲存區域308可以達到一中性狀態。

隨後，一確認操作可被進行以確保接面場效電晶體動態隨機存取記憶體胞元320-21已適當地被消除。在時間t3，詞組線WL2可轉移至大約0.2伏特並且位元線BL1可轉移至大約0.1伏特。接面場效電晶體動態隨機存取記憶體胞元320-21導通並且在汲極端點316和源極端點314之間形成一相對低的阻抗，接著消除操作成功。但是，如果接面場效電晶體動態隨機存取記憶體胞元320-21不導通並且在汲極端點316和源極端點314之間保持一相對高的阻抗，則消除操作是不成功。於此情況中，消除操作可被重複。在時間t4，詞組線WL2和位元線BL1可返回至一接地電位。

應注意到，一區塊消除可藉由以相似於如第4(a)圖展示之詞組線WL2及位元線BL1的方式而脈動所有的詞組線(WL1至WL3)及位元線(BL1至BL3)被進行。利用如第3A和3B圖展示的一陣列(300B或300C)，該等源極線(SL1至SL3)可以相同如位元線(BL1至BL3)之方式被加偏壓以改進消除效能。以此方式，在一陣列中之接面場效電晶體動態隨機

存取記憶體胞元的一完整陣列或一完整區塊可被消除。

雖然第1A圖實施例之接面場效電晶體動態隨機存取記憶體胞元100a可具有即使在一消除狀態中亦保持正性的可規劃臨界電壓，另外的實施例可包括一負性的消除狀態臨界電壓。於此情況中，當一接面場效電晶體動態隨機存取記憶體胞元100a被撤除時，詞組線(WL1至WL3)可被負性驅動以適當地截止電流通路。

參看至第4B圖，依據一實施例之一規劃操作時序圖被提出。第4B圖展示一規劃操作，於其中接面場效電晶體動態隨機存取記憶體胞元320-21被規劃(亦即被設定為儲存資料1)。雖然未被展示出，該深N式井偏壓(Vwell1至Vwell3)可共同被連接到一0.5伏特之井偏壓。

在時間 t_0 ，所有詞組線(WL1至WL3)及位元線(BL1至BL3)可以是在備用狀態之零伏特。在時間 t_1 ，詞組線WL2可轉移至大約為-0.9伏特並且位元線BL1可轉移至大約為0.5伏特。分別的源極線(SL1至SL3)可以相同於位元線BL1之方式轉換以改進規劃效能。以此方式，利用接面場效電晶體動態隨機存取記憶體胞元320-21之閘極端點312至汲極端點316以及選擇性源極端點314被形成之pn接面可反向地被偏壓以感應出一貫穿情況。在這情況之下，資料儲存區域308可具有接近通道接面空乏之電洞並且成為負性地充電。負性充電資料儲存區域308可感應出在該通道區域中之一空乏區域，以至於該接面場效電晶體動態隨機存取記憶體胞元320-21可在汲極端點316和源極端點314之間具有

一高阻抗通路而在閘極端點312和源極端點314之間具有零伏特偏壓(或稍微地正性偏壓)(亦即，接面場效電晶體可被截止)。在時間t2，詞組線(WL1至WL3)以及位元線(BL1至BL3)可返回至接地。

- 5 隨後，一確認操作可被進行以確保接面場效電晶體動態隨機存取記憶體胞元320-21已適當地被規劃。在時間t3，詞組線WL2可轉移至大約為0.2伏特以及位元線BL1可轉移至大約為0.1伏特。接面場效電晶體動態隨機存取記憶體胞元320-21維持截止並且在汲極端點316及源極端點314之間
- 10 形成一相對高的阻抗，接著該規劃操作成功。但是，如果接面場效電晶體動態隨機存取記憶體胞元320-21是導通並且在汲極端點316及源極端點314之間保持一相對低的阻抗，則該規劃操作是不成功。於此情況中，該規劃操作可被重複。在時間t4，詞組線WL2和位元線BL1可返回至一接
- 15 地電位。

- 應注意到，詞組可藉由首先沿著一詞組線(WL1至WL3)消除一所選擇的詞組以及接著沿著該詞組線(WL1至WL3)規劃所選擇之位元而被寫入至接面場效電晶體動態隨機存取記憶體陣列300中。以此方式，資料可被寫入至一完整之
- 20 詞組中。例如，在一8位元詞組之寫入中，一消除操作可首先被進行。一詞組線可高至大約為0.4伏特，而僅採用對應至8位元詞組的8位元線為大約-0.3伏特。選擇地，分別的源極線(SL1至SL3)可被驅動至大約-0.3伏特以改進消除效能。以此方式，全部的8位元詞組可被消除。接著一規劃操

作可僅在對應至一資料1之8位元詞組以外的位元上被進行。

此一操作藉由使用被組合之第4A圖的消除操作及第4B圖的規劃操作被展示。一詞組可例如，由8-位元、16-位元、32-位元等等所構成。

5 首先一消除操作被進行以消除詞組的所有位元以將所有的資料位元平行地設定為一資料0。接著一規劃操作被進行，於其中具有一資料1數值之詞組之位元平行地被規劃。例如，為寫入一資料詞組"10101011"，首先在所有8-位元上的一平行的消除操作可被進行以產生"00000000"，接著僅
10 具有資料1數值之該等位元的規劃可被進行以儲存該資料詞組"10101011"。

 另外地，一詞組之寫入操作可藉由首先規劃該詞組的所有位元以設定所有資料位元為一資料1而被進行。接著一消除操作可被進行，於其中具有資料0數值之該詞組的位元
15 被消除。

 同時，一區塊規劃也可以相似於如第4B圖所展示之詞組線WL2及位元線BL1之方式，藉由脈動所有該等詞組線(WL1至WL3)以及位元線(BL1至BL3)而被進行。選擇地，該等分別的源極線(SL1至SL3)可相同於該等位元線(BL1至
20 BL3)地被驅動以改進規劃效能。以此方式，一陣列中之接面場效電晶體動態隨機存取記憶體胞元的一完整陣列或一完整區塊可被規劃。

 接著參看至第4C圖，依據一實施例之一讀取操作時序圖被提出。第4C圖展示一讀取操作，於其中接面場效電晶

體動態隨機存取記憶體胞元320-21被讀取(亦即，被儲存在接面場效電晶體動態隨機存取記憶體胞元320-21中之一資料數值被檢測)。雖然未被展示出，深N式井偏壓(Vwell1至Vwell3)可共同被連接到一0.5伏特之井偏壓電壓。

- 5 在時間t0，所有詞組線(WL1至WL3)以及位元線(BL1至BL3)可以是在備用狀態中之零伏特或負性偏壓。在時間t1，詞組線WL2可轉移至大約為0.2伏特並且位元線BL1可轉移至大約為0.1伏特。以此方式，接面場效電晶體動態隨機存取記憶體胞元320-21之阻抗可依據被儲存在一資料儲存區域108中之一資料數值被決定。一高的阻抗數值可指示“1”之一資料數值以及一低的阻抗數值可指示“0”之一資料數值。在時間t2，詞組線WL2和位元線BL1可返回至備用狀態。

接著參看至第4D圖，依據一實施例之一更新操作時序圖被提出。

- 15 一更新操作可在接面場效電晶體動態隨機存取記憶體陣列300不被使用的任何時候作為一操作被進行。第4D圖展示一更新操作，於其中僅有單一行將被更新。在時間t0，所有詞組線(WL1至WL3)和位元線(BL1至BL3)可以是在一備用狀態之零伏特(亦即，接地)或負性偏壓。在時間t1，位元線BL1可轉移至大約為0.5伏特(亦即，如於一規劃操作中之相同電壓)。以此方式，在已負性充電(透過先前規劃或其類似者)的通道區域以及資料儲存區域308之間一相對高的反向偏壓情況可被產生。因此，僅有那些接面場效電晶體動態隨機存取記憶體胞元(320-11至320-31)可再備

足它們的負電荷。在時間 t_2 ，位元線BL1可返回至接地。

應注意到，區塊(或陣列)更新可藉由將更新電壓(大約為0.5伏特)同時置放在一陣列中的所有位元線(BL1至BL3)上而被進行。

5 接著參看至第5A圖，依據一實施例之一接面場效電晶體動態隨機存取記憶體胞元橫截面圖被提出並且給予一般之參考號碼500a。接面場效電晶體動態隨機存取記憶體胞元500a是一種p式通道接面場效電晶體動態隨機存取記憶體胞元。接面場效電晶體動態隨機存取記憶體胞元500a可在半導體基片502上被形成。

接面場效電晶體動態隨機存取記憶體胞元500a在二個隔離區域504之間被形成。隔離區域504可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元500a可包括在一半導體基片502上被形成之一深p式井506。一資料儲存區域508可在該深p式井506上被形成。該資料儲存區域508可利用一N式井被形成。一通道區域510可在該資料儲存區域508上被形成。該通道區域510可以是一種p式摻雜區域。接面場效電晶體動態隨機存取記憶體胞元500a可包括一源極端點514、一閘極端點512、以及一汲極端點516。該源極端點514及汲極端點516可由一p式多晶矽層所形成並且該閘極端點512可由一n式多晶矽層512所形成。該深p式井506可電氣地連接到一深p式井端點(圖中未展示出)，因而一電氣偏壓可連接到該深p式井506。

例如，形成閘極端點512之多晶矽層可被使用作為一詞

組線。一位元線可被連接到汲極端點516。位元線和詞組線可彼此正交。以此方式，一位元線可連接相同接面場效電晶體動態隨機存取記憶體胞元500a的一個行並且一詞組線可連接相同接面場效電晶體動態隨機存取記憶體胞元500a之一個列。

接著參看至第5B圖，接面場效電晶體動態隨機存取記憶體胞元500a之電路分解圖被提出並且給予一般之參考號碼500b。接面場效電晶體動態隨機存取記憶體胞元500b包括一汲極端點516、一源極端點514、一閘極端點512、一資料儲存區域508、以及一深p式井端點506。資料儲存區域508可作為用於該接面場效電晶體動態隨機存取記憶體胞元500b之一背閘極端點地操作。

接著參看至第6圖，依據一實施例展示被施加至接面場效電晶體動態隨機存取記憶體胞元500a以及500b之端點以供各種操作所用之電壓的列表被提出。

第6圖之列表，展示被提出以供上述各四個操作模式所用之被施加至一閘極端點512之電壓(V_g)、施加至一汲極端點516之電壓(V_d)、施加至源極端點514之電壓(V_s)以及施加至深p式井506之電壓(V_{well})。在該消除操作模式中，閘極端點512可具有一閘極電壓 $V_g = 0.1$ 伏特，汲極端點516可具有一汲極電壓 $V_d = 0.8$ 伏特，源極端點514可具有一源極電壓 $V_s = 0.5$ 伏特(選擇地，源極電壓 $V_s = 0.8$ 伏特以改進消除效能)，並且深p式井端點506可具有一井電壓 $V_{well} = 0.0$ 伏特。在規劃操作模式中，閘極端點512可具有一閘極電壓 V_g

= 1.4伏特，汲極端點516可具有一汲極電壓 $V_d = 0.0$ 伏特，源極端點514可具有一源極電壓 $V_s = 0.5$ 伏特(選擇地，源極電壓 $V_s = 0.0$ 伏特以改進規劃效能)，並且該深p式井端點506可具有一井電壓 $V_{well} = 0.0$ 伏特。在讀取操作模式中，

5 閘極端點512可具有一閘極電壓 $V_g = 0.3$ 伏特，汲極端點516可具有一汲極電壓 $V_d = 0.4$ 伏特，源極端點514可具有一源極電壓 $V_s = 0.5$ 伏特，並且深p式井端點506可具有一井電壓 $V_{well} = 0.0$ 伏特。在更新操作模式中，閘極端點512可具有一閘極電壓 $V_g = 0.5$ 伏特，汲極端點516可具有一汲極電壓

10 $V_d = 0.0$ 伏特，源極端點514可具有一源極電壓 $V_s = 0.5$ 伏特或 0.0 伏特，並且深p式井端點506可具有一井電壓 $V_{well} = 0.0$ 伏特。

一接面場效電晶體動態隨機存取記憶體胞元，例如，第1A圖、1B圖、5A圖、以及5B圖所展示，可配合一存取電

15 晶體被使用以形成一雙電晶體接面場效電晶體動態隨機存取記憶體(TTJFET DRAM)胞元。一雙電晶體接面場效電晶體動態隨機存取記憶體胞元中之接面場效電晶體動態隨機存取記憶體胞元，例如，第1A圖及1B圖所展示，之一範例將被展示在第7A圖和7B圖中。

20 在第7A圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖被提出並且給予一般之參考號碼700a。在第7B圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電

晶體動態隨機存取記憶體胞元之電路分解圖被提出並且給予一般之參考號碼700b。

接著參看至第7A和7B圖，採用一接面場效電晶體動態隨機存取記憶體胞元之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)可包括一接面場效電晶體動態隨機存取記憶體胞元750以及一接面場效電晶體存取電晶體760。

該接面場效電晶體動態隨機存取記憶體胞元750在二個隔離區域704之間被形成。隔離區域704可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元750可包括在一半導體基片702上被形成之一深n式井706。一資料儲存區域708可在該深n式井706上被形成。資料儲存區域708可利用一p式井被形成。一通道區域710可在資料儲存區域708上被形成。通道區域710可以是一種n式摻雜區域。接面場效電晶體動態隨機存取記憶體胞元750可包括一源極端點714、一閘極端點712、以及一汲極端點716。源極端點714和汲極端點716可由一n式多晶矽層所形成並且閘極端點712可由一p式多晶矽層712所形成。該深n式井706可電氣地連接到一深n式井端點(圖中未展示出)，因而一電氣偏壓可連接到該深n式井706。

該接面場效電晶體存取電晶體760在二個隔離區域704之間被形成。隔離區域704可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體存取電晶體760可包括在一半導體基片702上被形成之一深n式井726。背閘極區域728

可利用一p式井被形成。一通道區域730可在該背閘極區域728上被形成。通道區域730可以是一種n式摻雜區域。接面場效電晶體存取電晶體760可包括一源極端點734、一閘極端點732、以及一汲極端點736。源極端點734和汲極端點736

5 可由一n式多晶矽層所形成並且該閘極端點732可由一p式多晶矽層所形成。該深n式井706可電氣地連接到一深n式井端點(圖中未展示出),因而一電氣偏壓可連接到該深n式井706。

背閘極區域728可電氣地連接到閘極端點732。以此方式,接面場效電晶體存取電晶體760可以是一雙閘極接面場效電晶體並且較佳之控制可被提供至通道區域730。

接著參看至第7C圖,依據一實施例沿著閘極電極732之雙電晶體接面場效電晶體動態隨機存取記憶體胞元700a之一橫截面圖被提出。在將包括閘極電極732之p式摻雜多晶矽沉積之前,淺槽隔離區域704已至少向下被蝕刻至背閘極區域728。以此方式,前閘極732可電氣地連接到該背閘極區域728。應注意到,只要該蝕刻達到該背閘極區域728且不到達p式基片702,則任何過度蝕刻或輕微不足蝕刻將不會有害於該接面場效電晶體存取電晶體760之性能。

當比較於接面場效電晶體動態隨機存取記憶體胞元(100a及100b)時,雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a及700b)可具有減低漏損電流之優點。更進一步地,藉由提供接面場效電晶體存取電晶體760,規劃以及消除操作可具有更多的邊限,因不需要擔心關於不利地經由該接面場效電晶體動態隨機存取記憶體胞元750傳導之

電流。

形成接面場效電晶體存取電晶體760之閘極端點732的多晶矽層可被使用，例如，作為一詞組線(WL)。源極端點734可連接到一源極線SL上之一源極電壓。接面場效電晶體
5 動態隨機存取記憶體胞元750之閘極端點712可連接到一偏壓Vb。接面場效電晶體動態隨機存取記憶體胞元750之汲極端點716可連接到一位元線BL。位元線和詞組線可彼此正交。以此方式，一位元線可連接到相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元700a的一個行以及一詞組
10 線(WL)可連接到相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元700a之一個列上。

應注意到，接面場效電晶體動態隨機存取記憶體胞元750和接面場效電晶體存取電晶體760可被切換，以至於接面場效電晶體存取電晶體760可以是在堆疊頂部上並且被
15 連接到該位元線BL，而接面場效電晶體動態隨機存取記憶體胞元750則可以是在堆疊底部上並且被連接到源極線SL。

接著將參看第7A、7B以及8圖以說明雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a及700b)之操作。第8圖是依據一實施例指示在各種操作模式期間被施加至雙
20 電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)之電壓的列表。

接面場效電晶體動態隨機存取記憶體胞元750可使用如先前所說明之接面場效電晶體動態隨機存取記憶體胞元100a及100b的相同機構被規劃以及被消除。

第8圖之列表展示供用於一消除模式、規劃模式、讀取模式以及更新操作模式地被施加至詞組線WL、位元線BL、偏壓Vb、以及源極電壓Vvss的電壓。

尤其是，在消除操作模式中，當雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)將被消除時，詞組線WL可被設定大約為0.0伏特或當雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)不被消除時則被設定為-0.3伏特。位元線BL可被設定為大約0.0伏特或-0.3伏特以改進消除效能，偏壓電壓Vb可被設定大約為0.4伏特，並且源極電壓Vvss可被設定大約為-0.3伏特。一被消除之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)可以被考慮為一資料0並且可提供具有大約在-0.4伏特臨界電壓Vth之一接面場效電晶體動態隨機存取記憶體胞元750。

在一規劃操作模式中，當雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)將被規劃時，源極線電壓Vvss可被設定大約為0.5伏特或當雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)不被規劃時則被設定為0.0伏特。詞組線WL可被設定大約為0.7伏特，偏壓電壓Vb可被設定大約為-1.0伏特，以及位元線BL可被設定大約為0.5伏特或0.0伏特。一被規劃之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)可被考慮為一資料1並且可提供具有大約為0.4伏特臨界電壓Vth之一接面場效電晶體動態隨機存取記憶體胞元750。

在一讀取操作模式中，對於正被讀取之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)，則偏壓電壓 V_b 可以是大約為0.2伏特以及詞組線WL可以是0.5伏特，並且對於不是正被讀取之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a和700b)則可以是0.0伏特。位元線BL和源極線SL可以是感測節點。另外地，一源極電壓 V_{vss} 可以被施加至源極線SL並且僅有位元線BL可以被使用在單端感測機構中。

接著參看至第9圖，依據一實施例之一雙電晶體動態隨機存取記憶體胞元陣列的電路分解圖被提出並且給予一般之參考號碼900。雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900僅展示36個雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)以避免使圖形過度地凌亂，雖然一動態隨機存取記憶體可具有，例如，十億或更多之記憶體胞元。各雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)可相同於雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b地被組態。

雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900包括以六列以及六行被配置之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)。六個雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)可連接到各個列(亦即，共用詞組線WL1至WL6)並且六個雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)可連接到各個行(亦即，共用位元線BL1至

BL6)。另外地，六個行之各行雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-61、700-12至700-62、700-13至700-63、700-14至700-64、700-15至700-65、700-16至700-66)可共用參考電壓線(Vb1至Vb6)以及源極線(SL1至SL6)。

接著配合於第9圖參看至第7B圖，各個雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)可對應至一雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b。各個雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)可包括一接面場效電晶體動態隨機存取記憶體胞元750以及一接面場效電晶體存取電晶體760。

在雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-16)列中的各接面場效電晶體存取電晶體760之閘極電極732以及背閘極區域728可連接到詞組線WL1。

15 在雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-21至700-26)列中的各接面場效電晶體存取電晶體760之閘極電極732以及背閘極區域728可連接到詞組線WL2。

在雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-31至700-36)列中的各接面場效電晶體存取電晶體760

20 之閘極電極732以及背閘極區域728可連接到詞組線WL3。

在雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-41至700-46)列中的各接面場效電晶體存取電晶體760之閘極電極732以及背閘極區域728可連接到詞組線WL4。

在雙電晶體接面場效電晶體動態隨機存取記憶體胞元

(700-51至700-56)列中的各接面場效電晶體存取電晶體760之閘極電極732以及背閘極區域728可連接到詞組線WL5。

在雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-61至700-66)列中的各接面場效電晶體存取電晶體760

5 之閘極電極732以及背閘極區域728可連接到詞組線WL6。

雙電晶體接面場效電晶體動態隨機存取記憶體胞元之(700-11至700-61)行可具有分別地被連接到位元線BL1、參

考電壓線Vb1、以及源極線SL1之各接面場效電晶體動態隨機存取記憶體胞元750的一汲極電極716及閘電極712以及

10 各接面場效電晶體存取電晶體760之一源極電極734。雙電

晶體接面場效電晶體動態隨機存取記憶體胞元之(700-12至700-62)行可具有分別地被連接到位元線BL2、參考電壓線

Vb2以及源極線SL2之各接面場效電晶體動態隨機存取記憶體胞元750的一汲極電極716及閘電極712以及各接面場

15 效電晶體存取電晶體760之一源極電極734。雙電晶體接面

場效電晶體動態隨機存取記憶體胞元之(700-13至700-63)行可具有分別地被連接到位元線BL3、參考電壓線Vb3、以

及源極線SL3之各接面場效電晶體動態隨機存取記憶體胞元750的一汲極電極716及閘電極712以及各接面場效電晶

20 體存取電晶體760之一源極電極734。雙電晶體接面場效電

晶體動態隨機存取記憶體胞元之(700-14至700-64)行可具有分別地被連接到位元線BL4、參考電壓線Vb4以及源極線

SL4之各接面場效電晶體動態隨機存取記憶體胞元750之一汲極電極716及閘電極712以及各接面場效電晶體存取電晶

體760之一源極電極734。雙電晶體接面場效電晶體動態隨機存取記憶體胞元之(700-15至700-65)行可具有分別地被連接到位元線BL5、參考電壓線Vb5以及源極線SL5之各接面場效電晶體動態隨機存取記憶體胞元750的一汲極電極

5 716及閘電極712以及各接面場效電晶體存取電晶體760之一源極電極734。雙電晶體接面場效電晶體動態隨機存取記憶體胞元之(700-16至700-66)行可具有分別地被連接到位元線BL6、參考電壓線Vb6以及源極線SL6之各接面場效電晶體動態隨機存取記憶體胞元750的一汲極電極716及閘電極712

10 以及各接面場效電晶體存取電晶體760之一源極電極734。

接著將參看第7A、7B、7C、8、9、10A、10B、10C、10D、10E、10F、以及10G圖，說明包括雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900之一動態隨機存取記憶體裝置的操作模式。

15 首先將說明一消除操作模式。

第10A圖是依據一實施例之一消除操作模式時序圖。第10A圖展示一消除操作，於其中雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33被消除(亦即，被設定為儲存資料0)。雖然未被展示出，供用於各雙電晶體接面場效電

20 晶體動態隨機存取記憶體胞元(700-11至700-66)之深N式井偏壓706以及726可共同連接到一0.5伏特之井偏壓電壓。

在時間t0，所有詞組線(WL1至WL6)、位元線(BL1至BL6)、偏壓電壓線(Vb1至VB6)以及源極線(SL1至SL6)可以在備用狀態之零伏特。

在時間 t_1 ，詞組線(WL1、WL2、WL4、WL5以及WL6)可轉移至大約為-0.3伏特、偏壓線Vb3可轉移至大約為0.4伏特、以及源極線SL3可轉移至大約為-0.3伏特，而詞組線WL3可保持一接地電位(亦即，0.0伏特)。當源極線SL3轉移至-0.3伏特時，雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33之接面場效電晶體存取電晶體760可導通，並且該-0.3伏特可被傳送至雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33之接面場效電晶體動態隨機存取記憶體胞元750的一源極端點714。以此方式，利用雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33之閘極端點712至源極端點714被形成的pn接面可被順向偏壓並且自閘極端點712被射入通道區域之電洞可越過通道區域並且被資料儲存區域708聚集。藉由如此操作，雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33之資料儲存區域708可被消除並且可達到大約為-0.4伏特之臨界電壓 V_{th} 。但是，因為詞組線(WL1、WL2、WL4、WL5、以及WL6)被轉移至大約為-0.3伏特，在共用源極線SL3之雙電晶體接面場效電晶體存取電晶體記憶體胞元(700-13、700-23、700-43、700-53、以及700-63)中的接面場效電晶體存取電晶體760可保持截止，即使源極線SL3是在大約為-0.3伏特亦然。應注意到，在單一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的消除模式中，在時間 t_1 ，對應的位元線(在這範例中之位元線BL3)也可以偏壓於-0.3伏特，因此改善消除效能。

在時間 t_2 ，所有詞組線(WL1至WL6)、位元線(BL1至BL6)、偏壓電壓線(Vb1至Vb6)以及源極線(SL1至SL6)可返回至零伏特(亦即，備用狀態)。

隨後，一確認操作可被進行以確保雙電晶體接面場效
5 電晶體動態隨機存取記憶體胞元700-33已適當地被消除。
在時間 t_3 ，詞組線WL3可轉移至大約為0.5伏特並且偏壓線
Vb3可轉移至大約為0.2伏特。如果雙電晶體接面場效電晶
體動態隨機存取記憶體胞元700-33之接面場效電晶體動態
隨機存取記憶體胞元750導通並且在汲極端點716和源極端
10 點714之間形成一相對低的阻抗，則消除操作成功。這可藉
由感測在位元線BL3和源極線SL3之間的阻抗而被檢測。但
是，如果雙電晶體接面場效電晶體動態隨機存取記憶體胞
元700-33之接面場效電晶體動態隨機存取記憶體胞元750
不導通並且在汲極端點316和源極端點314之間保持一相對
15 高的阻抗，則消除操作不成功。於此情況中，消除操作可
被重複。在時間 t_4 ，詞組線WL3和位元線BL3可返回至接地
電位。

雖然，用於消除一單一雙電晶體接面場效電晶體動態
隨機存取記憶體胞元(700-11至700-66)之一範例已被展
20 示，雙電晶體接面場效電晶體動態隨機存取記憶體胞元
(700-11至700-66)亦可在一個列消除、一個行消除、一部份
的列消除、一部份的行消除、或一區塊消除中被消除。

展示雙電晶體接面場效電晶體動態隨機存取記憶體胞
元陣列900中一列消除操作之時序圖在第10B圖中被提出。

第10B圖展示連接到詞組線WL3之所有雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-31至700-36)的消除。

第10B圖之時序圖可以是不同於第10A圖之時序圖，其中在時間t1和t2之間的源極線(SL1至SL6)可被設定為-0.3伏特。同時，在時間t1和t2之間的所有偏壓電壓線(Vb1至Vb6)也可被設定大約為0.4伏特。以此方式，利用雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-31至700-36)之閘極端點712至源極端點714被形成之pn接面可被順向偏壓並且自分別的閘極端點712被射入通道區域之電洞可越過通道區域並且被分別的資料儲存區域708聚集。藉由如此操作，連接到詞組線WL3之雙電晶體接面場效電晶體動態隨機存取記憶體胞元之(700-31至700-36)列的資料儲存區域708可被消除並且可達到大約為-0.4伏特之一臨界電壓Vth。隨意地，在時間t1，位元線(BL1至BL6)可被偏壓大約為-0.3伏特，因此改善消除效能。

為了進行在連接到詞組線WL3之列中一部份的列消除，在時間t1和t2之間，僅有被連接到需要被消除之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-31至700-36)的偏壓線(Vb1至Vb6)以及源極線(SL1至SL6)可分別地被設定為0.4伏特以及-0.3伏特。

展示雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中一行消除操作的時序圖在第10C圖中被提出。第10C圖展示被連接到位元線BL3之所有雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13至700-63)的消除。

第10C圖之時序圖可以是不同於第10A圖之時序圖，其中在時間 t_1 和 t_2 之間之詞組線(WL1至WL6)可被設定為0.0伏特。以此方式，利用被連接到位元線BL3之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13至700-63)的
5 閘極端點712至汲極端點716被形成之pn接面可被順向偏壓並且自分別的閘極端點712被射入通道區域之電洞可越過通道區域並且被分別的資料儲存區域708聚集。藉由如此操作，連接到位元線BL3之雙電晶體接面場效電晶體動態隨機存取記憶體胞元之(700-13至700-63)列的資料儲存區域708
10 可被消除並且可達到大約在-0.4伏特之一臨界電壓 V_{th} 。

為了在連接到位元線BL3之行中進行一部份的行消除，僅有連接到需要被消除之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13至700-63)的詞組線(WL1至WL6)可被設定為0.0伏特。在時間 t_1 和 t_2 之間，被連接到不
15 被消除的雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13至700-63)之詞組線(WL1至WL6)可被設定為-0.3伏特。

展示雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中一完整區塊消除操作之時序圖在第10D圖中被
20 提出。第10D圖展示在雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中所有雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)的消除。

第10D圖之時序圖可以是不同於第10A圖之時序圖，其中在時間 t_1 和 t_2 之間，詞組線(WL1至WL6)可被設定為0.0

伏特，在t1和t2之間，所有位元線(BL1至BL6)可被設定為0.0伏特或被設定為-0.3伏特以改進消除效能，在t1和t2之間，所有的偏壓線(Vb1至Vb3)可被設定為0.4伏特，並且在t1和t2之間，所有的源極線(SL1至SL3)可被設定為-0.3伏特。以此方式，利用雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)之閘極端點712至汲極端點716被形成之pn接面可被順向偏壓並且自分別的閘極端點712被射入通道區域之電洞可越過該通道區域並且利用被資料儲存區域708聚集。藉由如此操作，雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)之資料儲存區域708可被消除並且可達到大約在-0.4伏特之一臨界電壓Vth。

一部份區塊消除可以是消除其中較小於雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900的一子區塊之操作。

展示雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中一部份區塊消除操作之時序圖在第10E圖中被提出。第10E圖展示在雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)之一部份區塊的消除。該部份區塊可以是，例如，共同連接到詞組線(WL3至WL5)以及位元線(BL3至BL5)之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)。

為了進行該部份區塊消除，僅有被連接到需要被消除

之雙電晶體接面場效電晶體動態隨機存取記憶體胞元 (700-23至700-45)之詞組線(WL3至WL5)、偏壓線(Vb3至Vb5)以及源極線(SL3至SL5)可分別地被設定為0.0伏特、0.4伏特、以及-0.3伏特。在時間t1和t2之間，所有其他的詞組
 5 線(WL1、WL2、及WL6)、偏壓線(Vb1、Vb2及Vb6)以及源極線(SL1、SL2、及SL6)可分別地被設定為-0.3伏特、0.0伏特、以及0.0伏特。

接著將討論一規劃操作模式。

在一規劃操作中，第一步驟是規劃被連接到包括需要
 10 被規劃之雙電晶體接面場效電晶體動態隨機存取記憶體胞元的位元線(亦即，行)之全部字組或所有雙電晶體接面場效電晶體動態隨機存取記憶體胞元。隨後，如在上面被提出之一部份行消除操作被進行以將所有保持在消除狀態的雙電晶體接面場效電晶體動態隨機存取記憶體胞元返回至一
 15 資料0。

第10F圖是依據一實施例之一規劃操作模式時序圖。第10F圖展示規劃操作，於其中雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33被規劃(亦即，被設定為儲存資料1)。雖然未被展示出，用於各雙電晶體接面場效電晶體
 20 動態隨機存取記憶體胞元(700-11至700-66)之深N式井偏壓706和726可共同連接到一井偏壓電壓0.5伏特。

在第10F圖之時序圖中，假定，啟始地雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13、700-23、700-33、700-43、700-53以及700-63)具有一“010001”之資料

狀態並且雙電晶體接面場效電晶體動態隨機存取記憶體胞元700-33是將被規劃為一資料1以得到一個“011001”狀態。

在時間 t_0 ，所有的詞組線(WL1至WL6)、位元線(BL1至BL6)、偏壓電壓線(Vb1至VB6)、以及源極線(SL1至SL6)

5 可以是在備用狀態之零伏特。

在時間 t_1 ，詞組線(WL1至WL6)可轉移至大約為0.7伏特，偏壓線Vb3可轉移至大約為-1.0伏特。同時，在時間 t_1 ，位元線BL3和源極線SL3也可轉移至大約為0.5伏特，而位元線(BL1、BL2、BL4、BL5及BL6)以及源極線(SL1、SL2、
10 SL4、SL5及SL6)可保持接地電位(亦即，0.0伏特)。在大約相同的時間，偏壓線Vb3可轉移至大約為-1.0伏特，而偏壓線(Vb1、Vb2、Vb4、Vb5及Vb6)可保持在0.2伏特或0.0伏特。

以此方式，藉由雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13、700-23、700-33、700-43、700-53、
15 以及700-63)之行的閘極端點712至汲極端點716被形成之該pn接面可反向地被偏壓以感應出一貫穿情況。在這情況之下，資料儲存區域708之電洞可從該處被空乏並且成為負性充電。一負性充電資料儲存區域708可在通道區域中感應出一空乏區域，以至於雙電晶體接面場效電晶體動態隨機存
20 取記憶體胞元(700-13、700-23、700-33、700-43、700-53、以及700-63)之行包括具有大約為0.4伏特之臨界電壓的一接面場效電晶體動態隨機存取記憶體胞元750。以此方式，接面場效電晶體動態隨機存取記憶體胞元750可在分別詞組線(WL1至WL6)上的汲極端點716和源極端點714之間具

有大約為0.2伏特偏壓之一高阻抗通路。

在時間 t_2 ，所有的信號可返回至備用狀態。

在這時間，雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13、700-23、700-33、700-43、700-53、以及
5 700-63)具有一個“111111”之規劃資料狀態。

接著，一部份的行消除可被進行以將雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-13、700-43、以及
700-53)返回至邏輯零。

在時間 t_3 ，詞組線(WL2、WL3、及WL6)以及源極線SL3
10 可轉移至大約為-0.3伏特而詞組線(WL1、WL4、及WL5)可
保持在0.0伏特或接地。同時，在時間 t_3 ，偏壓線Vb3也可
轉移至大約為0.4伏特而偏壓線(Vb1、Vb2、Vb4、Vb5及Vb6)
可保持在0.0伏特或接地。以此方式，被形成之pn接面藉由
連接到位元線BL3之雙電晶體接面場效電晶體動態隨機存
15 取記憶體胞元(700-13、700-43、及700-53)的閘極端點712
至源極端點714可被順向偏壓並且自分別的閘極端點712被
射入通道區域之電洞可越過該通道區域且被分別的資料儲
存區域708聚集。藉由如此操作，連接到位元線BL3之雙電
晶體接面場效電晶體動態隨機存取記憶體胞元(700-13、
20 700-43、及700-53)的列之資料儲存區域708可被消除並且可
達到大約為-0.4伏特之臨界電壓 V_{th} 。

在時間 t_4 ，所有的信號可返回至備用狀態，並且在這
時間，雙電晶體接面場效電晶體動態隨機存取記憶體胞元
(700-13、700-23、700-33、700-43、700-53、及700-63)具

有“011001”之資料狀態。

接著將說明一讀取操作模式。

展示依據一實施例在雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中之一讀取操作的時序圖在第5 10G圖中被提出。第10G圖展示讀取共同連接到詞組線WL3之雙電晶體接面場效電晶體動態隨機存取記憶體胞元的(700-31至700-36)列。

在時間 t_0 ，所有的詞組線(WL1至WL6)、位元線(BL1至BL6)、偏壓電壓線(Vb1至VB6)、及源極線(SL1至SL6)可以是在備用狀態之零伏特。另外地，在時間 t_0 ，偏壓電壓線(Vb1至Vb6)可以是在備用狀態之0.2伏特。

在時間 t_1 ，詞組線WL3可轉移至0.5伏特且偏壓電壓線(Vb1至Vb6)可轉移至大約為0.2伏特。

當詞組線WL3轉移至0.5伏特時，在共同連接到詞組線15 WL3之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-31至700-36)的列中之各接面場效電晶體存取電晶體760可被導通。藉由偏壓電壓線(Vb1至Vb6)在0.2伏特，在儲存一資料1(亦即，規劃狀態)之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)中的一接面20 場效電晶體動態隨機存取記憶體胞元750可被截止並且在儲存一資料0(亦即，該消除狀態)之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700-11至700-66)中的一接面場效電晶體動態隨機存取記憶體胞元750可被導通。在儲存一資料1之雙電晶體接面場效電晶體動態隨機存取記憶

體胞元(700-31至700-36)的列中之一雙電晶體接面場效電
 晶體動態隨機存取記憶體胞元700可在一位元線(BL1至
 BL6)及分別的源極線(SL1至SL6)之間提供一高阻抗，並且
 在儲存一資料0之雙電晶體接面場效電晶體動態隨機存取
 5 記憶體胞元(700-31至700-36)的列中之一雙電晶體接面場
 效電晶體動態隨機存取記憶體胞元700可在一位元線(BL1
 至BL6)及分別的源極線(SL1至SL6)之間提供一低阻抗。因
 此，當一資料1被儲存時，一位元線(BL1至BL6)可以是被拉
 至高電位，或當一資料0被儲存時則可以是被拉降至低電
 10 位。一電流感測機構可被使用以感測一低阻抗狀態(亦即，
 消除狀態)或一高阻抗狀態(亦即，一規劃狀態)，於其中在
 位元線(BL1至BL6)上擺動之電壓可以是小的。以此方式，
 資料DATA可被安置於將被讀出至半導體記憶體裝置外之
 位元線(BL1至BL6)上。

15 在時間 t_2 ，所有的詞組線(WL1至WL6)、位元線(BL1
 至BL6)、偏壓電壓線(Vb1至VB6)、及源極線(SL1至SL6)可
 返回至備用狀態。

接著將討論一更新操作。該更新操作可以是一種背景
 更新操作並且可以是僅影響儲存一資料1(亦即，規劃狀態)
 20 之雙電晶體接面場效電晶體動態隨機存取記憶體胞元
 (700-11至700-66)。一更新操作可藉由簡單地置放該偏壓電
 壓線(Vb1至Vb6)至0.0伏特而被進行。藉由偏壓電壓線(Vb1
 至Vb6)在0.0伏特，在通道區域及已負性充電(透過先前的規
 劃或其類似者)的資料儲存區域708之間一相對高的反向偏

壓情況可被產生。因此，僅有那些雙電晶體接面場效電晶體動態隨機存取記憶體記憶體胞元(700-11至300-66)可再備足它們的負電荷。

應注意到，偏壓線(Vb1至Vb6)在備用狀態及更新操作
5 可具有相同電壓(亦即，0.0伏特)。藉由如此操作，當半導體記憶體裝置是在備用狀態時，雙電晶體接面場效電晶體動態隨機存取記憶體記憶體胞元(700-11至300-66)可被更新。這可防止任何其他操作以任何方式干擾更新。以此方式，當包括雙電晶體接面場效電晶體動態隨機存取記憶體
10 胞元(700-11至700-66)陣列之半導體記憶體裝置目前正被更新時，任何其他致動操作模式(讀取、規劃、或消除)可以零等待時間之方式進入。

上述之更新操作可以是一種真實的背景更新操作，其不影響包括雙電晶體接面場效電晶體動態隨機存取記憶體胞
15 元(700-11至700-66)陣列之半導體記憶體裝置的操作時序。

接著將參看第11A和11B圖說明針對一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之一不同的實施例。

在第11A圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效電晶體動態
20 隨機存取記憶體胞元的橫截面圖被提出並且給予一般之參考號碼1100a。於第11B圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的電路分解圖被提出並且給予一般之參考號碼1100b。

接著參看至第11A和11B圖，採用一接面場效電晶體動態隨機存取記憶體胞元之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1100a和1100b)可包括一接面場效電晶體動態隨機存取記憶體胞元1150以及一接面場效電晶體存取電晶體1160。

接面場效電晶體動態隨機存取記憶體胞元1150在二個隔離區域1104之間被形成。隔離區域1104可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元1150可包括在一半導體基片上被形成之一深n式井1102。一資料儲存區域1108可在該深n式井1102上被形成。資料儲存區域1108可利用一p式井被形成。一通道區域1110可在資料儲存區域1108上被形成。通道區域1110可以是一種n式摻雜區域。接面場效電晶體動態隨機存取記憶體胞元1150可包括一源極端點1114、一閘極端點1112、以及一汲極端點1116。源極端點1114及汲極端點1116可由一n式多晶矽層所形成並且閘極端點1114可由一p式多晶矽層1112所形成。深n式井1102可電氣地連接到一深n式井端點(圖中未展示出)，因而一電氣偏壓可連接到該深n式井1102。

接面場效電晶體存取電晶體1160在二個隔離區域1104之間被形成。隔離區域1104可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體存取電晶體1160可包括在一半導體基片上之一深p式井區域1103。一通道區域1130可在深p式井區域1103上被形成。通道區域1130可以是一種

n式摻雜區域。接面場效電晶體存取電晶體1160可包括一源極端點1134、一閘極端點1132以及一汲極端點1136。源極端點1134及汲極端點1136可由一n式多晶矽層所形成並且該閘極端點1132可由一p式多晶矽層所形成。

5 接著參看至第11C圖，依據一實施例沿著閘極電極1132之雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100a的橫截面圖被提出。雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100a及1100b包括一個單一閘極接面場效電晶體存取電晶體1160。

10 當比較於接面場效電晶體動態隨機存取記憶體胞元(100a及100b)時，雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1100a及1100b)可具有減低漏損電流之優點。更進一步地，藉由提供接面場效電晶體存取電晶體1160，規劃操作及消除操作可具有更多的邊際，因不需要憂慮關於不
15 利地經由接面場效電晶體動態隨機存取記憶體胞元1150傳導之電流。

形成接面場效電晶體存取電晶體1160之閘極端點1132的多晶矽層可被使用，例如，作為一詞組線(WL)。源極端點1134可連接到一源極線SL上之一源極電壓 V_{vss} 。接面場
20 效電晶體動態隨機存取記憶體胞元1150之閘極端點1112可連接到一偏壓電壓 V_b 。接面場效電晶體動態隨機存取記憶體胞元1150之汲極端點1116可連接到一位元線BL。位元線及詞組線可彼此正交。以此方式，一位元線可連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100a之

一個行並且一詞組線(WL)可連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100a之一個列。

參看至第9及11B圖，雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100b可在一雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中被使用。更進一步地，使用雙電晶體接面場效電晶體動態隨機存取記憶體胞元1100b之雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900之操作實際上可以是相同於如第10A至10G圖所展示者。

10 接著將參看至第12A至12C圖說明針對一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之進一步的另外實施例。

15 在第12A圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的橫截面圖被提出並且給予一般之參考號碼1200a。在第12B圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的電路分解圖被提出並且給予一般之參考號碼1200b。

20 接著參看至第12A及12B圖，採用一接面場效電晶體動態隨機存取記憶體胞元之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1200a及1200b)可包括一接面場效電晶體動態隨機存取記憶體胞元1250及一接面場效電晶體存取電晶體1260。第12A圖及12B圖之接面場效電晶體存取電晶

體1260是一種單一閘極p式通道接面場效電晶體。

接面場效電晶體動態隨機存取記憶體胞元1250在二個隔離區域1204之間被形成。隔離區域1204可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元1250可包括在隔離區域1204之間一深n式井1202上被形成之一資料儲存區域1208。資料儲存區域1208可利用一p式井被形成。一通道區域1210可在資料儲存區域1208上被形成。該通道區域1210可以是一種n式摻雜區域。接面場效電晶體動態隨機存取記憶體胞元1250可包括一源極端點1214、一閘極端點1212、以及一汲極端點1216。該源極端點1214及汲極端點1216可由一n式多晶矽層所形成並且該閘極端點1212可由一p式多晶矽層所形成。深n式井1202可電氣地連接到一深n式井端點(圖中未展示出)，因而一電氣偏壓可連接到該深n式井1202。

接面場效電晶體存取電晶體1260在二個隔離區域1204之間被形成。隔離區域1204可利用一淺槽隔離(STI)方法或其類似者被形成。一通道區域1230可在該深n式井1202上以及在隔離區域1204之間被形成。該通道區域1230可以是一種p型式摻雜區域。接面場效電晶體存取電晶體1260可包括一源極端點1234、一閘極端點1232、以及一汲極端點1236。該源極端點1234及汲極端點1236可由一p式多晶矽層所形成並且該閘極端點1232可由一n式多晶矽層所形成。

接著參看至第12C圖，依據一實施例沿著閘極電極1232之雙電晶體接面場效電晶體動態隨機存取記憶體胞元

1200a的橫截面圖被提出。

當比較至接面場效電晶體動態隨機存取記憶體胞元(100a及100b)時，雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1200a和1200b)可具有減低漏損電流之優點。更進一步地，藉由提供接面場效電晶體存取電晶體1260，規劃及消除操作可具有更多之邊際，因不需要憂慮關於不利地經由接面場效電晶體動態隨機存取記憶體胞元1250傳導之電流。

形成接面場效電晶體存取電晶體1260的閘極端點1232之多晶矽層可被使用，例如作為一詞組線(WL)。接面場效電晶體動態隨機存取記憶體胞元1250之汲極端點1216可連接到一位元線(BL)。位元線及詞組線可彼此正交。以此方式，一位元線可連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1200a之一個行並且一詞組線(WL)可連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1200a之一個列。接面場效電晶體動態隨機存取記憶體胞元1250之閘極端點1212可連接到一偏壓電壓 V_b 。接面場效電晶體動態隨機存取記憶體胞元1250之源極端點1214可連接到一源極線SL上之一源極電壓 V_{vss} 。

應注意到，該接面場效電晶體動態隨機存取記憶體胞元1250及該接面場效電晶體存取電晶體1260之位置是可以相互改變的。換言之，該接面場效電晶體動態隨機存取記憶體胞元1250可被置放在堆疊底部上並且可被連接到源極線SL，而接面場效電晶體存取電晶體1260則可被置放在該

堆疊頂部上並且連接到位元線BL。

參看至第9及12B圖，雙電晶體接面場效電晶體動態隨機存取記憶體胞元1200b可在一雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中被使用。使用雙電晶體接面場效電晶體動態隨機存取記憶體胞元1200b之雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900的操作可以相似於如第10A至10G圖所展示的時序圖，但是，由於接面場效電晶體存取電晶體1260是一種p式通道接面場效電晶體之事實，詞組線(WL1至WL6)波形之極性可被倒反。

應注意到，多數個位準可被儲存在第1至12圖實施例所展示之雙電晶體接面場效電晶體動態隨機存取記憶體胞元中。

上面所討論之記憶體裝置，例如，動態隨機存取記憶體(DRAM)依據被施加之位址而存取單一項目，但是，相對於在該裝置中之所有項目，其他型式的記憶體裝置亦可提供一匹配功能。此一型式之記憶體裝置是一種內容可定址記憶體(CAM)裝置。

內容可定址記憶體在所接收資料位元之一特定樣型，通常習知為被儲存在一組合內容可定址記憶體記憶體陣列中之一種搜尋關鍵或比較值、以及資料數值等，之間提供一種快速的比較，以提供一匹配/非匹配結果。如果在所選擇的內容可定址記憶體胞元中被儲存之一位元群組中的每個位元，與在該比較值中每個對應的位元有一匹配，則將透過一匹配線之一匹配旗號指示一匹配情況。以此方式，使用者被通知該比較值中之資料在記憶體中被發現，並且

對應至該匹配的一數值將被返回。因此，該結果將是自發現的一匹配數值(內容)所決定，而不是自提供用於一隨機存取記憶體(RAM)的數值位址所決定。

通常，一般在內容可定址記憶體陣列中使用二種型式
5 的內容可定址記憶體胞元：二元內容可定址記憶體胞元及三元內容可定址記憶體或TCAM胞元。

二元內容可定址記憶體胞元儲存一邏輯高位元數值或一邏輯低位元數值。當被儲存在該二元內容可定址記憶體胞元中之邏輯數值匹配來自一被施加比較值的一資料位元
10 時，則該內容可定址記憶體胞元將提供一高阻抗通路至該匹配線並且該匹配線將被保持在一邏輯高數值(假設電氣地連接到該內容可定址記憶體陣列之列的所有其他內容可定址記憶體胞元同時也可匹配)。以此方式，一匹配被指示。但是，當被儲存在該二元內容可定址記憶體胞元中之
15 邏輯數值不匹配來自該被施加比較值的該資料位元時，則該內容可定址記憶體胞元提供一至接地之低阻抗通路至該匹配線並且該匹配線被拉降。以此方式，其指示一匹配並未發生。

三元內容可定址記憶體胞元可儲存三個位元數值，包
20 括一邏輯高數值、一邏輯低數值、以及一“不理會”數值。當儲存邏輯高及邏輯低數值時，該三元內容可定址記憶體胞元相同於如上述之一個二元內容可定址記憶體胞元地操作。但是，儲存一“不理會”數值之一個三元內容可定址記憶體胞元將對於來自被施加至該三元內容可定址記憶體胞

元之一比較值之任何資料位元數值提供一匹配條件。這“不理會”性能允許內容可定址記憶體陣列指示何時一資料數值將匹配在內容可定址記憶體陣列一列中之三元內容可定址記憶體胞元之一被選擇的群組。例如，假設一個三元內容可定址記憶體陣列之各列中具有八個三元內容可定址記憶體胞元。另外地，假設各列的首先四個三元內容可定址記憶體胞元儲存一邏輯高及一邏輯低數值之一數值(用於比較至一個8位元比較值資料數值之首先的四個位元)，並且各列最後的四個三元內容可定址記憶體胞元儲存“不理會”數值。在這些情況之下，當一個8位元比較值資料數值被施加至該內容可定址記憶體陣列時，對於該內容可定址記憶體陣列之各列的一匹配發生，於其中被儲存在該首先的四個三元內容可定址記憶體胞元中之資料數值則匹配被施加的8位元比較值資料數值之首先四位元。

15 接著參看至第13圖，依據一實施例展示作為一個三元內容可定址記憶體(TCAM)胞元的雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b和1100b之使用的電路分解圖被提出並且給予一般之參考號碼1300。

20 三元內容可定址記憶體胞元1300可包括平行地被連接在一匹配線ML及一源極線SL之間作為一X胞元1310之一第一雙電晶體接面場效電晶體動態隨機存取記憶體胞元以及作為一Y胞元1320之一第二雙電晶體接面場效電晶體動態隨機存取記憶體胞元。X胞元1310可接收作為輸入之一詞組線WL以及一比較資料CD。Y胞元1320可接收作為輸入之

一詞組線WL以及一比較資料補數CDN。

X胞元1310及Y胞元1320可以是相同於任何的雙電晶體接面場效電晶體動態隨機存取記憶體胞元(700a、700b、1100a以及1100b)並且可以相同方式操作。

5 X胞元1310可包括一接面場效電晶體動態隨機存取記憶體胞元1312及一接面場效電晶體存取電晶體1314。接面場效電晶體動態隨機存取記憶體胞元1312可具有連接到該匹配線ML之一汲極端點、連接到一詞組線WL之一閘極端點、以及共同連接到接面場效電晶體存取電晶體1314之一汲極端點的一源極端點。接面場效電晶體存取電晶體1314可具有一前閘極端點及共同被連接以接收比較資料CD之一選擇的背閘極端點，以及被連接到一源極線SL之一源極。

10

Y胞元1320可包括一接面場效電晶體動態隨機存取記憶體胞元1322及一接面場效電晶體存取電晶體1324。接面場效電晶體動態隨機存取記憶體胞元1322可具有連接到該匹配線ML之一汲極端點、連接到一詞組線WL之一閘極端點、以及共同連接到接面場效電晶體存取電晶體1324之一汲極端點的一源極端點。接面場效電晶體存取電晶體1324可具有一前閘極端點及共同被連接以接收比較資料補數

15

20 CDN之一選擇的背閘極端點，以及連接到一源極線Vvss之一源極。

以此方式，X胞元1310可在一匹配線ML及一源極線Vvss之間形成一個第一阻抗通路，並且Y胞元1320可在一匹配線ML以及一源極線SL之間形成一個第二阻抗通路。

三元內容可定址記憶體胞元1300可具有四個不同的狀態。第一個狀態是當X胞元1310和Y胞元1320兩者皆被消除(亦即，儲存零)時。第二個狀態是當X胞元1310被消除且Y胞元1320被規劃時。第三個狀態是當X胞元1310被規劃且Y胞元1320被消除時。第四個狀態是當X胞元1310及Y胞元1320兩者皆被規劃(亦即，儲存1)時。

接著將參考第14圖說明三元內容可定址記憶體胞元1300之操作。第14圖是依據一輸入搜尋關鍵資料(在比較資料線CD及比較資料補數線CDN上之資料數值)之一真值表，其展示在匹配線ML上是否有對於被儲存在X胞元1310及Y胞元1320中之數值的一命中“匹配”或一錯失。

第14圖之真值表包括一X胞元數值(被儲存在X胞元1310中之一數值)、一Y胞元數值(被儲存在Y胞元1320中之一數值)、輸入搜尋關鍵(比較資料CD及比較資料補數CDN之數值)、以及一匹配輸出(在匹配線ML上之輸出)。

當一比較將在三元內容可定址記憶體胞元1300上被進行時，詞組線WL是在大約為0.2伏特(應注意，該詞組線WL對應至雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b中之偏壓線Vb)。同時，在一比較操作中，匹配線ML也可以啟始地預充電至大約為0.5伏特並且源極線SL實質上可以為0.0伏特。

X胞元1310及Y胞元1320以相同於雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b之方式操作。一X胞元數值或Y胞元數值“0”可以是當X胞元1310或Y胞元1320儲

存一消除數值時之值。一X胞元數值或Y胞元數值“1”可以是當X胞元1310或Y胞元1320儲存一規劃數值時之值。

以X胞元1310或Y胞元1320在一消除狀態，當該分別的比較資料(CD或CDN)具有一數值“1”時，具有該消除狀態之
5 分別的X胞元1310或Y胞元1320將在該匹配線ML及源極線SL之間具有一低阻抗通路。以X胞元1310或Y胞元1320在一規劃狀態，不論比較資料(CD或CDN)之數值為何，具有該規劃狀態之分別的X胞元1310或Y胞元1320將在匹配線ML及源極線SL之間具有一高阻抗通路。

10 當一“命中”發生時，該匹配線ML不放電並且停留在0.5伏特的一邏輯高數值。當一“錯失”發生時，該匹配線ML經由X胞元1310或Y胞元1320放電至源極線SL，其是在大約為0.0伏特。

當X胞元1310具有一“0”之X胞元數值且Y胞元1320具
15 有一“1”之Y胞元數值，並且比較資料是為一個“0”(亦即，比較資料CD是“0”且比較資料補數CDN是“1”)時，則在匹配線ML上之一匹配輸出可指示一個命中。

當X胞元1310具有一“0”之X胞元數值且Y胞元1320具
20 有一“1”之Y胞元數值，並且比較資料是一個“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線ML上之一匹配輸出可指示一個錯失。

當X胞元1310具有一“1”之X胞元數值且Y胞元1320具
有一“0”之Y胞元數值，並且比較資料是一個“0”(亦即，比較資料CD是“0”且比較資料補數CDN是“1”)時，則在匹配線

ML上之一匹配輸出可指示一個錯失。

當X胞元1310具有一“1”之X胞元數值且Y胞元1320具有一“0”之Y胞元數值，並且比較資料是一“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線

5 ML上之一匹配輸出可指示一個命中。

當X胞元1310具有一“1”之X胞元數值且Y胞元1320具有一“1”之Y胞元數值時，則不論補數比較資料(CD及CDN)數值為何，在匹配線ML上之一匹配輸出可指示一個命中。

當X胞元1310具有一“1”之X胞元數值且Y胞元1320具有一“1”之Y胞元數值，並且比較資料是一“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線
10 ML上之一匹配輸出可指示一個錯失。

當X胞元1310具有一“0”之X胞元數值且Y胞元1320具有一“0”之Y胞元數值時，如果補數比較資料(CD和CDN)兩者皆為“0”，則在匹配線ML上之一匹配輸出指示一個命中，否則一個錯失被指示。
15

但是，如果比較資料CD及比較資料補數CDN兩者皆具有一數值“0”，則匹配線ML總是指示一個命中。

接著參看至第15圖，依據一實施例之三元內容可定址記憶體陣列之電路分解圖被提出並且給予一般之參考號碼
20 1500。

雖然一個典型的三元內容可定址記憶體陣列1500可包括百萬個三元內容可定址記憶體胞元或更多，於第15圖中僅有16個三元內容可定址記憶體胞元(1300-11至1300-44)

被展示以避免使圖形過度地凌亂。三元內容可定址記憶體陣列1500可包括三元內容可定址記憶體胞元(1300-11至1300-44)之四個列及四個行。三元內容可定址記憶體陣列1500可以四位元詞組之四個群組(1300-11至1300-41、5 1300-12至1300-42、1300-13至1300-43、以及1300-14至1300-44)被配置。三元內容可定址記憶體陣列1500可包括解碼器(1510及1520)以及感應放大器1530。

解碼器1510可提供源極線(SL1至SL4)以及提供詞組線(WL1至WL4)至三元內容可定址記憶體胞元(1300-11至10 1300-44)。解碼器1520可提供補數比較信號(CD1-CDN1至CD4-CDN4)至三元內容可定址記憶體胞元(CD1-CDN1至CD4-CDN4)。感應放大器1530可接收匹配線(ML1至ML4)。

源極線SL1、詞組線WL1、以及匹配線ML1可共同被連接到三元內容可定址記憶體胞元(1300-11至1300-41)。源極線15 線SL2、詞組線WL2、以及匹配線ML2可共同被連接到三元內容可定址記憶體胞元(1300-12至1300-42)。源極線SL3、詞組線WL3、以及匹配線ML3可共同被連接到三元內容可定址記憶體胞元(1300-13至1300-43)。源極線SL4、詞組線WL4、以及匹配線ML4可共同被連接到三元內容可定址記20 憶體胞元(1300-41至1300-44)。

補數比較信號(CD1和CDN1)可共同被連接到三元內容可定址記憶體胞元(1300-11至1300-41)。補數比較信號(CD2和CDN2)可共同被連接到三元內容可定址記憶體胞元(1300-12至1300-42)。補數比較信號(CD3和CDN3)可共同被

連接到三元內容可定址記憶體胞元(1300-13至1300-43)。補數比較信號(CD4和CDN4)可共同被連接到三元內容可定址記憶體胞元(1300-14至1300-44)。

應注意到，補數比較信號(CD1-CDN1至CD4-CDN4)可以不一定是為互補信號。例如，當位元將被被遮蔽時，補數比較信號之分別的組對(CD1-CDN1至CD4-CDN4)皆可被拉降(亦即，邏輯零)。藉由如此操作，分別的三元內容可定址記憶體胞元(1300-11至1300-44)可使它們的比較“被遮蔽”。

如所提到的，各三元內容可定址記憶體胞元(1300-11至1300-44)主要地可包括平行地被連接之二個雙電晶體接面場效電晶體動態隨機存取記憶體胞元700b。因此，例如，第9圖所展示之雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900，可容易地被轉換成為可平行地搜尋六個3-位元詞組之一個三元內容可定址記憶體胞元陣列。於此情況中，偏壓電壓(Vb1至Vb6)轉為詞組線(WL1至WL6)。位元線(BL1至BL6)轉為匹配線(ML1至ML6)，並且詞組線(WL1-WL2、WL3-WL4、以及WL5-WL6)分別地轉為補數比較信號(CD1-CDN1、CD2-CDN2、以及CD3-CDN3)。

三元內容可定址記憶體胞元(1300-11至1300-44)可以相同於第10A至10G圖所展示之方式，藉由如上所述地將偏壓電壓(Vb1至Vb6)、詞組線(WL1至WL6)以及位元線(BL1至BL6)交換成為詞組線(WL1至WL6)、補數比較資料(CD1至CD4及CDN1至CD4)、以及匹配線(ML1至ML6)而被規劃、被消除並且被更新。

當在一個三元內容可定址記憶體組態中之一雙電晶體
接面場效電晶體動態隨機存取記憶體胞元700b如第13至15
圖所展示地被使用時，可能需要多數個週期以讀取一詞
組。例如，如果一詞組是32位元(亦即，沿著一匹配線ML
5 之32位元)，則其可採用在第10G圖一般的讀取流程的32個
讀取週期。於此情況中，一計數器或其類似者可被連接到
第15圖之解碼器1520以串列地選擇被儲存在三元內容可定
址記憶體胞元(1300)之一詞組中之位元。

當自一動態隨機存取記憶體組態轉換為一內容可定址
10 記憶體組態時，一動態隨機存取記憶體列成為內容可定址
記憶體行，一動態隨機存取記憶體之行成為內容可定址記
憶體列。因此，當一讀取操作在三元內容可定址記憶體1500
上被進行時，解碼器1520作用以驅動補數比較資料(CD及
CDN)而作為一個行多工器。但是，在一搜尋(比較)操作中，
15 解碼器1520驅動補數比較資料(CD及CDN)作為將與被儲存
在三元內容可定址記憶體胞元1300中的資料相比較之搜尋
資料。

在記憶體應用(動態隨機存取記憶體應用)中，多數個位
準可被儲存在各雙電晶體接面場效電晶體動態隨機存取記
20 憶體胞元(100b、700b、1100b、以及1200b)中。這可藉由使
具有離散電荷儲存位準，各具有可接受及非重疊窗之電荷
儲存而被進行。以此方式，對於多數個位元儲存，例如，2
位元(4個狀態)、3位元(8個狀態)、4位元(16個狀態)等等之
接面場效電晶體動態隨機存取記憶體胞元(100b、750b、

1150b、以及1250b)的臨界電壓範圍可被檢測。

接著參看至第16圖，依據一實施例之三元內容可定址記憶體胞元的電路分解圖被提出並且給予一般之參考號碼1600。

三元內容可定址記憶體胞元1600可由接面場效電晶體
5 動態隨機存取記憶體胞元所形成，例如，作為一範例之接面場效電晶體動態隨機存取記憶體胞元100b。

三元內容可定址記憶體胞元1600可包括平行地被連接在一匹配線ML以及一源極線SL之間作為一X胞元1610之一個第一接面場效電晶體動態隨機存取記憶體胞元以及作為一Y胞元1620之一第二接面場效電晶體動態隨機存取記憶體胞元。X胞元1610可接收作為一輸入之一比較資料CD。Y胞元1620可接收作為一輸入之一比較資料補數CDN。
10

X胞元1610及Y胞元1620主要地可以是相同於接面場效電晶體動態隨機存取記憶體胞元(100a及100b)並且可以在相似方式地操作。但是，在X胞元1610和Y胞元1620中之資料儲存區域(1618及1628)可如將在下面被說明地完全控制背閘極操作。
15

X胞元1610可包括一接面場效電晶體動態隨機存取記憶體胞元1612。接面場效電晶體動態隨機存取記憶體胞元1612可具有連接到該匹配線ML之一汲極端點、連接到接收比較資料CD之一閘極端點、以及連接到一源極線SL之一源極。接面場效電晶體動態隨機存取記憶體胞元1612可包括一資料儲存區域1618。
20

Y胞元1620可包括一接面場效電晶體動態隨機存取記

憶體胞元1622。接面場效電晶體動態隨機存取記憶體胞元1622可具有連接到該匹配線ML之一汲極端點、連接到接收比較資料補數CDN之一閘極端點以及連接到一源極線SL之一源極。接面場效電晶體動態隨機存取記憶體胞元1622可
5 包括一資料儲存區域1628。

以此方式，X胞元1610可在一匹配線ML以及一源極線SL之間形成一個第一阻抗通路並且Y胞元1620可在一匹配線ML以及一源極線SL之間形成一個第二阻抗通路。

三元內容可定址記憶體胞元1600可具有四個不同的狀
10 態。一第一個狀態是當X胞元1610及Y胞元1620兩者皆被消除(亦即，儲存0)時。第二個狀態是當X胞元1610被消除且Y胞元1620被規劃時。第三個狀態是當X胞元1610被規劃且Y胞元1620被消除時。第四個狀態是當X胞元1610及Y胞元1620兩者皆被規劃(亦即，儲存1)時。接著將參考第14圖說
15 明三元內容可定址記憶體胞元1600之操作。第14圖是依據一輸入搜尋關鍵資料(在比較資料線CD及比較資料補數線CDN上之資料數值)之一真值表，其展示是否在匹配線ML上有對於被儲存在X胞元1610及Y胞元1620中之數值的一個命中“匹配”或一個錯失。

20 第14圖之真值表包括一X胞元數值(被儲存在X胞元1610中之一數值)、一Y胞元數值(被儲存在Y胞元1620中之一數值)、輸入搜尋關鍵(比較資料CD及比較資料補數CDN之數值)、以及一匹配輸出(在匹配線ML上之輸出)。

當一比較將在三元內容可定址記憶體胞元1600上被進

行時，匹配線ML可啟始地預充電至大約為0.1伏特並且源極線SL大致地可以是在0.0伏特。

一個“0”之X胞元數值或Y胞元數值可以是當X胞元1610或Y胞元1620儲存一消除數值時之值。一個“1”之X胞元數值或Y胞元數值可以是當X胞元1610或Y胞元1620儲存一規劃數值時之值。

X胞元1610和Y胞元1620以相似於接面場效電晶體動態隨機存取記憶體胞元100b之方式操作。由於X胞元及Y胞元1620，當接面場效電晶體動態隨機存取記憶體胞元(1612或1622)任一者儲存一個“1”(亦即，是在規劃狀態)時，在分別的汲極及源極之間保持一高阻抗通路，即使閘極電位是為0.5伏特亦然。實際上，資料儲存區域(1618及1628)作用如一背部控制閘極以使分別的通道維持截止。

由於在一消除狀態中之X胞元1610或Y胞元1620，當分別的比較資料(CD或CDN)具有一個數值“1”時，具有消除狀態之分別的X胞元1610或Y胞元1620在匹配線ML及源極線SL之間將具有一低阻抗通路。

由於在一規劃狀態中之X胞元1610或Y胞元1620，不論比較資料(CD或CDN)數值為何，具有該規劃狀態之分別的X胞元1610或Y胞元1620在匹配線ML及源極線SL之間將具有一高阻抗通路。

因此，資料儲存區域(1618及1628)可操作以改變形成X胞元1610及Y胞元1620之分別的接面場效電晶體動態隨機存取記憶體胞元(1612或1622)之臨界電壓。

當一個“命中”發生時，匹配線ML不放電並且停留在0.1伏特之一邏輯高數值。當一“錯失”發生時，匹配線ML將經由X胞元1610或Y胞元1620任何一者放電至源極線SL，其是在大約為0.0伏特。

- 5 當X胞元1610具有一“0”之X胞元數值且Y胞元1620具有一“1”之Y胞元數值，並且比較資料是一“0”(亦即，比較資料CD是“0”且比較資料補數CDN是“1”)時，則在匹配線ML上之一匹配輸出可指示一個命中。

- 10 當X胞元1610具有一“0”之X胞元數值且Y胞元1620具有一“1”之Y胞元數值，並且比較資料是一個“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線ML上之一匹配輸出可指示一個錯失。

- 15 當X胞元1610具有一“1”之X胞元數值且Y胞元1620具有一“0”之Y胞元數值，並且比較資料是一“0”(亦即，比較資料CD是“0”且比較資料補數CDN是“1”)時，則在匹配線ML上之一匹配輸出可指示一個錯失。

- 20 當X胞元1610具有一“1”之X胞元數值且Y胞元1620具有一“0”之Y胞元數值，並且比較資料是一“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線ML上之一匹配輸出可指示一個命中。

當X胞元1610具有一“1”之X胞元數值且Y胞元1620具有一“1”之Y胞元數值時，則不論補數比較資料(CD及CDN)數值為何，在匹配線ML上之一匹配輸出可指示一個命中。

當X胞元1610具有一“1”之X胞元數值且Y胞元1620具

有一“1”之Y胞元數值，並且比較資料是一“1”(亦即，比較資料CD是“1”且比較資料補數CDN是“0”)時，則在匹配線ML上之一匹配輸出可指示一個錯失。

當X胞元1610具有一“0”之X胞元數值且Y胞元1620具有一“0”之Y胞元數值時，如果補數比較資料(CD及CDN)兩者皆為“0”，則在匹配線ML上之一匹配輸出指示一個命中，否則一個錯失被指示。

但是，如果比較資料CD及比較資料補數CDN兩者皆具有一個數值“0”，則匹配線ML總是指示一個命中。

10 接著參看至第17圖，依據一實施例之三元內容可定址記憶體陣列之電路分解圖被提出並且給予一般之參考號碼1700。

雖然一個典型的三元內容可定址記憶體陣列1700可包括百萬個三元內容可定址記憶體胞元或更多，第17圖中僅有16個三元內容可定址記憶體胞元(1600-11至1600-44)被展示以避免使圖形過度地凌亂。三元內容可定址記憶體陣列1700可包括三元內容可定址記憶體胞元(1600-11至1600-44)之四個列及四個行。三元內容可定址記憶體陣列1700可以四位元詞組之四個群組(1600-11至1600-41、1600-12至1600-42、1600-13至1600-43、以及1600-14至1600-44)被配置。三元內容可定址記憶體陣列1700可包括解碼器(1710及1720)以及感應放大器1730。

解碼器1710可提供源極線(SL1至SL4)至三元內容可定址記憶體胞元(1600-11至1600-44)。解碼器1720可提供補數

比較信號(CD1-CDN1至CD4-CDN4)至三元內容可定址記憶體胞元(1600-11至1600-44)。感應放大器1730可接收匹配線(ML1至ML4)。

源極線SL1及匹配線ML1可共同被連接到三元內容可定址記憶體胞元(1600-11至1600-41)。源極線SL2及匹配線ML2可共同被連接到三元內容可定址記憶體胞元(1600-12至1600-42)。源極線SL3及匹配線ML3可共同被連接到三元內容可定址記憶體胞元(1600-13至1600-43)。源極線SL4及匹配線ML4可共同被連接到三元內容可定址記憶體胞元(1600-41至1600-44)。

補數比較信號(CD1及CDN1)可共同被連接到三元內容可定址記憶體胞元(1600-11至1600-14)。補數比較信號(CD2及CDN2)可共同被連接到三元內容可定址記憶體胞元(1600-21至1600-24)。補數比較信號(CD3及CDN3)可共同被連接到三元內容可定址記憶體胞元(1600-31至1600-34)。補數比較信號(CD4及CDN4)可共同被連接到三元內容可定址記憶體胞元(1600-41至1600-44)。

如所提到的，各三元內容可定址記憶體胞元(1600-11至1600-44)主要地可包括平行地被連接之二個接面場效電晶體動態隨機存取記憶體胞元100b。因此，例如，第3圖所展示之雙電晶體接面場效電晶體動態隨機存取記憶體胞元的陣列300可容易地轉換成為一個三元內容可定址記憶體胞元陣列1700。於此情況中，分別地，位元線(BL1至BL3)轉換成為匹配線(ML1至ML3)，並且詞組線(WL1-WL3)轉換

成為補數比較信號(CD1-CDN1, CD2)等等。

三元內容可定址記憶體胞元(1600-11至1600-44)可以藉由如上所述將詞組線(WL1至WL6)及位元線(BL1至BL6)交換使成為詞組線(WL1至WL6)、匹配線(ML1至ML6)補數比較資料(CD1至CD4以及CDN1至CD4)，以及使用如第17圖所展示之電壓位準，以相同如第4A至4D圖所展示之方式被規劃、被消除並且被更新。

接著參看至第18圖，一列表被提出，其展示當使用第1B圖的接面場效電晶體動態隨機存取記憶體胞元100b作為一個三元內容可定址記憶體胞元1600之一X胞元1610以及作為Y胞元1620時，供上述四個操作模式所用而被施加至一閘極端點112之電壓(V_g)、被施加至一汲極端點116之電壓(V_d)、被施加至該源極端點114之電壓(V_s)、以及被施加至該深N式井106之電壓(V_{well})。在消除操作模式中，閘極端點112可具有一閘極電壓 $V_g = 0.4$ 伏特，汲極端點116可具有一汲極電壓 $V_d = -0.3$ 伏特，源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特或 -0.3 伏特，以及深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在規劃操作模式中，閘極端點112可具有一閘極電壓 $V_g = -1.0$ 伏特，汲極端點116可具有一汲極電壓 $V_d = 0.5$ 伏特，源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特或 0.5 伏特，以及該深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在讀取操作模式中，閘極端點112可具有一閘極電壓 $V_g = 0.5$ 伏特，汲極端點116可具有一汲極電壓 $V_d = 0.1$ 伏特，源極端點114可具有一源極電壓 $V_s = 0.0$ 伏

特，並且深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。在更新操作模式中，閘極端點112可具有一閘極電壓 $V_g = 0.0$ 伏特，汲極端點116可具有一汲極電壓 $V_d = 0.0$ 伏特，源極端點114可具有一源極電壓 $V_s = 0.0$ 伏特，並且深N式井端點106可具有一井電壓 $V_{well} = 0.5$ 伏特。

當一接面場效電晶體動態隨機存取記憶體胞元100b被使用在如第13至15圖所展示之一個三元內容可定址記憶體組態中時，可能需要多數個週期以讀取一詞組。例如，如果一詞組是32位元(亦即，沿著一匹配線ML之32位元)，則其可採取使用第18圖電壓之第4C圖的一般讀取流程的32個讀取週期。於此情況中，一計數器或其類似者可被連接到第17圖之解碼器1720以串列地選擇被儲存在三元內容可定址記憶體胞元(1600)一詞組中的位元。

當自一動態隨機存取記憶體組態轉換為一內容可定址記憶體組態時，動態隨機存取記憶體列成為內容可定址記憶體行並且動態隨機存取記憶體行成為內容可定址記憶體列。因此，當一讀取操作在三元內容可定址記憶體1700上被進行時，解碼器1720作用以驅動補數比較資料(CD及CDN)作為一個行多工器。但是，在一搜尋(比較)操作中，解碼器1720驅動補數比較資料(CD及CDN)作為與被儲存在三元內容可定址記憶體胞元1600中之資料相比較之搜尋資料。

在記憶體應用(動態隨機存取記憶體應用)中，多數個位準可被儲存在各接面場效電晶體動態隨機存取記憶體胞元100b中。這可藉由使具有離散電荷儲存位準，各具有可接

受及非重疊窗之電荷儲存而被進行。以此方式，對於多數個位元儲存，例如，2位元(4個狀態)、3位元(8個狀態)、4位元(16個狀態)等等之接面場效電晶體動態隨機存取記憶體胞元100b的臨界電壓範圍可被檢測。

- 5 在該等實施例中，一記憶體胞元包括具有被配置在一基片中且在二個隔離區域，例如，一淺槽隔離(STI)之間的一資料儲存區域之一接面場效電晶體。該資料儲存區域當儲存一第一資料數值時可提供一第一臨界電壓至接面場效電晶體，並且當儲存一第二資料數值時則提供一第二臨界
- 10 電壓至接面場效電晶體。記憶體胞元是一動態隨機存取記憶體(DRAM)胞元並且可被使用以形成一內容可定址記憶體(CAM)胞元。

接著將參看至第19A至19C圖說明對於一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之再另一實施例。

- 15 在第19A圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的橫截面圖被提出並且給予一般之參考號碼1900a。在第19B圖中，依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元之一雙電晶體接面場效
- 20 電晶體動態隨機存取記憶體胞元的電路分解圖被提出並且給予一般之參考號碼1900b。

接著參看至第19A及19B圖，採用一接面場效電晶體動態隨機存取記憶體胞元之雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1900a及1900b)可包括一接面場效電晶

體動態隨機存取記憶體胞元1950及一接面場效電晶體存取電晶體1960。第12A及12B圖之接面場效電晶體存取電晶體1260是一個單一閘極n式通道接面場效電晶體。

接面場效電晶體動態隨機存取記憶體胞元1950在二個
5 隔離區域1904之間被形成。隔離區域1904可利用一淺槽隔離(STI)方法或其類似者被形成。接面場效電晶體動態隨機存取記憶體胞元1950可包括在一深p式井1902上被形成之一N式井1906。一資料儲存區域1908可在隔離區域1904之間的N式井1906上被形成。資料儲存區域1908可利用一p式井
10 被形成。一通道區域1910可在資料儲存區域1908上被形成。通道區域1910可以是一n式摻雜區域。接面場效電晶體動態隨機存取記憶體胞元1950可包括一源極端點1914、一閘極端點1912以及一汲極端點1916。源極端點1914及汲極端點1916可由一n式多晶矽層所形成並且閘極端點1912可
15 由一p式多晶矽層所形成。

接面場效電晶體動態隨機存取記憶體胞元1950可包括提供在源極端點1914及N式井1906之間的一電氣連接之一n式擴散區域1915。以此方式，被施加至該源極端點1914之一電壓可被傳輸至N式井1906並且在資料儲存區域上具有一較大之影響，因而規劃及消除效能可被改進。N式井1906
20 是在資料儲存區域1908之下的一個第一擴散區域並且具有相對於資料儲存區域1908之傳導型式。

深p式井1902可電氣地連接到一深p式井端點(圖中未展示出)，因而一電氣偏壓可被連接到該深p式井1902。

接面場效電晶體存取電晶體1960被形成在二個隔離區域1904之間。隔離區域1904可利用一淺槽隔離(STI)方法或其類似者被形成。一通道區域1930可在該深p式井1902上以及在隔離區域1904之間被形成。通道區域1930可以是一n式
5 摻雜區域。接面場效電晶體存取電晶體1960可包括一源極端點1934、一閘極端點1932以及一汲極端點1936。源極端點1934及汲極端點1936可由一n式多晶矽層所形成並且閘極端點1932可由一p式多晶矽層所形成。

接著參看至第19C圖，依據一實施例沿著閘極電極1932
10 之雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900a的橫截面圖被提出。

當比較於接面場效電晶體動態隨機存取記憶體胞元(100a及100b)時，雙電晶體接面場效電晶體動態隨機存取記憶體胞元(1900a及1900b)可具有減低漏損電流之優點。更進
15 一步地，藉由提供接面場效電晶體存取電晶體1960，規劃及消除操作可具有更多之邊際，因不需要憂慮關於不利地經由接面場效電晶體動態隨機存取記憶體胞元1950傳導之電流。

形成接面場效電晶體存取電晶體1960之閘極端點1932
20 的多晶矽層可被使用，例如，作為一詞組線(WL)。接面場效電晶體動態隨機存取記憶體胞元1950之汲極端點1916可連接到一位元線(BL)。該位元線及詞組線可彼此正交。以此方式，一位元線可連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900a之一行並且一詞組線(WL)可

連接相同雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900a之一列。接面場效電晶體動態隨機存取記憶體胞元1950之閘極端點1912可連接到一偏壓電壓 V_b 。接面場效電晶體動態隨機存取記憶體胞元1950之源極端點1914可連接到一源極線SL上之一源極電壓 V_{VSS} 。

參看至第9及19B圖，雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900b可在一雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900中被使用。使用雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900b之雙電晶體接面場效電晶體動態隨機存取記憶體胞元陣列900的操作可以是相似於如第10A至10G圖中所展示之時序圖。

雙電晶體接面場效電晶體動態隨機存取記憶體胞元1900a及1900b可在如第13-15圖所展示之一個三元內容可定址記憶體胞元中被使用。

該等實施例之半導體裝置可依據習知的處理程序步驟被製造。在實施例中被提出之接面場效電晶體製造的習知處理程序步驟範例被展示在編檔於2006年8月22日之美國專利申請序號第11/507793案中，以及編檔於2005年10月28日之美國專利申請序號第11/261873案中。其兩者之內容皆併入此處作為參考。

關於說明中之“一實施例”或“一個實施例”意謂著與該實施例相關聯所說明之一特定特點、結構、或特性被包括在本發明至少一實施例之中。在說明文中各處出現之片語“在一實施例中”不必定全指示於相同的實施例。如此處所

使用之語詞“耦合”或“電氣地連接”可包括經由一個或多個中間之構件直接地與間接地連接。

進一步地應了解，本發明實施例可在缺乏未特定揭示之元件或步驟情況中被實施。亦即本發明之特點可包括一
5 元件之排除。

雖然此處提出的各種特定實施例已詳細地被說明，本發明仍可有各種改變、替換及修改而不脫離本發明之精神與範疇。因此，本發明將僅受附加申請專利範圍所定義之限制。

10 【圖式簡單說明】

第1A圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體(DRAM)胞元的橫截面圖。

第1B圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體胞元的電路分解圖。

15 第2圖是依據一實施例展示被施加至各電極端點之供用於接面場效電晶體動態隨機存取記憶體胞元各種操作模式之電壓列表，其展示施加至一閘極端點之電壓(V_g)，施加至一汲極端點之電壓(V_d)，施加至一源極端點之電壓(V_s)，以及施加至一深N式井之電壓(V_{well})。

20 第3A圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

第3B圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

第3C圖是依據一實施例展示用於一接面場效電晶體動

態隨機存取記憶體胞元之陣列組態的電路分解圖。

第4A圖是依據一實施例之一消除操作模式時序圖。

第4B圖是依據一實施例之一規劃操作時序圖。

第4C圖是依據一實施例之一讀取操作時序圖。

5 第4D圖是依據一實施例之一更新操作時序圖。

第5A圖是依據一實施例之一接面場效電晶體動態隨機存取記憶體胞元的橫截面圖。

第5B圖是依據一實施例展示用於一接面場效電晶體動態隨機存取記憶體胞元之陣列組態的電路分解圖。

10 第6圖是依據一實施例展示被施加至一接面場效電晶體動態隨機存取記憶體的端點以供各種操作之電壓列表。

第7A圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

15 第7B圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

20 第7C圖是依據一實施例之採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第8圖是依據一實施例指示在各種操作模式期間被施加至一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電壓的列表。

第9圖是依據一實施例之一雙電晶體動態隨機存取記

憶體胞元陣列的電路分解圖。

第10A圖是依據一實施例之一消除操作模式的時序圖。

第10B圖是依據一實施例之一列消除操作模式的時序圖。

第10C圖是依據一實施例之一行消除操作模式的時序圖。

5 第10D圖是依據一實施例之全部區塊消除操作模式的時序圖。

第10E圖是依據一實施例之一部份區塊消除操作模式的時序圖。

第10F圖是依據一實施例之一規劃操作模式的時序圖。

10 第10G圖是依據一實施例之一讀取操作模式的時序圖。

第11A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元的橫截面圖。

15 第11B圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

第11C圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

20 第12A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

第12B圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨

機存取記憶體胞元之電路分解圖。

第12C圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

5 第13圖是依據一實施例展示使用一雙電晶體接面場效電晶體動態隨機存取記憶體胞元作為一個三元內容可定址記憶體(TCAM)胞元之電路分解圖。

第14圖是展示依據一輸入搜尋關鍵資料對於儲存在一X胞元和一Y胞元中之數值是否在一匹配線上有命中"匹配"或一錯失之真值表。

第15圖是依據一實施例之一個三元內容可定址記憶體陣列的電路分解圖。

第16圖是依據一實施例之一個三元內容可定址記憶體胞元的電路分解圖。

15 第17圖是依據一實施例之一個三元內容可定址記憶體陣列的電路分解圖。

第18圖是依據一實施例展示被施加至供用於一個三元內容可定址記憶體胞元中之一接面場效電晶體動態隨機存取記憶體胞元的各種操作模式之各電極端點的電壓之列表，其中為被施加至一閘極端點之電壓(V_g)、被施加(V_d)至一汲極端點之電壓、被施加至一源極端點之電壓(V_s)以及被施加至一深N式井之電壓(V_{well})。

第19A圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨

機存取記憶體胞元之橫截面圖。

第19B圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之電路分解圖。

- 5 第19C圖是依據一實施例採用一接面場效電晶體動態隨機存取記憶體胞元的一雙電晶體接面場效電晶體動態隨機存取記憶體胞元之橫截面圖。

【主要元件符號說明】

100a、100b…接面場效電晶體動態隨機存取記憶體胞元

102…半導體基片

104…隔離區域

106…深n式井

108…資料儲存區域

110…通道區域

112…閘極端點

114…源極端點

116…汲極端點

300A、300B、300C…接面場效電晶體動態隨機存取記憶體胞元陣列

306…深N式井

308…電荷儲存節點

312…閘極端點

314…源極端點

316…汲極端點

320-11至320-33…接面場效電晶體動態隨機存取記憶體胞元

- 500a、500b…接面場效電晶體動態隨機存取記憶體胞元
- 502…半導體基片
- 504…隔離區域
- 506…深p式井
- 508…資料儲存區域
- 510…通道區域
- 512…閘極端點
- 514…源極端點
- 516…汲極端點
- 700a、700b…接面場效電晶體動態隨機存取記憶體胞元
- 700-11至700-66…隨機存取記憶體胞元
- 702…p型式基片
- 704…隔離區域
- 706…深n式井
- 708…資料儲存區域
- 710…通道區域
- 712…閘極端點
- 714…源極端點
- 716…汲極端點
- 726…深n式井
- 728…背閘極區域
- 730…通道區域
- 732…閘極端點
- 734…源極端點

- 736…汲極端點
- 750…接面場效電晶體動態隨機存取記憶體胞元
- 760…接面場效電晶體存取電晶體
- 900、1100a、1100b…雙電晶體接面場效電晶體動態隨機存取記憶體胞元
- 1102…深n式井
- 1103…深p式井區域
- 1104…隔離區域
- 1108…資料儲存區域
- 1110…通道區域
- 1112…閘極端點
- 1114…源極端點
- 1116…汲極端點
- 1130…通道區域
- 1132…閘極端點
- 1134…源極端點
- 1136…汲極端點
- 1150…接面場效電晶體動態隨機存取記憶體胞元
- 1160…接面場效電晶體存取電晶體
- 1200a-1200b…雙電晶體接面場效電晶體動態隨機存取記憶體胞元
- 1202…深n式井
- 1204…隔離區域
- 1208…資料儲存區域
- 1210…通道區域
- 1212…閘極端點

- 1214…源極端點
- 1216…汲極端點
- 1230…通道區域
- 1232…閘極端點
- 1234…源極端點
- 1236…汲極端點
- 1250…接面場效電晶體動態隨機存取記憶體胞元
- 1260…接面場效電晶體存取電晶體
- 1300…三元內容可定址記憶體胞元
- 1300-11至1300-44…可定址記憶體胞元
- 1310…X胞元
- 1312…接面場效電晶體動態隨機存取記憶體胞元
- 1314…接面場效電晶體存取電晶體
- 1320…Y胞元
- 1322…接面場效電晶體動態隨機存取記憶體胞元
- 1324…接面場效電晶體存取電晶體
- 1500…三元內容可定址記憶體陣列
- 1510、1520…解碼器
- 1530…感應放大器
- 1600…三元內容可定址記憶體胞元
- 1600-11至1600-44…可定址記憶體胞元
- 1610…X胞元
- 1612、1622…接面場效電晶體動態隨機存取記憶體胞元
- 1618、1628…資料儲存區域

1620…Y胞元

1700…三元內容可定址記憶體陣列

1710、1720…解碼器

1730…感應放大器

1900a、1900b…雙電晶體接面場效電晶體動態隨機存取記憶體胞元

1902…深p式井

1904…隔離區域

1906…深N式井

1908…資料儲存區域

1910…通道區域

1912…閘極端點

1914…源極端點

1915…n式擴散區域

1916…汲極端點

1930…通道區域

1932…閘極端點

1934…源極端點

1936…汲極端點

1950…接面場效電晶體動態隨機存取記憶體胞元

1960…接面場效電晶體存取電晶體

WL…詞組線

WL1至WL6…詞組線

BL…位元線

BL1至BL6…位元線

SL…源極線

SL1至SL6…源極線

Vb…電壓線

Vb1至Vb6…電壓線

Vvss…源極電壓

ML…匹配線

ML1至ML4…匹配線

Vwell1至Vwell3…深N式井偏壓

CD…比較資料

CDN…比較資料補數

CD1-CDN1至CD4-CDN4…補數比較信號

五、中文發明摘要：

本發明揭示一種半導體裝置，其包括具有被使用以形成一內容可定址記憶體(CAM)胞元之一接面場效電晶體(JFET)的一記憶體胞元。該接面場效電晶體可包括被配置在一第一及第二隔離區域之間的一資料儲存區域。該資料儲存區域當儲存一第一資料數值時則提供一第一臨界電壓至該接面場效電晶體並且當儲存一第二資料數值時則提供一第二臨界電壓至該接面場效電晶體。該記憶體胞元是一動態隨機存取記憶體(DRAM)胞元並且可被使用以形成一內容可定址記憶體胞元。該內容可定址記憶體胞元可以是如兩接面場效電晶體所形成之一個三元內容可定址記憶體胞元。

六、英文發明摘要：

A semiconductor device that includes a memory cell having a junction field effect transistor (JFET) used to form a content addressable memory (CAM) cell is disclosed. The JFET may include a data storage region disposed between a first and second insulating region. The data storage region provides a first threshold voltage to the JFET when storing a first data value and provides a second threshold voltage to the JFET when storing a second data value. The memory cell is a dynamic random access memory (DRAM) cell and can be used to form a CAM cell. The CAM cell may be a ternary CAM cell formed with as few as two JFETs.

十、申請專利範圍：

1. 一種半導體裝置，其包括：

包括以串列方式被耦合在一匹配線以及一源極線之間的一第一接面場效電晶體(JFET)以及一第二接面場效電晶體之一內容可定址記憶體(CAM)胞元。

2. 如申請專利範圍第1項之半導體裝置，其中：

該第一接面場效電晶體包括一第一接面場效電晶體汲極端點及一第一接面場效電晶體源極端點，該第一接面場效電晶體汲極端點被耦合至該匹配線；以及

該第二接面場效電晶體包括一第二接面場效電晶體汲極端點及一第二接面場效電晶體源極端點，該第一接面場效電晶體源極端點被耦合至該第二接面場效電晶體汲極端點並且該第二接面場效電晶體源極端點被耦合至該源極線。

3. 如申請專利範圍第2項之半導體裝置，其中該第二接面場效電晶體包括被耦合至接收比較資料之一第二接面場效電晶體閘極端點。

4. 如申請專利範圍第3項之半導體裝置，其中該內容可定址記憶體胞元是一種三元內容可定址記憶體胞元並且進一步地包括以串列方式被耦合在一匹配線及該源極線之間的一第三接面場效電晶體及一第四接面場效電晶體。

5. 如申請專利範圍第4項之半導體裝置，其中：

該第三接面場效電晶體包括一第三接面場效電晶

體汲極端點及一第三接面場效電晶體源極端點，該第三接面場效電晶體汲極端點被耦合至該匹配線；以及

該第四接面場效電晶體包括一第四接面場效電晶體汲極端點及一第四接面場效電晶體源極端點，該第三接面場效電晶體源極端點被耦合至該第四接面場效電晶體汲極端點並且該第四接面場效電晶體源極端點被耦合至該源極線。

6. 如申請專利範圍第5項之半導體裝置，其中該第四接面場效電晶體包括被耦合以接收比較資料補數之一第四接面場效電晶體閘極端點。

7. 如申請專利範圍第1項之半導體裝置，其中該第一接面場效電晶體包括一資料儲存區域。

8. 如申請專利範圍第7項之半導體裝置，其中：

該資料儲存區域當儲存一第一資料數值時則提供一第一臨界電壓至該第一接面場效電晶體並且當儲存一第二資料數值時則提供一第二臨界電壓至該第一接面場效電晶體。

9. 如申請專利範圍第7項之半導體裝置，其中該資料儲存區域在一第一及第二隔離區域之間被形成。

10. 如申請專利範圍第1項之半導體裝置，其中：

該第一接面場效電晶體包括被耦合至一詞組線之一第一接面場效電晶體閘極端點。

11. 一種半導體裝置裝置，其包括有含一第一接面場效電晶體(JFET)之一內容可定址記憶體(CAM)胞元，該第一接

面場效電晶體具有一可規劃臨界電壓並且被耦合在一匹配線及一源極線之間。

12. 如申請專利範圍第11項之半導體裝置，其中該第一接面場效電晶體包括被耦合至該匹配線之一第一接面場效電晶體汲極及被耦合至該源極線之一第一接面場效電晶體源極。
13. 如申請專利範圍第12項之半導體裝置，其中該第一接面場效電晶體包括被耦合以接收比較資料之一第一接面場效電晶體閘極。
14. 如申請專利範圍第13項之半導體裝置，其中該內容可定址記憶體胞元是一種三元內容可定址記憶體胞元並且進一步地包括一第二接面場效電晶體，其具有一可規劃臨界電壓且平行地被耦合至在該匹配線及該源極線之間的該第一接面場效電晶體。
15. 如申請專利範圍第14項之半導體裝置，其中該第二接面場效電晶體包括被耦合至該匹配線之一第二接面場效電晶體汲極及被耦合至該源極線之一第二接面場效電晶體源極。
16. 如申請專利範圍第15項之半導體裝置，其中該第二接面場效電晶體包括被耦合以接收比較資料補數之一第二接面場效電晶體閘極。
17. 如申請專利範圍第11項之半導體裝置，其中該第一接面場效電晶體包括一第一資料儲存區域。
18. 如申請專利範圍第17項之半導體裝置，其中：

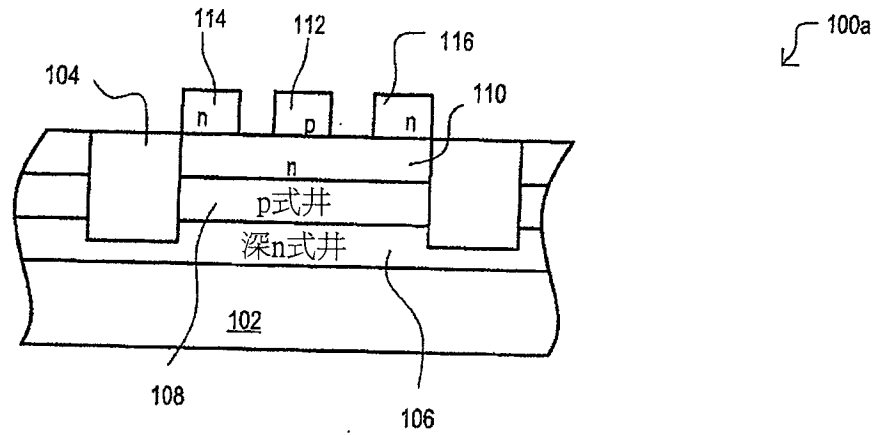
該第一資料儲存區域當儲存一第一資料數值時則提供一第一臨界電壓至該第一接面場效電晶體並且當儲存一第二資料數值時則提供一第二臨界電壓至該第一接面場效電晶體。

19. 如申請專利範圍第17項之半導體裝置，其中：

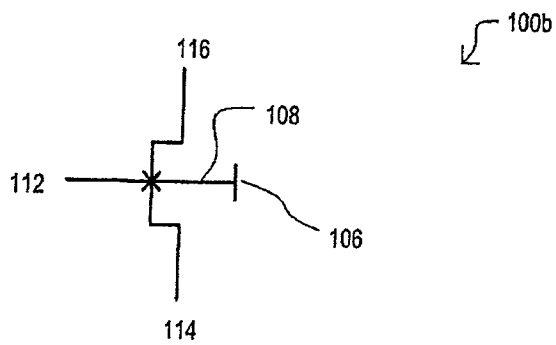
該第一資料儲存區域在一第一及第二隔離區域之間被形成。

20. 如申請專利範圍第17項之半導體裝置，其中該第一接面場效電晶體包括具有一第一傳導型式之一通道區域並且該資料儲存區域具有一第二傳導型式。

21. 如申請專利範圍第11項之半導體裝置，其中該第一接面場效電晶體包括一控制閘極以及資料儲存區域，該資料儲存區域操作作為一背部控制閘極以控制在一第一接面場效電晶體汲極及一第一接面場效電晶體源極之間的一阻抗通路。



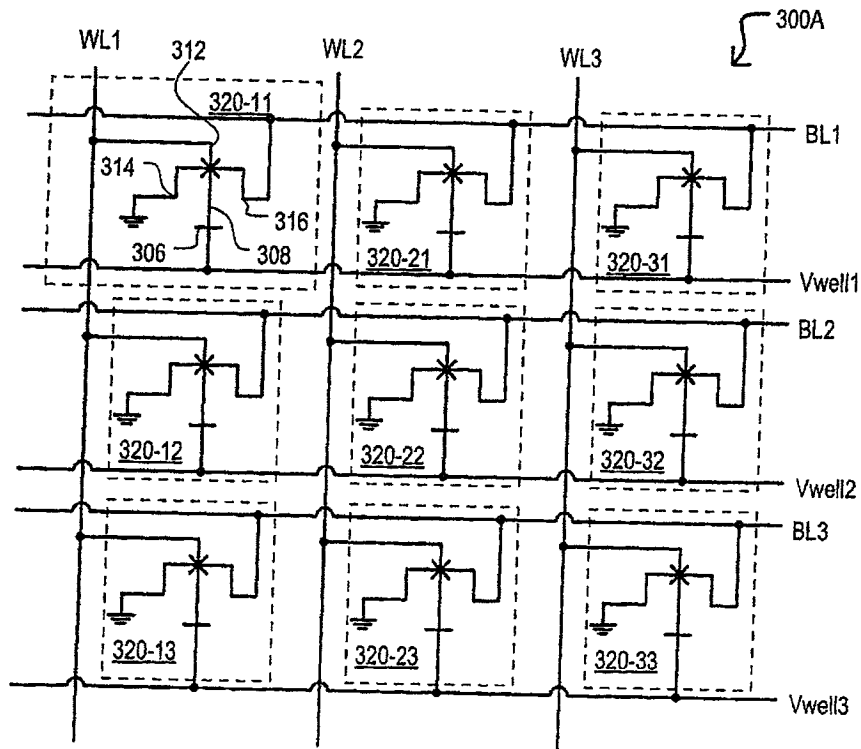
第 1A 圖



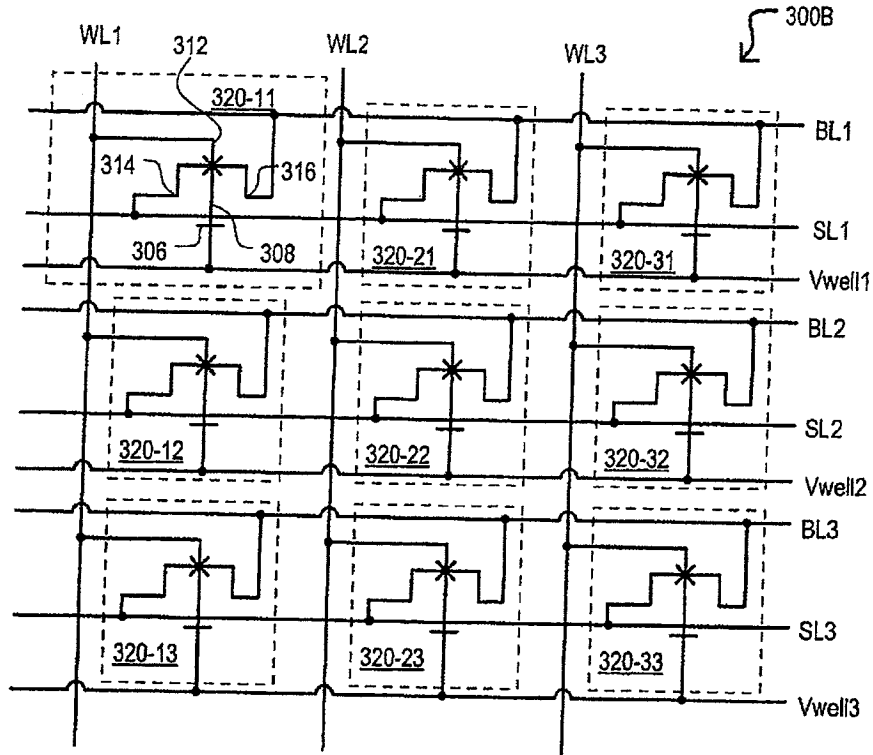
第 1B 圖

	Vg	Vd	Vs	Vwell
消除	0.4 V	-0.3 V	0 V or -0.3 V	0.5 V
規劃	-0.9 V	0.5 V	0 V or 0.5 V	0.5 V
讀取	0.2 V	0.1 V	0.0 V	0.5 V
更新	0.0 V	0.5 V	0 V or 0.5 V	0.5 V

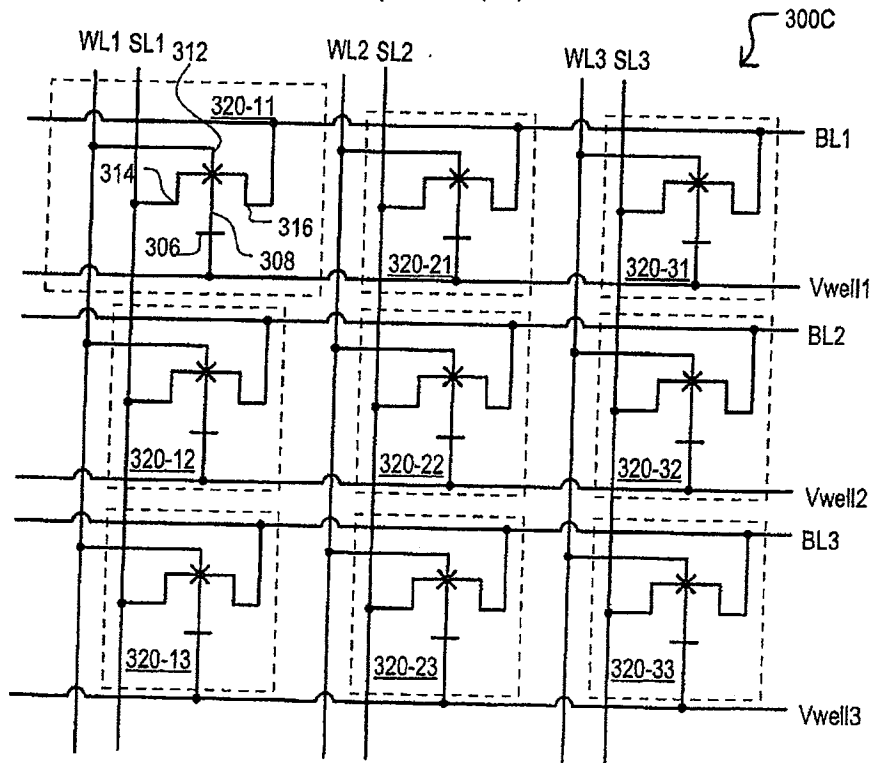
第 2 圖



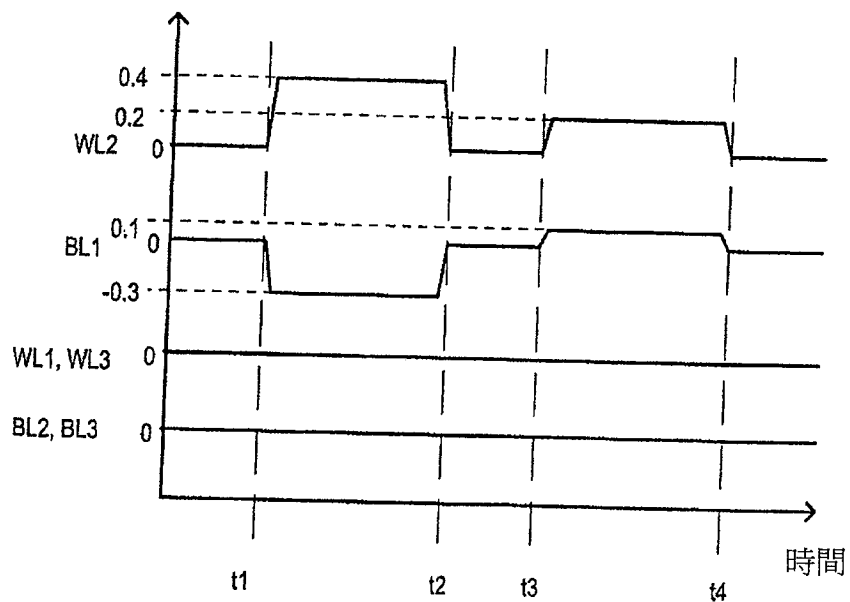
第 3A 圖



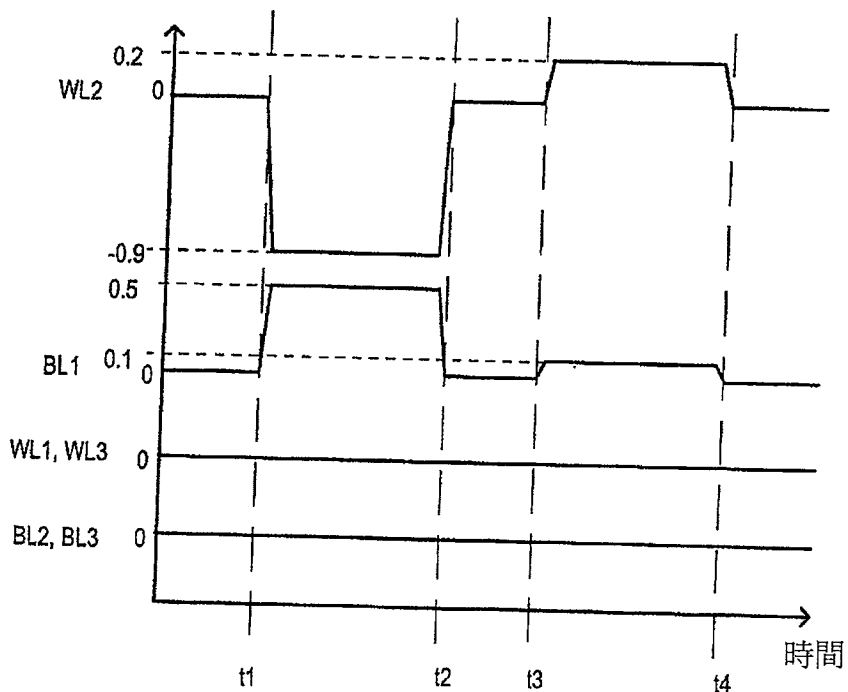
第3B圖



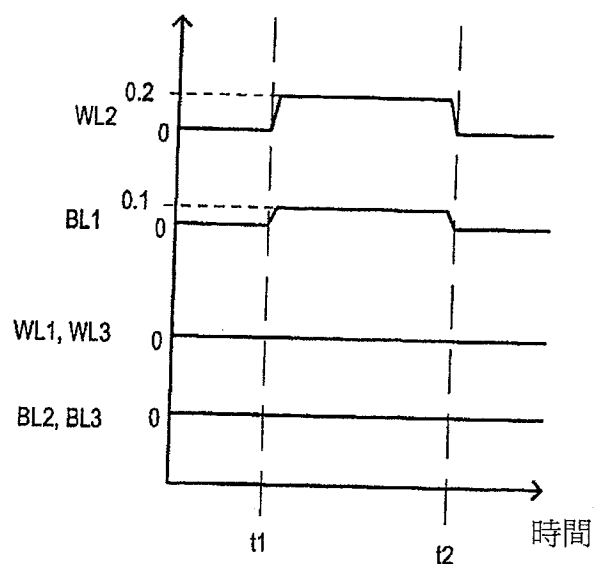
第3C圖



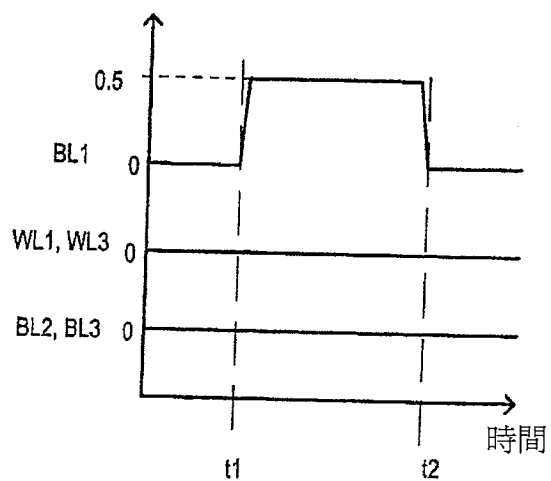
第 4A 圖



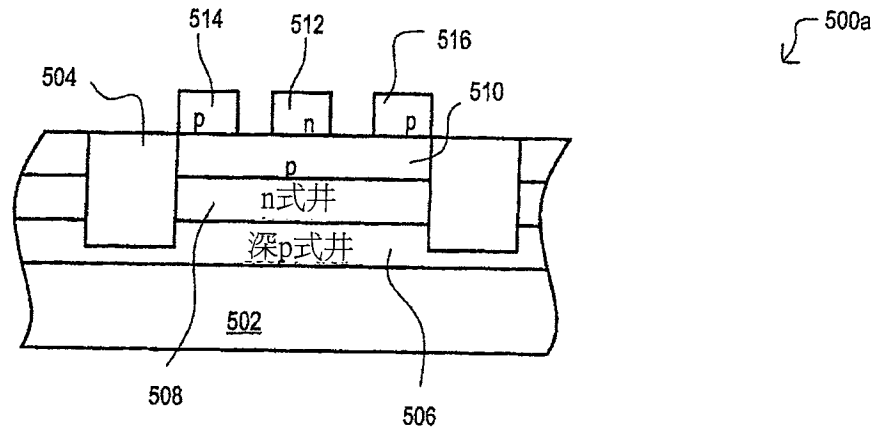
第 4B 圖



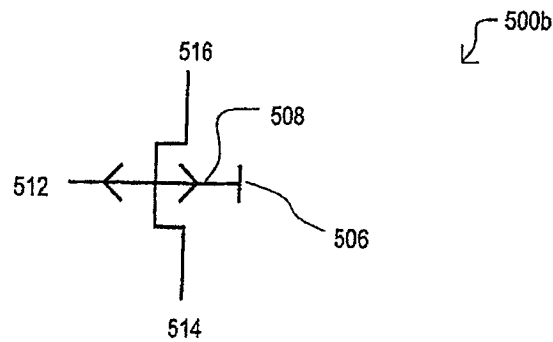
第 4C 圖



第 4D 圖



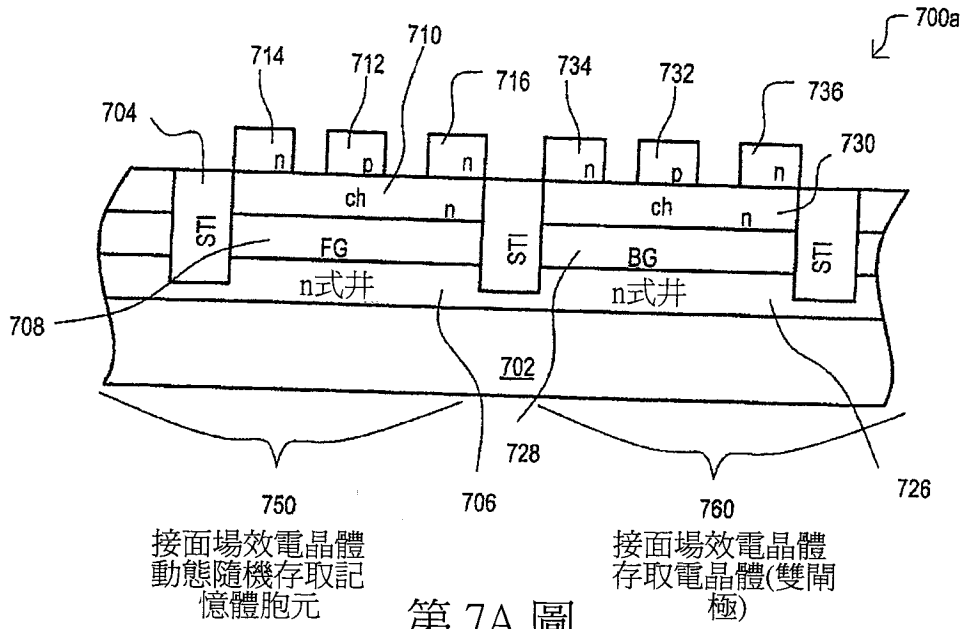
第 5A 圖



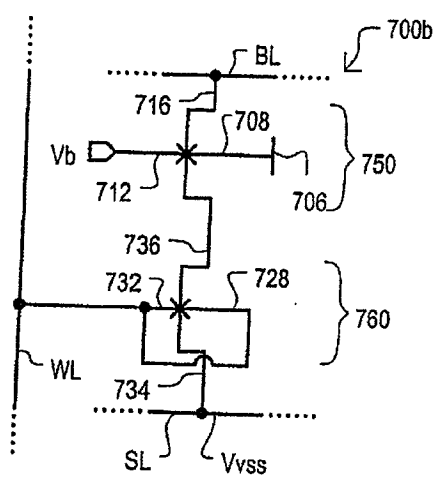
第 5B 圖

	Vg	Vd	Vs	Vwell
消除	0.1 V	0.8 V	0.5 V or 0.8 V	0.0 V
規劃	1.4 V	0.0 V	0.5 V or 0.0 V	0.0 V
讀取	0.3 V	0.4 V	0.5 V	0.0 V
更新	0.5 V	0.0 V	0.5 V or 0.0 V	0.0 V

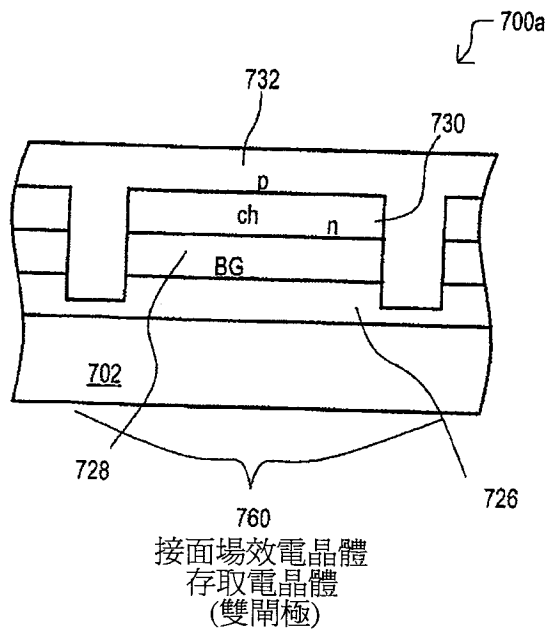
第 6 圖



第 7A 圖



第 7B 圖

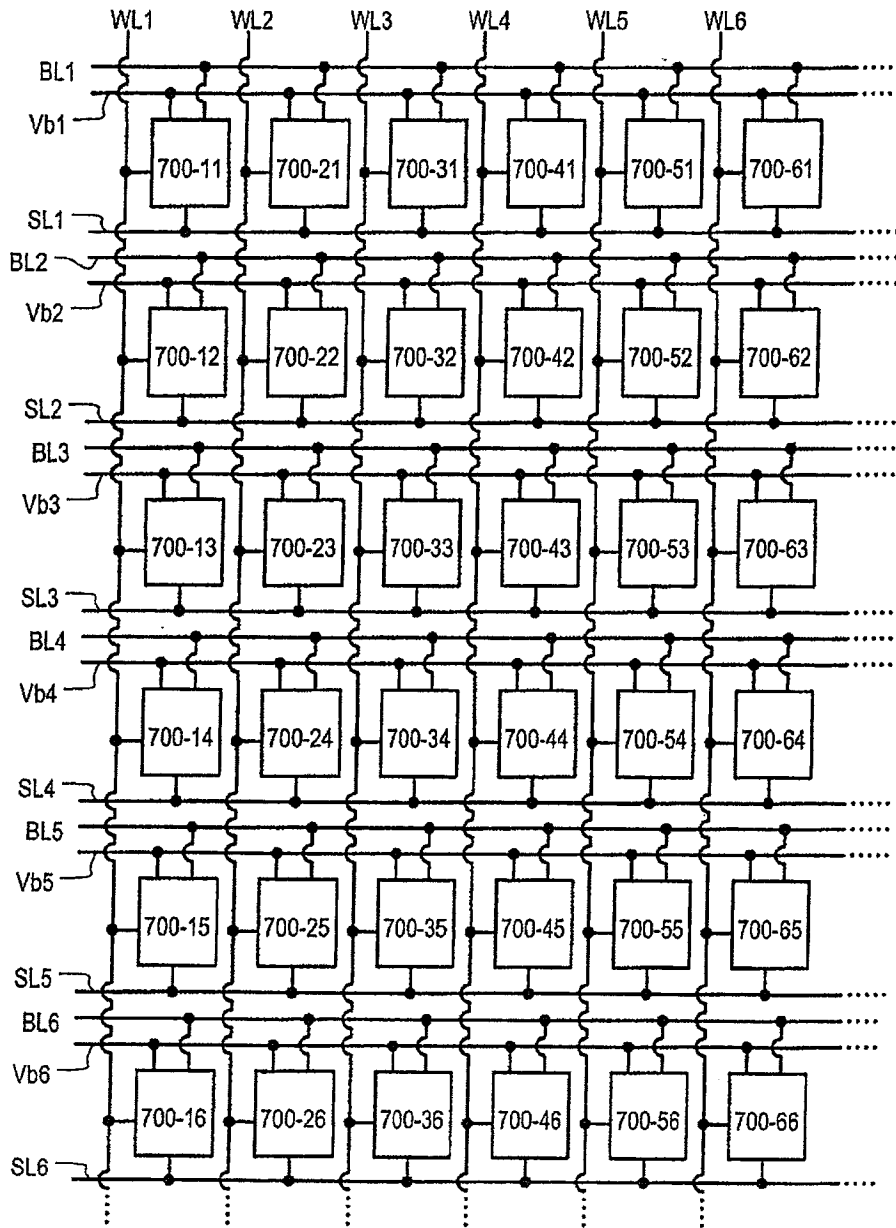


第 7C 圖

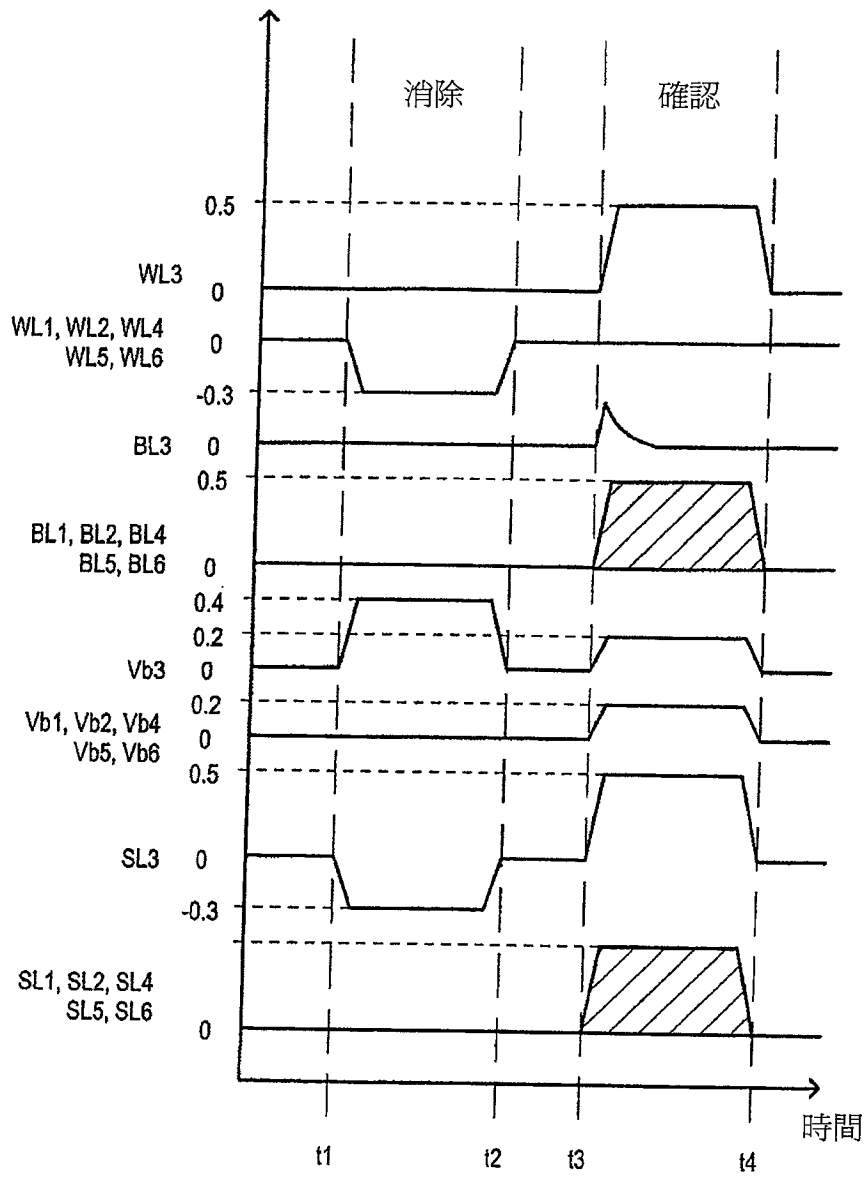
	WL	BL	Vb	Vvss	Vth
消除	-0.3 V or 0.0 V	0.0 V	0.4 V	-0.3 V	-0.4 V
規劃	0.7 V	0.0 V or 0.5 V	-1.0 V	0.0 V or 0.5 V	0.4 V
讀取	0.5 V or 0.0 V	感應節點	0.2 V	感應節點	
更新			0.0 V		

第 8 圖

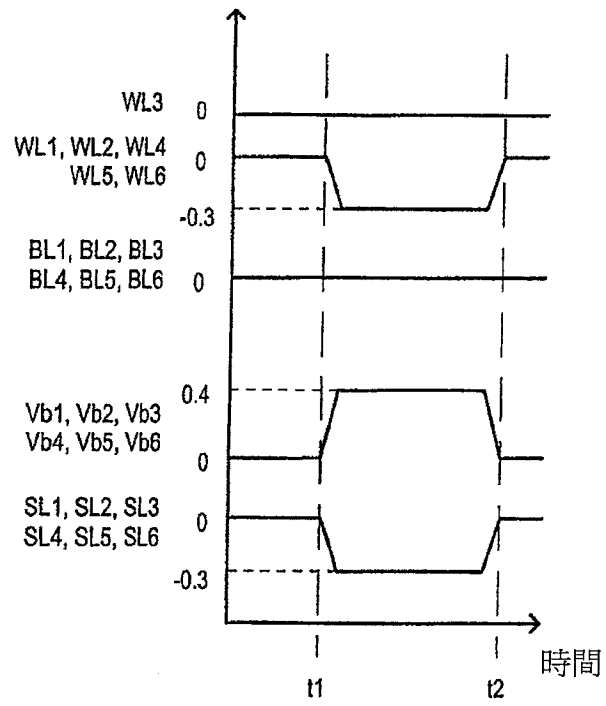
900



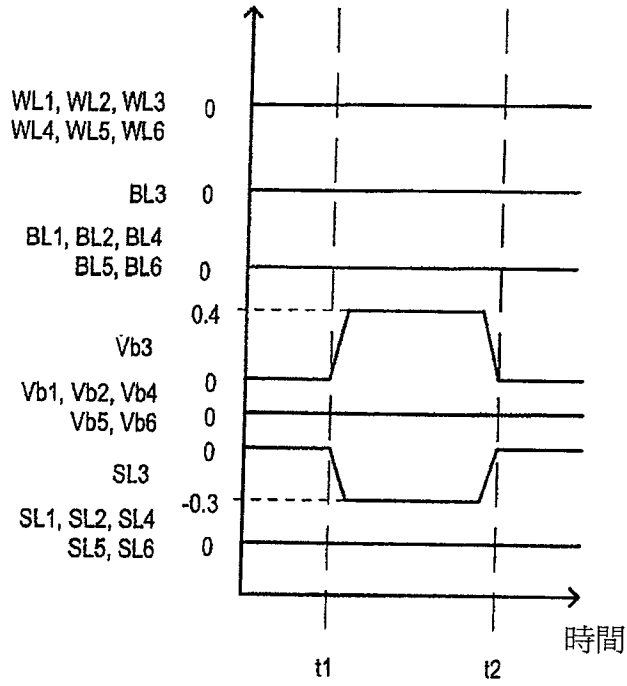
第9圖



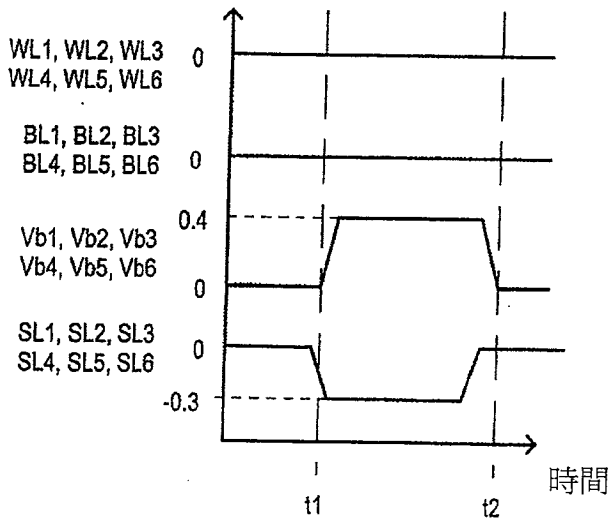
第 10A 圖



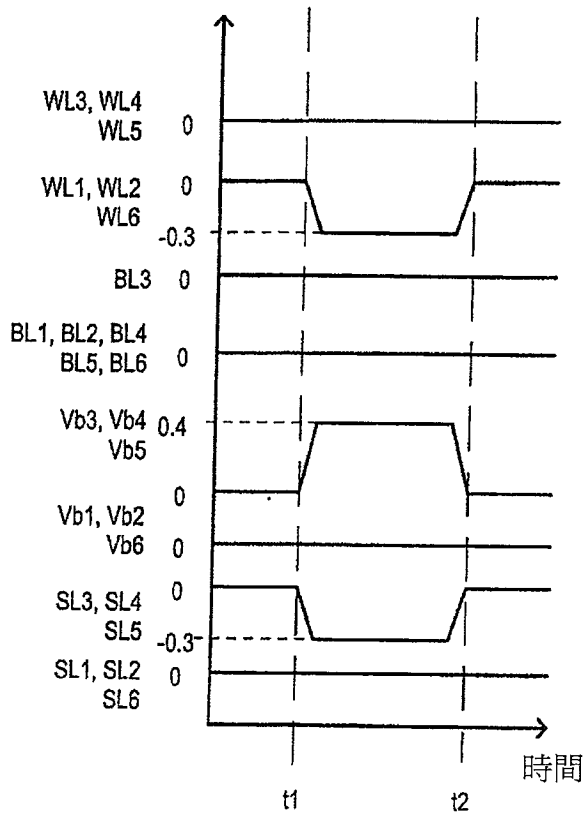
第 10B 圖



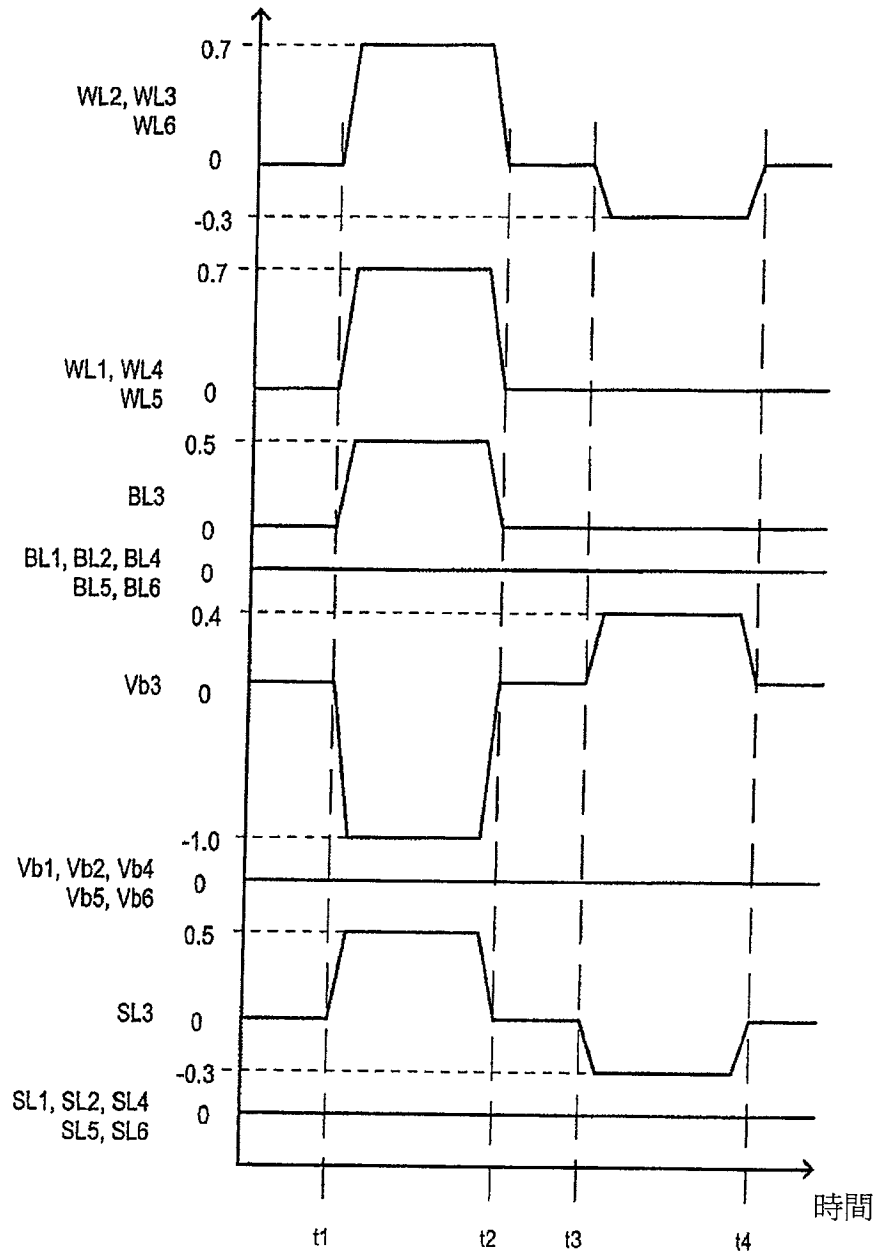
第 10C 圖



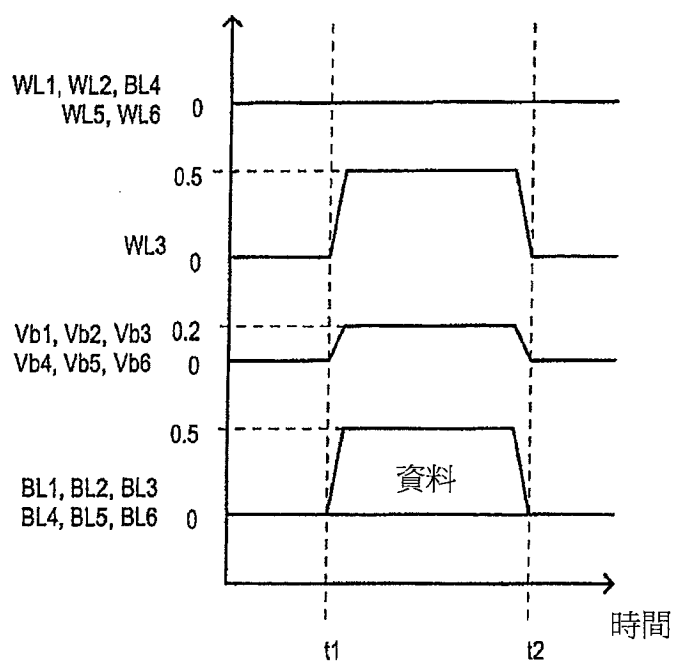
第 10D 圖



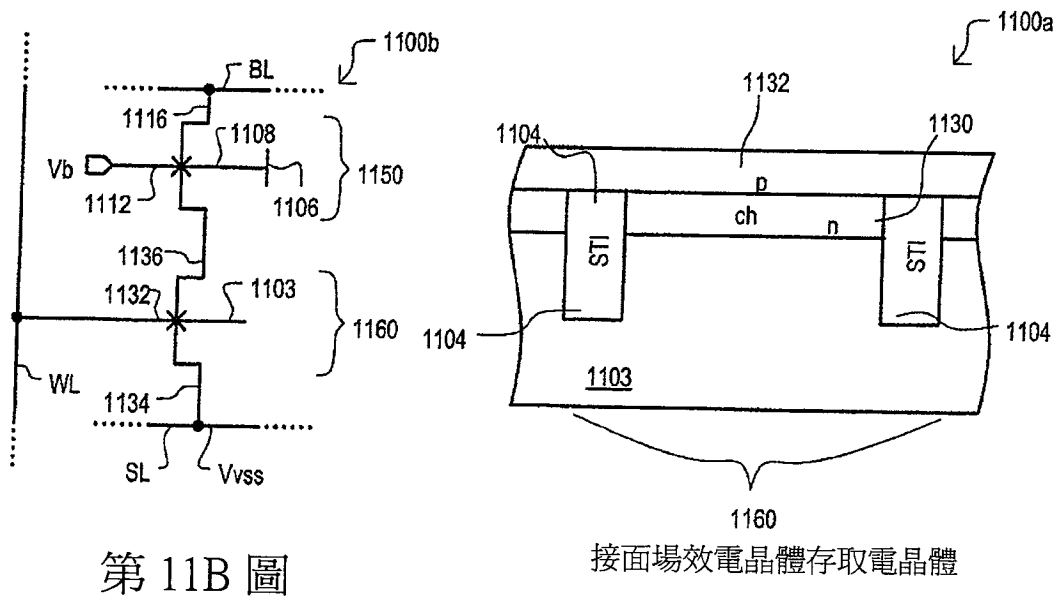
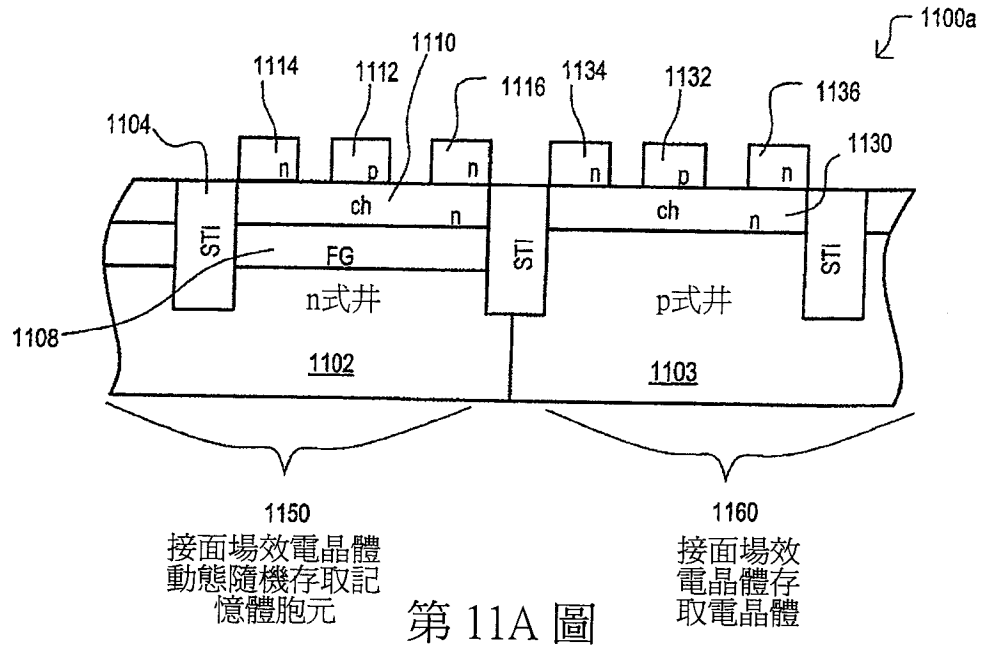
第 10E 圖

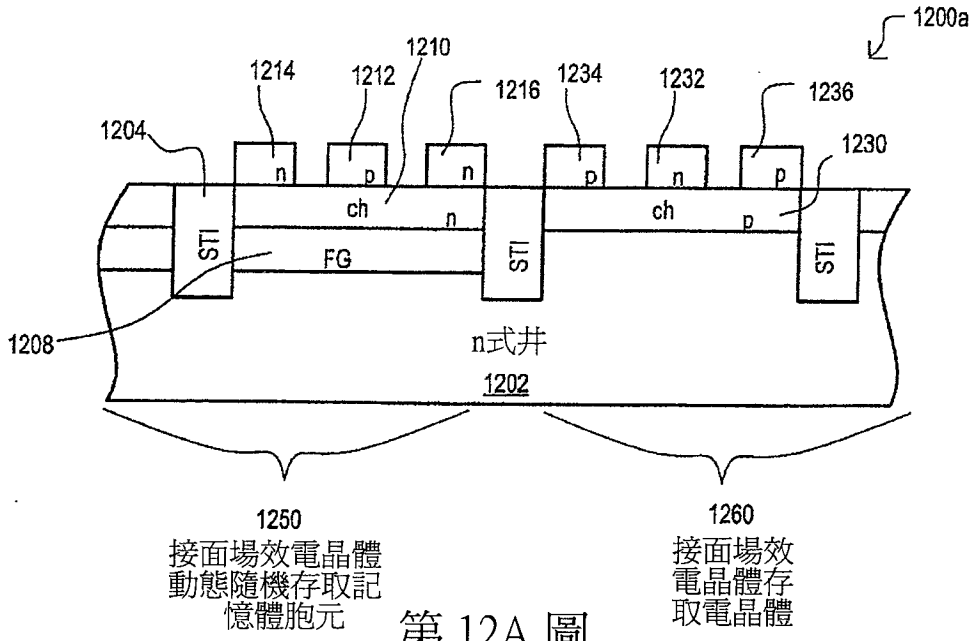


第 10F 圖

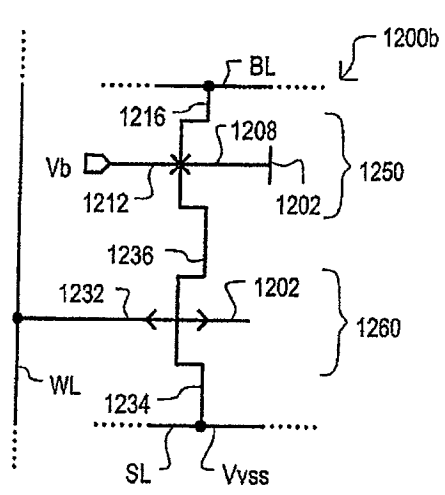


第 10G 圖

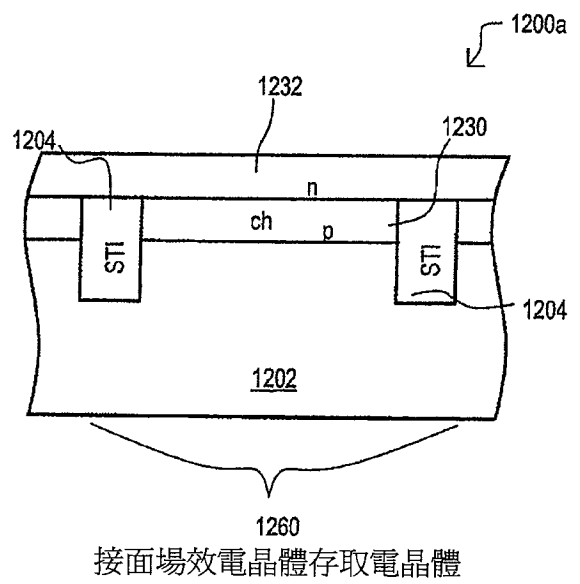




第 12A 圖

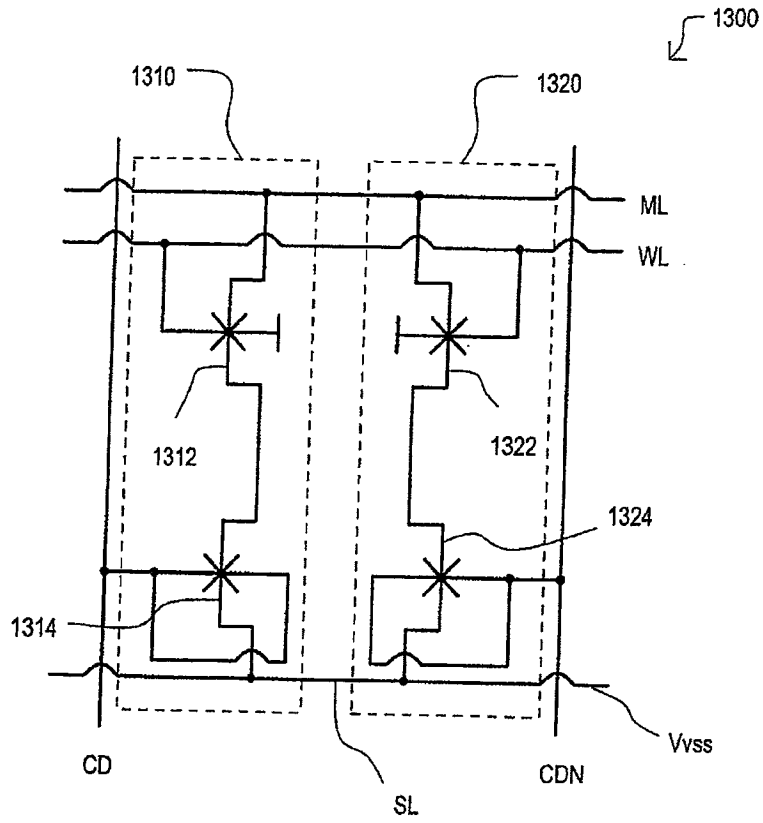


第 12B 圖



接面場效電晶體存取電晶體

第 12C 圖

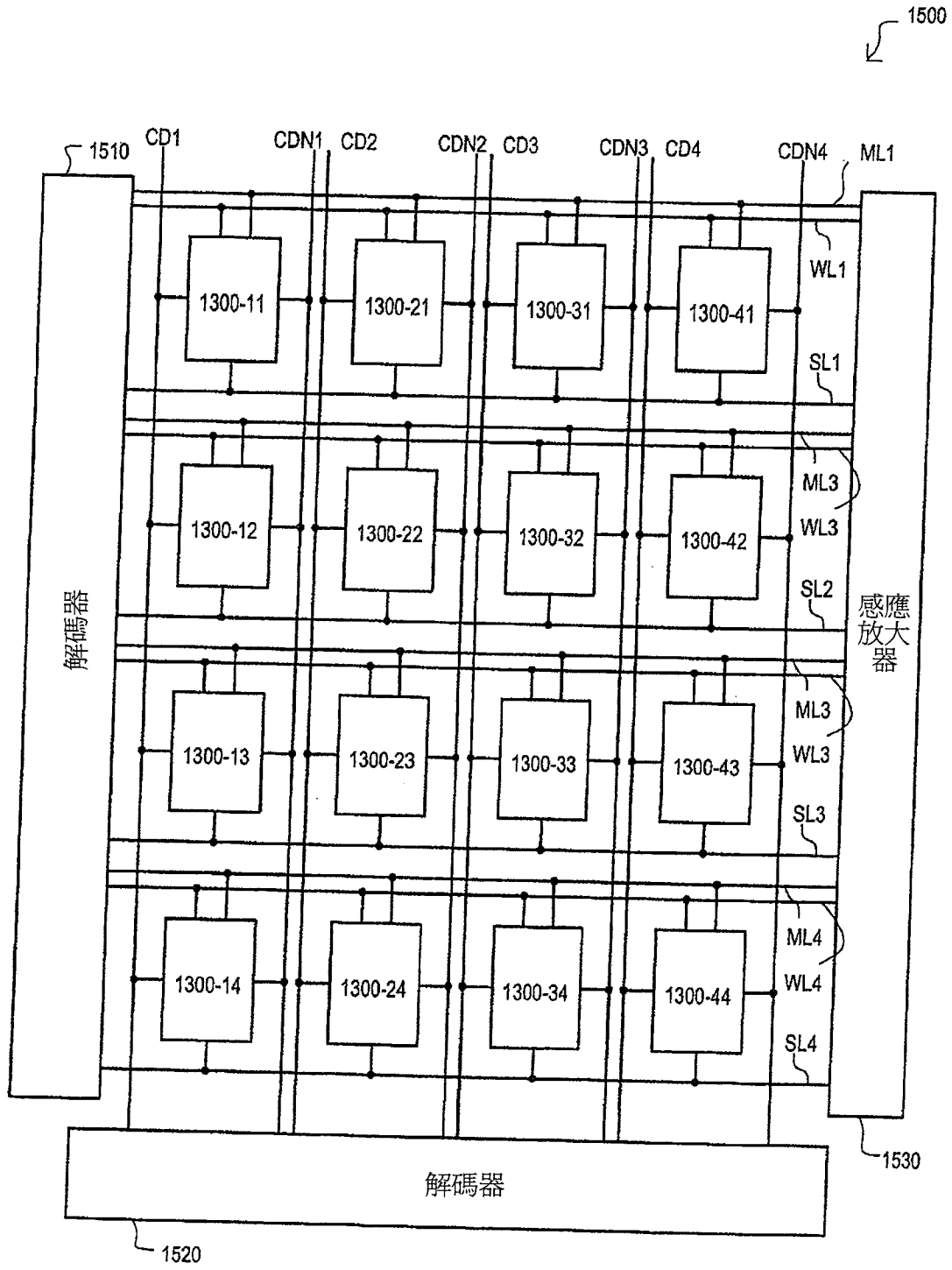


第 13 圖

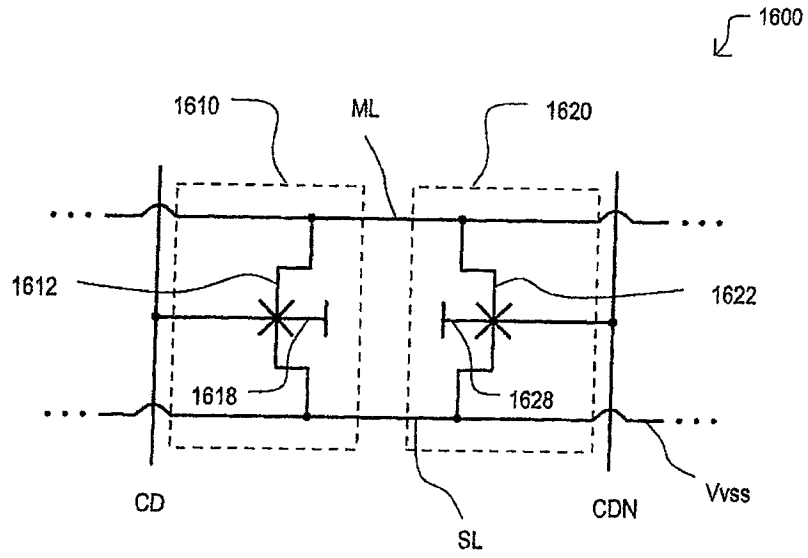
1400

記憶體		輸入搜尋 關鍵資料	匹配輸出
X胞元 數值	Y胞元 數值	CD/CDN	匹配 (ML)
0	1	0/1	命中
0	1	1/0	錯失
1	0	0/1	錯失
1	0	1/0	命中
1	1	不理會	命中
0	0	0/0	命中
0	0	0/1	錯失
0	0	1/0	錯失
不理會	不理會	0/0	命中

第 14 圖



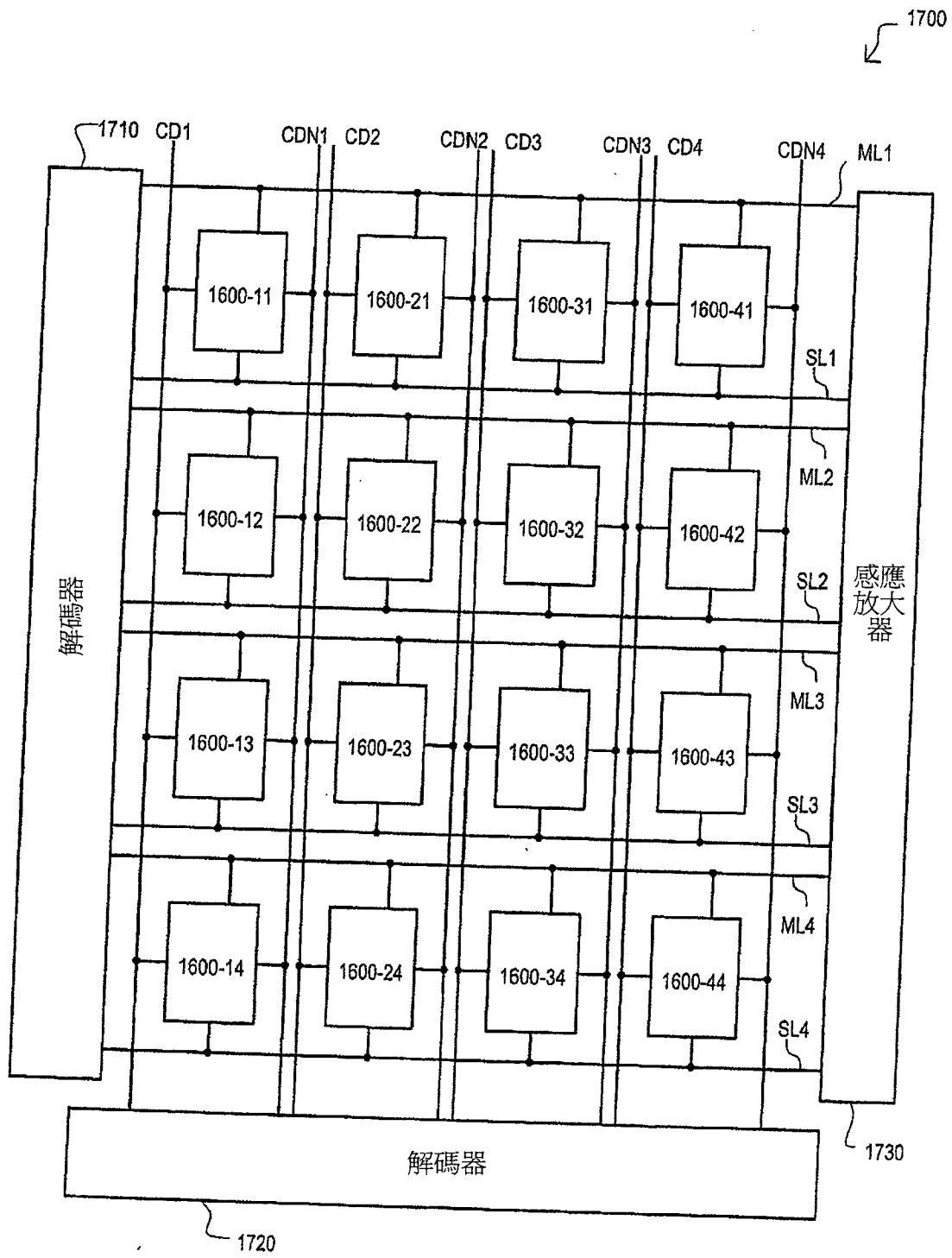
第 15 圖



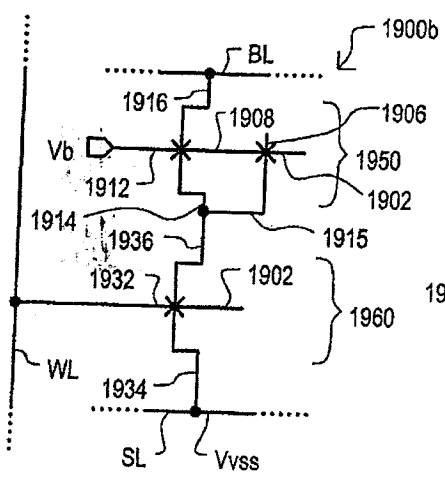
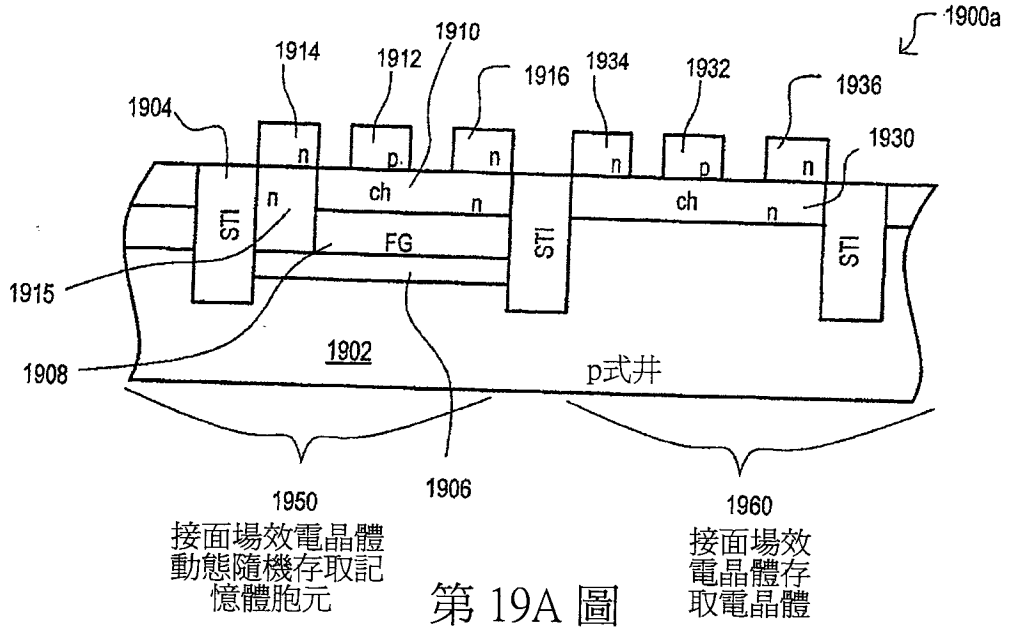
第 16 圖

	Vg	Vd	Vs	Vwell
消除	0.4 V	-0.3 V	0.0 V or -0.3 V	0.5 V
規劃	-1.0 V	0.5 V	0.0 V or 0.5 V	0.5 V
讀取	0.5 V	0.1 V	0.0 V	0.5 V
軟性規劃	0.0 V	0.0 V	0.0 V	0.5 V

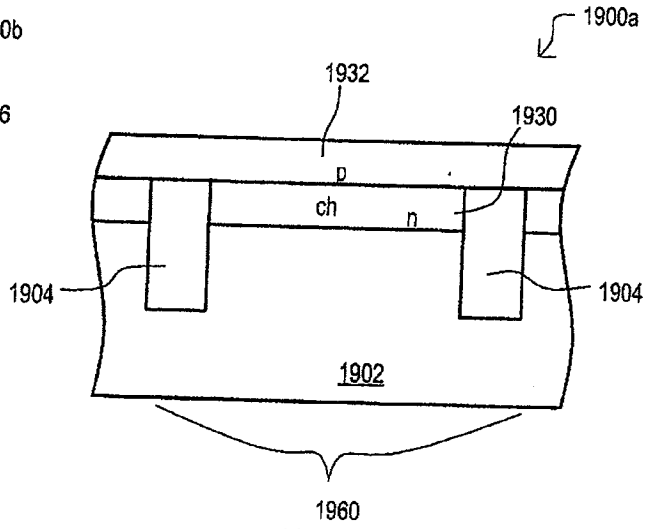
第 18 圖



第 17 圖



第 19B 圖



第 19C 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

100a…接面場效電晶體動態隨機存取記憶體(DRAM)胞元

102…半導體基片

104…隔離區域

106…深n式井

108…資料儲存區域

110…通道區域

112…閘極端點

114…源極端點

116…汲極端點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：