

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-523465  
(P2008-523465A)

(43) 公表日 平成20年7月3日(2008.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G05F 3/26 (2006.01)</b>	G05F 3/26	5H420
<b>G05F 3/30 (2006.01)</b>	G05F 3/30	

審査請求 未請求 予備審査請求 未請求 (全 12 頁)

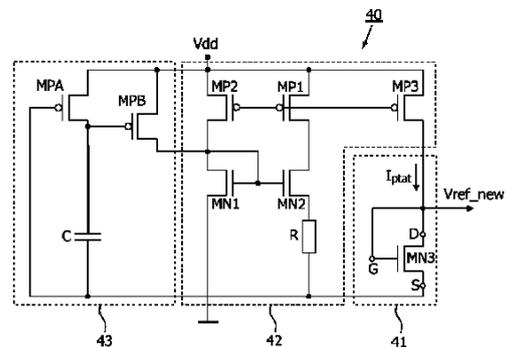
(21) 出願番号	特願2007-543985 (P2007-543985)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレク トロニクス エヌ ヴィ オランダ国 5621 ペーアー アイ ドーフェン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成17年12月1日 (2005.12.1)	(74) 代理人	100075812 弁理士 吉武 賢次
(85) 翻訳文提出日	平成19年6月5日 (2007.6.5)	(74) 代理人	100088889 弁理士 橋谷 英俊
(86) 国際出願番号	PCT/IB2005/053996	(74) 代理人	100107582 弁理士 関根 毅
(87) 国際公開番号	W02006/061742	(74) 代理人	100112793 弁理士 高橋 佳大
(87) 国際公開日	平成18年6月15日 (2006.6.15)		
(31) 優先権主張番号	04300854.9		
(32) 優先日	平成16年12月7日 (2004.12.7)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 温度補償された出力電圧を供給する基準電圧発生器

(57) 【要約】

本発明は基準電圧 ( $V_{ref\_new}$ ) を供給する基準電圧発生器 (40) に関する。本電圧発生器 (30) は、シリコン・バンドギャップ電圧より低い供給電圧 ( $V_{dd}$ ) で動作する。本電圧発生器 (30) は、トランスコンダクタ ( $G_{ptat}$ ) として機能する MOSFET トランジスタ (MN、MN3、MP4、MP7) を備える。前記 MOSFET トランジスタ (MN、MN3、MP4、MP7) のドレインにドレイン電流 ( $I_{ptat}$ ) を供給する入力ノードが設けられ、出力ノードが前記 MOSFET トランジスタ (MN、MN3、MP4、MP7) のドレインおよびゲートに接続される。電流発生器 (42) はドレイン電流 ( $I_{ptat}$ ) が正の温度係数 ( $\alpha_{I_{ptat}}$ ) を有しトランスコンダクタ ( $G_{ptat}$ ) が負の温度係数 ( $\alpha_{GM}$ ) を有する特定モードで、MOSFET トランジスタ (MN、MN3、MP4、MP7) が動作することができるようにする。MOSFET トランジスタの寸法 ( $W$ 、 $L$ ) は、前記出力ノードで供給されるような前記基準電圧 ( $V_{ref\_new}$ ) が温度補償されるように前記負の温度係数 ( $\alpha_{GM}$ ) が前記正の温度係数



## 【特許請求の範囲】

## 【請求項 1】

基準電圧を供給し、シリコン・バンドギャップ電圧より低い供給電圧で動作される基準電圧発生器であって、

ドレイン、ソース、およびゲートを有する MOSFET トランジスタであって、トランスコンダクタとして機能する MOSFET トランジスタと、

前記 MOSFET トランジスタのドレインにドレイン電流を供給する入力ノードと、

前記 MOSFET トランジスタのドレインに接続された出力ノードと、

前記ドレイン電流が正の温度係数を有し、かつ前記トランスコンダクタが負の温度係数を有する特定のモードで、前記 MOSFET トランジスタが動作できるようにする電流発生器と、を備え、

前記 MOSFET トランジスタの寸法が、前記負の温度係数が前記正の温度係数に近くなり、その結果、前記出力ノードで供給された前記基準電圧が温度補償されるように選ばれる、基準電圧発生器。

## 【請求項 2】

前記 MOSFET トランジスタが、そのゲートとソースの間にゲート - ソース間電圧を供給し、前記ゲート - ソース間電圧が負の温度係数を有している、請求項 1 に記載の基準電圧発生器。

## 【請求項 3】

前記 MOSFET トランジスタのゲートとソースの間の前記ゲート - ソース間電圧が、前記 MOSFET トランジスタが前記特定のモードで動作するとき所定の電圧よりも小さい、請求項 1 または 2 に記載の基準電圧発生器。

## 【請求項 4】

前記ドレイン電流の温度係数が正であるため前記ドレイン電流が絶対温度に比例する、請求項 1、2 または 3 に記載の基準電圧発生器。

## 【請求項 5】

前記 MOSFET トランジスタが、n 型 MOSFET トランジスタであり、好ましくは n 型 CMOS トランジスタであり、前記 MOSFET トランジスタのゲートが前記出力ノードに接続されている、請求項 1 ないし 4 の何れかに記載の基準電圧発生器。

## 【請求項 6】

前記 MOSFET トランジスタが、p 型 MOSFET トランジスタであり、好ましくは p 型 CMOS トランジスタであり、前記 MOSFET トランジスタのゲートが接地に接続されている、請求項 1 ないし 4 の何れかに記載の基準電圧発生器。

## 【請求項 7】

前記トランスコンダクタが、2 以上の積重ね MOSFET トランジスタを備える、請求項 1 ないし 6 の何れかに記載の基準電圧発生器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、安定な出力電圧を供給する電圧発生器に関する。

## 【背景技術】

## 【0002】

多くの CMOS IC および BiCMOS IC は、大型のデジタル・コアおよびいくつかのアナログ周辺機能を含む。一般に、このアナログ機能は、とりわけアナログ・ブロック用、供給電圧調節用、およびいくつかのデジタル回路（例えば、電力オン・リセット回路）用に使用される基準回路を含む。低い温度係数を有する電圧基準回路の最も広く使用される実装例は、いわゆるバンドギャップ基準回路である。

## 【0003】

1.205 V のシリコンのバンドギャップに近い基準電圧を出力するバンドギャップ回路は、長い間、バイポーラ・トランジスタか CMOS トランジスタかのどちらかを使用し

10

20

30

40

50

て実現するための標準になっている。しかし、適切な動作のためには、バンドギャップ回路の供給電圧  $V_{dd}$  がバンドギャップ電圧  $V_{bg}$  より高く、通常  $1.3 \sim 1.5$  V でなければならないので、今日、先進の CMOS 技術でバンドギャップ電圧を出力する基準回路を設計することは、非常に困難であり、または不可能でさえある。一方、図 1 に示されるように、CMOS 回路の供給電圧は、 $0.35 \mu\text{m}$  プロセスの場合の  $3.3$  V、 $0.25 \mu\text{m}$  の場合の  $2.5$  V、 $0.18 \mu\text{m}$  に対して  $1.8$  V、さらに今日の  $90 \text{ nm}$  技術の場合の  $1$  V から、それぞれ継続して低下している。この図で分かることであるが、ほぼ  $0.13 \mu\text{m}$  CMOS 技術から先では、供給電圧  $V_{dd}$  があまりにも低くすぎて、どんな基準回路もバンドギャップ電圧  $V_{bg} = 1.205$  V を出力することができない。

#### 【0004】

一般に、知られている CMOS および非 CMOS バンドギャップ基準回路の大部分の出力電圧は、ダイオード電圧と抵抗器の両端間の電圧との和である。一般に、抵抗を流れる電流は、ダイオードの順方向電圧の負の温度係数を、1 次でいくぶん補償するように絶対温度に比例している。

#### 【0005】

この電流は、いくつかのやり方で発生させることができる。一般的な CMOS バンドギャップ電圧基準回路では、電流は、温度に直線的に依存するような方法で発生され、通常熱電圧  $U_t$  が使用される。温度にわたってより高い精度のバンドギャップ電圧が要求される場合、かなり複雑な曲線の補償が使用されなければならない。さらに、上述のように、この種のバンドギャップ基準回路は、半導体材料のバンドギャップ電圧より下の供給電圧で使用することができない。

#### 【0006】

米国特許第 6,566,850 B2 号では、低電圧バンドギャップ基準回路が提案されている。電流は単に鏡映されてトランジスタに入り、出力抵抗器に流れる。したがって、この回路は、温度にわたってあまり安定でない出力電圧を供給する。示された回路は、あまり低い電圧で動作することができない。空乏型トランジスタが必要とされることが、この米国特許で提案されている回路の他の欠点である。そのような空乏型トランジスタを標準プロセスに加えることは、追加のコストを必然的に伴う。

#### 【0007】

米国特許第 6,160,393 号は、直列または並列の pMOS トランジスタと nMOS トランジスタの組合せに強制的に P T A T 電流が流れるようにされる電圧基準回路に関する。示されている回路は、あまり低い温度で動作することができない。さらに、回路の温度性能はまったく対処されていない。温度安定性は、従来のバンドギャップの安定性より良くないと思われる。米国特許第 6,160,393 号に提案されている回路は、nMOS トランジスタと pMOS トランジスタに対する同時のイオン打込みを必要とすることがさらなる欠点である。しかし、これは、標準的な CMOS プロセスに対して利用可能ではない。

#### 【0008】

さらに他の回路が米国特許第 6,680,643 B2 号に示されている。この回路は、P T A T 回路、演算トランスインピーダンス増幅器、差動演算増幅器、増幅器電流抽出回路および出力段などの多くの異なる要素を必要とする。これは実現するのを非常に複雑にすることは明らかである。この複雑さは、コストを増し、開発時間を長くし、信頼性を低下させ、より多くの電力を消費する。さらに、供給電圧は、少なくとも  $1.5$  V でなければならない。

#### 【0009】

したがって、供給電圧が減少されても基準電圧の実現を妨害するどんな制約も生じさせない、今日および将来の CMOS 技術で基準電圧を発生するための新しい原理が強く求められている。そのような低い供給電圧  $V_{dd}$  では、発生された基準電圧は、値がバンドギャップ電圧より低くならないことは、明らかである。

#### 【0010】

10

20

30

40

50

さらに、温度安定性において同等、またはいっそう優れた性能を有する基準電圧が発生されることを可能にする解決策を提供することが、一般に望ましいだろう。

【発明の開示】

【発明が解決しようとする課題】

【0011】

したがって、本発明の目的は、供給電圧  $V_{dd}$  がバンドギャップ電圧より低い状況でも使用することができる基準電圧発生器を提供することである。

【0012】

本発明のさらに他の目的は、従来のバンドギャップ基準回路で供給される規準電圧より温度依存性の小さい基準電圧を供給することである。

【0013】

本発明のさらに他の目的は非常に高精度かつ低電圧の基準電圧を供給することである。

【課題を解決するための手段】

【0014】

上述のような、既知のシステムのこれらの欠点は、本明細書で述べられ特許請求されるような本発明で、軽減され、または除去される。

【0015】

本発明による装置は、請求項1で特許請求されている。様々な有利な実施形態が、請求項2から6で特許請求されている。

【0016】

本発明によれば、望ましい基準電圧を供給する基準電圧発生器が提案される。電圧発生器は、値がバンドギャップ電圧より低い供給電圧で動作する。MOSFETトランジスタは、トランスコンダクタンスとして機能するように使用される。電流が、MOSFETトランジスタのドレインに供給される。この電流は、電流が正の温度係数を有しトランスコンダクタンスが負の温度係数を有する特定のモードで、MOSFETトランジスタが動作できるようにする電流発生器によって供給される。MOSFETトランジスタの寸法は、負の温度係数が正の温度係数に近いように選ばれる。このために、前記基準電圧発生器によって供給されるような基準電圧は、温度補償される。

【0017】

本発明による基準電圧発生器には、バンドギャップ電圧を出力する基準回路を設計することがこれ以上可能でない先進のCMOS技術においてさえも安定した基準電圧発生が可能であるという利点がある。すなわち、ここで与えられる基準電圧源は、どんな供給電圧でも動作することができる。

【0018】

他の利点は、本基準電圧発生器は標準的なバンドギャップ基準回路より遥かに簡単であることである。

【0019】

本発明による基準電圧源は、従来のバンドギャップ電圧が必要とするシリコン面積のほんの何分の1かを占めるだけである。基準電圧の高い精度を実現することができる。

【0020】

本発明の他の特徴および利点は、以下の説明で明らかにされ、ある程度、説明から明らかになる。

【0021】

本発明のより完全な説明のために、また本発明のさらに他の目的および利点のために、添付の図面に関連して解釈される以下の説明を参照する。

【発明を実施するための最良の形態】

【0022】

本発明の動作原理は、図2および3に関連して説明される。バンドギャップ電圧を出力するには低過ぎる供給電圧  $V_{dd}$  で基準電圧を発生するためにここで探求されている新しい原理が、図2に示されている。重要な要素は、いわゆるトランスコンダクタンス21(

10

20

30

40

50

G p t a t ) が絶対温度 T に比例することである。一定の入力電圧で、このトランスコンダクタンス 2 1 は、絶対温度 T に比例する電流を出力するだろう。しかし、本発明によれば、トランスコンダクタンス 2 1 は、反対のモード ( 特定のモード ) で動作する。

【 0 0 2 3 】

トランスコンダクタンス 2 1 は、電圧出力を発生し、一方、トランスコンダクタンス 2 1 の入力 は絶対温度 T に比例する電流である。この電流 I p t a t は、例えば、図 2 に示されるように、熟知されているバンドギャップ基準回路と同様に、熱電圧  $K T / q$  に基づいて電流発生器 2 2 で発生されてもよい。熱電圧  $U t = K T / q$  は、室温で  $+ 0 . 0 8 5$  m V / の温度係数 T C を有する。トランスコンダクタンス 2 1 の温度係数 T C が、熱電圧の温度係数 T C に正確に一致する場合、すなわち、トランスコンダクタンス 2 1 が正確に同じ T C を有する場合、一方が負の符号を有するという条件で、安定した基準電圧  $V r e f \_ n e w$  を出力ノード 2 3 で得ることができる。

10

【 0 0 2 4 】

下記において、M O S トランジスタに対する温度効果に対処するが、その理由は、この種のトランジスタは強く温度に依存しているからである。この温度依存性に対して責任を担う 2 つの主なパラメータは、実効移動度と閾値電圧である。前者は、 $- ( 1 . 5 \sim 2 . 0 )$  の累乗の温度依存性を示し、一方、後者は、温度と共にほとんど直線的な減少を示している。飽和領域では、これらのパラメータの温度効果は、ドレイン電流に依存すると予想することができる。高電流では、温度に対する移動度の減少が勝り、一方、低温では、閾値電圧の減少が優勢になる。

20

【 0 0 2 5 】

この特許明細書全体を通して、標準的な  $0 . 2 5 \mu m$  C M O S 技術のデータが、説明のために使用される。この技術の一般的なプロセス・パラメータは、ゲート酸化物厚さ  $W = 5$  n m、最小ゲート長  $L = 0 . 2 5 \mu m$  であり、p 型 M O S および n 型 M O S トランジスタの閾値電圧はそれぞれ  $0 . 5 3$  V および  $0 . 5 7$  V である。供給電圧  $V d d$  は、特に指定されなければ、 $0 . 8$  V である。

【 0 0 2 6 】

様々な温度で、n 型 M O S トランジスタのドレイン電流対ゲート - ソース間電圧  $V g s$  が図 3 に示されている。この図から、この例ではほぼ  $8 8 6$  m V である縦線 M 1 の付いた特定のゲート - ソース間電圧  $V g s c$  で、ドレイン電流が、全温度範囲にわたって事実上温度に無関係になるということを見出すことができる。この特定のゲート - ソース間電圧  $V g s c$  は、以下、所定の電圧が参照される。所定の電圧  $V g s c$  より下では、ドレイン電流は温度と共に増加し、この増加は、 $V g s$  が  $V g s c$  に近づくにつれて次第に鈍くなることに気付くことが重要であり、T C は、正で、 $V g s$  が増加し  $V g s c$  に近づくにつれて減少すること意味している。 $V g s > V g s c$  では、T C は負になる。この領域は本発明に関係がない。

30

【 0 0 2 7 】

シミュレーションにより、トランジスタのサイズが変化するとき所定電圧  $V g s c$  の位置はほぼ変わらないことが明らかになった。唯一の差はドレイン電流であり、ドレイン電流は  $W / L$  と共に増加する。本発明は、これらの発見に依拠している。

40

【 0 0 2 8 】

図 2 のドレイン電流  $I p t a t$  を式 ( 1 ) に表されるように書くことができる。

$$I_{ptat} = I_{ptat}(t_r) [ 1 + \alpha_{ptat}(t - t_r) ] \quad ( 1 )$$

ここで、 $\alpha_{ptat}$  は、電流  $I p t a t$  の温度係数であり、 $t_r$  は室温である。一般に、トランスコンダクタには演算増幅器とほぼ同じ複雑さがある。非常に低い供給電圧で動作して、かつ非常に少ない電力を消費するために、トランスコンダクタ 2 1 はできるだけ簡単であることが望ましい。単一の M O S トランジスタしか用いずに作製することができれば、これは、作製することができる絶对的に最も簡単なトランスコンダクタであると確信することができる。図 3 に示されている特性はこれが実際に可能であることを示している。 $V g s < V g s c$  においては、M O S トランジスタ  $G m$  のトランスコンダクタンス 2 1 は式

50

(2) で表されるように書くことができる。

$$G_m = G_m(t_r) [1 + \alpha_{GM}(t - t_r)] \quad (2)$$

ここで、 $\alpha_{GM}$ は、トランスコンダクタンス  $G_{ptat}$  の温度係数である。

【0029】

$$I_{ptat} = G_m \quad (3)$$

であり、かつ

$$G_m(t_r) \cdot V_{ref\_new} = I_{ptat}(t_r) \quad (4)$$

である場合、この  $G_m$  は、まさに探しているトランスコンダクタンスであり、発明の基準の原理は、図4に示されるように簡単に実現することができる。

【0030】

図4は、本発明による基準電圧発生器30の第1の実施形態の模式的なブロック図を示す。図4に示されるように、電流  $I_{ptat}$  は、トランスコンダクタ31として機能する  $n$  型 MOSFET トランジスタ MN に供給される。この電流  $I_{ptat}$  は、電流発生器22によって供給されて、電流  $I_{ptat}$  が正の温度係数  $\alpha_{ptat}$  を有しトランスコンダクタ  $G_{ptat}$  が負の温度係数  $\alpha_{GM}$  を有する特定のモードで、前記 MOSFET トランジスタ MN が動作できるようにする。MOSFET トランジスタ MN のゲートおよびドレインは両方とも、電流源22に接続されている。トランジスタ MN のソースは接地に接続され、出力電圧  $V_{ref\_new}$  は、トランジスタ MN のドレインとソースの間に供給される。基準電圧発生器30は、1.2Vより低い供給電圧で動作することができる。MOSFET トランジスタ MN の寸法  $W/L$  はダイオード接続された MN により間に供給された基準電圧  $V_{ref\_new}$  が温度補償されるように負の温度係数  $\alpha_{GM}$  が正の温度係数  $\alpha_{ptat}$  に近いように、選ばれる。

【0031】

本発明による詳細な基準電圧発生器40は、図5Aに与えられている。基準電圧発生器40は、任意選択の起動回路43を内蔵している。この起動回路43の目的は、電源投入と同時の確実な起動を保証することである。

【0032】

電流発生器42が使用される。この電流発生器42は、図5Aに示されるように、ドレイン電流  $I_{ptat}$  を供給する。電流発生器42は、第1の  $n$  型 MOSFET トランジスタ対 MN1 および MN2、第2の  $p$  型 MOSFET トランジスタ対 MP1 および MP2、抵抗器 R、および  $p$  型 トランジスタ MP3 を備える。トランジスタ MN1、MN2、MP1、MP2 と抵抗器 R は、電流  $I_{ptat}$  を発生する責任を負っている。この電流  $I_{ptat}$  は、トランジスタ MP3 によって鏡映され（または、率に応じて増加・減少され）、トランスコンダクタ41に送り出される。トランジスタ MN1 および MN2 は、弱い反転で動作するように設計されている。トランジスタ MN2 は、トランジスタ MN1 より広いチャネル幅  $W$  を有するが、両トランジスタは同じチャネル長  $L$  を有している。トランジスタ MP1、MP2 および MP3 は、飽和領域で動作し、トランジスタ MP3 は、上述のように、必要とされる  $I_{ptat}$  電流を送り出す。この  $I_{ptat}$  電流は、MOSFET トランジスタ MN3 のドレイン D に流れ込む。MOSFET トランジスタ MN3 のゲート G およびドレイン D は、両方とも、電流源42に接続されている。トランジスタ MN3 のソース S は、接地に接続され、出力電圧  $V_{ref\_new}$  は、トランジスタ MN3 のドレイン D とソース S の間に供給される。基準電圧発生器40は、1.2Vより低い供給電圧で動作することができる。MOSFET トランジスタ MN3 の寸法  $W/L$  は、負の温度係数  $\alpha_{GM}$  が正の温度係数  $\alpha_{ptat}$  に近くなり、その結果、ドレインとソースの間に供給される基準電圧  $V_{ref\_new}$  が温度補償されるように、選ばれる。

【0033】

基準電圧発生器40の適切な動作を保証するために必要な  $I_{ptat}$  電流は、次のように表すことができる。

10

20

30

40

【数 1】

$$I_{ptat} = C \frac{kT}{qR} \cdot \ln(AB) \quad (5)$$

ここで、A、BおよびCは、それぞれトランジスタMN2対MN1、MP2対MP1、およびMP3対MP1のアスペクト比である。通常、MP1とMP2は、一致した対であるので、 $B = 1$ 。

【0034】

図3は、トランジスタMN3が正か負のどちらかのTCを有することができることを示す。正のTCが実際は $I_{ptat}$ のTCを含むことは、図6で実証されている。横軸71はトランジスタMN3に印加されたゲート-ソース間電圧 $V_{gs}$ である。 $V_{gs}$ は $I_{ptat}$ に影響しないので、ドレイン電流 $I_{ptat}$ のTCは $0.387\% /$ の定数であり、この定数は抵抗器Rの温度依存性の影響を含む。抵抗器の型は、RPZ（高抵抗ポリ）であり、 $TC1 = 1454 \text{ ppm} /$  および $TC2 = 6.35 \text{ ppm} /$  である。室温 $t_r$ でトランジスタMN3のTC、 $GM$ は、また、図6に示されている（図6の曲線72を参照されたい）。電圧 $V_{gs}$ の $0.5 \text{ V}$ から $1 \text{ V}$ の変化に対して、 $GM$ は約 $0.22\% /$  から $-0.1\% /$  に単調に減少する。線71と曲線72は、図6に示されるように、約 $V_{gs} = 0.747 \text{ V}$ で交差し、これは基準電圧発生器40の予想出力電圧 $V_{ref\_new}$ のはずである。

【0035】

以下のセクションでは、本発明に従って基準電圧発生器を設計するために使用することができるグラフ方法が表されている。図5Aの電圧 $V_{ref\_new}$ を決定することができるために、グラフ方法が使用される。この方法を使用すると、電圧 $V_{ref\_new}$ の温度依存性を、非常に容易にかつ便利に決定することができ、さらに、望む場合には、既存のバンドギャップ回路と比較することができる。そのために、第1のステップで、いくつかの関心のある温度でのトランスコンダクタMP3のドレイン電流を表示する。本実施形態では、次の温度で $I_{ptat}$ が決定される。すなわち、 $t = -40, -20, 0, 20, 40, 60, 80$ 、および $100$ 度（C）。これらの結果は図7Aで、表示a、b、c、d、e、f、g、およびhが付けられた位置にそれぞれ示されている。aからhの曲線は、ドレイン電流 $I_{ptat}$ 対温度 $t$ を表す。次のステップで、MN3のドレイン電流 $I_{ptat}$ 対MN3のゲート-ソース間電圧 $V_{gs}$ が同じ温度で測定され、その完全な結果が図7Cにプロットされている。図7Cのこのプロットは、図3のものと似ている。

【0036】

出力電圧 $V_{ref\_new}$ をグラフで決定するために、図7Cで与えられるようなこれらの結果を、図7Aの $I_{ptat}$ 曲線の隣の図7Bに入れるだけである。これは、図7Bの電流 $I_{ptat}$ が図7Aの $I_{ptat}$ と同一縦目盛を有するような方法で行われる。そのとき、図7Aの点aから始まる水平の直線を、 $t = -40$ で得られた $I_{ds}$ 曲線に交差するように図7Bに向かって引く。交点に表示Aが付けられる。同様に、 $-20$ で得られた曲線に交差するように点bから他の水平の直線が引かれ、交点に表示Bを付ける。同様なやり方で、図7Bの $t = 0, 20, 40, 60, 80$ 、および $100$ で得られた $I_{ds}$ 曲線とそれぞれ交差するように、図7Aのc、d、e、f、g、およびhから水平の直線を引く。次に、これらの交点にC、D、E、F、G、およびHをそれぞれ付ける。これらの交点の図7Bのx軸（ $V_{gs}$ 軸）への投影が、これらの温度での出力電圧 $V_{ref\_new}$ を与える。これらの交点AからHを次々に接続することで、図7Bでほぼ垂直の直線となり、ほとんど温度に無関係な出力電圧 $V_{ref\_new}$ が得られることを意味している。

【0037】

別法として、図7Bのx軸の投影値は、別のグラフ、例えば、今度はx軸として温度を有する図7Dに描き直すことができる。発生電圧 $V_{ref\_new}$ が実質的に温度に無関係であることが分かる。上述のそれらの温度を含んで様々な温度で処置を講じることによ

10

20

30

40

50

って、図7Dに表されるように、電圧 $V_{ref\_new}$ が得られる。実際、計算されたTCは7.6 ppm/程度である。比較の目的のために、図7Dは、また、1.8Vの供給電圧 $V_{dd}$ での標準的なバンドギャップ設計の温度依存性を示す。2つの電圧を比較することができるようにするために、出力電圧 $V_{ref\_bg}$ は、バンドギャップ電圧から同じ出力電圧まで一定の率で下げられている。これは、81.3 ppm/のTCを与える。比較して、本発明による基準電圧発生器で発生された基準電圧 $V_{ref\_new}$ は、標準的なバンドギャップ電圧 $V_{ref\_bg}$ より10倍以上優れている。抵抗器のTCの効果が、また、研究された。結果は、正のTCを有する他の型の抵抗器または $TC = 0$ の理想的な抵抗器とほぼ同等か優れてさえている。

【0038】

上の結果は、本明細書で提案され特許請求された基準電圧発生器のシミュレーション検証によって確認された。

【0039】

本発明の利点は、すべての既存および将来のCMOS技術に適していることである。図1は、CMOS技術のスケーリングと共に供給電圧 $V_{dd}$ が連続的に小さくなることを示している。図1に示されていない、MOSトランジスタの閾値電圧は、また、プロセスのスケーリングと共に減少する。図5の $V_{ref\_new}$ は、トランジスタMN3のゲート-ソース間電圧に等しい。すなわち、

$$V_{ref\_new} = V_{gs} = V_t + V \quad (6)$$

ここで、 $V$ は、ドレイン電流 $I_{ptat}$ に依存するオーバドライブ電圧であり、 $V_t$ は閾値電圧である。 $I_{ptat}$ は通常非常に小さいので、オーバドライブ電圧 $V$ はかなり小さい。したがって、発生された基準電圧 $V_{ref\_new}$ は室温 $t_r$ の閾値電圧より僅かに高いと結論することができ、したがって、提案されている新しい基準電圧発生器は、すべてのCMOS技術、すなわち過去、現在および将来のCMOS技術に申し分なく適している。すなわち、CMOSのスケーリングおよび対応した供給電圧の減少は、本発明による新しい回路に何ら影響を及ぼさない。

【0040】

式(6)から、図5AのMN3だけでなく、図4のトランジスタMNも飽和領域で動作することを得ることができる。

【0041】

他の実施形態では、図5Aの提案されている基準電圧発生器は、また、バンドギャップ電圧より高い基準電圧を発生するために使用することができる。これは、トランジスタMN3が2以上の積重ねMOSトランジスタに取り替えられた場合に実現される。例えば、図5AのMN3と同じサイズの少なくとも2つのトランジスタを積み重ねることによってボディ効果が無視される場合、式(6)の値の2倍の値の出力基準電圧 $V_{ref\_new}$ を得ることができる。この場合、より高い供給電圧 $V_{dd}$ が必要である。例として、図5AのMN3を2つの積重ねトランジスタに取り替えることによって、 $V_{ref\_new} = 1.8V$ を生じさせることができる。

【0042】

図4のトランジスタMNおよび図5のトランジスタMN3は、例えば、図5Bに示されるようにp型MOSFETトランジスタMP4に取り替えることができることに言及すべきである。回路50の残りの部分は、図5Bに示されるように、同じである。トランスコンダクタ51だけが変わっている。トランジスタMP4のゲートGは、今、接地に接続されていることに留意されたい。

【0043】

さらに他の実施形態が図5Cに示されている。図5Cの実施形態60は、図5Aの実施形態に基づいている。p型トランジスタはn型トランジスタに取り替えられ、n型トランジスタはp型トランジスタに取り替えられている。この実施形態60は、基本的に、図5Cに示すものと同じであり、図5Aの説明を参照する。トランスコンダクタ61は、供給電圧ノードと出力ノードの間に位置するp型MOSFETトランジスタMP7を備える。

10

20

30

40

50

起動回路 6 3 および電流発生器 6 2 は、図 5 A および 5 B に示されているものと同じ方法で動作し、唯一の相違は、トランジスタの型が取り替えられ出力電圧が今は供給電圧を基準とすることである。

【0044】

図 5 B および図 5 C のトランジスタ M P 4 および M P 7 は、飽和領域でそれぞれ動作する。

【0045】

トランスコンダクタとして機能する 2 個またはさらにそれ以上の積重ねトランジスタを有するそのような実施形態は、ほとんど直線的な挙動を示し、さらなる補償が非常に容易である。

【0046】

標準的なバンドギャップと比較して、新しい基準電圧発生器は、遥かに簡単であり、遥かに少ない電力を消費し、より設計し易い。

【0047】

わかりやすくするために別個の実施形態の状況で述べられている本発明の様々な特徴はまた、単一の実施形態に組み合わせて実現される可能性があることが理解される。逆に、簡単にするために単一の実施形態の状況で述べられている本発明の様々な特徴は、別個にまたは任意の適切な部分組合せで実現される可能性がある。

【0048】

図面および明細書では、本発明の好ましい実施形態が述べられており、特定の用語が使用されているが、このように行われた説明では、用語は、一般的な、説明的な意味で使用されるにすぎず、限定するために使用されていない。

【図面の簡単な説明】

【0049】

【図 1】 C M O S 技術が進歩するにつれて供給電圧がどのように連続して低くなるかを示す図である。

【図 2】 本発明の基準電圧発生器の模式的なブロック図を示す図である。

【図 3】 - 4 0 度から + 1 0 0 度までの温度変化に対して、 M O S F E T トランジスタのドレイン電流 (  $I_{ds}$  ) 対ゲート - ソース間電圧 (  $V_{gs}$  ) がどのように変化するかを 2 0 度ステップで示す図である。

【図 4】 本発明の第 1 の実施形態を示す模式的なブロック図である。

【図 5 A】 本発明の第 2 の実施形態を示す模式的なブロック図である。

【図 5 B】 本発明の第 3 の実施形態を示す模式的なブロック図である。

【図 5 C】 本発明の第 4 の実施形態を示す模式的なブロック図である。

【図 6】 ゲート - ソース間電圧 (  $V_{gs}$  ) に対する図 4 ( M N ) および図 5 A ( M N 3 ) のトランスコンダクタンスの室温での温度係数を示す図である。

【図 7 A】 本発明による基準電圧発生器を設計するために使用することができる 1 つ図表を示す図である。

【図 7 B】 本発明による基準電圧発生器を設計するために使用することができる 1 つ図表を示す図である。

【図 7 C】 本発明による基準電圧発生器を設計するために使用することができる 1 つ図表を示す図である。

【図 7 D】 同じ電圧に基準化された、本発明で得られた結果と従来のバンドギャップ回路で得られた結果の比較を示す図である。

10

20

30

40



【 図 6 】

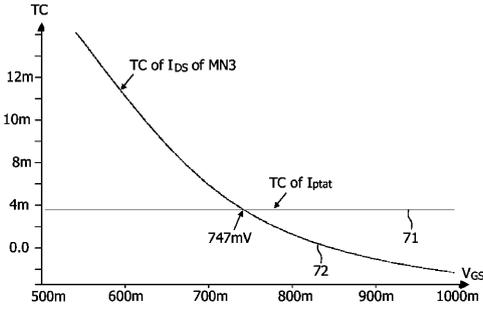


FIG. 6

【 図 7 A 】

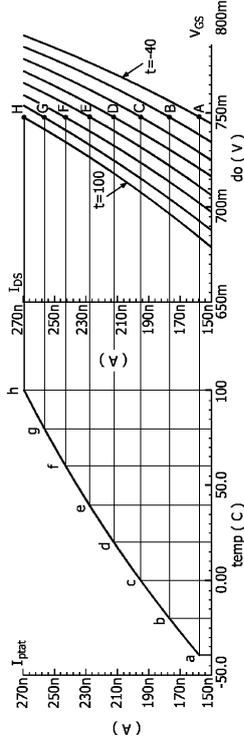


FIG. 7B

FIG. 7A

【 図 7 B 】

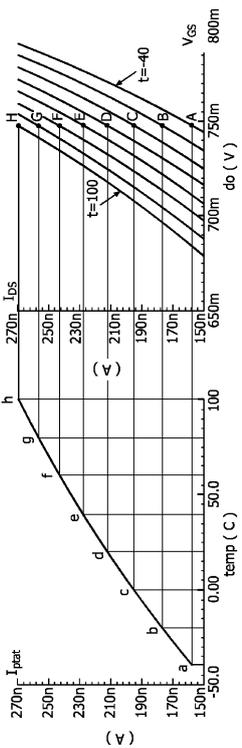


FIG. 7B

FIG. 7A

【 図 7 C 】

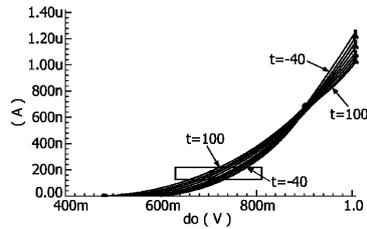


FIG. 7C

【 図 7 D 】

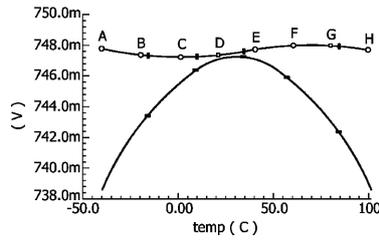


FIG. 7D

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ワン、ゼンファ

フランス国パリ、ブルバール、オスマン、156、ケアオブ、ソシエテ、シビル、エスペイデ  
Fターム(参考) 5H420 NA16 NB02 NB13 NB25 NC02 NC14 NE23

## 【要約の続き】

( ptat ) に近くなるように選ばれる。