



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I423026 B

(45) 公告日：中華民國 103 (2014) 年 01 月 11 日

(21) 申請案號：099137281

(22) 申請日：中華民國 99 (2010) 年 10 月 29 日

(51) Int. Cl. : G06F12/08 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：葉志剛 YEH, CHIH KANG (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 200839516A

TW 200931249A

US 2003/0070036A1

US 2010/0208504A1

審查人員：郭子意

申請專利範圍項數：6 項 圖式數：16 共 0 頁

(54) 名稱

資料寫入方法、記憶體控制器與記憶體儲存裝置

DATA WRITING METHOD, MEMORY CONTROLLER AND MEMORY STORAGE APPARATUS

(57) 摘要

一種資料寫入方法，用於具有多個實體區塊的可複寫式非揮發性記憶體模組，其中每一實體區塊具有多個實體頁面，部分的實體區塊映射多個邏輯區塊並且每一邏輯區塊具有多個邏輯頁面。本方法包括接收資料，其中此資料具有多個資料位元並屬於其中一個邏輯頁面。本方法也包括判斷每一資料位元是否為特定值。並且，本方法包括，當每一資料位元為特定值時，不將此資料寫入至實體頁面中。基此，本方法可提升記憶體儲存裝置的效能。

A data writing method for a writable non-volatile memory module having a plurality of physical blocks is provided, wherein each of the physical blocks has physical pages, a portion of the physical blocks map to a plurality of logical blocks and each of the logical blocks has logical pages. The method includes receiving data, wherein the data has data bits and belongs to one of the logical blocks. The method also includes determining whether each of the data bits is a specific value. And, the method still includes not writing the data into one of the physical pages when each of the data bits is the specific value. Accordingly, the performance of a memory storage apparatus can be increased by the method.

S801、S803、S805、  
S807 . . . 資料寫入  
的步驟

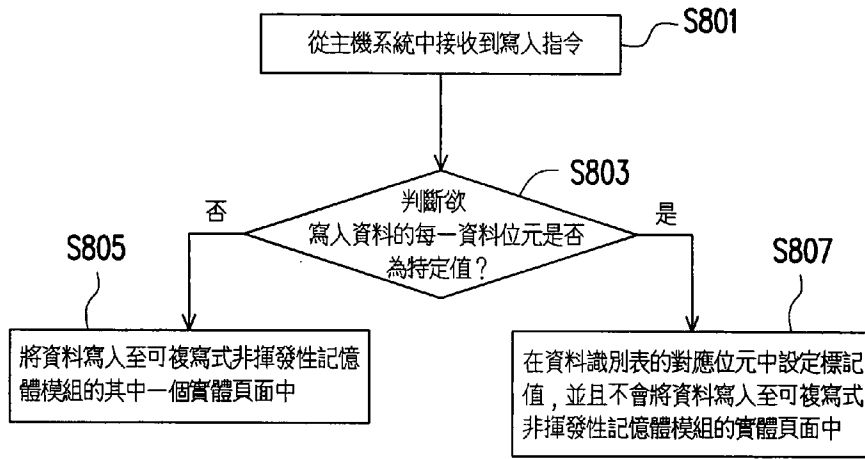


圖 8

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99127281

※申請日： 99.10.29 ※IPC 分類：

G06F12/08 (2006.01)

### 一、發明名稱：

資料寫入方法、記憶體控制器與記憶體儲存裝置  
DATA WRITING METHOD, MEMORY CONTROLLER  
AND MEMORY STORAGE APPARATUS

### 二、中文發明摘要：

一種資料寫入方法，用於具有多個實體區塊的可複寫式非揮發性記憶體模組，其中每一實體區塊具有多個實體頁面，部分的實體區塊映射多個邏輯區塊並且每一邏輯區塊具有多個邏輯頁面。本方法包括接收資料，其中此資料具有多個資料位元並屬於其中一個邏輯頁面。本方法也包括判斷每一資料位元是否為特定值。並且，本方法包括，當每一資料位元為特定值時，不將此資料寫入至實體頁面中。基此，本方法可提升記憶體儲存裝置的效能。

### 三、英文發明摘要：

A data writing method for a writable non-volatile memory module having a plurality of physical blocks is provided, wherein each of the physical blocks has physical pages, a portion of the physical blocks map to a plurality of

logical blocks and each of the logical blocks has logical pages. The method includes receiving data, wherein the data has data bits and belongs to one of the logical blocks. The method also includes determining whether each of the data bits is a specific value. And, the method still includes not writing the data into one of the physical pages when each of the data bits is the specific value. Accordingly, the performance of a memory storage apparatus can be increased by the method.

#### **四、指定代表圖：**

(一) 本案之指定代表圖：圖 8

(二) 本代表圖之元件符號簡單說明：

S801、S803、S805、S807：資料寫入的步驟

#### **五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種資料寫入方法，且特別是有關於一種寫入資料至可複寫式非揮發性記憶體的方法及使用此方法的記憶體控制器與記憶體儲存裝置。

### 【先前技術】

數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體(rewritable non-volatile memory)具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，最適於可攜式電子產品，例如筆記型電腦。固態硬碟就是一種以快閃記憶體作為儲存媒體的儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

快閃記憶體模組具有多個實體區塊(physical block)，且每一實體區塊具有多個實體頁面(physical page)，其中在實體區塊中寫入資料時必須依據實體頁面的順序依序地寫入資料。此外，已被寫入資料之實體頁面並需先被抹除後才能再次用於寫入資料。特別是，實體區塊為抹除之最小單位，並且實體頁面為程式化(亦稱寫入)的最小單元。因此，在快閃記憶體模組的管理中，實體區塊會被區分為資料區與閒置區。

資料區的實體區塊是用以儲存主機系統所儲存之資料。具體來說，記憶體管理電路會將主機系統所存取的邏

輯存取位址轉換為邏輯區塊的邏輯頁面並且將邏輯區塊的邏輯頁面映射至資料區的實體區塊的實體頁面。也就是說，快閃記憶體模組的管理上資料區的實體區塊是被視為已被使用之實體區塊(例如，已儲存主機系統所寫入的資料)。例如，記憶體管理電路會使用邏輯區塊-實體區塊映射表來記載邏輯區塊與資料區的實體區塊的映射關係，其中邏輯區塊中的邏輯頁面是依序的對應所映射之實體區塊的實體頁面。

閒置區的實體區塊是用以輪替資料區中的實體區塊。具體來說，如上所述，已寫入資料的實體區塊必須被抹除後才可再次用於寫入資料，而閒置區的實體區塊是被設計用於寫入更新資料以替換原先映射邏輯區塊的實體區塊。基此，在閒置區中的實體區塊為空或可使用的區塊，即無記錄資料或標記為已沒用的無效資料。

也就是說，資料區與閒置區的實體區塊的實體頁面是以輪替方式來映射邏輯區塊的邏輯頁面，以儲存主機系統所寫入的資料。例如，儲存裝置的記憶體管理電路會從閒置區中提取一個或多個實體區塊作為替換實體區塊，並且當主機系統欲寫入更新資料的邏輯存取位址是對應儲存裝置之某一邏輯區塊的某一邏輯頁面時，儲存裝置的記憶體管理電路會將此更新資料寫入至替換實體區塊的實體頁面中。此外，記憶體管理電路會在所寫入的實體頁面的冗餘區中或使用一資料映射表記錄此實體頁面儲存某一邏輯頁面的更新資料，並且在資料區中原先映射此邏輯頁面的實

體頁面會被標記為無效。

特別是，倘若在閒置區中可用的實體區塊的數目少於預設門檻值時，在執行寫入指令時記憶體管理電路必須進行資料合併(Merge)程序，以避免閒置區的實體區塊被耗盡(exhaust)。具體來說，在資料合併程序中，記憶體管理電路會從閒置區中提取一個空的實體區塊，將在替換實體區塊以及資料區的實體區塊中屬於同一個邏輯區塊的有效資料複製至所提取的實體區塊中，由此所儲存資料皆為無效資料的替換實體區塊或資料區中之實體區塊就可被抹除並關聯至閒置區。由於在資料合併程序中，記憶體管理電路必須在搜尋屬於同一個邏輯區塊的有效資料，並且屬於同一個邏輯區塊的有效資料複製至空的實體區塊中，基此，執行寫入指令的時間會大幅地增加。因此，如何縮短執行寫入指令所需的時間，是此領域技術人員所致力於的目標。

### 【發明內容】

本發明提供一種資料寫入方法及使用此方法的記憶體儲存裝置及其記憶體控制器，其能夠有效地縮短執行寫入指令的時間。

本發明範例實施例提出一種資料寫入方法，用於一可複寫式非揮發性記憶體模組，其中此可複寫式非揮發性記憶體模組包括多個實體區塊，每一實體區塊具有多個實體頁面，部分的實體區塊映射多個邏輯區塊並且每一邏輯區塊具有多個邏輯頁面。本資料寫入方法包括接收一資料，

其中此資料具有多個資料位元並屬於上述邏輯頁面之中的其中一個邏輯頁面。本資料寫入方法也包括判斷每一資料位元是否為一特定值。並且，本資料寫入方法更包括，當每一該些資料位元為該特定值時，不將此資料寫入至上述實體頁面中。

在本發明之一實施例中，上述之資料寫入方法更包括，當此些資料位元之中的任一資料位元非為特定值時，將此資料寫入至上述實體頁面之中的其中一個實體頁面中。

在本發明之一實施例中，上述之資料寫入方法更包括配置資料識別表，其中此資料識別表具有多個位元並且此些位元分別地對應上述邏輯頁面。此外，上述之資料寫入方法更包括將此些位元之中對應上述資料所屬之邏輯頁面的位元設定為一標記值，其中此標記值用以識別此邏輯頁面的值為特定值。

在本發明之一實施例中，上述之資料寫入方法更包括配置整理表(Trim Table)，其中此整理表具有多個位元並且此些位元分別地對應上述邏輯頁面。上述之資料寫入方法更包括，當接收到整理(Trim)指令時，在整理表中將對應整理指令的至少一邏輯頁面所對應的至少一位元設定為標記值。此外，上述之資料寫入方法更包括將整理表的此些位元之中對應上述資料所屬之邏輯頁面的位元設定為標記值。

在本發明之一實施例中，上述之判斷每一資料位元是



否為特定值的步驟包括：從暫存器電路中載入旗標值；以及根據此旗標值識別每一資料位元為特定值。

本發明範例實施例提出一種記憶體控制器，用於管理一可複寫式非揮發性記憶體模組，其中此可複寫式非揮發性記憶體模組具有多個實體區塊並且每一實體區塊具有多個實體頁面。本記憶體控制器包括主機介面、記憶體介面與記憶體管理電路。主機介面用以耦接至一主機系統。記憶體介面用以耦接至可複寫式非揮發性記憶體模組。記憶體管理電路是耦接至主機介面與記憶體介面，其中記憶體管理電路用以配置多個邏輯區塊以映射部分的實體區塊，其中每一邏輯區塊具有多個邏輯頁面。此外，記憶體管理電路更用以從主機系統中接收一資料，其中資料具有多個資料位元並屬於此些邏輯頁面之中的其中一個邏輯頁面。再者，記憶體管理電路更用以判斷每一資料位元是否為一特定值，其中當每一資料位元為特定值時，記憶體管理電路不將此資料寫入至上述實體頁面中。

在本發明之一實施例中，當此些資料位元之中的任一資料位元非為特定值時，上述之記憶體管理電路更用以將資料寫入至此些實體頁面之中的其中一個實體頁面中。

在本發明之一實施例中，上述之記憶體管理電路更用以配置一資料識別表，其中此資料識別表具有多個位元並且此些位元分別地對應該些邏輯頁面。並且，記憶體管理電路更用以將此些位元之中對應上述資料所屬之邏輯頁面的位元設定為標記值，其中此標記值用以識別對應此邏輯

頁面的值為特定值。

在本發明之一實施例中，上述之記憶體管理電路更用以配置整理表(Trim Table)，其中此整理表具有多個位元並且此些位元分別地對應該些邏輯頁面。此外，當從主機系統接收到整理(Trim)指令時，記憶體管理電路更用以在整理表中將對應整理指令的至少一邏輯頁面所對應的至少一位元設定為標記值。並且，記憶體管理電路更用以將整理表的位元之中對應上述資料所屬之邏輯頁面的位元設定為標記值。

在本發明之一實施例中，上述之記憶體控制器更包括暫存器電路與比對電路。比對電路耦接暫存器電路，用以確認每一資料位元是否為特定值，並且當每一資料位元為特定值時，在暫存器電路中儲存旗標值。並且，上述之記憶體管理電路從暫存器電路中載入此旗標值並且根據此旗標值識別每一資料位元為特定值。

本發明範例實施例提出一種記憶體儲存裝置，其包括連接器、可複寫式非揮發性記憶體模組與記憶體控制器。連接器用以耦接至主機系統。可複寫式非揮發性記憶體模組具有多個實體區塊並且每一實體區塊具有多個實體頁面。記憶體控制器耦接至連接器與可複寫式非揮發性記憶體模組，並且用以配置多個邏輯區塊以映射部分的實體區塊，其中每一邏輯區塊具有多個邏輯頁面。記憶體控制器更用以從主機系統中接收一資料，其中此資料具有多個資料位元並屬於上述邏輯頁面之中的其中一個邏輯頁面。此

外，記憶體控制器更用以判斷每一資料位元是否為特定值，其中當每一資料位元為特定值時，記憶體控制器不將上述資料寫入至上述實體頁面中。

在本發明之一實施例中，當此些資料位元之中的任一資料位元非為該特定值時，上述之記憶體控制器更用以將上述資料寫入至實體頁面之中的其中一個實體頁面中。

在本發明之一實施例中，上述之記憶體控制器更用以配置資料識別表，其中此資料識別表具有多個位元並且此些位元分別地對應此些邏輯頁面。此外，上述之記憶體控制器更用以將此些位元之中對應上述資料所屬之邏輯頁面的位元設定為標記值，其中此標記值用以識別對應此邏輯頁面的值為特定值。

在本發明之一實施例中，上述之記憶體控制器更用以配置整理表(Trim Table)，其中此整理表具有多個位元並且此些位元分別地對應上述邏輯頁面。此外，當從主機系統接收到整理(Trim)指令時，上述之記憶體控制器更用以在整理表中將此些邏輯頁面之中對應整理指令的至少一邏輯頁面所對應的至少一位元設定為標記值。再者，記憶體控制器更用以將此些位元之中對應上述資料所屬之邏輯頁面的位元設定為標記值。

在本發明之一實施例中，上述之記憶體儲存裝置更包括暫存器電路以及比對電路。比對電路耦接暫存器電路，用以確認每一資料位元是否為特定值，並且當每一資料位元為特定值時，在暫存器電路中儲存旗標值。此外，上述

之記憶體控制器從暫存器電路中載入此旗標值並且根據此旗標值識別每一資料位元為特定值。

基於上述，本發明範例實施例的資料寫入方法及使用此方法的記憶體儲存裝置及其記憶體控制器能夠有效地縮短執行寫入指令的時間，由此提升記憶體儲存裝置的效能。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

為了能夠縮短執行寫入指令的時間，在本發明的資料寫入方法中會判斷主機系統欲寫入的資料是否為一特定值(亦稱為預設態樣(pattern))，並且當欲寫入的資料為此特定值時，此資料將不會被實際地寫入至記憶體儲存裝置的可複寫式非揮發性記憶體模組。具體來說，當記憶體儲存裝置被用作為電腦系統的主磁碟(即，用作為安裝作業系統的磁碟)時，作業系統會頻繁地僅更新少部分的資料。例如，在更新檔案系統(file system)的資訊時，僅部分資料會被更新，而其他部分的資料會保持"0"(即，此些資料為不具任何意義的值(態樣))。在本發明的資料寫入方法中，不會將屬於此值的資料實際地寫入至可複寫式非揮發性記憶體模組，由此可避免無意義的寫入程序(程式化程序)，由此縮短執行寫入指令的時間。以下將以數個範例實施來詳細地描述本發明。

#### [第一範例實施例]

一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

圖 1A 是根據本發明第一範例實施例所繪示的主機系統與記憶體儲存裝置。

請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 1B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

一般而言，主機系統 1000 可實質地為可與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施

例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

在本範例實施例中，連接器 102 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是符合電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排(Universal Serial Bus, USB) 標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics,

IDE) 標準或其他適合的標準。

記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。在本範例實施例中，記憶體控制器 104 用以根據本發明範例實施例的資料寫入方法來將資料寫入於可複寫式非揮發性記憶體模組 106 中。根據本發明範例實施例的資料寫入方法將於以下配合圖式作詳細說明。

可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且具有多個實體區塊以儲存主機系統 1000 所寫入之資料。在本範例實施例中，每一實體區塊分別具有複數個實體頁面，其中屬於同一個實體區塊之實體頁面可被獨立地寫入且被同時地抹除。例如，每一實體區塊是由 128 個實體頁面所組成，並且每一實體頁面的容量為 4 千位元組(Kilobyte, K)。然而，必須瞭解的是，本發明不限於此，每一實體區塊是可由 64 個實體頁面、256 個實體頁面或其他任意個實體頁面所組成。

更詳細來說，實體區塊為抹除之最小單位。亦即，每一實體區塊含有最小數目之一併被抹除之記憶胞。實體頁面為程式化的最小單元。即，實體頁面為寫入資料的最小單元。然而，必須瞭解的是，在本發明另一範例實施例中，寫入資料的最小單位亦可以是實體扇區或其他大小。每一實體頁面通常包括資料位元區與冗餘位元區。資料位元區

用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，錯誤檢查與校正碼）。

在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

圖 3 是根據本發明第一範例實施例所繪示之記憶體控制器的概要方塊圖。

請參照圖 3，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，此些控制指令會被執行以根據本範例實施例的資料寫入方法來寫入資料至可複寫式非揮發性記憶體模組 106 中。

在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以完成根據本發明範例實施例的資料寫入方法。

在本發明另一範例實施例中，記憶體管理電路 202 的



控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼段，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以執行本發明範例實施例的資料寫入方法。此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。

主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記

憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

在本發明一範例實施例中，記憶體控制器 104 還包括緩衝記憶體 252。緩衝記憶體 252 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

在本發明一範例實施例中，記憶體控制器 104 還包括電源管理電路 254。電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

在本發明一範例實施例中，記憶體控制器 104 還包括錯誤檢查與校正電路 256。錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

圖 4A 與圖 4B 是根據本發明第一範例實施例所繪示管

理可複寫式非揮發性記憶體模組之實體區塊的示意圖。

請參照圖 4A，可複寫式非揮發性記憶體模組 106 具有實體區塊 410(0)~410(N)，並且記憶體控制器 104 的記憶體管理電路 202 會將實體區塊 410(0)~410-(N)邏輯地分組為資料區 502、閒置區 504、系統區 506 與取代區 508。

邏輯上屬於資料區 502 與閒置區 504 的實體區塊是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 的實體區塊是被視為已儲存資料的實體區塊，而閒置區 504 的實體區塊是用以替換資料區 502 的實體區塊。也就是說，當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體管理電路 202 會從閒置區 504 中提取實體區塊，並且將資料寫入至所提取的實體區塊中，以替換資料區 502 的實體區塊。

邏輯上屬於系統區 506 的實體區塊是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體區塊數、每一實體區塊的實體頁面數等。

邏輯上屬於取代區 508 中的實體區塊是用於壞實體區塊取代程序，以取代損壞的實體區塊。具體來說，倘若取代區 508 中仍存有正常之實體區塊並且資料區 502 的實體區塊損壞時，記憶體管理電路 202 會從取代區 508 中提取正常的實體區塊來更換損壞的實體區塊。

值得一提的是，在本範例實施例中，記憶體管理電路 202 是以每一實體區塊為單位來進行管理。然而，本發明

不限於此，在另一範例實施例中，記憶體管理電路 202 亦可將實體區塊分組為多個實體單元，並且以實體單元為單位來進行管理。例如，每一實體單元可由同一記憶體子模組或不同記憶體子模組中的至少一個實體區塊所組成。

請參照圖 4B，記憶體管理電路 202 會配置邏輯區塊 610(0)~610(H)以映射資料區 502 的實體區塊，其中每一邏輯區塊具有多個邏輯頁面並且此些邏輯頁面是依序地映射對應之實體區塊的實體頁面。例如，記憶體管理電路 202 會維護邏輯區塊-實體區塊映射表(logical block-physical block mapping table)以記錄邏輯區塊 610(0)~610(H)與資料區 502 的實體區塊的映射關係。此外，由於主機系統 1000 是以邏輯存取位址(例如，扇區(Sector))為單位來存取資料，當主機系統 1000 存取資料時記憶體管理電路 202 會將對應記憶體儲存裝置 100 的邏輯存取位址 710(0)~710(K)轉換成對應的邏輯頁面。例如，當主機系統 1000 欲存取某一邏輯存取位址時，記憶體管理電路 202 會將主機系統 1000 所存取的邏輯存取位址轉換為以對應的邏輯區塊與邏輯頁面所構成的多維位址，並且透過邏輯區塊-實體區塊映射表於對應的實體頁面中存取資料。

在本範例實施例中，記憶體管理電路 202 會根據主機系統 1000 所欲儲存之資料的態樣來以一般寫入程序或特殊寫入程序來處理此資料。

具體來說，當欲將屬於某一個邏輯頁面的資料(亦稱為更新資料)寫入至實體頁面時，記憶體管理電路 202 會判斷

此更新資料的每一資料位元是否為特定值(或態樣)。並且，當更新資料的每一資料位元為特定值時，記憶體管理電路 202 會以特殊寫入程序來處理此更新資料，並且當更新資料的任一個資料位元非為特定值時，記憶體管理電路 202 會以一般寫入程序來寫入此更新資料。例如，在本範例實施例中，特定值是被設計為"0"。也就是說，當更新資料的每一資料位元皆為"0"時，記憶體管理電路 202 會以特殊寫入程序來處理此更新資料。必須瞭解的是，特定值不限於"0"，在本發明另一範例實施例中，特定值可以是其他任意態樣。

在本範例實施例的一般寫入程序中，記憶體管理電路 202 會從閒置區 504 中提取實體單元作為替換實體區塊，並且根據實體頁面的順序將屬於同一個邏輯頁面的更新資料寫入至所提取之替換實體區塊的其中一個實體頁面中。

此外，在本範例實施例的特殊寫入程序中，記憶體管理電路 202 不會將更新資料寫入至實體區塊中。例如，在本範例實施例中，記憶體管理電路 202 會配置資料識別表，以記錄哪些邏輯頁面的資料是屬於特定值。具體來說，資料識別表是由多個位元所組成並且每一位元是對應其中一個邏輯頁面。並且，當更新資料的每一資料位元為特定值時，記憶體管理電路 202 會識別此更新資料所屬之邏輯頁面並且在資料識別表中將此邏輯頁面所對應的位元設定為一標記值，而不將更新資料實際地寫入至所映射之實體頁面中。例如，在資料識別表中所有位元的初始值會被設

定為"0"，並且此標記值是被設計為"1"。然而，必須瞭解的是，本發明不限於此，任何符號、數值皆可作為標記值。

圖 5A 是根據本發明第一範例實施例所繪示之以一般寫入程序的範例。

請參照圖 5A，倘若實體區塊 410(0)的實體頁面目前儲存邏輯區塊 610(0)的資料 ID0~ID127(即，邏輯區塊目前是映射實體區塊 410(0))並且主機系統 1000 欲寫入非為特定值的資料 UD0 至邏輯區塊 610(0)的第 0 邏輯頁面時，記憶體管理電路 202 會識別資料 UD0 非為特定值，從閒置區 504 中提取一個實體區塊(例如，實體區塊 410(F))，並且將資料 UD0 寫入至實體區塊 410(F)的第 0 個實體頁面。此外，記憶體管理電路 202 會記錄關於邏輯區塊 610(0)的第 0 邏輯頁面的更新資料已被寫入至實體區塊 410(F)的第 0 個實體頁面的資訊，以利後續的讀取。

圖 5B 是根據本發明第一範例實施例所繪示之資料識別表的範例。

請參照圖 5B，資料識別表 750 是以 2 維陣列形式排列的位元(即，圖中的每一方塊)所構成，其中每一列是對應一個邏輯區塊，並且在每一列中由左至右每一位元依序地對應邏輯區塊中的每一邏輯頁面。資料識別表 750 中的每一位元會被初始地設定為"0"。

圖 6A 是根據本發明第一範例實施例所繪示之以特殊寫入程序的範例。

請參照圖 6A，倘若在圖 5A 所示的儲存狀態下，主機

系統 1000 欲寫入為特定值的資料 UD1 至邏輯區塊 610(0) 的第 1 邏輯頁面時，記憶體管理電路 202 會識別資料 UD1 為特定值，並且不會將資料 UD1 實際地寫入至實體區塊 410(F) 的第 1 個實體頁面，而是在資料識別表中對應的位元中設定標記值。

圖 6B 是根據圖 6A 所繪示之資料識別表的範例。

請參照圖 6B，記憶體管理電路 202 會在資料識別表 750 中對應邏輯區塊 610(0) 之第 1 邏輯頁面的位元中設定 "1"。

基於上述，在本範例實施例中，當主機系統 1000 欲寫入的資料的每一資料位元皆為 "0" 時，記憶體管理電路 202 不會對可複寫式非揮發性記憶體模組 106 執行寫入程序(亦稱為程式化程序)，而是將資料識別表中對應的位元設定為標記值，由此可大幅縮短執行寫入指令的時間。值得一提的是，當主機系統 1000 下達讀取指令時，記憶體管理電路 202 會根據資料識別表識別欲讀取之邏輯頁面所對應的位元是否已被設定為標記值。並且，倘若欲讀取之邏輯頁面所對應的位元已被設定為標記值時，記憶體管理電路 202 會直接傳送特定值給主機系統 1000。

值得一提的是，在本發明另一範例實施例中，記憶體控制器 104 更包括比對電路 262 與暫存器電路 264(如圖 7 所示)。比對電路 262 用以比對更新資料的每一資料位元是否為特定值並且當更新資料的每一資料位元為特定值時比對電路 262 更用以於暫存器電路 264 中儲存一旗標值。特

別是，記憶體管理電路 202 是根據儲存於暫存器電路 264 中的旗標值來識別更新資料為特定值。

圖 8 是根據本發明第一範例實施例所繪示的資料寫入方法的流程圖。

請參照圖 8，在步驟 S801 中記憶體控制器 104 的記憶體管理電路 202 從主機系統 1000 中接收到寫入指令，並且在步驟 S803 中記憶體管理電路 202 會判斷欲寫入資料的每一資料位元是否為特定值。

值得一提的是，從主機系統 1000 所接收的資料的量可能為小於一個邏輯頁面。然而，如上所述，記憶體管理電路 202 是以實體頁面為單位來寫入資料，因此，在從主機系統 1000 所接收的資料的量可能為小於一個邏輯頁面的例子中，此些資料會被暫存於緩衝記憶體 252 中，並且之後再以實體頁面為單位寫入至可複寫式非揮發性記憶體模組 106 中。基此，在步驟 S803 中的欲寫入資料是以實體頁面為單位的資料。

倘若欲寫入資料的每一資料位元非為特定值時，則在步驟 S805 中，記憶體管理電路 202 會將資料寫入至可複寫式非揮發性記憶體模組 106 的其中一個實體頁面中。例如，記憶體管理電路 202 會以上述一般寫入程序來寫入資料。一般寫入程序已配合圖式詳細描述如上，在此不再重複描述。

倘若欲寫入資料的每一資料位元為特定值時，則在步驟 S807 中，記憶體管理電路 202 在資料識別表的對應位



元中設定標記值，並且不會將資料寫入至可複寫式非揮發性記憶體模組 106 的實體頁面中。

圖 9 是根據本發明第一範例實施例所繪示的資料讀取方法的流程圖。

請參照圖 9，在步驟 S901 中記憶體控制器 104 的記憶體管理電路 202 從主機系統 1000 中接收到讀取指令，並且在步驟 S903 中記憶體管理電路 202 會識別此讀取指令所對應的邏輯頁面。具體來說，在步驟 S903 中，記憶體管理電路 202 會將包含於讀取指令的邏輯存取位址轉換為對應的邏輯頁面。

然後，在步驟 S905 中，記憶體管理電路 202 會判斷在資料識別表中對應此邏輯頁面的位元是否被設定為標記值。

倘若在資料識別表中對應此邏輯頁面的位元未被設定為標記值時，則在步驟 S907 中，記憶體管理電路 202 會從所映射的實體頁面中讀取資料並且將所讀取的資料傳送給主機系統 1000。

倘若在資料識別表中對應此邏輯頁面的位元已被設定為標記值時，則在步驟 S909 中，記憶體管理電路 202 會將特定值傳送給主機系統 1000。

#### [第二範例實施例]

本發明第二範例實施例的記憶體儲存裝置與主機系統本質上是相同於第一範例實施例的記憶體儲存裝置與主機系統，其中差異之處在於第二範例實施例的記憶體控制

器是利用整理表(Trim Table)來記錄上述標記值，而不額外配置資料識別表。以下將使用第一範例實施例的圖 1A、圖 2 與圖 3 來說明第二範例實施例與第一範例實施例的差異處。

在主機系統 1000 之作業系統的檔案管理機制中作業系統是透過檔案配置表來管理儲存於儲存裝置中的資料。特別是，在作業系統執行資料的刪除運作的例子中，作業系統僅會於檔案配置表中註記欲刪除之邏輯存取位址中的資料已為無效，即完成刪除資料的運作，而不會實際地將所儲存的資料進行刪除。之後，當作業系統欲在此些邏輯存取位址中寫入資料時，作業系統會將資料直接寫入。

在本範例實施例中，記憶體管理電路 202 會從主機系統 1000 中接收刪除記錄，其中此刪除記錄中會記載哪些邏輯存取位址中的資料已被刪除的資訊。在此，對於主機系統 1000 的作業系統來說，所儲存之資料已被刪除之邏輯位存取址被稱為已刪除邏輯存取位址。例如，在本範例實施例中，主機系統 1000 之作業系統為微軟視窗作業系統 7，並且微軟視窗作業系統 7 是透過整理(trim)指令來傳送刪除記錄，而主機介面 206 與記憶體管理電路 202 可支援與識別此整理指令。

特別是，在本範例實施例中，記憶體管理電路 202 會配置整理表來記錄其中資料已被刪除的邏輯頁面。具體來說，整理表是由多個位元所組成並且每一位元是對應其中一個邏輯頁面。當接收到整理指令時，記憶體管理電路 202

會在整理表中將對應此整理指令的邏輯頁面所對應的位元設定為標記值，以標示儲存於此邏輯頁面中的資料皆已被主機系統 1000 所刪除。例如，在整理表中所有位元的初始值會被設定為"0"，並且此標記值是被設計為"1"。

在本範例實施例中，當更新資料的每一資料位元為特定值時，記憶體管理電路 202 亦會更改整理表，以在整理表中將此更新資料所對應之邏輯頁面所對應的位元設定為標記值，而不將更新資料實際地寫入至所映射之實體頁面中。

圖 10 是根據本發明第二範例實施例所繪示的資料寫入方法的流程圖。

請參照圖 10，在步驟 S1001 中記憶體控制器 104 的記憶體管理電路 202 從主機系統 1000 中接收到寫入指令，並且在步驟 S1003 中記憶體管理電路 202 會判斷欲寫入資料的每一資料位元是否為特定值。

倘若欲寫入資料的每一資料位元非為特定值時，則在步驟 S1005 中，記憶體管理電路 202 會將資料寫入至可複寫式非揮發性記憶體模組 106 的其中一個實體頁面中。例如，記憶體管理電路 202 會以上述一般寫入程序來寫入資料。一般寫入程序已配合圖式詳細描述如上，在此不再重複描述。

倘若欲寫入資料的每一資料位元為特定值時，則在步驟 S1007 中，記憶體管理電路 202 在整理表的對應位元中設定標記值。

另外，當記憶體控制器 104 的記憶體管理電路 202 從主機系統 1000 中接收到整理指令(S1009)時，並且步驟 S1007 會被執行。

圖 11 是根據本發明第二範例實施例所繪示的資料讀取方法的流程圖。

請參照圖 11，在步驟 S1101 中記憶體控制器 104 的記憶體管理電路 202 從主機系統 1000 中接收到讀取指令，並且在步驟 S1103 中記憶體管理電路 202 會識別此讀取指令所對應的邏輯頁面。

然後，在步驟 S1105 中，記憶體管理電路 202 會判斷在整理表中對應此邏輯頁面的位元是否被設定為標記值。

倘若在整理表中對應此邏輯頁面的位元未被設定為標記值時，則在步驟 S1107 中，記憶體管理電路 202 會從所映射的實體頁面中讀取資料並且將所讀取的資料傳送給主機系統 1000。

倘若在整理表中對應此邏輯頁面的位元已被設定為標記值時，則在步驟 S1109 中，記憶體管理電路 202 會將特定值傳送給主機系統 1000。

綜上所述，本發明範例實施例的資料寫入方法會識別主機系統所寫入的資料的態樣，並且當主機系統所寫入的資料的態樣符合特定態樣時，不會將資料實際地寫入至實體頁面中，由此縮短執行寫入指令的時間。此外，由於資料未被實際地寫入至實體區塊中，因此當此實體區塊被再次用於寫入資料時無需執行抹除運作。基此，本發明範例

實施例的資料寫入方法可減少實體區塊的磨損，由此延長記憶體儲存裝置的壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1A 是根據本發明第一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據本發明第一範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 4A 與圖 4B 是根據本發明第一範例實施例所繪示管理可複寫式非揮發性記憶體模組之實體區塊的示意圖。

圖 5A 是根據本發明第一範例實施例所繪示之以一般寫入程序的範例。

圖 5B 是根據圖 5A 所繪示之資料識別表的範例。

圖 6A 是根據本發明第一範例實施例所繪示之以特殊

寫入程序的範例。

圖 6B 是根據圖 6A 所繪示之資料識別表的範例。

圖 7 是根據本發明另一範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 8 是根據本發明第一範例實施例所繪示的資料寫入方法的流程圖。

圖 9 是根據本發明第一範例實施例所繪示的資料讀取方法的流程圖。

圖 10 是根據本發明第二範例實施例所繪示的資料寫入方法的流程圖。

圖 11 是根據本發明第二範例實施例所繪示的資料讀取方法的流程圖。

#### 【主要元件符號說明】

1000：主機系統

1100：電腦

1102：微處理器

1104：隨機存取記憶體

1106：輸入/輸出裝置

1108：系統匯流排

1110：資料傳輸介面

1202：滑鼠

1204：鍵盤

1206：顯示器

- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接器
- 104：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 252：緩衝記憶體
- 254：電源管理電路
- 256：錯誤檢查與校正電路
- 262：比對電路
- 264：暫存器電路
- 410(0)~410(N)：實體區塊
- 502：系統區

504：資料區

506：閒置區

508：取代區

610(0)~610(H)：邏輯區塊

710(0)~710(K)：邏輯存取位址

750：資料識別表

S801、S803、S805、S807：資料寫入的步驟

S901、S903、S905、S907、S909：資料讀取的步驟

S1001、S1003、S1005、S1007、S1009：資料寫入的  
步驟

S1101、S1103、S1105、S1107、S1109：資料讀取的  
步驟



## 七、申請專利範圍：

1. 一種資料寫入方法，用於一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體區塊，每一該些實體區塊具有多個實體頁面，部分的該些實體區塊映射多個邏輯區塊並且每一該些邏輯區塊具有多個邏輯頁面，該資料寫入方法包括：

配置一整理表(Trim Table)，其中該整理表具有多個位元並且該些位元分別地對應該些邏輯頁面；

接收一資料，其中該資料具有多個資料位元並屬於該些邏輯頁面之中的其中一個邏輯頁面；

判斷每一該些資料位元是否為一特定值；

當每一該些資料位元為該特定值時，不將該資料寫入至該些實體頁面中，並將該整理表的該些位元之中對應該其中一個邏輯頁面的一位元設定為一標記值；

當該些資料位元之中的任一資料位元非為該特定值時，將該資料寫入至該些實體頁面之中的其中一個實體頁面中；以及

當接收到一整理(Trim)指令時，在該整理表中將該些邏輯頁面之中對應該整理指令的至少一邏輯頁面所對應的至少一位元設定為該標記值。

2. 如申請專利範圍第 1 項所述之資料寫入方法，其中判斷每一該些資料位元是否為該特定值的步驟包括：

從一暫存器電路中載入一旗標值；以及

根據該旗標值識別每一該些資料位元為該特定值。

3. 一種記憶體控制器，用於管理一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體區塊並且每一該些實體區塊具有多個實體頁面，該記憶體控制器包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，其中該記憶體管理電路用以配置多個邏輯區塊以映射部分的該些實體區塊，其中每一該些邏輯區塊具有多個邏輯頁面，

其中該記憶體管理電路更用以配置一整理表(Trim Table)，其中該整理表具有多個位元並且該些位元分別地對應該些邏輯頁面，

其中該記憶體管理電路更用以從該主機系統中接收一資料，其中該資料具有多個資料位元並屬於該些邏輯頁面之中的其中一個邏輯頁面，

其中該記憶體管理電路更用以判斷每一該些資料位元是否為一特定值，

其中當每一該些資料位元為該特定值時，該記憶體管理電路不將該資料寫入至該些實體頁面中，並將該整理表的該些位元之中對應該其中一個邏輯頁面的一位元設定為一標記值，

當該些資料位元之中的任一資料位元非為該特定值

時，該記憶體管理電路更用以將該資料寫入至該些實體頁面之中的其中一個實體頁面中，

當接收到一整理(Trim)指令時，該記憶體管理電路更用以在該整理表中將該些邏輯頁面之中對應該整理指令的至少一邏輯頁面所對應的至少一位元設定為該標記值。

4. 如申請專利範圍第3項所述之記憶體控制器，更包括：

一暫存器電路；以及

一比對電路，耦接該暫存器電路，用以確認每一該些資料位元是否為該特定值，並且當每一該些資料位元為該特定值時，在該暫存器電路中儲存一旗標值，

其中該記憶體管理電路從該暫存器電路中載入該旗標值並且根據該旗標值識別每一該些資料位元為該特定值。

5. 一種記憶體儲存裝置，包括：

一連接器，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，具有多個實體區塊並且每一該些實體區塊具有多個實體頁面；以及

一記憶體控制器，耦接至該連接器與該可複寫式非揮發性記憶體模組，

其中該記憶體控制器更用以配置一整理表(Trim Table)，其中該整理表具有多個位元並且該些位元分別地對應該些邏輯頁面，

其中該記憶體控制器用以配置多個邏輯區塊以映射

部分的該些實體區塊，其中每一該些邏輯區塊具有多個邏輯頁面，

其中該記憶體控制器更用以從該主機系統中接收一資料，其中該資料具有多個資料位元並屬於該些邏輯頁面之中的其中一個邏輯頁面，

其中該記憶體控制器更用以判斷每一該些資料位元是否為一特定值，

其中當每一該些資料位元為該特定值時，該記憶體控制器不將該資料寫入至該些實體頁面中，並將該整理表的該些位元之中對應該其中一個邏輯頁面的一位元設定為一標記值，

當該些資料位元之中的任一資料位元非為該特定值時，該記憶體控制器更用以將該資料寫入至該些實體頁面之中的其中一個實體頁面中，

當接收到一整理(Trim)指令時，該記憶體控制器更用以在該整理表中將該些邏輯頁面之中對應該整理指令的至少一邏輯頁面所對應的至少一位元設定為該標記值。

6. 如申請專利範圍第 5 項所述之記憶體儲存裝置，更包括：

一暫存器電路；以及

一比對電路，耦接該暫存器電路，用以確認每一該些資料位元是否為該特定值，並且當每一該些資料位元為該特定值時，在該暫存器電路中儲存一旗標值，

其中該記憶體控制器從該暫存器電路中載入該旗標值並且根據該旗標值識別每一該些資料位元為該特定值。

35939TW\_J

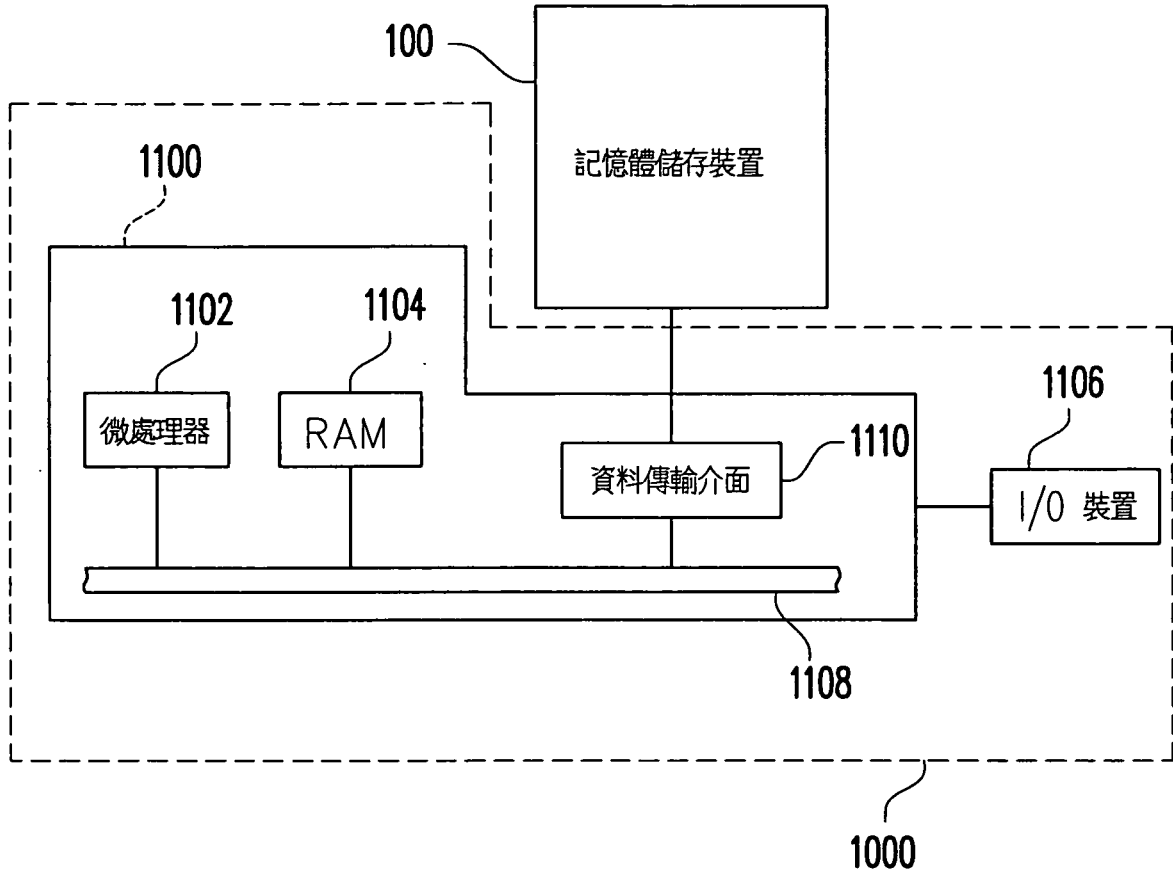


圖 1A

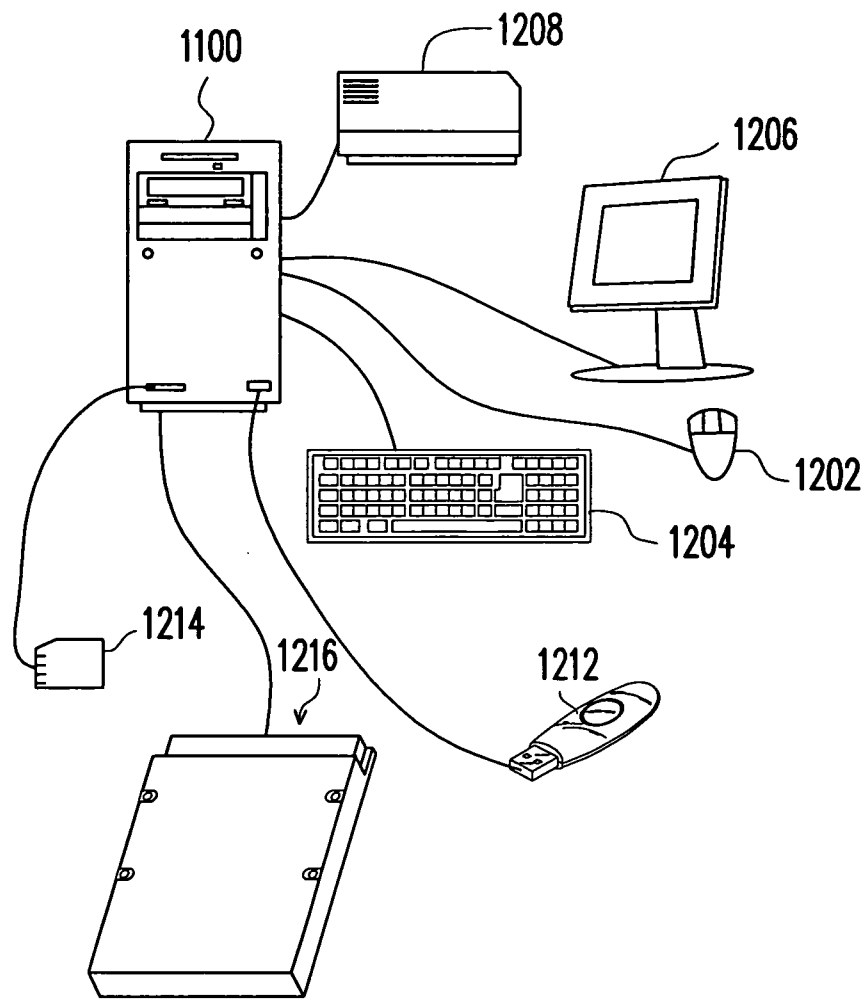


圖 1B

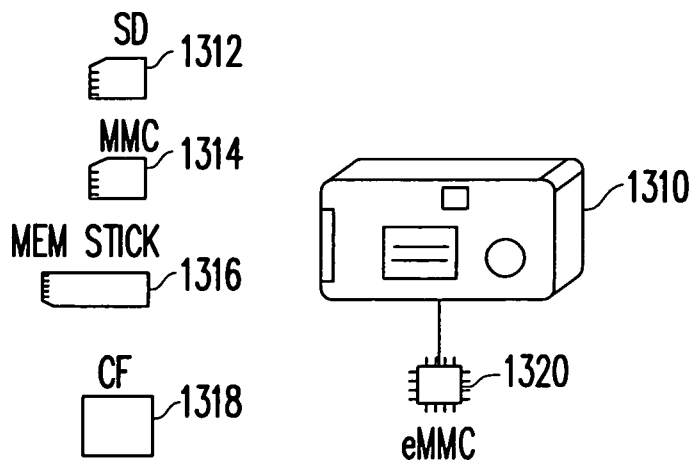


圖 1C

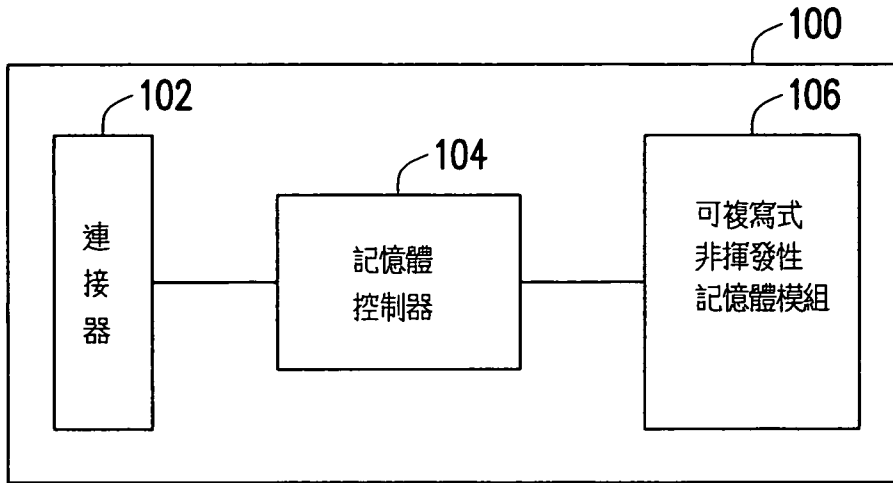


圖 2

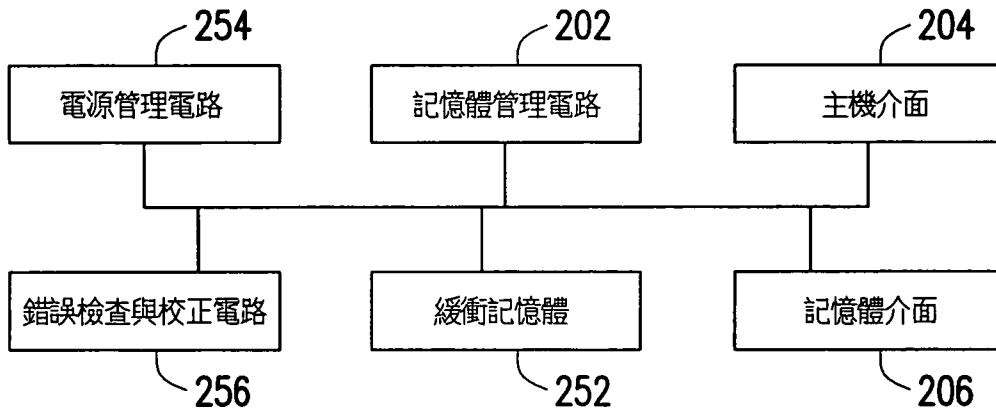


圖 3

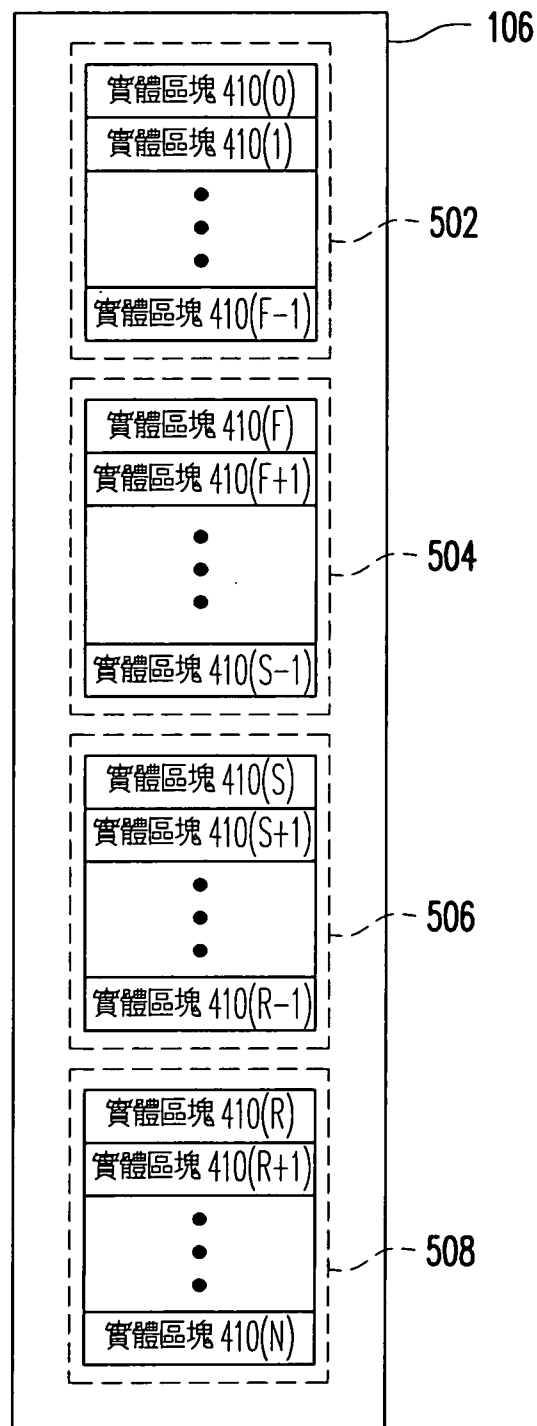


圖 4A



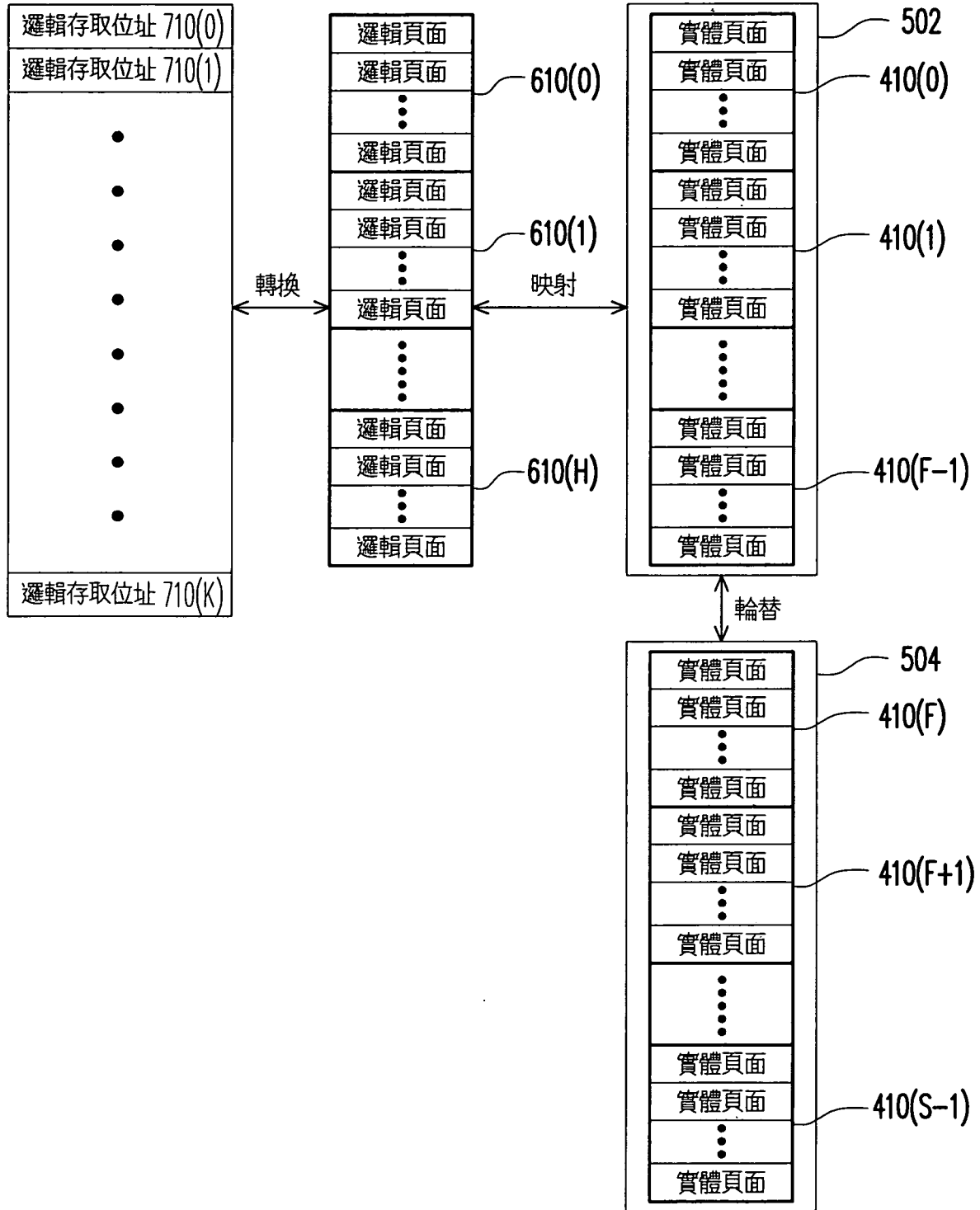


圖 4B

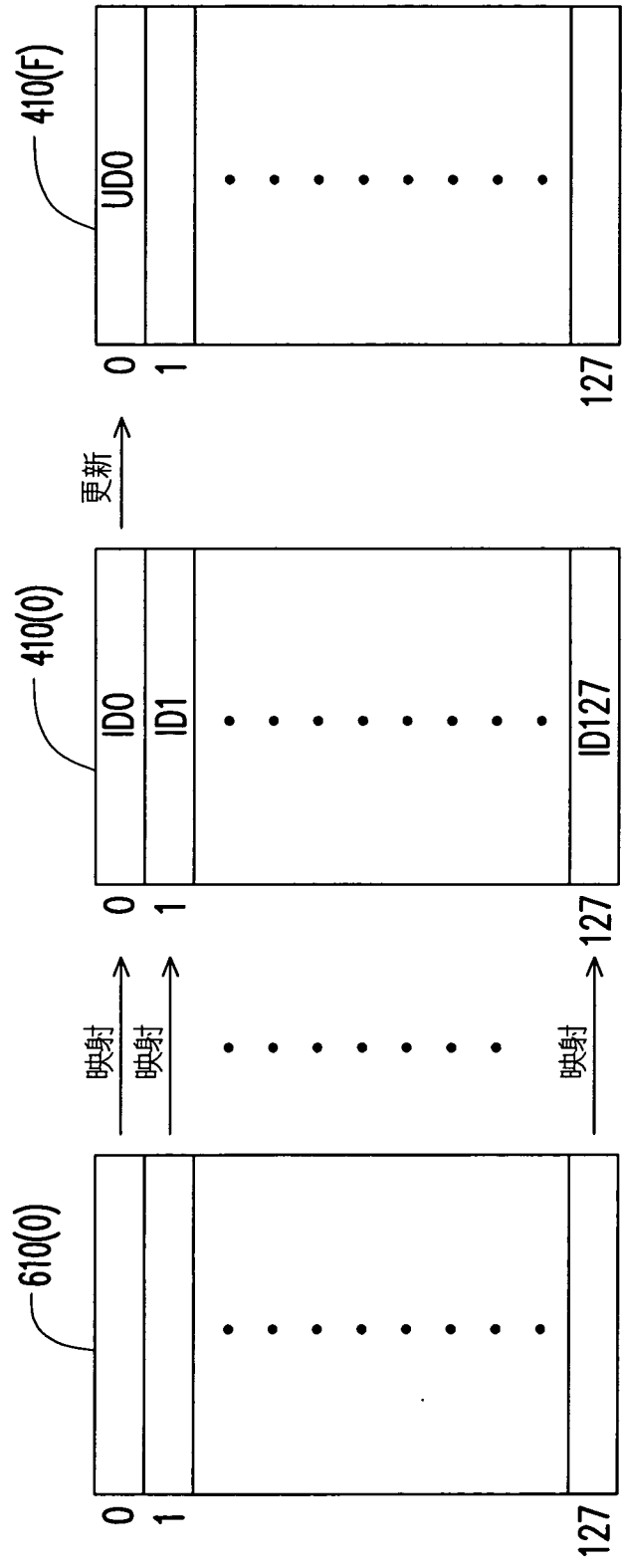


圖 5A

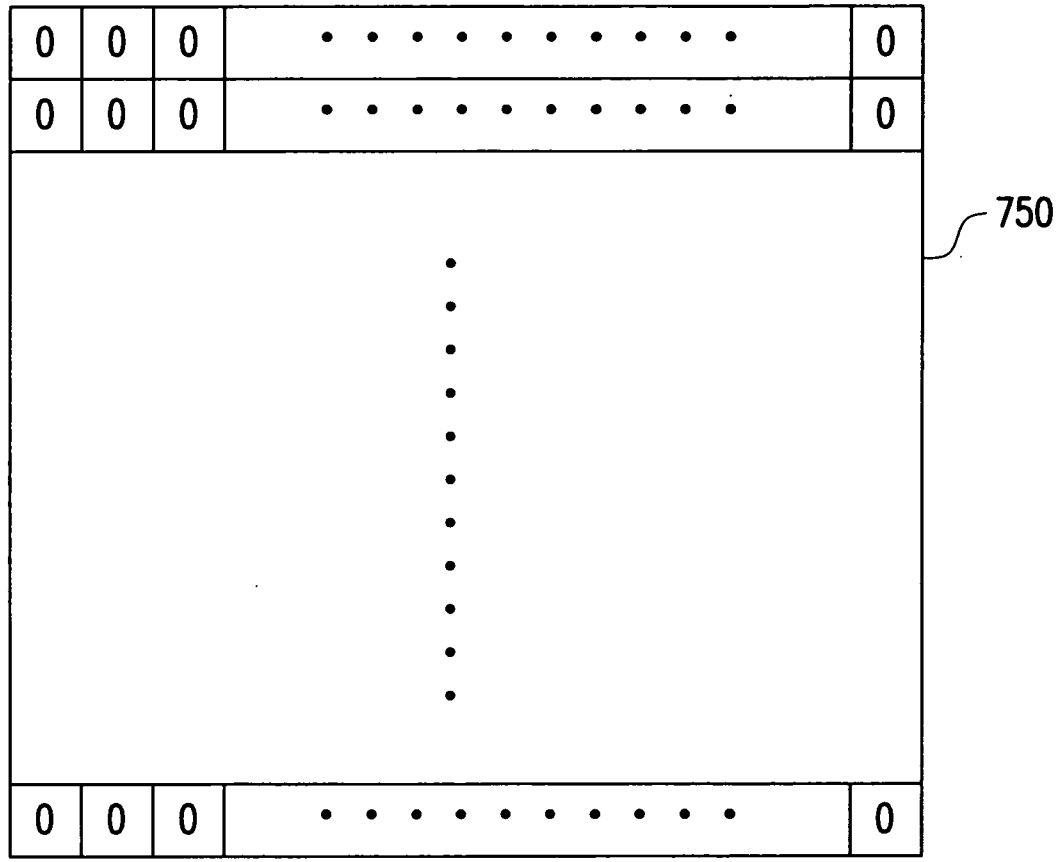


圖 5B

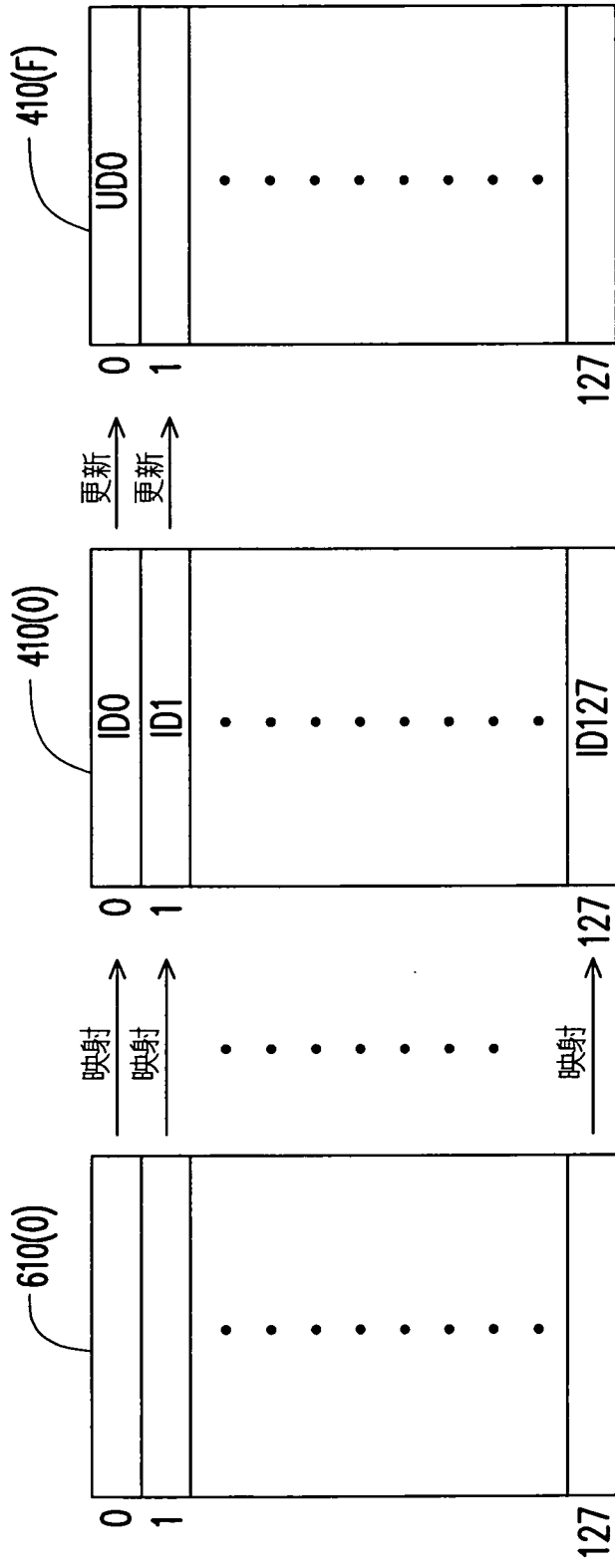


圖 6A

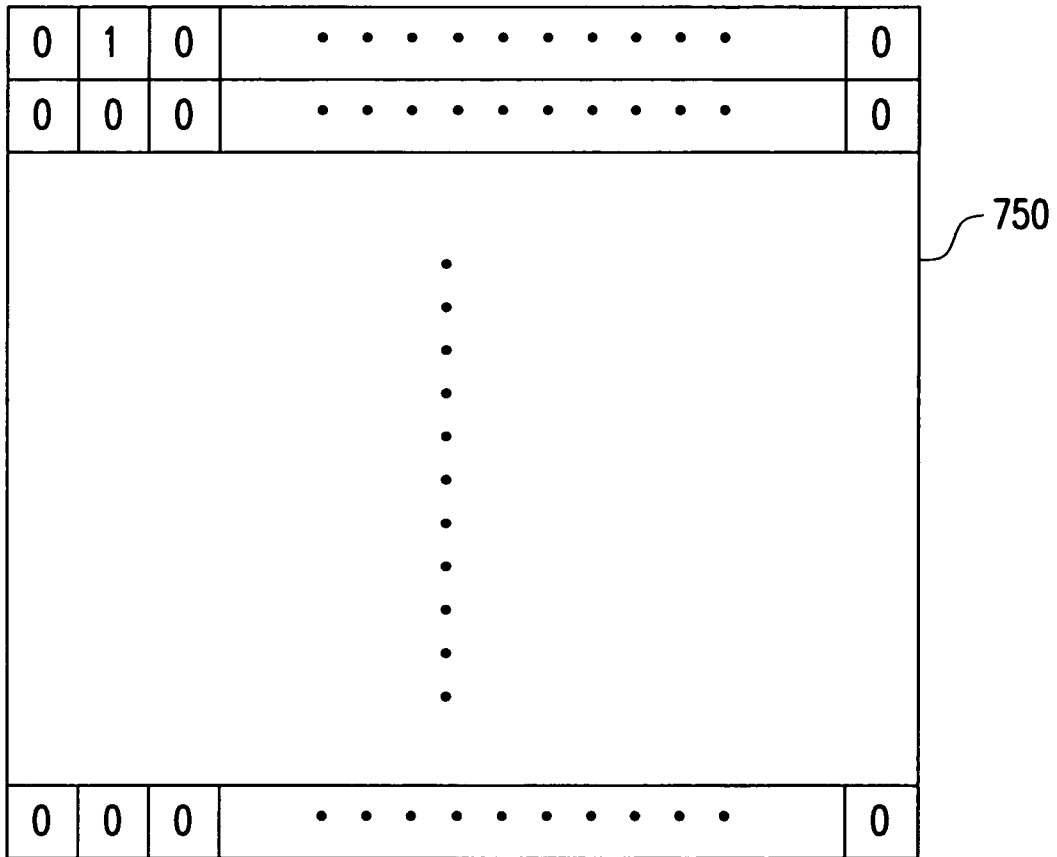


圖 6B

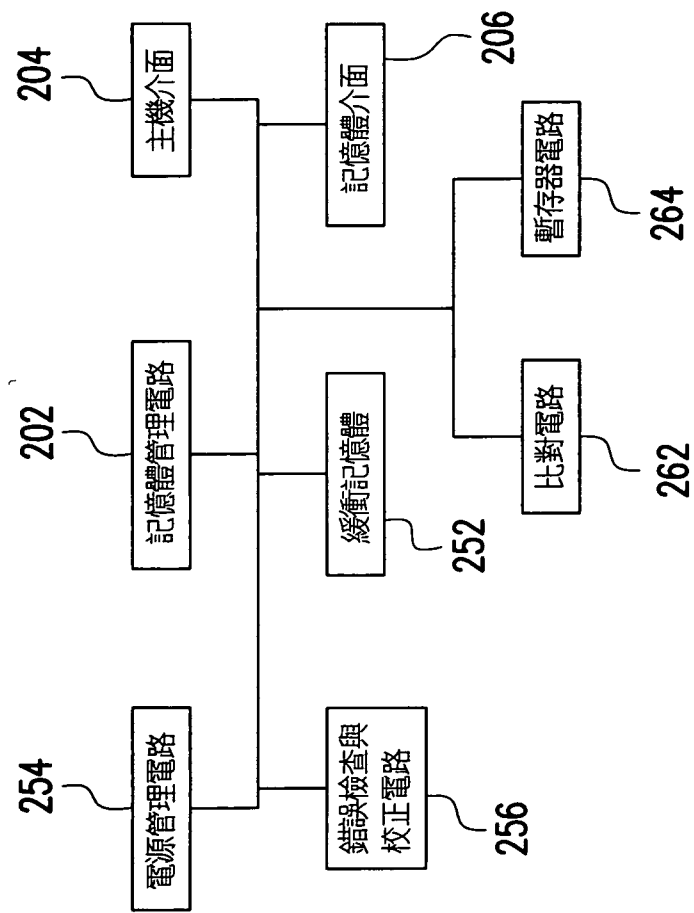


圖 7

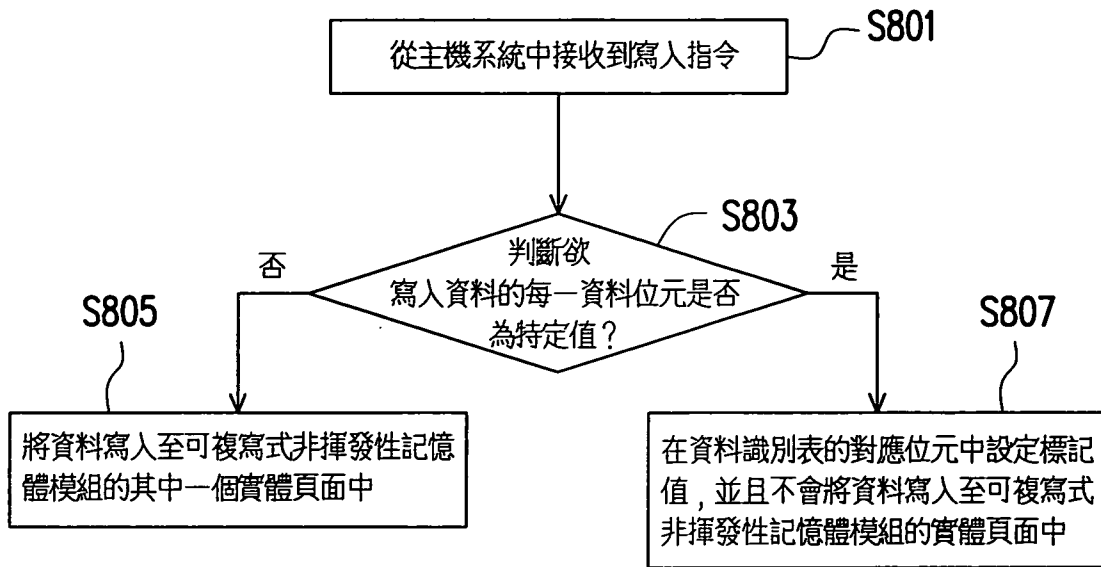


圖 8

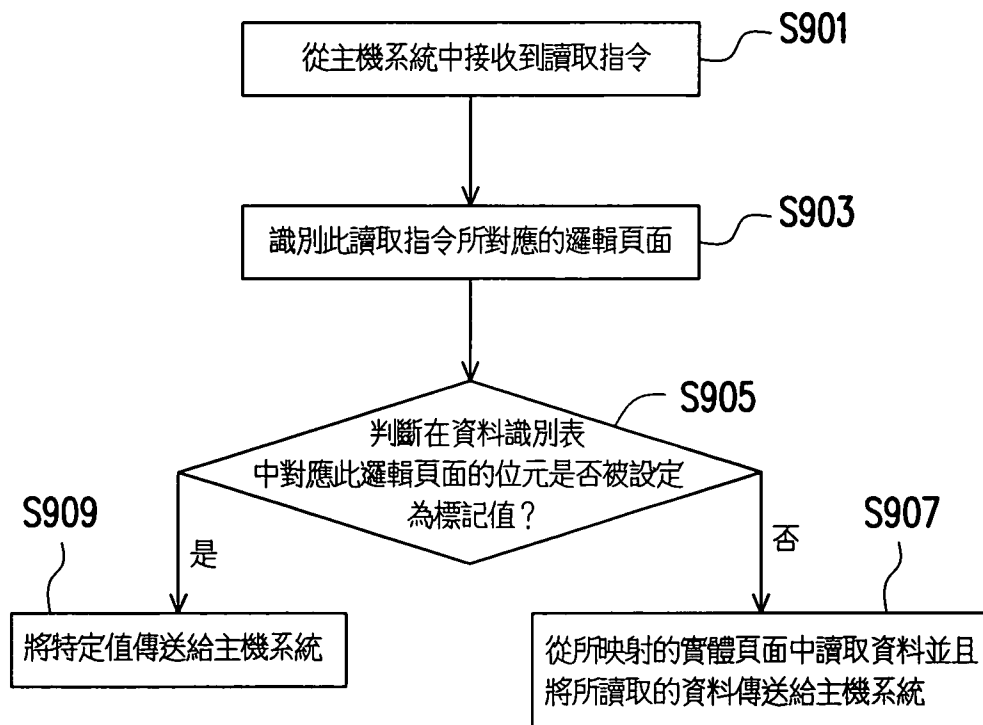


圖 9

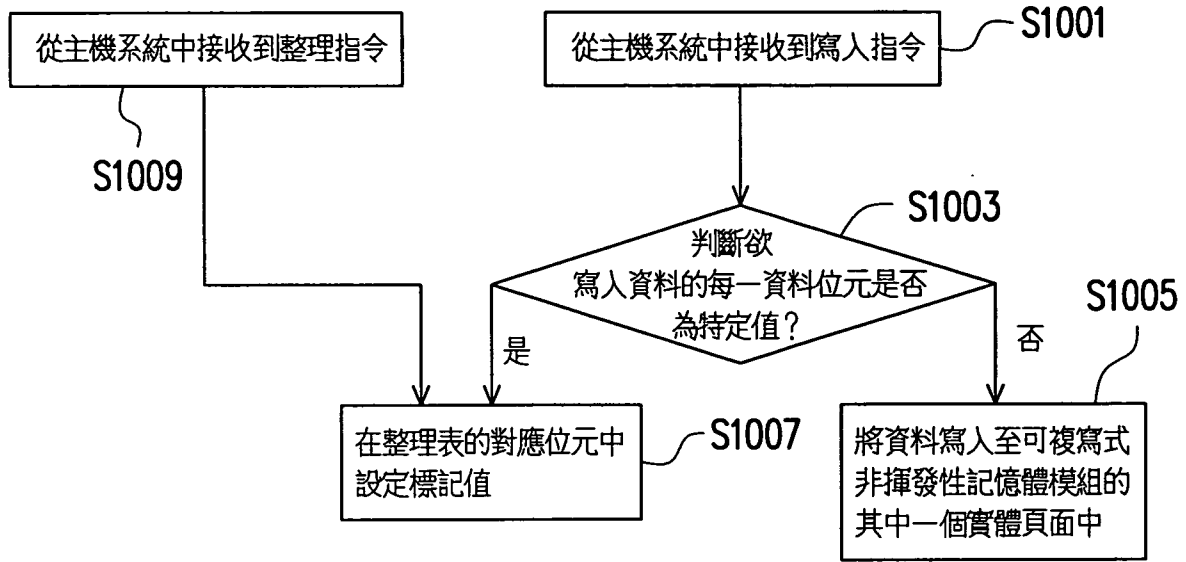


圖 10

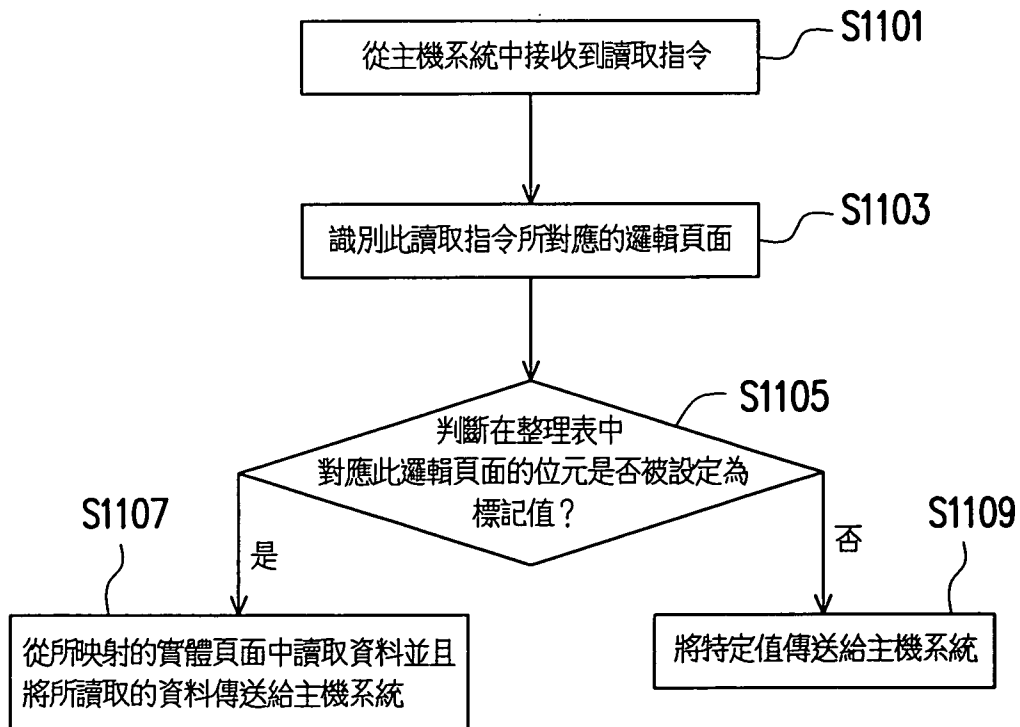


圖 11