



(12) 发明专利

(10) 授权公告号 CN 101593561 B

(45) 授权公告日 2011. 11. 09

(21) 申请号 200910146890. 6

1-2, 5-7.

(22) 申请日 2009. 06. 19

CN 100389452 C, 2008. 05. 21, 说明书第 1 页 7-8 行, 第 1 页 20 行-第 2 页 3 行, 第 6 页 18-第 7 页 2 行, 第 7 页 5-13, 25, 27-28 行、附图 1-2, 5-7.

(73) 专利权人 友达光电股份有限公司
地址 中国台湾新竹市

(72) 发明人 许哲豪 陈文彬 余秋美 张立勋

审查员 陈学元

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 钱大勇

(51) Int. Cl.

G11C 19/00(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 1667754 A, 2005. 09. 14, 全文.

CN 1921018 A, 2007. 02. 28, 全文.

WO 03/107314 A2, 2003. 12. 24, 说明书第 49 页 18 行-第 50 页 15 行、附图 24.

CN 101000417 A, 2007. 07. 18, 第 4 页 7-18 行、附图 3A.

CN 100389452 C, 2008. 05. 21, 说明书第 1 页 7-8 行, 第 1 页 20 行-第 2 页 3 行, 第 6 页 18-第 7 页 2 行, 第 7 页 5-13, 25, 27-28 行、附图

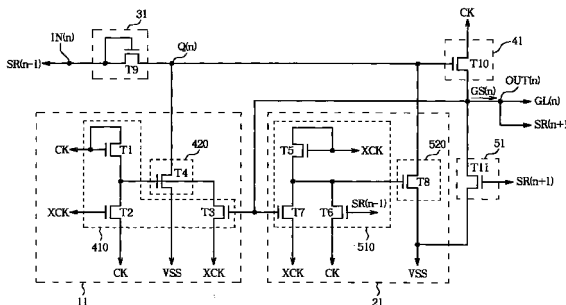
权利要求书 5 页 说明书 6 页 附图 7 页

(54) 发明名称

液晶显示器

(57) 摘要

液晶显示器的移位寄存器依据两时钟信号来运作, 并利用两下拉晶体管来维持输出晶体管的栅极电位。两下拉晶体管的栅极电位在时钟信号的高低电位之间周期性地切换。在输出周期内, 两下拉晶体管的栅极-源极电压为负值。



1. 一种移位寄存器,其包含多级串接的移位暂存单元,其中每一级移位暂存单元包含:

输入端,用来接收输入电压;

输出端,用来提供输出电压;

节点;

输入电路,用来将该输入电压传至该节点;

提升电路,用来依据第一时钟信号和该节点的电位提供该输出电压,其中该第一时钟信号是以预定周期在高电位和低电位之间切换极性;

第一下拉电路,用来依据该第一时钟信号和第二时钟信号来维持该节点的电位,其中该第二时钟信号是以该预定周期在该高电位和该低电位之间切换极性,且在同一周期内该第一和第二时钟信号的电位相反,该第一下拉电路包含:

第一下拉单元,用来依据第一控制信号来控制第一偏压和该节点之间的信号导通路,其中该第一偏压的电位高于该第一和第二时钟信号的低电位;及

第一控制单元,用来依据该第一时钟信号、该第二时钟信号和该输出电压的电位输出该第一或第二时钟信号以作为该第一控制信号;及

第二下拉电路,用来依据该第二时钟信号和前级移位暂存单元传来的信号来维持该节点的电位,该第二下拉电路包含:

第二下拉单元,用来依据第二控制信号来控制第二偏压和该节点之间的信号导通路,其中该第二偏压的电位高于该第一和第二时钟信号的低电位;及

第二控制单元,用来依据该第一时钟信号、该前级移位暂存单元传来的信号和该输出电压的电位来输出该第一或第二时钟信号以作为该第二控制信号,

其中该第一控制单元包含:

第一开关,包含:

第一端,用来接收该第一时钟信号;

第二端,用来输出该第一控制信号;及

控制端,耦接于该第一开关的第一端;

第二开关,包含:

第一端,耦接于该第一开关的第二端;

第二端,用来接收该第一时钟信号;

控制端,用来接收该第二时钟信号;及

第三开关,包含:

第一端,耦接于该第一开关的第二端;

第二端,用来接收该第二时钟信号;及

控制端,用来接收该输出信号。

2. 根据权利要求 1 所述的移位寄存器,其中该第一下拉单元包含:

第四开关,包含:

第一端,耦接于该节点;

第二端,用来接收该第一偏压;及

控制端,用来接收该第一控制信号。

3. 根据权利要求 1 所述的移位寄存器,其中该第二控制单元包含:
 - 第五开关,包含:
 - 第一端,用来接收该第二时钟信号;
 - 第二端,用来输出该第二控制信号;及
 - 控制端,耦接于该第五开关的第一端;
 - 第六开关,包含:
 - 第一端,耦接于该第五开关的第二端;
 - 第二端,用来接收该第一时钟信号;
 - 控制端,用来接收该前级移位暂存单元传来的信号;及
 - 第七开关,包含:
 - 第一端,耦接于该第五开关的第二端;
 - 第二端,用来接收该第二时钟信号;及
 - 控制端,用来接收该输出信号。
4. 根据权利要求 3 所述的移位寄存器,其中该第二下拉单元包含:
 - 第八开关,包含:
 - 第一端,耦接于该节点;
 - 第二端,用来接收该第二偏压;及
 - 控制端,用来接收该第二控制信号。
5. 根据权利要求 1 所述的移位寄存器,其中该输入电路包含:
 - 第九开关,包含:
 - 第一端,耦接于该移位暂存单元的输入端;
 - 第二端,耦接于该节点;及
 - 控制端,耦接于该第九开关的第一端。
6. 根据权利要求 1 所述的移位寄存器,其中该输入电路包含:
 - 第九开关,包含:
 - 第一端,耦接于该移位暂存单元的输入端;
 - 第二端,耦接于该节点;及
 - 控制端,用来接收该第二时钟信号。
7. 根据权利要求 1 所述的移位寄存器,其中该提升电路包含:
 - 第十开关,包含:
 - 第一端,用来接收该第一时钟信号;
 - 第二端,耦接于该移位暂存单元的输出端;及
 - 控制端,耦接于该节点。
8. 根据权利要求 1 所述的移位寄存器,还包含:
 - 第十一开关,包含:
 - 第一端,耦接于该移位暂存单元的输出端;
 - 第二端,用来接收该第二偏压;及
 - 控制端,耦接于下级移位暂存单元。
9. 根据权利要求 1 所述的移位寄存器,其中该移位寄存器的输入端耦接于前级移位寄

存器的输出端以接收该输入信号。

10. 根据权利要求 1 所述的移位寄存器,其中该第一和第二偏压具相同电位。

11. 一种液晶显示器,包含:

像素阵列;

信号产生电路,用来提供第一时钟信号和第二时钟信号,其中该第一和第二时钟信号是以预定周期在高电位和低电位之间切换极性,且在同一周期内该第一和第二时钟信号的电位相反;

电压源,用来提供偏压,其中该偏压的电位高于该第一和第二时钟信号的低电位;及

移位寄存器电路,用来驱动该像素阵列,该移位寄存器电路包含多级串接的移位暂存单元,每一级移位暂存单元包含:

输入端,用来接收输入电压;

输出端,用来提供输出电压;

节点;

输入电路,用来将该输入电压传至该节点;

提升电路,用来依据该第一时钟信号和该节点的电位提供该输出电压;

第一下拉电路,用来依据该第一和该第二时钟信号来维持该节点的电位,该第一下拉电路包含:

第一下拉单元,用来依据第一控制信号来控制该偏压和该节点之间的信号导通路径;及

第一控制单元,用来依据该第一时钟信号、该第二时钟信号和该输出电压的电位输出该第一或该第二时钟信号以作为该第一控制信号;及

第二下拉电路,用来依据该第二时钟信号和前级移位暂存单元传来的信号来维持该节点的电位,该第二下拉电路包含:

第二下拉单元,用来依据第二控制信号来控制该偏压和该节点之间的信号导通路径;及

第二控制单元,用来依据该第一时钟信号、该前级移位暂存单元传来的信号和该输出电压的电位来输出该第一或该第二时钟信号以作为该第二控制信号,

其中该第一控制单元包含:

第一开关,包含:

第一端,用来接收该第一时钟信号;

第二端,用来输出该第一控制信号;及

控制端,耦接于该第一开关的第一端;

第二开关,包含:

第一端,耦接于该第一开关的第二端;

第二端,用来接收该第一时钟信号;

控制端,用来接收该第二时钟信号;及

第三开关,包含:

第一端,耦接于该第一开关的第二端;

第二端,用来接收该第二时钟信号;及

控制端,用来接收该输出信号。

12. 根据权利要求 11 所述的液晶显示器,其中该第一下拉单元包含:

第四开关,包含:

第一端,耦接于该节点;

第二端,用来接收该偏压;及

控制端,用来接收该第一控制信号。

13. 根据权利要求 11 所述的液晶显示器,其中该第二控制单元包含:

第五开关,包含:

第一端,用来接收该第二时钟信号;

第二端,用来输出该第二控制信号;及

控制端,耦接于该第五开关的第一端;

第六开关,包含:

第一端,耦接于该第五开关的第二端;

第二端,用来接收该第一时钟信号;

控制端,用来接收该前级移位暂存单元传来的信号;及

第七开关,包含:

第一端,耦接于该第五开关的第二端;

第二端,用来接收该第二时钟信号;及

控制端,用来接收该输出信号。

14. 根据权利要求 13 所述的液晶显示器,其中该第二下拉单元包含:

第八开关,包含:

第一端,耦接于该节点;

第二端,用来接收该偏压;及

控制端,用来接收该第二控制信号。

15. 根据权利要求 11 所述的液晶显示器,其中该输入电路包含:

第九开关,包含:

第一端,耦接于该移位暂存单元的输入端;

第二端,耦接于该节点;及

控制端,耦接于该第九开关的第一端。

16. 根据权利要求 11 所述的液晶显示器,其中该输入电路包含:

第九开关,包含:

第一端,耦接于该移位暂存单元的输入端;

第二端,耦接于该节点;及

控制端,用来接收该第二时钟信号。

17. 根据权利要求 11 所述的液晶显示器,其中该提升电路包含:

第十开关,包含:

第一端,用来接收该第一时钟信号;

第二端,耦接于该移位暂存单元的输出端;及

控制端,耦接于该节点。

18. 根据权利要求 11 所述的液晶显示器,还包含:

第十一开关,包含:

第一端,耦接于该移位暂存单元的输出端;

第二端,用来接收该偏压;及

控制端,耦接于下级移位暂存单元。

19. 根据权利要求 11 所述的液晶显示器,其中该移位寄存器的输入端耦接于前级移位寄存器的输出端以接收该输入信号。

液晶显示器

技术领域

[0001] 本发明相关于一种液晶显示器的移位寄存器,尤指一种可降低漏电的液晶显示器的移位寄存器。

背景技术

[0002] 液晶显示器 (liquid crystal display, LCD) 具有低辐射、体积小及低耗能等优点,已逐渐取代传统的阴极射线管显示器 (cathode ray tube display, CRT),因而被广泛地应用在笔记本型计算机、个人数字助理 (personal digital assistant, PDA)、平面电视或移动电话等信息产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的像素以显示图像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,例如将栅极驱动电路 (gate driver) 集成于液晶面板 (gate on array, GOA) 的技术。

[0003] 请参考图 1,图 1 为先前技术中液晶显示装置 100 的简化方块示意图。图 1 仅显示了液晶显示装置 100 的部分结构,包含多条栅极线 $GL(1) \sim GL(N)$ 、移位寄存器 (shift register) 110、时钟产生器 120 和电源产生器 130。时钟产生器 120 可提供移位寄存器 110 运作所需的起始脉冲信号 VST 和两时钟信号 CK 和 XCK,而电源产生器 130 可提供移位寄存器 110 运作所需的电压 VSS 或 VSS'。时钟信号 CK 和 XCK 以预定周期在高低电位之间切换,且在同一时间具相反相位。时钟信号 CK 和 XCK 的高电位和低电位分别由 VGH 和 VGL 来表示,其中时钟信号 CK 和 XCK 的低电位 VGL 低于电压 VSS 的电位。

[0004] 移位寄存器 110 包含有多级串接的移位暂存单元 $SR(1) \sim SR(N)$,其输出端分别耦接于相对应的栅极线 $GL(1) \sim GL(N)$ 。依据时钟信号 CK、XCK 和起始脉冲信号 VST,移位寄存器 110 可分别通过移位暂存单元 $SR(1) \sim SR(N)$ 依序输出栅极驱动信号 $GS(1) \sim GS(N)$ 至相对应的栅极线 $GL(1) \sim GL(N)$ 。在先前技术的液晶显示装置 100 中,每一移位暂存单元皆包含第一下拉电路 (pull-down circuit)、第二下拉电路、输入电路、提升电路 (pull-up circuit),以及维持电路。第一下拉电路包含第一下拉单元和第一控制电路,而第二下拉电路包含第二下拉单元和第二控制电路。

[0005] 请参考图 2,图 2 为先前技术的多级移位暂存单元 $SR(1) \sim SR(N)$ 中第 n 级移位暂存单元 $SR(n)$ 的示意图 (n 为介于 1 和 N 之间的整数)。移位暂存单元 $SR(n)$ 包含输入端 $IN(n)$ 、输出端 $OUT(n)$ 、第一下拉电路 10、第二下拉电路 20、输入电路 30、提升电路 40 以及维持电路 50。移位暂存单元 $SR(N)$ 的输入端 $IN(n)$ 耦接于前一级移位暂存单元 $SR(n-1)$,而移位暂存单元 $SR(n)$ 的输出端 $OUT(n)$ 耦接于下一级移位暂存单元 $SR(n+1)$ 和栅极线 $GL(n)$ 。

[0006] 输入电路 30 包含晶体管开关 T9,提升电路 40 包含晶体管开关 T10,而维持电路 50 包含晶体管开关 T11,晶体管开关 T9 ~ T11 可接收前一级移位暂存单元 $SR(n-1)$ 传来的栅极驱动信号 $GS(n-1)$,并依此产生第 n 级输出的栅极驱动信号 $GS(n)$ 。

[0007] 在第一下拉电路 10 中,第一控制电路 110 包含晶体管开关 T1 ~ T3,而第一下拉单

元 120 包含晶体管开关 T4。晶体管开关 T1 ~ T3 可依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 来维持晶体管开关 T4 的栅极电位,而晶体管开关 T4 可依据其栅极电位来维持端点 Q(n) 的电位。串接的晶体管开关 T1 和 T2 于栅极分别接收彼此反向的时钟信号 CK 和 XCK,而晶体管开关 T7 于栅极接收栅极驱动信号 GS(n),因此能依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 的电位来将晶体管开关 T4 的栅极维持在高电位 VGH 或低电位 VSS。晶体管开关 T4 的漏极耦接于端点 Q(n),而源极耦接于电源产生器 130 以接收具低电位 VSS 的电压,因此能依据其栅极的电位来控制端点 Q(n) 和具低电位 VSS 的电压之间的信号导通路径。

[0008] 在第二下拉电路 20 中,第二控制电路 210 包含晶体管开关 T5 ~ T7,而第二下拉单元 220 包含晶体管开关 T8。晶体管开关 T5 ~ T7 可依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 来维持晶体管开关 T8 的栅极电位,而晶体管开关 T8 可依据其栅极电位来维持端点 Q(n) 的电位。串接的晶体管开关 T5 和 T6 于栅极分别接收彼此反向的时钟信号 XCK 和 CK,而晶体管开关 T7 于栅极接收栅极驱动信号 GS(n),因此能依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 的电位来将晶体管开关 T8 的栅极维持在高电位 VGH 或低电位 VSS。晶体管开关 T8 的漏极耦接于端点 Q(n),而源极耦接于电源产生器 130 以接收具低电位 VSS 的电压,因此能依据其栅极的电位来控制端点 Q(n) 和具低电位 VSS 的电压之间的信号导通路径。

[0009] 在第 n 级输出周期外的其它时间,端点 Q(n) 需维持在低电位以确保晶体管开关 T10 为关闭,如此栅极驱动信号 GS(n) 才能维持在低电位,此时由第一下拉电路 10 和第二下拉电路 20 来分别负责 50% 的下拉运作。当时钟信号 CK 具高电位时,晶体管开关 T1 为导通而晶体管开关 T2 为关闭,晶体管开关 T4 的栅极会被导通的晶体管开关 T1 拉至时钟信号 CK 的高电位 VGH,进而开启晶体管开关 T4 以将端点 Q(n) 拉至低电位 VSS,此时由第一下拉电路 10 来负责下拉运作;当时钟信号 XCK 具高电位时,晶体管开关 T5 为导通而晶体管开关 T6 为关闭,晶体管开关 T8 的栅极会被导通的晶体管开关 T5 拉至时钟信号 XCK 的高电位 VGH,进而开启晶体管开关 T8 以将端点 Q(n) 拉至低电位 VSS,此时由第二下拉电路 20 来负责下拉运作。

[0010] 在第 n 级输出周期内,端点 Q(n) 需维持在高电位以开启晶体管开关 T10,进而输出具高电位的栅极驱动信号 GS(n)。为了让第一下拉电路 10 和第二下拉电路 20 停止下拉运作,晶体管开关 T4 和 T8 需被关闭,亦即通过晶体管开关 T3 和 T7 在栅极驱动信号 GS(n) 具高电位时将晶体管开关 T4 和 T8 的栅极维持在低电位 VSS。然而,将晶体管开关 T4 和 T8 的栅极由高电位 VGH 拉至低电位 VSS 的过程需要一段时间,在这段期间端点 Q(n) 可能会发生漏电而影响晶体管开关 T2 的导通,如此栅极驱动信号 GS(n) 可能无法达到预期电位。

[0011] 请参考图 3,图 3 为另一先前技术的多级移位暂存单元 SR(1) ~ SR(N) 中第 n 级移位暂存单元 SR(n) 的示意图(n 为介于 1 和 N 之间的整数)。移位暂存单元 SR(n) 包含输入端 IN(n)、输出端 OUT(n)、第一下拉电路 16、第二下拉电路 26、输入电路 30、提升电路 40 以及维持电路 50。在图 3 和图 2 所示的移位暂存单元 SR(n) 中,输入电路 30、提升电路 40 和维持电路 50 的结构和运作相同。第一下拉电路 16 同样包含第一控制电路 110 和第一下拉单元 120,晶体管开关 T1 ~ T4 结构类似图 2,但晶体管开关 T3 和 T4 的源极接收具低电位 VSS 的电压,而晶体管开关 T2 的源极接收具低电位 VSS' 的电压;第二下拉电路 26 同样包含第二控制电路 210 和第二下拉单元 220,晶体管开关 T5 ~ T8 的结构类似图 2,但晶体管开关 T7 和 T8 的源极接收具低电位 VSS 的电压,而晶体管开关 T6 的源极接收具低电位 VSS'

的电压,其中 VSS 和 VSS' 为相异电位。

[0012] 在第 n 级输出周期外的其它时间,具低电位 VSS' 的电压可加快晶体管开关 T2 和 T6 的下拉运作。然而,在第 n 级输出周期内,将晶体管开关 T4 和 T8 的栅极由高电位 VGH 拉至低电位 VSS 的过程仍需要一段时间,在这段期间端点 Q(n) 可能会发生漏电而影响晶体管开关 T2 的导通,如此栅极驱动信号 GS(n) 可能无法达到预期电位。

发明内容

[0013] 本发明提供一种移位寄存器,其包含多级串接的移位暂存单元,其中每一级移位暂存单元包含输入端,用来接收输入电压;输出端,用来提供输出电压;节点;输入电路,用来将该输入电压传至该节点;提升电路,用来依据第一时钟信号和该节点的电位提供该输出电压,其中该第一时钟信号是以预定周期在高电位和低电位之间切换极性;第一下拉电路,用来依据该第一时钟信号和第二时钟信号来维持该节点的电位,其中该第二时钟信号是以该预定周期在该高电位和该低电位之间切换极性,且在同一周期内该第一和第二时钟信号的电位相反;以及第二下拉电路,用来依据该第二时钟信号和一前级移位暂存单元传来的信号来维持该节点的电位。该第一下拉电路包含第一下拉单元,用来依据第一控制信号来控制第一偏压和该节点之间的信号导通路径,其中该第一偏压的电位高于该第一和第二时钟信号的低电位;及第一控制单元,用来依据该第一时钟信号、该第二时钟信号和该输出电压的电位输出该第一或第二时钟信号以作为该第一控制信号。该第二下拉电路包含第二下拉单元,用来依据第二控制信号来控制第二偏压和该节点之间的信号导通路径,其中该第二偏压的电位高于该第一和第二时钟信号的低电位;及第二控制单元,用来依据该第一时钟信号、该前级移位暂存单元传来的信号和该输出电压的电位来输出该第一或第二时钟信号以作为该第二控制信号,其中该第一控制单元包含:第一开关,包含:第一端,用来接收该第一时钟信号;第二端,用来输出该第一控制信号;及控制端,耦接于该第一开关的第一端;第二开关,包含:第一端,耦接于该第一开关的第二端;第二端,用来接收该第一时钟信号;控制端,用来接收该第二时钟信号;及第三开关,包含:第一端,耦接于该第一开关的第二端;第二端,用来接收该第二时钟信号;及控制端,用来接收该输出信号。

[0014] 本发明还提供一种能降低漏电的液晶显示器,包含像素阵列;信号产生电路,用来提供第一时钟信号和第二时钟信号,其中该第一和第二时钟信号是以预定周期在高电位和低电位之间切换极性,且在同一周期内该第一和第二时钟信号的电位相反;电压源,用来提供偏压,其中该偏压的电位高于该第一和第二时钟信号的低电位;及移位寄存器电路,用来驱动该像素阵列。每一级移位暂存单元包含输入端,用来接收输入电压;输出端,用来提供输出电压;节点;输入电路,用来将该输入电压传至该节点;提升电路,用来依据该第一时钟信号和该节点的电位提供该输出电压;第一下拉电路,用来依据该第一和该第二时钟信号来维持该节点的电位;以及第二下拉电路,用来依据该第二时钟信号和一前级移位暂存单元传来的信号来维持该节点的电位。该第一下拉电路包含第一下拉单元,用来依据第一控制信号来控制该偏压和该节点之间的信号导通路径;及第一控制单元,用来依据该第一时钟信号、该第二时钟信号和该输出电压的电位输出该第一或该第二时钟信号以作为该第一控制信号。该第二下拉电路包含第二下拉单元,用来依据第二控制信号来控制该偏压和该节点之间的信号导通路径;及第二控制单元,用来依据该第一时钟信号、该前级移位暂存

单元传来的信号和该输出电压的电位来输出该第一或该第二时钟信号以作为该第二控制信号,其中该第一控制单元包含:第一开关,包含:第一端,用来接收该第一时钟信号;第二端,用来输出该第一控制信号;及控制端,耦接于该第一开关的第一端;第二开关,包含:第一端,耦接于该第一开关的第二端;第二端,用来接收该第一时钟信号;控制端,用来接收该第二时钟信号;及第三开关,包含:第一端,耦接于该第一开关的第二端;第二端,用来接收该第二时钟信号;及控制端,用来接收该输出信号。

[0015] 附图说明

[0016] 图 1 为先前技术中一液晶显示装置的简化方块示意图。

[0017] 图 2 为先前技术中一第 n 级移位暂存单元的示意图。

[0018] 图 3 为另一先前技术中一第 n 级移位暂存单元的示意图。

[0019] 图 4 为本发明中一液晶显示装置的简化方块示意图。

[0020] 图 5 为本发明第一实施例中一第 n 级移位暂存单元的示意图。

[0021] 图 6 为本发明第二实施例中一第 n 级移位暂存单元的示意图。

[0022] 图 7 为本发明的液晶显示装置运作时的时序图。

[0023] [主要元件标号说明]

[0024] IN(n) 输入端 100、400 液晶显示装置

[0025] OUT(n) 输出端 110、410 移位寄存器

[0026] Q(n)、Q(n+1) 端点 120、420 时钟产生器

[0027] CK、XCK 时钟信号 130、430 电源产生器

[0028] VSS、VSS' 电压 VST 起始脉冲信号

[0029] 30 ~ 32 输入电路 T1 ~ T11 晶体管开关

[0030] 40、41 提升电路 50、51 维持电路

[0031] 10、11、26 第一下拉电路

[0032] 20、21、26 第二下拉电路

[0033] GL(n)、GL(1) ~ GL(N) 栅极线

[0034] GS(n-1)、GS(n)、GS(n+1)、GS(1) ~ GS(N) 栅极驱动信号

[0035] SR(n-1)、SR(n)、SR(n+1)、SR(1) ~ SR(N) 移位暂存单元

[0036] 具体实施方式

[0037] 请参考图 4,图 4 为本发明中一液晶显示装置 400 的简化方块示意图。图 4 仅显示了液晶显示装置 400 的部分结构,包含多条栅极线 GL(1) ~ GL(N)、移位寄存器 410、时钟产生器 420 和电源产生器 430。时钟产生器 420 可提供移位寄存器 410 运作所需的起始脉冲信号 VST 和两时钟信号 CK 和 XCK,而电源产生器 430 可提供移位寄存器 410 运作所需的电压 VSS。时钟信号 CK 和 XCK 以预定周期在高低电位之间切换,且在同一时间具相反相位。时钟信号 CK 和 XCK 的高电位和低电位分别由 VGH 和 VGL 来表示,其中时钟信号 CK 和 XCK 的低电位 VGL 低于电压 VSS 的电位。

[0038] 移位寄存器 410 包含有 N 级串接的移位暂存单元 SR(1) ~ SR(N),其输出端分别耦接于相对应的栅极线 GL(1) ~ GL(N),其中 N 大于等于 3 的正整数。依据时钟信号 CK、XCK 和起始脉冲信号 VST,移位寄存器 410 可分别通过移位暂存单元 SR(1) ~ SR(N) 依序输出栅极驱动信号 GS(1) ~ GS(N) 至相对应的栅极线 GL(1) ~ GL(N)。在本发明的液晶显示装置

400 中,每一移位暂存单元包含第一下拉电路、第二下拉电路、输入电路、提升电路以及维持电路。第一下拉电路包含第一下拉单元和第一控制电路,而第二下拉电路包含第二下拉单元和第二控制电路。第一和第二控制电路皆依据时钟信号 CK 和 XCK 来运作。

[0039] 请参考图 5,图 5 为本发明第一实施例中多级移位暂存单元 SR(1) ~ SR(N) 的一第 n 级移位暂存单元 SR(n) 的示意图 (n 为介于 1 和 N 之间的整数)。移位暂存单元 SR(n) 包含输入端 IN(n)、输出端 OUT(n)、第一下拉电路 11、第二下拉电路 21、输入电路 31、提升电路 41 以及维持电路 51。移位暂存单元 SR(N) 的输入端 IN(n) 耦接于前一级移位暂存单元 SR(n-1),而移位暂存单元 SR(n) 的输出端 OUT(n) 耦接于下一级移位暂存单元 SR(n+1) 和栅极线 GL(n)。

[0040] 输入电路 31 包含晶体管开关 T9,其栅极和漏极耦接于移位暂存单元 SR(n) 的输入端 IN(n),其源极耦接于端点 Q(n),因此能依据栅极驱动信号 GS(n-1) 来控制的输入端 IN(n) 和端点 Q(n) 之间的信号导通路径。提升电路 41 包含晶体管开关 T10,其栅极耦接于端点 Q(n),漏极耦接于时钟产生器 420 以接收时钟信号 CK,而源极耦接于输出端 OUT(n),因此能依据端点 Q(n) 的电位来控制时钟信号 CK 和输出端 OUT(n) 之间的信号导通路径。维持电路 51 包含晶体管开关 T11,其栅极耦接于下一级移位暂存单元 SR(n+1),漏极耦接于输出端 OUT(n),而源极耦接于电源产生器 430 以接收具低电位 VSS 的电压,因此能依据栅极驱动信号 GS(n+1) 的电位来控制低电位 VSS 的电压和输出端 OUT(n) 之间的信号导通路径。

[0041] 在第一下拉电路 11 中,第一控制电路 410 包含晶体管开关 T1、T2、T3,而第一下拉单元 420 包含晶体管开关 T4。晶体管开关 T1 ~ T3 可依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 来维持晶体管开关 T4 的栅极电位,而晶体管开关 T4 可依据其栅极电位来维持端点 Q(n) 的电位。串接的晶体管开关 T1 和 T2 于栅极分别接收彼此反向的时钟信号 CK 和 XCK,晶体管开关 T3 于栅极接收栅极驱动信号 GS(n),晶体管开关 T2 于源极接收时钟信号 CK,而晶体管开关 T3 于源极接收时钟信号 XCK。因此,第一控制电路 41 的晶体管开关 T1 ~ T3 能依据时钟信号 CK、XCK 和栅极驱动信号 GS(n) 的电位来将晶体管开关 T4 的栅极维持在高电位 VGH 或低电位 VGL。另一方面,晶体管开关 T4 的漏极耦接于端点 Q(n),而源极耦接于电源产生器 430 以接收具低电位 VSS 的电压,因此能依据其栅极的电位来控制端点 Q(n) 和具低电位 VSS 的电压之间的信号导通路径。

[0042] 在第二下拉电路 21 中,第二控制电路 410 包含晶体管开关 T5、T6、T7,而第二下拉单元 520 包含晶体管开关 T8。晶体管开关 T5、T6、T7 可依据时钟信号 XCK、栅极驱动信号 GS(n-1) 和栅极驱动信号 GS(n) 来维持晶体管开关 T8 的栅极电位,而晶体管开关 T8 可依据其栅极电位来维持端点 Q(n) 的电位。晶体管开关 T5 于栅极接收时钟信号 XCK,晶体管开关 T6 于栅极接收栅极驱动信号 GS(n-1),晶体管开关 T7 于栅极接收栅极驱动信号 GS(n),晶体管开关 T6 于源极接收时钟信号 CK,而晶体管开关 T7 于源极接收时钟信号 XCK。因此,第二控制电路 520 的晶体管开关 T5 ~ T7 能依据时钟信号 XCK、栅极驱动信号 GS(n-1) 和栅极驱动信号 GS(n) 的电位来将晶体管开关 T8 的栅极维持在高电位 VGH 或低电位 VGL。另一方面,晶体管开关 T8 的漏极耦接于端点 Q(n),而源极耦接于电源产生器 430 以接收具低电位 VSS 的电压,因此能依据其栅极的电位来控制端点 Q(n) 和具低电位 VSS 的电压之间的信号导通路径。

[0043] 在第 n 级输出周期外的其它时间,端点 $Q(n)$ 需维持在低电位以确保晶体管开关 T10 为关闭,如此栅极驱动信号 $GS(n)$ 才能维持在低电位,此时由第一下拉电路 11 和第二下拉电路 21 来分别负责 50% 的下拉运作。当时钟信号 CK 具高电位时,晶体管开关 T1 为导通而晶体管开关 T2 为关闭,晶体管开关 T4 的栅极会被导通的晶体管开关 T1 拉至时钟信号 CK 的高电位 V_{GH} ,进而开启晶体管开关 T4 以将端点 $Q(n)$ 拉至低电位 V_{SS} ,此时由第一下拉电路 11 来负责下拉运作;当时钟信号 XCK 具高电位时,晶体管开关 T5 为导通而晶体管开关 T6 为关闭,晶体管开关 T8 的栅极会被导通的晶体管开关 T5 拉至时钟信号 XCK 的高电位 V_{GH} ,进而开启晶体管开关 T8 以将端点 $Q(n)$ 拉至低电位 V_{SS} ,此时由第二下拉电路 21 来负责下拉运作。另一方面,当第一下拉电路 11 不负责下拉运作时,在第 n 级输出周期外的其它时间内晶体管开关 T4 的栅极会维持在时钟信号 XCK 的低电位 V_{GL} ;当第二下拉电路 21 不负责下拉运作时,在第 n 级输出周期外的其它时间内晶体管开关 T8 的栅极会维持在时钟信号 CK 的低电位 V_{GL} 。

[0044] 在第 n 级输出周期内,端点 $Q(n)$ 需维持在高电位以开启晶体管开关 T10,进而输出具高电位的栅极驱动信号 $GS(n)$ 。为了让第一下拉电路 11 和第二下拉电路 21 停止下拉运作,晶体管开关 T4 和 T8 需被关闭,亦即通过晶体管开关 T3 和 T7 在栅极驱动信号 $GS(n)$ 具高电位时将晶体管开关 T4 和 T8 的栅极维持在时钟信号 XCK 的低电位 V_{GL} 。由于时钟信号 CK 和 XCK 的低电位 V_{GL} 低于电压 V_{SS} 的电位,晶体管开关 T4 和 T8 的栅极电位 (V_{GL}) 会低于其源极电位 (V_{SS}),如此可避免晶体管开关 T4 和 T8 因漏电流而拉低端点 $Q(n)$ 的电位,因此能确保晶体管开关 T2 的导通。

[0045] 请参考图 6,图 6 为本发明第二实施例中多级移位暂存单元 $SR(1) \sim SR(N)$ 的一第 n 级移位暂存单元 $SR(n)$ 的示意图 (n 为介于 1 和 N 之间的整数)。本发明第二实施例和第一实施例中结构类似,同样包含输入端 $IN(n)$ 、输出端 $OUT(n)$ 、第一下拉电路 11、第二下拉电路 21、提升电路 41 以及维持电路 51,不同之处在于输入电路 32 的结构。输入电路 32 包含晶体管开关 T9,其栅极耦接于时钟产生器 420 以接收时钟信号 XCK,其漏极耦接于移位暂存单元 $SR(n)$ 的输入端 $IN(n)$,而其源极耦接于端点 $Q(n)$,因此能依据时钟信号 XCK 来控制的输入端 $IN(n)$ 和端点 $Q(n)$ 之间的信号导通路径。在第 n 级输出周期内,本发明第二实施例的移位暂存单元 $SR(n)$ 亦能通过晶体管开关 T3 和 T7 来维持晶体管开关 T4 和 T8 的栅极电位,让晶体管开关 T4 和 T8 的栅极电位 (V_{GL}) 低于其源极电位 (V_{SS}),如此可避免晶体管开关 T4 和 T8 因漏电流而拉低端点 $Q(n)$ 的电位,因此能确保晶体管开关 T2 的导通。

[0046] 请参考图 7,图 7 为本发明的液晶显示装置 400 运作时的时序图。图 7 显示了时钟信号 CK、时钟信号 XCK、电压 V_{SS} 、端点 $Q(n)$ 和 $Q(n+1)$,以及与门极驱动信号 $GS(n-1)$ 、 $GS(n)$ 和 $GS(n+1)$ 的波形。电压 V_{SS} 固定维持在低电位(例如 $-6V$)。时钟信号 CK 和 XCK 为脉冲信号,周期性地在高电位 V_{GH} 和低电位 V_{GL} 之间切换,其中时钟信号 CK 和 XCK 的低电位 V_{GL} (例如 $-9.75V$) 低于电压 V_{SS} 的电位。在本发明的移位暂存单元 $SR(n)$ 中,当第一下拉电路 11 和第二下拉电路 21 停止下拉运作时,时钟信号 CK 和 XCK 的低电位 V_{GL} 能更快地关闭晶体管开关 T4 和 T8,并将其栅极-源极电压 (V_{gs}) 维持在负值以避免漏电。本发明使用原本时钟信号 CK 和 XCK 来维持电位,并不需要使用额外的电压源。

[0047] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

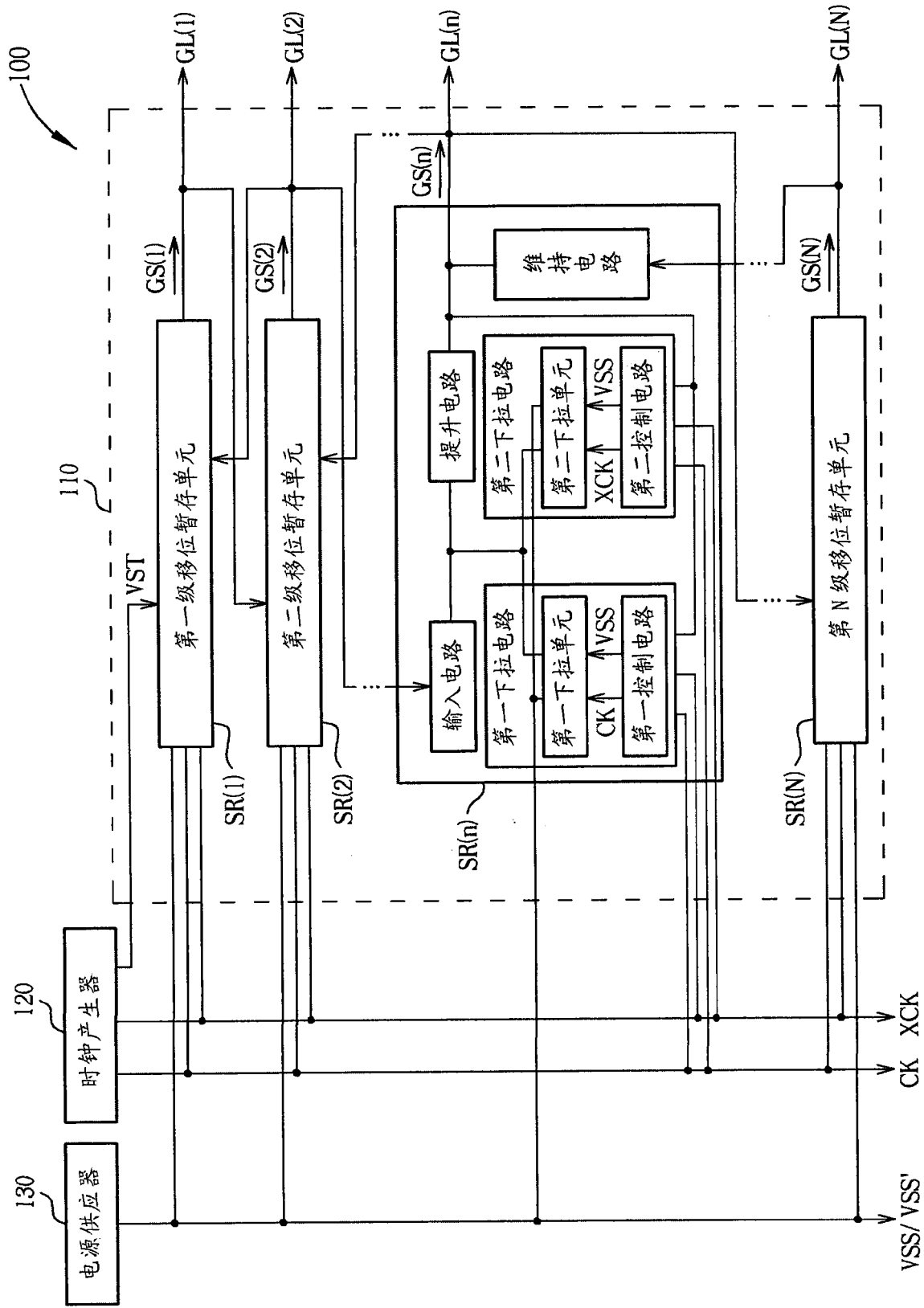


图 1

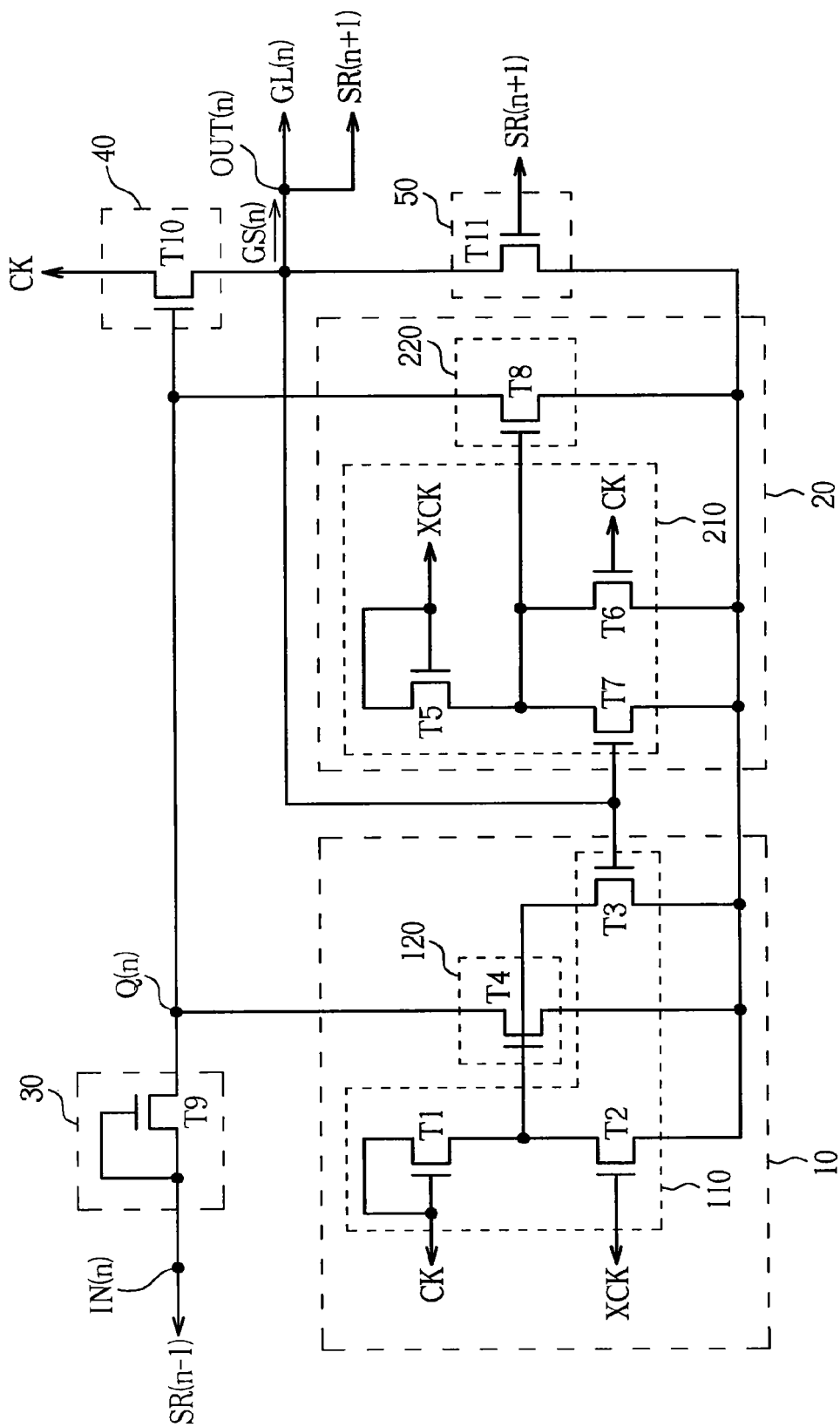


图 2

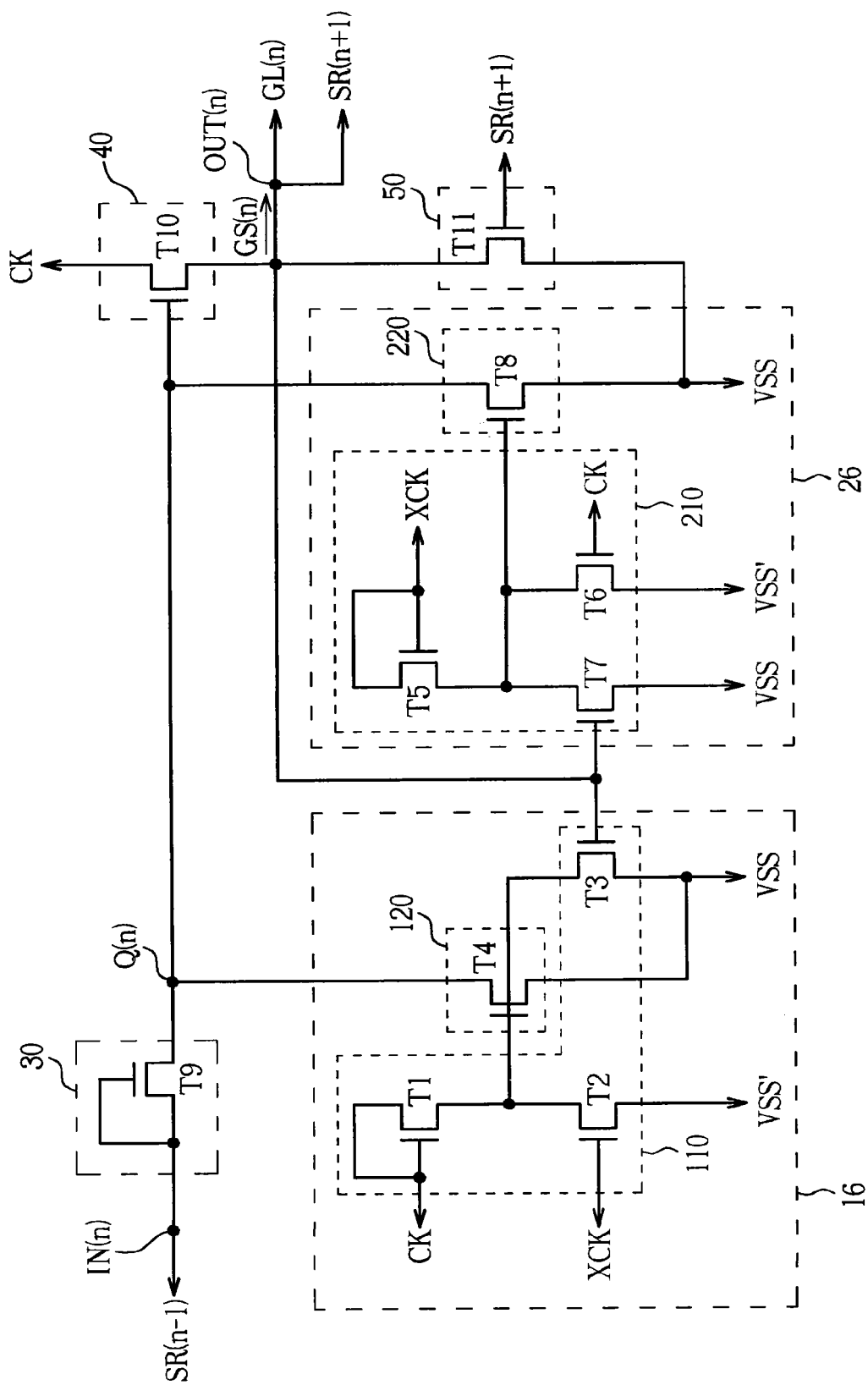


图 3

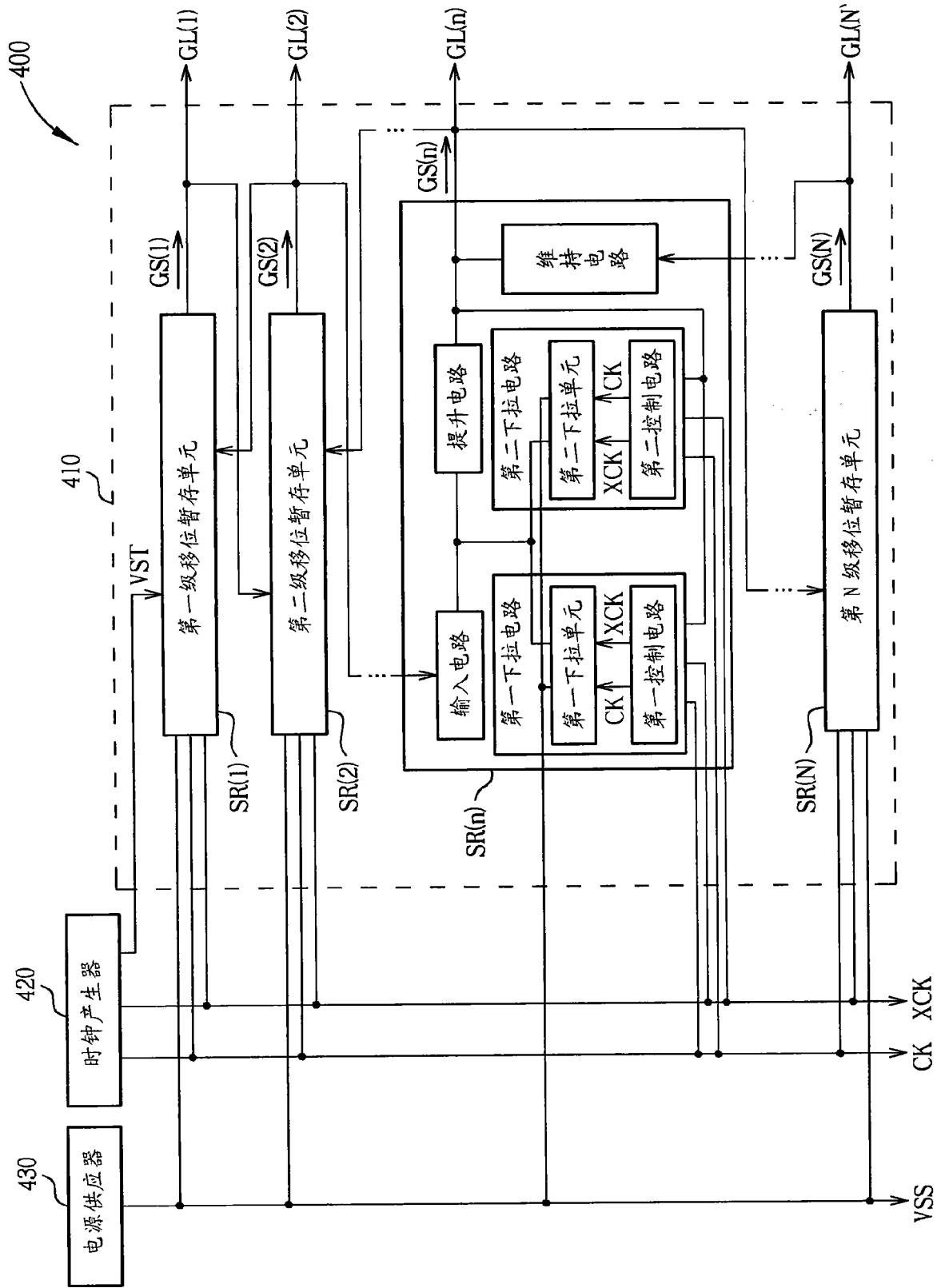


图 4

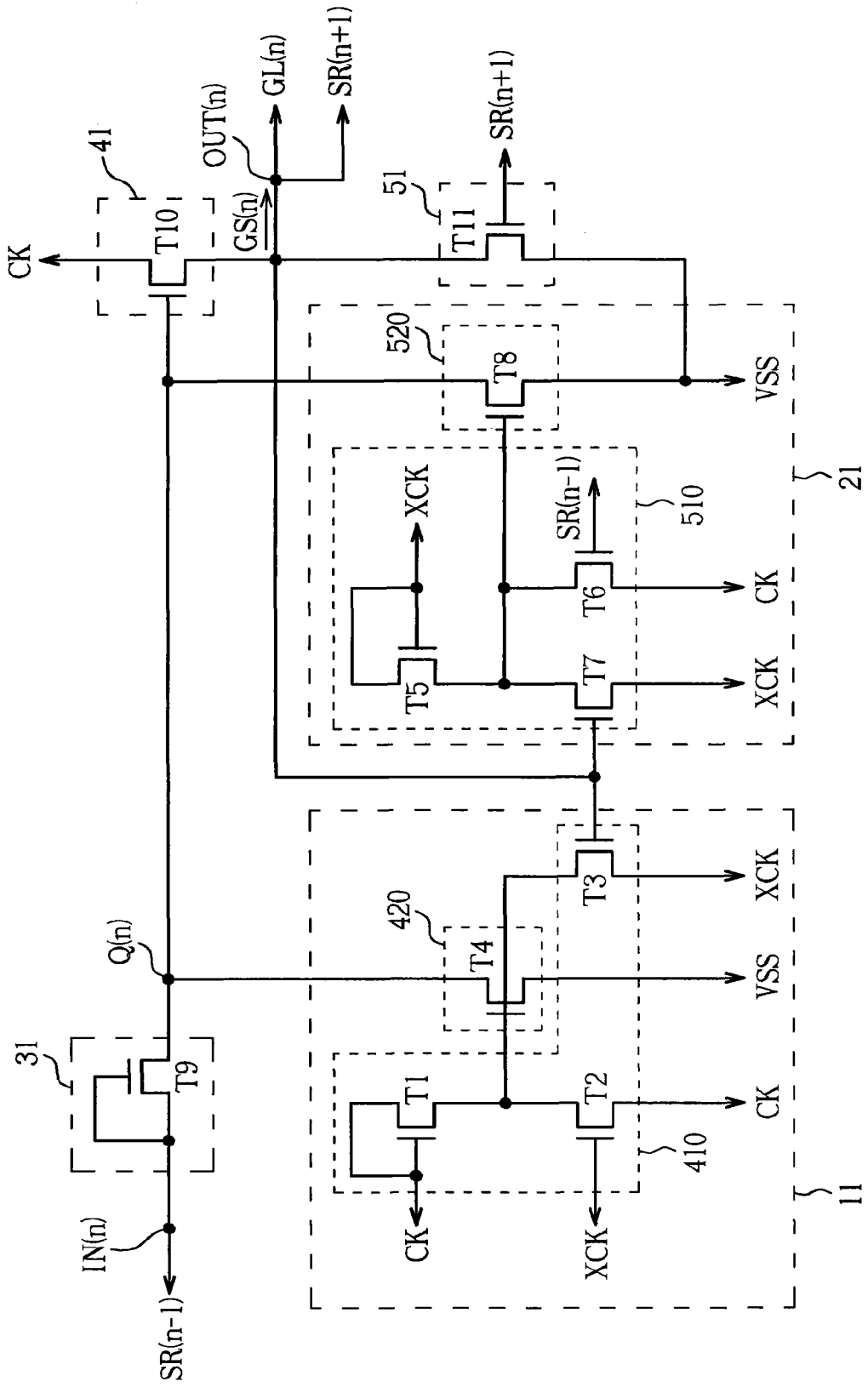


图 5

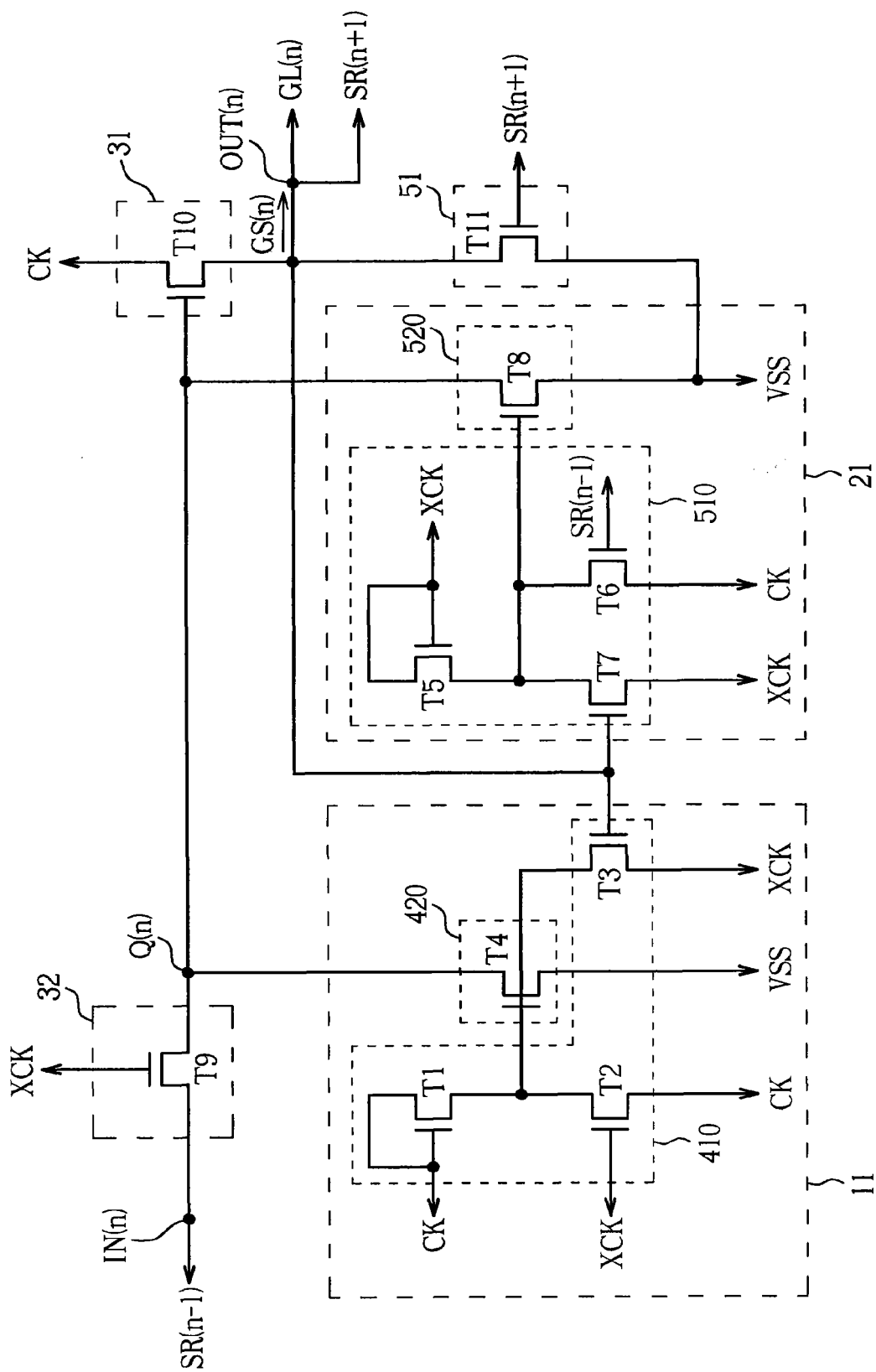


图 6

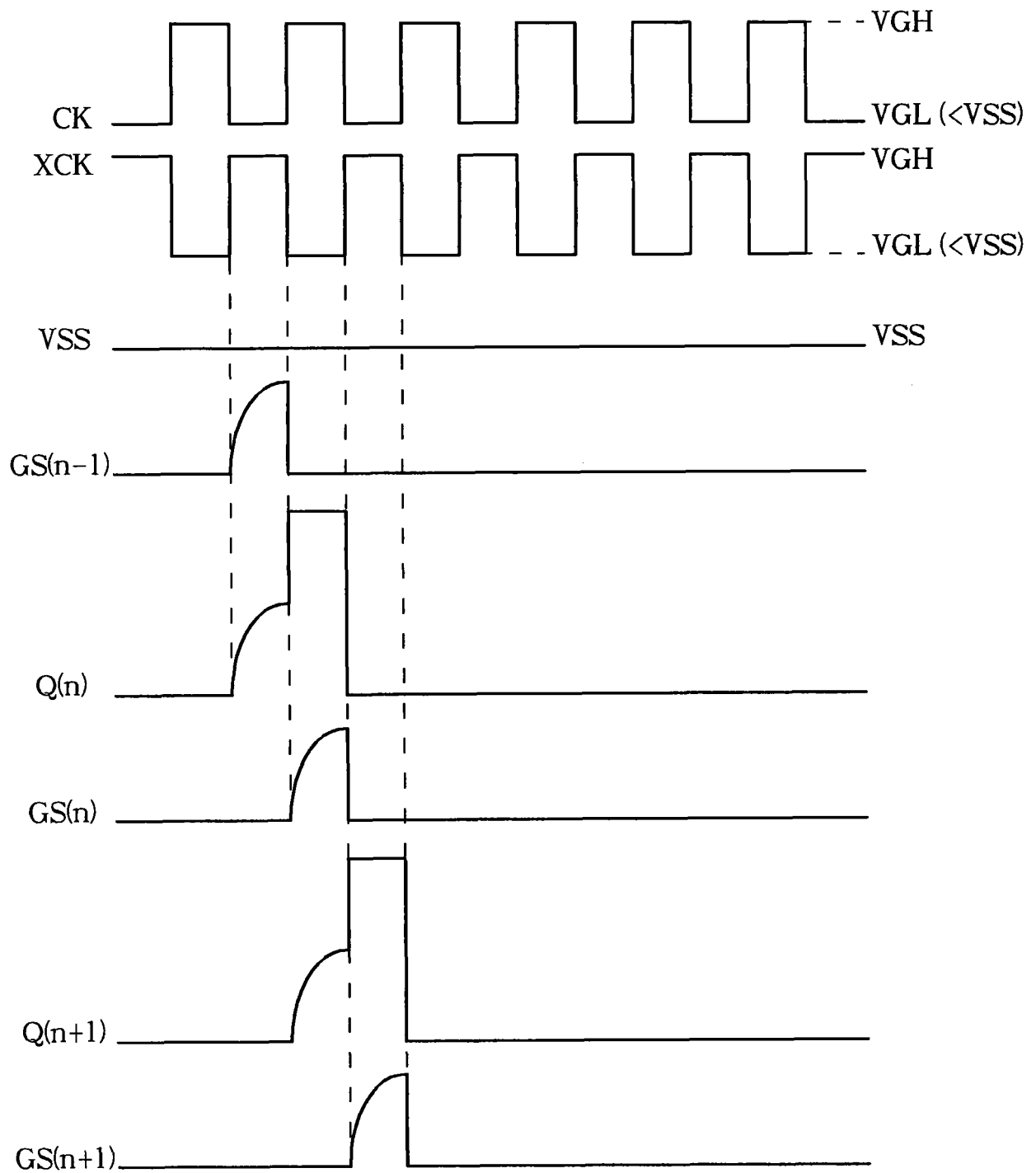


图 7