

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4400626号
(P4400626)

(45) 発行日 平成22年1月20日 (2010.1.20)

(24) 登録日 平成21年11月6日 (2009.11.6)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C
HO 1 L 27/108 (2006.01)	HO 1 L 21/88 A
HO 1 L 21/3205 (2006.01)	HO 1 L 21/90 A
HO 1 L 23/52 (2006.01)	
HO 1 L 21/768 (2006.01)	

請求項の数 9 (全 21 頁)

(21) 出願番号 特願2007-20922 (P2007-20922)
 (22) 出願日 平成19年1月31日 (2007.1.31)
 (65) 公開番号 特開2008-187097 (P2008-187097A)
 (43) 公開日 平成20年8月14日 (2008.8.14)
 審査請求日 平成20年5月16日 (2008.5.16)

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100138759
 弁理士 大房 直樹
 (74) 代理人 100140774
 弁理士 大浪 一徳
 (72) 発明者 堀川 貢弘
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成されたメモリセル選択用トランジスタと、
 前記メモリセル選択用トランジスタのソース・ドレインのいずれか一方に接続するコン
 タクトプラグと、

前記コンタクトプラグの上面を覆うように形成した第1の絶縁層間膜と、

前記第1の絶縁層間膜上に形成したポリシリコン層間膜と、

前記ポリシリコン層間膜上に形成した第2の絶縁層間膜と、

前記第2の絶縁層間膜と前記ポリシリコン層間膜と前記第1の絶縁層間膜を貫通する貫
 通孔内に設けられ、前記コンタクトプラグの上面と接続する底面を有する蓄積容量部の下
 部電極膜と、

前記下部電極膜の側面と前記ポリシリコン層間膜の間に設けられ、前記下部電極膜と前
 記ポリシリコン層間膜の間を絶縁する絶縁膜と、

前記下部電極膜の表面を覆うように形成した誘電体膜と、

少なくとも一部が前記貫通孔内に設けられ、前記誘電体膜を介して前記下部電極膜と対
 向するように形成した蓄積容量部の上部電極膜とを備え、

前記下部電極膜の側面は前記下部電極膜の底面と接続する部分において、前記貫通孔の
 中心方向に湾曲する曲面形状であることを特徴とする半導体装置。

【請求項2】

前記下部電極膜と前記ポリシリコン層間膜の間を絶縁する前記絶縁膜が、窒化シリコン

絶縁膜または酸化シリコン絶縁膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記下部電極膜と前記ポリシリコン層間膜の間を絶縁する前記絶縁膜が酸化シリコン絶縁膜であり、前記コンタクトプラグが Ru、Ir、W のいずれかまたはこれらの合金で形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の絶縁層間膜が窒化シリコン層間膜であり、前記第 2 の絶縁層間膜が酸化シリコン膜であることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】

半導体基板上に形成したメモリセル選択用トランジスタのソース・ドレインのいずれか一方と接続するコンタクトプラグを形成する工程と、

前記コンタクトプラグの上面を覆うように第 1 の絶縁層間膜を形成する工程と、

前記第 1 の絶縁層間膜上にポリシリコン層間膜と第 2 の絶縁層間膜を順次堆積する工程と、

前記第 2 の絶縁層間膜と前記ポリシリコン層間膜とを貫通し、前記第 1 の絶縁層間膜の上面を露出させる貫通孔を形成する工程と、

前記半導体基板を水素を含有する還元雰囲気中でアニールを行い、前記ポリシリコン層間膜にマイグレーションを起こすことで、少なくとも前記貫通孔の側壁面と前記第 1 の絶縁層間膜の上面との境界部分において、前記ポリシリコン層間膜の側壁面を前記貫通孔の中心方向に湾曲する曲面形状に形成する工程と、

前記貫通孔の側壁面を覆う絶縁膜を形成する工程と、

前記貫通孔内に露出している前記第 1 の絶縁層間膜を除去して、前記コンタクトプラグの上面を露出させる工程と、

前記貫通孔内に、前記コンタクトプラグの上面と接続する底面と、前記貫通孔内の側壁面を覆う絶縁膜を介して前記ポリシリコン層間膜と対向する側面とを有する蓄積容量部の下部電極膜を形成し、前記下部電極膜の側面と底面の接続部分が前記ポリシリコン層間膜の形状に沿った曲面形状となるように設ける工程と、

前記下部電極膜の表面を覆うように誘電体膜を形成する工程と、

少なくとも一部が前記貫通孔内に設けられ、前記誘電体膜を介して前記下部電極膜と対向する蓄積容量部の上部電極膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 6】

前記貫通孔の側面部を覆う絶縁膜を形成する工程は、前記貫通孔の前記側壁面を窒化シリコン絶縁膜または酸化シリコン絶縁膜で被覆する工程であることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記貫通孔の前記側壁面を熱酸化処理によって酸化シリコン絶縁膜で被覆するとともに、前記コンタクトプラグを、Ru、Ir、W のいずれかまたはこれらの合金で形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の絶縁層間膜として窒化シリコン層間膜を形成し、前記第 2 の絶縁層間膜として酸化シリコン膜を形成することを特徴とする請求項 5 乃至請求項 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】

前記ポリシリコン層間膜の側壁面を曲面形状に形成する工程において、水素を含有する還元雰囲気中でアニールを行う代わりに、800 ~ 1100 の不活性ガス雰囲気中でアニールを行うことを特徴とする請求項 5 乃至請求項 8 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関するものであり、特に、キャパシタを備えた半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

近年、コンピューターや電気機器の主要部分には、多数のMOSトランジスタや抵抗等を一つのチップ上に集積化する大規模集積回路(以下、LSIという)が採用されている。LSIの中でも、例えば、DRAM(Dynamic Random Access Memory)などの素子においては、急速な微細化が進んでいる。DRAMには、電荷を保持するキャパシタが備えられており、DRAMにおけるキャパシタの構造や製造方法は、例えば、下記特許文献1にその一例が開示されている。

10

【0003】

特許文献1では、半導体基板上にメモリセル選択用MISFETを形成した後に、シリコン窒化膜と絶縁膜からなるキャパシタ部層間絶縁膜を形成する。キャパシタ部層間絶縁膜を構成する絶縁膜にはシリコン酸化膜が用いられ、このシリコン酸化膜は、オゾン(O₃)とテトラエトキシシラン(TEOS)を反応ガスに用いたプラズマCVD法によって形成されている。次に、メモリセル選択用MISFETのプラグが露出するようにキャパシタ部層間絶縁膜に溝(孔)を形成する。溝(孔)の形成手段としては、フォトリソ膜をマスクとしたエッチング加工が例示されている。そして形成された溝(孔)の内部に、下部電極膜、容量絶縁膜及び上部電極膜を順次成膜してキャパシタを形成している。下部電極膜、容量絶縁膜及び上部電極膜はいずれも、主としてCVD法により形成される。

20

【0004】

ところで、キャパシタ部層間絶縁膜を構成する酸化シリコン膜に対して、フォトリソ膜をマスクとしたエッチング加工によって孔を形成した場合、形成される孔の断面視形状は、実際には先細りの形状になるものと考えられる。このような場合の孔の形状は、例えば、非特許文献1に開示されている。

【0005】

このような先細り状の孔の内部に、主としてCVD法を用いて下部電極膜、容量絶縁膜及び上部電極膜を形成しようとする、反応ガスが孔の内部全体、特に孔の底部側に供給されにくくなり、均一な成膜が困難になるという問題があった。具体的には、電極膜等が形成されない部分が発生し、その結果、孔の内面に対する電極膜等の被覆率が低下するおそれがあった。また、局所的に膜厚が薄い部分や、膜質が良好でない部分が生じやすくなるおそれがあった。これにより、キャパシタのリーク電流が大きくなり、高い信頼性が得られない場合があった。

30

【特許文献1】特開2003-243534号公報、段落0122、図5

【非特許文献1】A. J. J. Huang, et al, in Proceedings of International Symposium on Dry Process 2006 (The Institute of Electrical Engineers of Japan), p. 263 - 264

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、上記事情に鑑みてなされたものであって、孔の内面に対する電極膜等の被覆率を高めるとともに、電極膜等の均一性を高めることにより、キャパシタのリーク電流を低減させて高い信頼性を有する半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記の目的を達成するために、本発明は以下の構成を採用した。

50

本発明の半導体装置は、半導体基板上に形成されたメモリセル選択用トランジスタと、前記メモリセル選択用トランジスタのソース・ドレインのいずれか一方に接続するコンタクトプラグと、前記コンタクトプラグの上面を覆うように形成した第1の絶縁層間膜と、前記第1の絶縁層間膜上に形成したポリシリコン層間膜と、前記ポリシリコン層間膜上に形成した第2の絶縁層間膜と、前記第2の絶縁層間膜と前記ポリシリコン層間膜と前記第1の絶縁層間膜を貫通する貫通孔内に設けられ、前記コンタクトプラグの上面と接続する底面を有する蓄積容量部の下部電極膜と、前記下部電極膜の側面と前記ポリシリコン層間膜の間に設けられ、前記下部電極膜と前記ポリシリコン層間膜の間を絶縁する絶縁膜と、前記下部電極膜の表面を覆うように形成した誘電体膜と、少なくとも一部が前記貫通孔内に設けられ、前記誘電体膜を介して前記下部電極膜と対向するように形成した蓄積容量部の上部電極膜とを備え、前記下部電極膜の側面は前記下部電極膜の底面と接続する部分において、前記貫通孔の中心方向に湾曲する曲面形状であることを特徴とする。

10

また、本発明の半導体装置においては、前記下部電極膜と前記ポリシリコン層間膜の間を絶縁する前記絶縁膜が、窒化シリコン絶縁膜または酸化シリコン絶縁膜であることが好ましい。

更に、本発明の半導体装置においては、前記下部電極膜と前記ポリシリコン層間膜の間を絶縁する前記絶縁膜が酸化シリコン絶縁膜であり、前記コンタクトプラグがRu、Ir、Wのいずれかまたはこれらの合金で形成されていることが好ましい。

更にまた、前記第1の絶縁層間膜が窒化シリコン層間膜であり、前記第2の絶縁層間膜が酸化シリコン膜であることが好ましい。

20

【0008】

また、本発明の半導体装置においては、前記貫通孔の側壁面と前記ポリシリコン層間膜の上面との接続部が曲面で構成されていてもよい。

また、本発明の半導体装置においては、前記貫通孔の底面において前記コンタクトプラグと前記下部電極膜とが接することにより、前記蓄積容量部と前記コンタクトプラグとが接続されることが好ましい。

また、本発明の半導体装置においては、前記コンタクトプラグがRu、Ir、Wのいずれかまたはこれらの合金からなるとともに、前記コンタクトプラグの前記貫通孔側の面がRu、Ir、Wのうちのいずれかの酸化物または複合酸化物からなることが好ましい。

【0009】

30

上記の半導体装置によれば、ポリシリコン層間膜に設けられる貫通孔の底面と側壁面との接続部が曲面で構成されるため、蓄積容量部が、この曲面を含む貫通孔の内面に沿った形状に形成されることになり、これにより、貫通孔の底面と側壁面との接続部が角張った形状で構成される場合に比べて、蓄積容量部のリーク電流が低減され、信頼性に優れた半導体装置を提供できる。

また、本発明の半導体装置によれば、貫通孔の側壁面が、窒化シリコン絶縁膜または酸化シリコン絶縁膜で被覆されているので、蓄積容量部の絶縁性を高めることができ、静電容量のロスを防止できる。更に、これら絶縁膜によって、蓄積容量部の構成材料のポリシリコン層間膜への拡散を防止できる。

また、本発明の半導体装置によれば、貫通孔の側壁面が酸化シリコン絶縁膜で被覆されるとともに、コンタクトプラグがRu、Ir、Wのいずれかまたはこれらの合金で形成されるので、蓄積容量部の絶縁性を高めて静電容量のロスを防止できるとともに、コンタクトプラグと蓄積容量部との接触抵抗を低減して静電容量をより高めることができる。

40

【0010】

また、貫通孔の側壁面とポリシリコン層間膜の上面との接続部が曲面で構成されることで、蓄積容量部のリーク電流がより低減され、信頼性に更に優れた半導体装置を提供できる。

また、蓄積容量部を下部電極膜、誘電体膜及び上部電極膜とから構成することによって、これら下部電極膜、誘電体膜及び上部電極膜が、曲面を含む貫通孔の内面に沿った形状に形成されることになり、下部電極膜、誘電体膜及び上部電極膜の膜厚及び膜質が均一に

50

なり、貫通孔の内面に対する下部電極膜、誘電体膜及び上部電極膜の被覆率が向上し、これにより、蓄積容量部のリーク電流が低減され、信頼性に優れた半導体装置を提供できる。

【0011】

次に、本発明の半導体装置の製造方法は、半導体基板上に形成したメモリセル選択用トランジスタのソース・ドレインのいずれか一方と接続するコンタクトプラグを形成する工程と、前記コンタクトプラグの上面を覆うように第1の絶縁層間膜を形成する工程と、前記第1の絶縁層間膜上にポリシリコン層間膜と第2の絶縁層間膜を順次堆積する工程と、前記第2の絶縁層間膜と前記ポリシリコン層間膜とを貫通し、前記第1の絶縁層間膜の上面を露出させる貫通孔を形成する工程と、前記半導体基板を水素を含有する還元雰囲気中でアニールを行い、前記ポリシリコン層間膜にマイグレーションを起こすことで、少なくとも前記貫通孔の側壁面と前記第1の絶縁層間膜の上面との境界部分において、前記ポリシリコン層間膜の側壁面を前記貫通孔の中心方向に湾曲する曲面形状に形成する工程と、前記貫通孔の側壁面を覆う絶縁膜を形成する工程と、前記貫通孔内に露出している前記第1の絶縁層間膜を除去して、前記コンタクトプラグの上面を露出させる工程と、前記貫通孔内に、前記コンタクトプラグの上面と接続する底面と、前記貫通孔内の側壁面を覆う絶縁膜を介して前記ポリシリコン層間膜と対向する側面とを有する蓄積容量部の下部電極膜を形成し、前記下部電極膜の側面と底面の接続部分が前記ポリシリコン層間膜の形状に沿った曲面形状となるように設ける工程と、前記下部電極膜の表面を覆うように誘電体膜を形成する工程と、少なくとも一部が前記貫通孔内に設けられ、前記誘電体膜を介して前記下部電極膜と対向する蓄積容量部の上部電極膜を形成する工程と、を備えたことを特徴とする。

更に、本発明の半導体装置の製造方法においては、前記貫通孔の側面部を覆う絶縁膜を形成する工程が、前記貫通孔の前記側壁面を窒化シリコン絶縁膜または酸化シリコン絶縁膜で被覆する工程であることが好ましい。

更にまた、本発明の半導体装置の製造方法においては、前記貫通孔の前記側壁面を熱酸化処理によって酸化シリコン絶縁膜で被覆するとともに、前記コンタクトプラグを、Ru、Ir、Wのいずれかまたはこれらの合金で形成することが好ましい。

また、前記第1の絶縁層間膜として窒化シリコン層間膜を形成し、前記第2の絶縁層間膜として酸化シリコン膜を形成することが好ましい。

更に、前記ポリシリコン層間膜の側壁面を曲面形状に形成する工程において、水素を含有する還元雰囲気中でアニールを行う代わりに、800 ~ 1100 の不活性ガス雰囲気中でアニールを行うことが好ましい。

【0012】

また、本発明の半導体装置においては、前記貫通孔形成工程において、前記貫通孔の側壁面と前記ポリシリコン層間膜の上面との接続部を曲面に成形してもよい。

また、本発明の半導体装置の製造方法においては、ポリシリコン層間膜の上に、酸化防止用の酸化シリコン膜を形成してもよい。

また、本発明の半導体装置の製造方法においては、窒化シリコン層間膜をエッチングストップパとしてポリシリコン層間膜に貫通孔を形成し、次いで、貫通孔の底面と側壁面との接続部を曲面に成形し、次いで、貫通孔の底面（窒化シリコン層間膜）を異方性エッチングしてコンタクトプラグを露出させてもよい。

また、本発明の半導体装置の製造方法においては、窒化シリコン層間膜をエッチングストップパとしてポリシリコン層間膜に予備貫通孔を形成し、次いで、予備貫通孔の底面と側壁面との接続部を曲面に成形し、次いで、少なくとも予備貫通孔の側壁面を窒化シリコン絶縁膜または酸化シリコン絶縁膜で被覆し、次いで、予備貫通孔の底面を異方性エッチングしてコンタクトプラグを露出させ、これにより貫通孔を形成してもよい。

【0013】

上記の半導体装置の製造方法によれば、貫通孔形成工程において、ポリシリコン層間膜に設けられた貫通孔の底面と側壁面との接続部を曲面に成形するため、蓄積容量部が、こ

の曲面を含む貫通孔の内面に沿った形状に形成されることになり、これにより、貫通孔の底面と側壁面との接続部が角張った形状で構成される場合に比べて、蓄積容量部のリーク電流が低減され、信頼性に優れた半導体装置を製造できる。

また、ポリシリコン層間膜は従来の酸化シリコン層間膜に比べて、アスペクト比の高い貫通孔を形成できるので、隣接する貫通孔同士が相互に連通して、蓄積容量部同士がショートするおそれがない。なお、ポリシリコン層間膜にアスペクト比の高い貫通孔を形成できるのは、ポリシリコン層間膜における貫通孔の経方向へのエッチング速度が、従来の酸化シリコン膜に比べて低いため、貫通孔の経方向への広がりが均一となり、いわゆるボーイングの問題が回避できるためである。

また、本発明の半導体装置の製造方法によれば、貫通孔形成工程において、ポリシリコン層間膜を水素含有雰囲気または不活性ガス雰囲気中でアニールすることによって、ポリシリコン層間膜を構成するシリコン原子のマイグレーションが促され、これにより貫通孔の接続部を曲面に容易に成形させることができ、蓄積容量部のリーク電流が低減されて、信頼性に優れた半導体装置を製造できる。

また、本発明の半導体装置の製造方法によれば、貫通孔形成工程において、貫通孔の側壁面を窒化シリコン絶縁膜または酸化シリコン絶縁膜で被覆するので、蓄積容量部の絶縁性を高めることができ、これにより静電容量のロスを防止できる。更に、これら絶縁膜の形成によって、その後形成する蓄積容量部の構成材料のポリシリコン層間膜への拡散を防止できる。

また、本発明の半導体装置の製造方法によれば、貫通孔の側壁面を酸化シリコン絶縁膜で被覆するとともに、コンタクトプラグをRu、Ir、Wのいずれかまたはこれらの合金で形成するので、蓄積容量部の絶縁性を高めて静電容量のロスを防止できるとともに、コンタクトプラグと蓄積容量部との接触抵抗を低減して静電容量をより高めることができる。

【0014】

また、貫通孔の側壁面とポリシリコン層間膜の上面との接続部を曲面に成形することで、蓄積容量部のリーク電流がより低減され、信頼性に更に優れた半導体装置を製造できる。

また、ポリシリコン層間膜の上に、酸化防止用の酸化シリコン膜を形成することで、ポリシリコン層間膜の酸化が防止され、ポリシリコン層間膜の酸化に伴う体積変化が少なくなるとともに、ポリシリコン層間膜の膜厚が一定に維持され、これによりポリシリコン層間膜上にマスク等を積層する際にポリシリコン層間膜の平坦化処理が不要になり、貫通孔形成工程及び蓄積容量部形成工程を安定して行うことができる。

また、ポリシリコン層間膜の半導体基板側に窒化シリコン層間膜を形成することで、この窒化シリコン層間膜を貫通孔形成時のエッチングストップ層として用いることができる。

【発明の効果】

【0015】

本発明の半導体装置及びその製造方法によれば、孔の内面に対する電極膜等の被覆率が高められるとともに電極膜等の均一性が高まり、キャパシタのリーク電流を低減させて高い信頼性を有する半導体装置及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0016】

「第1の実施形態の半導体装置」

以下、本発明の第1の実施の形態を図面を参照して説明する。本実施形態では、半導体装置をDRAM素子に適用した例について説明する。図1は、本実施形態の半導体装置であるDRAM素子の断面構造を示す模式図であって、(a)がメモリセル部の断面構造を示す図であり、(b)が周辺回路部の断面構造を示す模式図である。尚、以下の説明において参照する図面は、半導体装置及びその製造方法を説明する図面であり、図示される各部の大きさや厚さや寸法等は、実際の半導体装置の寸法関係とは異なっている。

【0017】

本実施形態の半導体装置に係るDRAM素子は、メモリセル部と周辺回路部とから概略構成されている。最初に、メモリセル部について図1(a)を用いて説明する。メモリセル部は、図1(a)に示すように、メモリセル選択用のMOSトランジスタ Tr_1 (メモリセル選択用トランジスタ)と、MOSトランジスタ Tr_1 にコンタクトプラグ9A及び容量コンタクトプラグ25を介して接続された蓄積容量部24とから概略構成されている。

図1(a)において、半導体基板1は所定濃度の不純物を含有する半導体、例えばシリコンにて形成されている。この半導体基板1には、素子分離絶縁膜3が形成されている。素子分離絶縁膜3は、半導体基板1の表面にSTI(Shallow Trench Isolation)法により、活性領域以外の部分に形成され、隣接する活性領域を絶縁分離している。本実施形態では、1つの活性領域に2ビットのメモリセルが配置されるセル構造に本発明を適用した場合の一例構造を示している。

10

【0018】

半導体基板1において素子分離絶縁膜3に区画された活性領域には、不純物拡散領域からなるソース8A及びドレイン8Bが離間して形成され、ソース8Aとドレイン8Bとの間にゲート電極5が形成されている。ソース8A及びドレイン8Bは、例えば砒素などのN型不純物が拡散されて構成されている。

また、ゲート電極5は、多結晶シリコン膜と金属膜との多層膜により形成されており、多結晶シリコン膜はCVD法(Chemical Vapor Deposition)での成膜時に不純物を含有させて形成するドーパド多結晶シリコン膜を用いることができる。金属膜は、タングステン(W)やタングステンシリサイド(WSi)等の高融点金属を用いることができる。更に、ゲート電極5と半導体基板1の間にはゲート絶縁膜5aが形成されている。また、ゲート電極5は窒化シリコンなどの絶縁膜5bによって被覆されている。

20

【0019】

また、図1(a)に示すように、半導体基板1上には、例えば酸化シリコンからなる第1の層間絶縁膜4が形成され、第1の層間絶縁膜4にはコンタクトホール4aが設けられ、このコンタクトホール4aにはソース8A及びドレイン8Bに接続されるコンタクトプラグ9Aが形成されている。コンタクトプラグ9Aは、たとえば、リンドーパドシリコン層から構成される。

30

更に、第1の層間絶縁膜4の上には、例えば酸化シリコンからなる第2の層間絶縁膜10が積層され、第2の層間絶縁膜10にはコンタクトプラグ9Aに接続されるビット線コンタクトプラグ9Bが形成されている。ビット線コンタクトプラグ9Bは、Ti/TiN膜12と、タングステンからなる金属膜13とが積層されて構成されている。このTi膜はビット線コンタクトプラグ9Bを構成するシリコンと反応し、チタンシリサイドを形成する。

第2の層間絶縁膜10の上には、ビット線コンタクトプラグ9Bに接続するようにビット線106が形成されている。ビット線106は窒化タングステンおよびタングステンからなる積層膜で構成され、ビット線106は窒化シリコン等の絶縁膜106aによって被覆されている。

40

【0020】

また、第2の層間絶縁膜10の上には、ビット線106を覆うように、例えば酸化シリコンからなる第3の層間絶縁膜21が形成されている。また、第2の層間絶縁膜10および第3の層間絶縁膜21を貫通してコンタクトプラグ9Aに接続するように、容量コンタクトプラグ25がポリシリコン等で形成されている。また、第3の層間絶縁膜21上には、第1の窒化シリコン層間膜31(窒化シリコン層間膜)、ポリシリコン層間膜33及び酸化シリコン膜34が順次積層されている。ポリシリコン層間膜33及び酸化シリコン膜34によって蓄積容量部用の積層層間膜35が構成されている。そして、積層層間膜35には、容量コンタクトプラグ25に接続する蓄積容量部24が形成されている。

第1の窒化シリコン層間膜31の厚みは例えば50nm程度とされ、ポリシリコン層間

50

膜 3 3 の厚みは例えば 1 . 5 μm 乃至 3 μm の範囲とされ、酸化シリコン膜 3 4 の厚みは例えば 0 . 0 5 μm 乃至 0 . 5 μm の範囲とされている。

【 0 0 2 1 】

蓄積容量部 2 4 は、積層層間膜 3 5 に形成された貫通孔 3 5 a の内部に、下部電極膜 2 4 a、誘電体膜 2 4 b 及び上部電極膜 2 4 c が順次形成されて構成されている。

貫通孔 3 5 a は、略円筒状に形成されており、円筒状の側壁面 3 5 b 及び底面 3 5 c によって区画されている。また側壁面 3 5 b は、窒化シリコン絶縁膜 2 8 によって被覆されている。更に底面 3 5 c には、第 3 の層間絶縁膜 2 1 及び容量コンタクトプラグ 2 5 が露出されている。そして、側壁面 3 5 b と底面 3 5 c との接続部 3 5 d が、なだらかな曲面に成形されている。

10

【 0 0 2 2 】

下部電極膜 2 4 a は、貫通孔 3 5 a の側壁面 3 5 b、底面 3 5 c 及び曲面に成形された接続部 3 5 d を覆うように形成されている。そして、貫通孔 3 5 a の底面 3 5 c において容量コンタクトプラグ 2 5 に接続され、さらにこの容量コンタクトプラグ 2 5 を介して M O S トランジスタ $T r_1$ に接続されている。容量コンタクトプラグ 2 5 の貫通孔 3 5 a 側には、砒素、リン等の N 型不純物がイオン注入法によって打ち込まれており、これにより容量コンタクトプラグ 2 5 と下部電極膜 2 4 a との間における抵抗率が低減されている。また、誘電体膜 2 4 b は、下部電極膜 2 4 a を覆うように形成されるとともに、隣接する貫通孔 3 5 a 同士の間で連続している。また、上部電極膜 2 4 c も誘電体膜 2 4 b と同様に、隣接する貫通孔 3 5 a 同士の間で連続しており、この上部電極膜 2 4 c がプレート電

20

【 0 0 2 3 】

次に、図 1 (b) を参照して周辺回路部について説明する。周辺回路部には、半導体基板 1 に埋め込まれた素子分離絶縁膜 3 と、半導体基板 1 上に形成されたゲート電極 1 0 5 と、ゲート電極 1 0 5 と半導体基板 1 との間に形成されたゲート絶縁膜 1 0 5 a と、ゲート電極 1 0 5 を覆う窒化シリコン等からなる絶縁膜 1 0 5 b が形成されている。

【 0 0 2 4 】

また、図 1 (b) に示すように、半導体基板 1 上には第 1 の層間絶縁膜 4 及び第 2 の層間絶縁膜 1 0 が形成され、第 1 の層間絶縁膜 4 及び第 2 の層間絶縁膜 1 0 にはコンタクトホール 4 b が設けられ、このコンタクトホール 4 b にはコンタクトプラグ 9 c が形成されている。コンタクトプラグ 9 c は、たとえば、リンドープドシリコン層から構成されている。

30

更に、第 2 の層間絶縁膜 1 0 の上には、コンタクトプラグ 9 c に接続するようにビット線 1 0 6 が形成され、ビット線 1 0 6 は窒化シリコン等の絶縁膜 1 0 6 a によって被覆されている。

【 0 0 2 5 】

更に図 1 (b) に示すように、第 2 の層間絶縁膜 1 0 の上には、ビット線 1 0 6 を覆う第 3 の層間絶縁膜 2 1 が積層され、第 3 の層間絶縁膜 2 1 の上には第 1 の窒化シリコン層間膜 3 1 が形成され、第 1 の窒化シリコン層間膜 3 1 上には酸化シリコンからなる第 4 の層間絶縁膜 1 3 4 が形成され、第 4 の層間絶縁膜 1 3 4 の上には第 2 の窒化シリコン層間膜 3 3 5 が形成され、更にその上には酸化シリコンからなる第 5 の層間絶縁膜 1 3 6 が形成されている。また、第 5 の層間絶縁膜 1 3 6 上には配線層 1 2 7 が形成されている。そして、配線層 1 2 7 とビット線 1 0 6 とが、コンタクトプラグ 1 4 0 によって接続されている。

40

【 0 0 2 6 】

「第 1 の実施形態の半導体装置の製造方法」

次に、上記の半導体装置の製造方法の一例について図 2 乃至図 1 0 を参照して説明する。

50

本実施形態の半導体装置の製造方法は、MOSトランジスタ Tr_1 等を形成後のメモリセル部の形成領域に、積層層間膜35を形成する工程と、積層層間膜35に貫通孔35aを形成する工程と、貫通孔35a内に蓄積容量部24を形成する工程とから概略構成されている。

【0027】

「積層層間膜35の形成工程」

本工程の前に、半導体基板1上にMOSトランジスタ Tr_1 等を形成する。すなわち図2(a)に示すように、メモリセル部側の半導体基板1上に、ゲート電極5、ゲート絶縁膜5a、ソース8A及びドレイン8BからなるMOSトランジスタ Tr_1 を形成し、半導体基板1上には第1、第2、第3の層間絶縁膜4、10、21を順次積層する。また、各層間絶縁膜4、10、21にはコンタクトプラグ9A及び容量コンタクトプラグ25並びにビット線コンタクトプラグ9Bを形成する。更に、第2の層間絶縁膜10の上にはビット線コンタクトプラグ9Bに接続されるビット線106を形成する。

10

【0028】

また、図2(b)に示すように、周辺回路部側の半導体基板1上には、ゲート電極105及びゲート絶縁膜105aを形成する。また、半導体基板1上には第1、第2、第3の層間絶縁膜4、10、21を順次積層し、各層間絶縁膜4、10、21にはコンタクトプラグ9Cを形成する。そして、第2の層間絶縁膜10の上にはコンタクトプラグ9Cに接続されるビット線106を形成する。

【0029】

20

そして、本工程では、図2(a)及び図2(b)に示すように、第3の層間絶縁膜21上に、厚さ50nmの第1の窒化シリコン層間膜31と、厚さ2 μ mの酸化シリコンからなる第4の層間絶縁膜134と、厚さ50nmの第2の窒化シリコン層間膜335とを順次積層する。次に、周辺回路部側の第2の窒化シリコン層間膜335上に、ハードマスク層 M_1 及びフォトレジスト層 M_2 を形成する。

ハードマスク層 M_1 の材質は、例えばアモルファスカーボン等が好ましい。また、ハードマスク層 M_1 の膜厚は、例えば0.3 μ m~1.5 μ mの範囲が好ましい。また、フォトレジスト層 M_2 の膜厚は、例えば100nm~500nmの範囲が好ましく、例えば300nmがよい。

また、ハードマスク層 M_1 とフォトレジスト層 M_2 との間に $SiO_2/SiON$ の積層膜からなる反射防止膜を形成してもよい。

30

【0030】

次に、図3(a)及び図3(b)に示すように、ハードマスク層 M_1 及びフォトレジスト層 M_2 をマスクにして、メモリセル部側の第4の層間絶縁膜134及び第2の窒化シリコン層間膜335をドライエッチングで除去する。メモリセル部側の第1の窒化シリコン層間膜31が、ドライエッチングの際のエッチングストップとして機能する。また、このドライエッチングによって、フォトレジスト層 M_2 のほとんど全部が同時にエッチングされる。

【0031】

次に、図4(a)及び図4(b)に示すように、メモリセル部側の第1の窒化シリコン層間膜31上に、厚さ1.5 μ m~3 μ mのポリシリコン層間膜33と、酸化防止用の厚さ0.1 μ m~0.5 μ mの酸化シリコン膜34とを順次積層する。これらポリシリコン層間膜33及び酸化シリコン膜34は、周辺回路部側のハードマスク層 M_1 上にも順次積層される。各膜の積層後に、ハードマスク層 M_1 を除去する。このとき、ハードマスク層 M_1 上のポリシリコン層間膜33及び酸化シリコン膜34はリフトオフされてハードマスク層 M_1 と同時に除去される。また、ポリシリコン層間膜33の形成後に、ポリシリコン層間膜33の結晶性を高めるために700~1150でアニール処理を行ってもよい。これにより、後の工程において形成する、貫通孔35aのアスペクト比をより高めることが可能になる。

40

そして、CMP法によって、酸化シリコン膜34の上面を平坦化する。このときの平坦

50

化は、好ましくは酸化シリコン膜 3 4 の上面が、周辺回路部側の窒化シリコン層間膜 3 5 の上面と同一面になるように行なうとよい。

このようにして、ポリシリコン層間膜 3 3 及び酸化シリコン膜 3 4 からなる積層層間膜 3 5 を形成する。

【 0 0 3 2 】

「貫通孔 3 5 a の形成工程」

次に、図 5 (a) 及び図 5 (b) に示すように、貫通孔形成用のハードマスク層 M_3 及びフォトレジスト層 M_4 を、酸化シリコン膜 3 4 及び第 2 の窒化シリコン層間膜 3 3 5 の全面に形成する。そして、メモリセル部側のハードマスク層 M_3 及びフォトレジスト層 M_4 に、貫通孔形成用の開口部 H を設ける。

ハードマスク層 M_3 の材質は、ポリシリコンよりもエッチング速度が低い材質で形成することが好ましく、例えば、アモルファスカーボン、酸化シリコン、窒化シリコン等で形成することが好ましい。また、ハードマスク層 M_3 の膜厚は、例えば 3 0 0 n m ~ 1 0 0 0 n m の範囲が好ましい。また、フォトレジスト層 M_4 の膜厚は、例えば 1 0 0 n m ~ 5 0 0 n m の範囲が好ましい。

【 0 0 3 3 】

次に、図 6 (a) 及び図 6 (b) に示すように、酸化シリコン膜 3 4 及びポリシリコン層間膜 3 3 の開口部 H に対応する位置に、第 1 の窒化シリコン層間膜 3 1 をエッチングストップパとする異方性エッチングを行うことにより予備貫通孔 3 5 e を形成する。これにより、予備貫通孔 3 5 e の底面に第 1 の窒化シリコン層間膜 3 1 が露出される。その後、ハードマスク層 M_3 及びフォトレジスト層 M_4 を除去する。

貫通孔形成用のハードマスク層 M_3 は、ポリシリコン層間膜 3 3 に比べてエッチング速度が遅いので、ポリシリコン層間膜 3 3 に予備貫通孔 3 5 e を設けた後にも、ハードマスク層 M_3 は膜厚が薄くなった状態で残存する。このように、予備貫通孔 3 5 e を形成する間にはハードマスク層 M_3 が必ず存在することになるので、結果的に深い貫通孔 3 5 a を形成することが可能になる。

また、ポリシリコン層間膜 3 3 を異方性エッチングすることによって、従来のように酸化シリコンをエッチングした場合に比べて、予備貫通孔 3 5 e のアスペクト比が高められ、最終的に形成される貫通孔 3 5 a のアスペクト比も高められる。なお、貫通孔 3 5 a のアスペクト比とは、貫通孔 3 5 a の深さを、貫通孔 3 5 a の開孔径で除した値である。

【 0 0 3 4 】

次に、図 7 (a) 及び図 7 (b) に示すように、ポリシリコン層間膜 3 3 に対して、水素含有雰囲気中または不活性ガス雰囲気中でアニールを行う。このアニールによって、ポリシリコン層間膜 3 3 を構成するシリコン原子のマイグレーションが起きる。その結果、予備貫通孔 3 5 e の側壁面 3 5 b と第 1 の窒化シリコン層間膜 3 1 との境界部 3 5 f が、曲面状に成形される。同時に、予備貫通孔 3 5 e の側壁面 3 5 b と、ポリシリコン層間膜 3 3 の上面 3 3 a との境界部 3 5 g も曲面状に成形される。各境界部 3 5 f 、 3 5 g における曲面化は、予備貫通孔 3 5 e の表面積が最小となるように、シリコン原子がマイグレーションするために起こるものと考えられる。

【 0 0 3 5 】

水素含有雰囲気中または不活性ガス雰囲気中でのアニールは、例えば、8 0 0 ~ 1 1 0 0 の範囲での R T A 処理が好ましい。また、アニールの雰囲気は、水素含有雰囲気中、不活性ガス雰囲気中のいずれでもよいが、特に水素を含む還元雰囲気中で行うほうがよい。水素を含む還元雰囲気中でのアニールすることで、ポリシリコンの表面に薄い酸化膜が存在する場合にもシリコン原子のマイグレーションを容易に起こすことができるためである。

【 0 0 3 6 】

次に、図 8 (a) 及び図 8 (b) に示すように、C V D 法または A L D 法によって、予備貫通孔 3 5 e の内部及び酸化シリコン膜 3 4 の上に、窒化シリコン絶縁膜 2 8 を形成する。ステップカバレッジ性に優れた C V D 法または A L D 法を用いることによって、予備

10

20

30

40

50

貫通孔 35 e の内部にも膜厚が均一な窒化シリコン絶縁膜 28 が形成される。

【0037】

次に、図9(a)及び図9(b)に示すように、異方性エッチングによって、予備貫通孔 35 e の底部に積層された窒化シリコン絶縁膜 28 と、その下の第1の窒化シリコン層間膜 31 とを除去する。これにより、容量コンタクトプラグ 25 の上面が露出される。なお、予備貫通孔 35 e の側壁面に形成された窒化シリコン絶縁膜 28 はエッチングされずに残存する。このようにして、貫通孔 35 a が形成される。

また、予備貫通孔 35 e における境界部 35 f の曲面形状は、異方性エッチングの際に、その形状を保った状態でエッチングされる。これにより、貫通孔 35 a の側壁面 35 b と底面 35 c との接続部 35 d が、境界部 35 f の形状に対応した曲面状に成形される。

このようにして、曲面状の接続部 35 d を有する貫通孔 35 a が形成される。

【0038】

なお、貫通孔 35 a の形成後に、貫通孔 35 a の底部に露出された容量コンタクトプラグ 25 に対して、砒素、リン等のN型不純物をイオン注入してもよい。これにより容量コンタクトプラグ 25 の抵抗率が低減され、後に形成する蓄積容量部 24 と容量コンタクトプラグ 25 との間の接続抵抗を低減できる。また、酸化シリコン膜 34 がイオン注入する際のポリシリコン層間膜 33 のマスク層となり、ポリシリコン層間膜 33 に対するイオン注入が防止される。

【0039】

「蓄積容量部 24 の形成工程」

次に、メモリセル部側においては、図10(a)に示すように、接続部 35 d 及び境界部 35 f を含む貫通孔 35 a の内面を覆うように、厚みが10nm~20nm程度の下部電極膜 24 a をたとえばCVD法により形成する。下部電極膜 24 a の材質は例えば、TiN、WN、Ru等を例示できる。

下部電極膜 24 a の形成後、下部電極膜 24 a 及び酸化シリコン膜 34 上の窒化シリコン絶縁膜 28 を覆うように、厚みが7nm~10nm程度の誘電体膜 24 b をたとえばALD法またはCVD法により形成する。誘電体膜 24 b の材質は例えば、Al₂O₃、HfO₂、ZrO₂あるいはこれらの積層膜等を例示できる。

誘電体膜 24 b の形成後、貫通孔 35 a を埋めるように、上部電極膜 24 c をCVD法及びスパッタ法により形成する。すなわち、厚み10nm~20nm程度のTiN、WNまたはRuからなる膜をCVD法で形成してから、Wをスパッタ法で150nm程度に成膜することによって、上部電極膜 24 c を形成する。

上部電極膜 24 c の上にはタングステン等からなる導電膜 26 を積層し、更にその上に配線層 27 を形成する。

【0040】

一方、周辺回路部側においては、図10(b)に示すように、第2の窒化シリコン層間膜 33 5 上に、酸化シリコンからなる第5の層間絶縁膜 136 を形成する。第5の層間絶縁膜 136 については、その上面をCMP法等で平坦化することによって、メモリセル側の導電膜 26 の上面と同一面にするとよい。第5の層間絶縁膜 136 の形成後に、フォトリソグラフィ及びエッチングによって、第5の層間絶縁膜 136 から第3の層間絶縁膜 21 の一部までを貫通して、ビット線 106 を露出させるコンタクトホールを形成する。次いで、コンタクトホール内にポリシリコン等を充填してコンタクトプラグ 140 を形成する。次いで、第5の層間絶縁膜 136 の上に配線層 127 を形成する。

以上の工程を経て、本実施形態の半導体装置が製造される。

【0041】

図11には、上記の製造方法によって製造された本発明例の半導体装置と、水素含有雰囲気または不活性ガス雰囲気中のアニールを行わなかったこと以外は上記の製造方法と同様にして製造された従来例の半導体装置における、蓄積容量部の漏れ電流密度と電界強度との関係を示すグラフである。図11に示すように、本発明例は従来例に比べて、漏れ電流密度が低減されており、蓄積容量部のリーク電流が低減されて半導体装置の信頼性が向

10

20

30

40

50

上していることが明かである。

【0042】

上記の半導体装置によれば、ポリシリコン層間膜33に設けられる貫通孔35aの底面35cと側壁面35bとの接続部35dが曲面で構成されるため、蓄積容量部24が、この曲面を含む貫通孔35aの内面に沿った形状に形成されることになり、これにより、貫通孔35aの底面と側壁面との接続部が角張った形状で構成される場合に比べて、蓄積容量部24のリーク電流が低減され、信頼性に優れた半導体装置を提供できる。

すなわち、蓄積容量部24が下部電極膜24a、誘電体膜24b及び上部電極膜24cとから構成される場所、これら下部電極膜24a、誘電体膜24b及び上部電極膜24cが、接続部35dの曲面を含む貫通孔35aの内面に沿った形状に形成されることになり、下部電極膜24a、誘電体膜24b及び上部電極膜24cの膜厚及び膜質が均一になり、貫通孔35aの内面に対する下部電極膜24a、誘電体膜24b及び上部電極膜24cの被覆率が向上し、これにより、蓄積容量部24のリーク電流が低減され、信頼性に優れた半導体装置を提供できる。

10

また、貫通孔35aの側壁面35bとポリシリコン層間膜33の上面33aとの境界部35gが曲面で構成されることで、蓄積容量部24のリーク電流がより低減され、信頼性に更に優れた半導体装置を提供できる。

【0043】

また、上記の半導体装置によれば、貫通孔35aの側壁面35bが、窒化シリコン絶縁膜28で被覆されているので、蓄積容量部24の絶縁性を高めることができ、静電容量のロスを防止できる。更に、この絶縁膜28によって、蓄積容量部24の構成材料のポリシリコン層間膜33への拡散を防止できる。

20

【0044】

また、上記の半導体装置の製造方法によれば、貫通孔形成工程において、貫通孔35aの底面35cと側壁面35bとの接続部35dを曲面に成形するため、その後形成する蓄積容量部24が、この曲面を含む貫通孔35aの内面に沿った形状に形成されることになり、これにより、貫通孔35aの接続部35dが角張った形状で構成される場合に比べて、蓄積容量部24のリーク電流が低減され、信頼性に優れた半導体装置を製造できる。

また、貫通孔35aの側壁面35bとポリシリコン層間膜33の上面33aとの境界部35gを曲面に成形することで、蓄積容量部24のリーク電流がより低減され、信頼性に更に優れた半導体装置を製造できる。

30

【0045】

また、上記の半導体装置の製造方法によれば、貫通孔形成工程において、ポリシリコン層間膜33を水素含有雰囲気または不活性ガス雰囲気中でアニールすることによって、ポリシリコン層間膜33を構成するシリコン原子のマイグレーションが促され、これにより予備貫通孔35eの境界部35fを曲面に容易に成形させることができ、その後、予備貫通孔35eの底部を異方性エッチングすることで、境界部35fの曲面形状がそのまま貫通孔35aの接続部35dの形状として残る。このような貫通孔35aに対して蓄積容量部24を形成することで、蓄積容量部24の下部電極膜24a、誘電体膜24b及び上部電極膜24cがそれぞれ、一定の膜厚で形成され、かつ、貫通孔35aの内面全面を被覆するように形成される。これにより、蓄積容量部24のリーク電流が低減されて、信頼性に優れた半導体装置を製造できる。

40

【0046】

また、ポリシリコン層間膜33は従来の酸化シリコン層間膜に比べて、アスペクト比の高い貫通孔35aを形成できるので、隣接する貫通孔35a同士が相互に連通して、蓄積容量部24同士がショートするおそれがない。なお、ポリシリコン層間膜33にアスペクト比の高い貫通孔3aを形成できるのは、ポリシリコン層間膜33における貫通孔35aの経方向へのエッチング速度が、従来の酸化シリコン膜に比べて低いため、貫通孔35aの経方向への広がりが均一となり、いわゆるポーイングの問題が回避できるためである。

【0047】

50

また、貫通孔形成工程において、貫通孔 3 5 a の側壁面 3 5 b を窒化シリコン絶縁膜 2 8 で被覆するので、蓄積容量部 2 4 の絶縁性を高めることができ、これにより静電容量のロスを防止できる。更に、この絶縁膜 2 8 の形成によって、その後に形成する蓄積容量部 2 4 の構成材料のポリシリコン層間膜への拡散を防止できる。

【 0 0 4 8 】

また、ポリシリコン層間膜 3 3 の上に、酸化防止用の酸化シリコン膜 3 4 を形成することで、ポリシリコン層間膜 3 3 を酸化が防止され、ポリシリコン層間膜 3 3 の酸化に伴う体積変化が少なくなってポリシリコン層間膜 3 3 の膜厚が一定に維持され、これによりポリシリコン層間膜 3 3 上にマスク等を積層する際にポリシリコン層間膜 3 3 の平坦化处理が不要になり、貫通孔形成工程及び蓄積容量部形成工程を安定して行うことができる。

10

また、ポリシリコン層間膜 3 3 の半導体基板側に第 1 の窒化シリコン層間膜 3 1 を形成することで、この窒化シリコン層間膜 3 1 を貫通孔形成時のエッチングストッパ層として用いることができる。

【 0 0 4 9 】

「第 2 の実施形態の半導体装置の製造方法」

次に、第 2 の実施形態である半導体装置の製造方法について説明する。

まず図 1 2 に示すように、第 1 の実施形態の半導体装置の製造方法と同様にして、第 3 層間絶縁膜 2 1 上に、第 1 の窒化シリコン層間膜 3 1、ポリシリコン層間膜 3 3 及び酸化シリコン膜 3 4 を積層する。なお、本実施形態では、第 3 層間絶縁膜 2 1 に形成する容量コンタクトプラグ 1 2 5 の材質として、Ru、Ir、W のいずれかまたはこれらの合金を用いる。この場合、容量コンタクトプラグ 1 2 5 の構成材料の第 3 層間絶縁膜 2 1 中への拡散を防止するために、容量コンタクトプラグ 1 2 5 と第 3 層間絶縁膜との境界に、TiN 等のバリアメタルを設けてもよい。

20

そして、第 1 窒化シリコン層間膜 3 1 をエッチングストッパとして酸化シリコン膜 3 4 及びポリシリコン層間膜 3 3 を異方性エッチングすることにより、予備貫通孔 1 3 5 e を設ける。次いで、水素含有雰囲気中または不活性ガス雰囲気中でアニールを行う。これにより、図 1 2 に示すように、ポリシリコン層間膜 3 3 を構成するシリコン原子のマイグレーションが起こり、予備貫通孔 1 3 5 e の側壁面 1 3 5 b と第 1 の窒化シリコン層間膜 3 1 との境界部 1 3 5 f が、曲面状に成形される。同時に、予備貫通孔 1 3 5 e の側壁面 1 3 5 b と、ポリシリコン層間膜 3 3 の上面 3 3 a との境界部 1 3 5 g も曲面状に成形される。

30

【 0 0 5 0 】

また、予備貫通孔 1 3 5 e の側壁面には、ポリシリコン層間膜 3 3 の一部が露出された状態になっている。そこで、ポリシリコンに対する熱酸化処理を行う。熱酸化処理によって、図 1 2 に示すように、予備貫通孔 1 3 5 e の側壁面 1 3 5 b が酸化されて酸化シリコン絶縁膜 1 2 8 が形成される。酸化シリコン絶縁膜 1 2 8 の膜厚は、熱酸化処理の条件によって調整可能だが、例えば 4 nm ~ 10 nm の範囲が好ましい。

また、熱酸化処理による酸化シリコン絶縁膜 1 2 8 の形成に伴って、容量コンタクトプラグ 1 2 5 の予備貫通孔 1 3 5 e 側の部分が酸化されて金属酸化物層 1 2 5 a が形成される。容量コンタクトプラグ 1 2 5 は上述の通り、Ru、Ir、W またはこれらの合金で構成されるが、これら元素または合金の酸化物は電気抵抗が小さいので、金属酸化物層 1 2 5 a が形成されても容量コンタクトプラグ自体の電気抵抗は増大することがない。

40

【 0 0 5 1 】

次に、図 1 3 に示すように、異方性エッチングによって、予備貫通孔 1 3 5 e の底部にある第 1 の窒化シリコン層間膜 3 1 を除去する。これにより、容量コンタクトプラグ 1 2 5 の金属酸化物層 1 2 5 a が露出される。なお、予備貫通孔 1 3 5 e の側壁面に形成された酸化シリコン絶縁膜 1 2 8 はエッチングされずに残存する。このようにして、貫通孔 1 3 5 a が形成される。

また、第 1 の実施形態と同様に、予備貫通孔 1 3 5 e における境界部 1 3 5 f の曲面形状は、異方性エッチングの際にその形状を保った状態でエッチングされる。これにより、

50

貫通孔 135 a の側壁面 135 b と底面 135 c との接続部 135 d が、境界部 135 f の形状に対応した曲面状に成形される。

このようにして、曲面状の接続部 135 d を有する貫通孔 135 a が形成される。

【0052】

その後、図 14 に示すように、先に説明した半導体装置の製造方法と同様にして、下部電極膜 24 a、誘電体膜 24 b 及び上部電極膜 24 c を順次形成することにより、蓄積容量部 24 を形成する。更に、上部電極膜 24 c の上にタングステン等からなる導電膜 26 を積層し、更にその上に配線層 27 を形成する。

このようにして、本実施形態の半導体装置が製造される。

【0053】

上記の製造方法によれば、第 1 の実施形態と同様に効果が得られる他に、下記の効果も得られる。

すなわち、上記の製造方法によれば、貫通孔 135 a の内面に、熱酸化処理によって形成された酸化シリコン絶縁膜 128 が備えられているので、蓄積容量部 24 の絶縁性を高めることができ、静電容量のロスを防止できる。更に、酸化シリコン絶縁膜 128 によって、蓄積容量部 24 の構成材料のポリシリコン層間膜 33 への拡散を防止できる。

また、熱酸化法による酸化シリコン絶縁膜 128 の形成の際には、容量コンタクトプラグ 125 の上部が酸化されて電気抵抗が増大するおそれがあるところ、容量コンタクトプラグ 125 の構成材料を、Ru、Ir、W のいずれかまたはこれらの合金というような、酸化されても導電率が低下しない材料で形成することで、容量コンタクトプラグ 125 の比抵抗の増大を防止して、蓄積容量部 24 における静電容量の低下を防止できる。

【0054】

「第 3 の実施形態の半導体装置の製造方法」

次に、第 3 の実施形態である半導体装置の製造方法について説明する。

まず、図 15 に示すように、第 1 の実施形態の半導体装置の製造方法と同様にして、第 3 層間絶縁膜 21 上に、第 1 の窒化シリコン層間膜 31、ポリシリコン層間膜 33 を積層し、更に 0.5 ~ 3 μm 程度の厚みの酸化シリコン膜 234 を積層する。なお、本実施形態では第 2 の実施形態と同様に、第 3 層間絶縁膜 21 に形成する容量コンタクトプラグ 125 の材質として、Ru、Ir、W のいずれかまたはこれらの合金を用いる。この場合、容量コンタクトプラグ 125 と第 3 層間絶縁膜 21 との境界に、TiN 等のバリアメタルを設けてもよい。

そして、第 1 窒化シリコン層間膜 31 をエッチングストップとして酸化シリコン膜 234 及びポリシリコン層間膜 33 を異方性エッチングすることにより、予備貫通孔 235 e を設ける。次いで、水素含有雰囲気中または不活性ガス雰囲気中でアニールを行う。これにより、図 15 に示すように、ポリシリコン層間膜 33 を構成するシリコン原子のマイグレーションが起り、予備貫通孔 235 e の側壁面 235 b と第 1 の窒化シリコン層間膜 31 との境界部 235 f が、曲面状に成形される。

【0055】

また、予備貫通孔 235 e の側壁面には、ポリシリコン層間膜 33 が露出された状態になっている。そこで、ポリシリコンに対する熱酸化処理を行う。熱酸化処理によって、図 15 に示すように、予備貫通孔 235 e の側壁面 135 b の一部が酸化されて酸化シリコン絶縁膜 228 が形成される。酸化シリコン絶縁膜 228 の膜厚は、熱酸化処理の条件によって調整可能だが、例えば 4 nm ~ 10 nm の範囲が好ましい。

また、熱酸化処理による酸化シリコン絶縁膜 228 の形成に伴って、第 2 の実施形態と同様に、容量コンタクトプラグ 125 の予備貫通孔 235 e 側の部分が酸化されて金属酸化物層 125 a が形成される。

【0056】

次に、図 16 に示すように、異方性エッチングによって、予備貫通孔 235 e の底部にある第 1 の窒化シリコン層間膜 31 を除去する。これにより、容量コンタクトプラグ 125 の金属酸化物層 125 a が露出される。なお、予備貫通孔 235 e の側壁面に形成され

10

20

30

40

50

た酸化シリコン絶縁膜 1 2 8 はエッチングされずに残存する。このようにして、貫通孔 1 3 5 a が形成される。

また、第 1 の実施形態と同様に、予備貫通孔 1 3 5 e における境界部 2 3 5 f の曲面形状は、異方性エッチングの際にその形状を保った状態でエッチングされる。これにより、貫通孔 2 3 5 a の側壁面 2 3 5 b と底面 2 3 5 c との接続部 2 3 5 d が、境界部 2 3 5 f の形状に対応した曲面状に成形される。

このようにして、曲面状の接続部 2 3 5 d を有する貫通孔 2 3 5 a が形成される。

【 0 0 5 7 】

その後、図 1 7 に示すように、先に説明した半導体装置の製造方法と同様にして、下部電極膜 2 2 4 a、誘電体膜 2 2 4 b 及び上部電極膜 2 2 4 c を順次形成することにより、蓄積容量部 2 2 4 を形成する。更に、上部電極膜 2 2 4 c の上にタンゲステン等からなる導電膜 2 6 を積層し、更にその上に配線層 2 7 を形成する。

このようにして、本実施形態の半導体装置が製造される。

【 0 0 5 8 】

上記の半導体装置及びその製造方法によれば、第 1 及び第 2 の実施形態の場合と同様な効果が得られる他に、以下の効果も得られる。

すなわち、上記の半導体装置によれば、ポリシリコン層間膜 3 3 の上に、 $0.5 \mu\text{m} \sim 3 \mu\text{m}$ の厚みの酸化シリコン膜 2 3 4 を更に積層し、酸化シリコン膜 2 3 4 及びポリシリコン層間膜 3 3 を貫通する貫通孔 2 3 5 a を形成し、この貫通孔 2 3 5 a の内部に蓄積容量部 2 2 4 を形成するので、蓄積容量部 2 2 4 の電極面積を更に拡大することができ、これにより、静電容量を増大することができる。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】 図 1 は本発明の第 1 の実施形態である半導体装置を示す図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 2 】 図 2 は本発明の第 1 の実施形態である半導体装置の製造方法における層間膜の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 3 】 図 3 は本発明の第 1 の実施形態である半導体装置の製造方法における層間膜の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 4 】 図 4 は本発明の第 1 の実施形態である半導体装置の製造方法における層間膜の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 5 】 図 5 は本発明の第 1 の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 6 】 図 6 は本発明の第 1 の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 7 】 図 7 は本発明の第 1 の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 8 】 図 8 は本発明の第 1 の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

【 図 9 】 図 9 は本発明の第 1 の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図であって、(a) はメモリセル部の要部を示す断面模式図であり、(b) は周辺回路部の要部を示す断面模式図である。

10

20

30

40

50

【図10】図10は本発明の第1の実施形態である半導体装置の製造方法における蓄積容量部の形成工程を説明する工程図であって、(a)はメモリセル部の要部を示す断面模式図であり、(b)は周辺回路部の要部を示す断面模式図である。

【図11】図11は本発明例と従来例の蓄積容量部における電流密度と電界強度との関係を示すグラフである。

【図12】図12は本発明の第2の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図である。

【図13】図13は本発明の第2の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図である。

【図14】図14は本発明の第2の実施形態である半導体装置の製造方法における蓄積容量部の形成工程を説明する工程図である。

10

【図15】図15は本発明の第3の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図である。

【図16】図16は本発明の第3の実施形態である半導体装置の製造方法における貫通孔の形成工程を説明する工程図である。

【図17】図17は本発明の第3の実施形態である半導体装置の製造方法における蓄積容量部の形成工程を説明する工程図である。

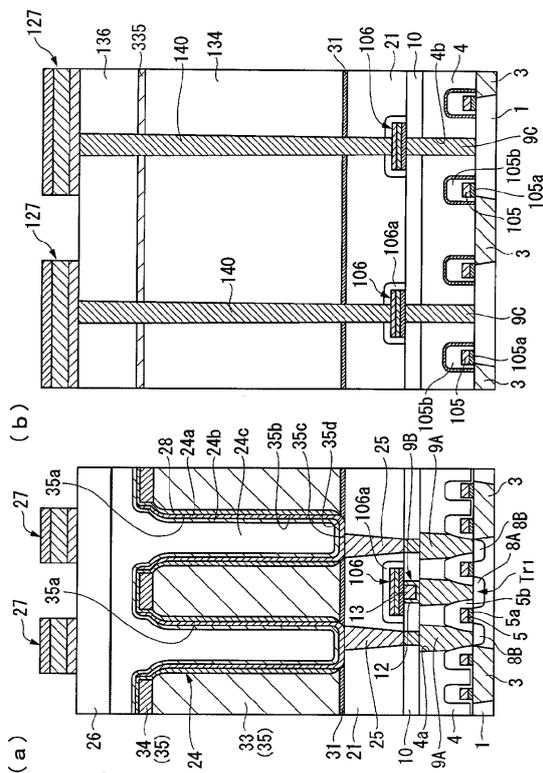
【符号の説明】

【0060】

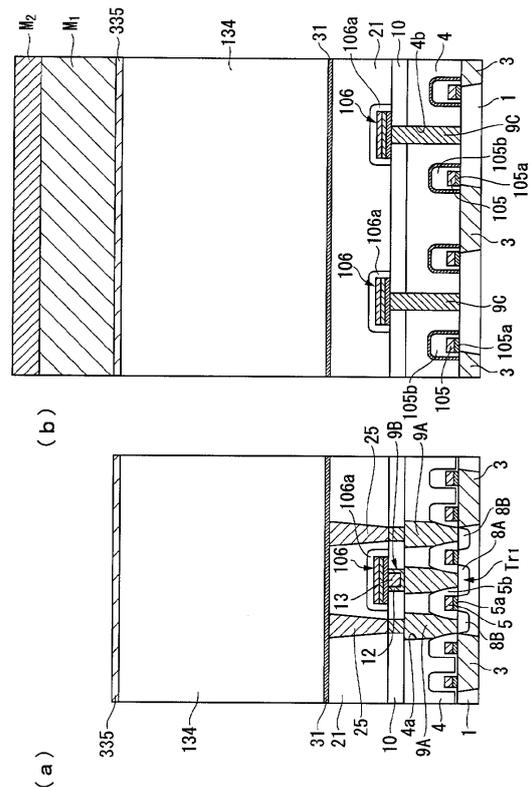
1...半導体基板、9A...コンタクトプラグ、24、224...蓄積容量部、25、125...容量コンタクトプラグ(コンタクトプラグ)、28...窒化シリコン絶縁膜、33...ポリシリコン層間膜、35a、135a、235a...貫通孔、35b、135b、235b...側壁面(貫通孔の側壁面)、35c、135c、235c...底面(貫通孔の底面)、128、228...酸化シリコン絶縁膜、 Tr_1 ...メモリセル選択用トランジスタ

20

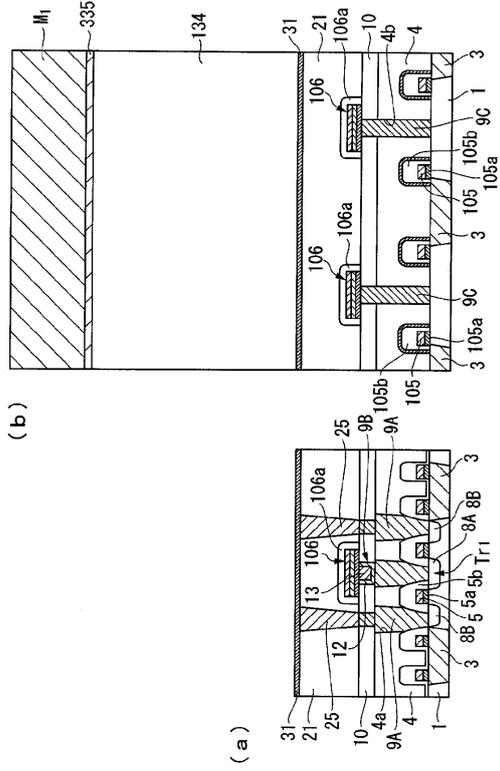
【図1】



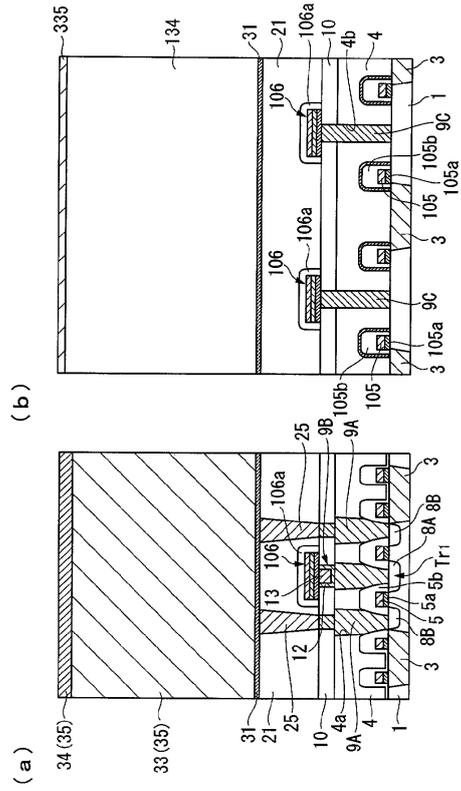
【図2】



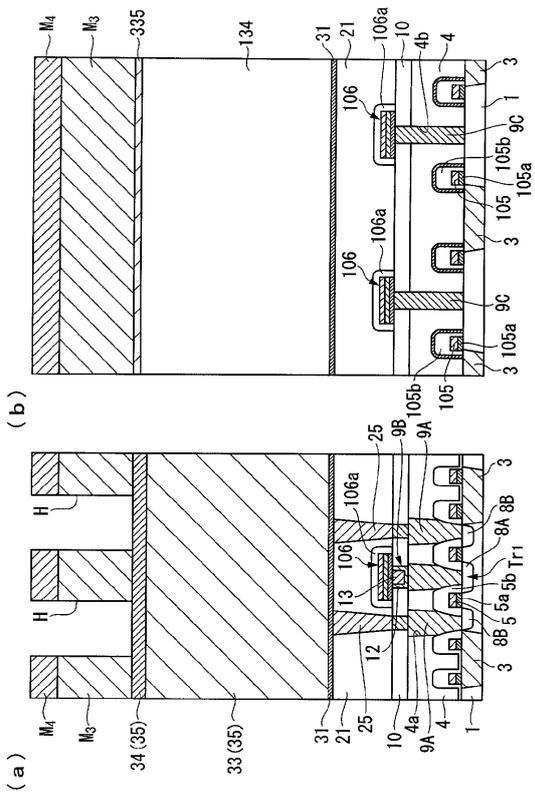
【図3】



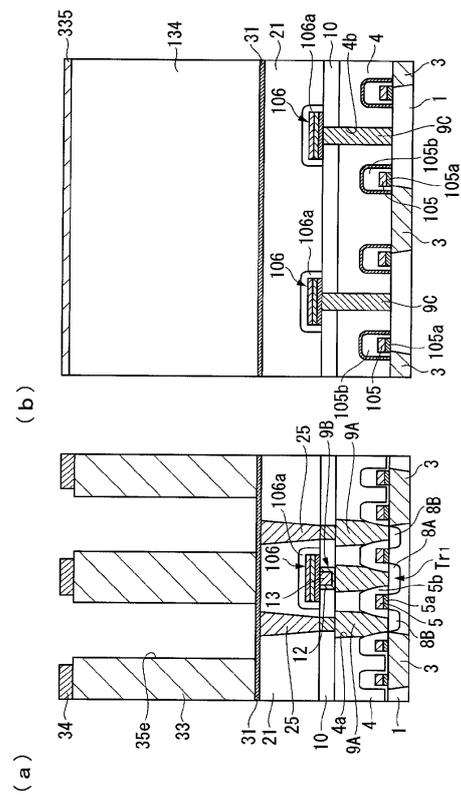
【図4】



【図5】



【図6】



フロントページの続き

審査官 小森 重樹

(56)参考文献 特開2003-031689(JP,A)
特開2004-260203(JP,A)
特開平11-289058(JP,A)
特表2001-524755(JP,A)
特開2005-223339(JP,A)
特開2002-076306(JP,A)
特開2005-072520(JP,A)
特開2005-303276(JP,A)
特開平04-015939(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 21/3205
H01L 21/768
H01L 23/52
H01L 27/108