



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I543158 B

(45)公告日：中華民國 105 (2016) 年 07 月 21 日

(21)申請案號：100137137

(22)申請日：中華民國 100 (2011) 年 10 月 13 日

(51)Int. Cl. : G11C11/417 (2006.01)

(30)優先權：2010/10/25 日本 2010-238609

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：竹村保彥 TAKEMURA, YASUHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 434537

TW I274346

TW I294163

TW 200426829A

US 7088606B2

US 7141835B2

US 2002/0163839A1

US 2007/0139997A1

US 2009/0073745A1

審查人員：劉聖尉

申請專利範圍項數：9 項 圖式數：9 共 57 頁

(54)名稱

半導體儲存裝置及其驅動方法

SEMICONDUCTOR MEMORY DEVICE AND DRIVING METHOD THEREOF

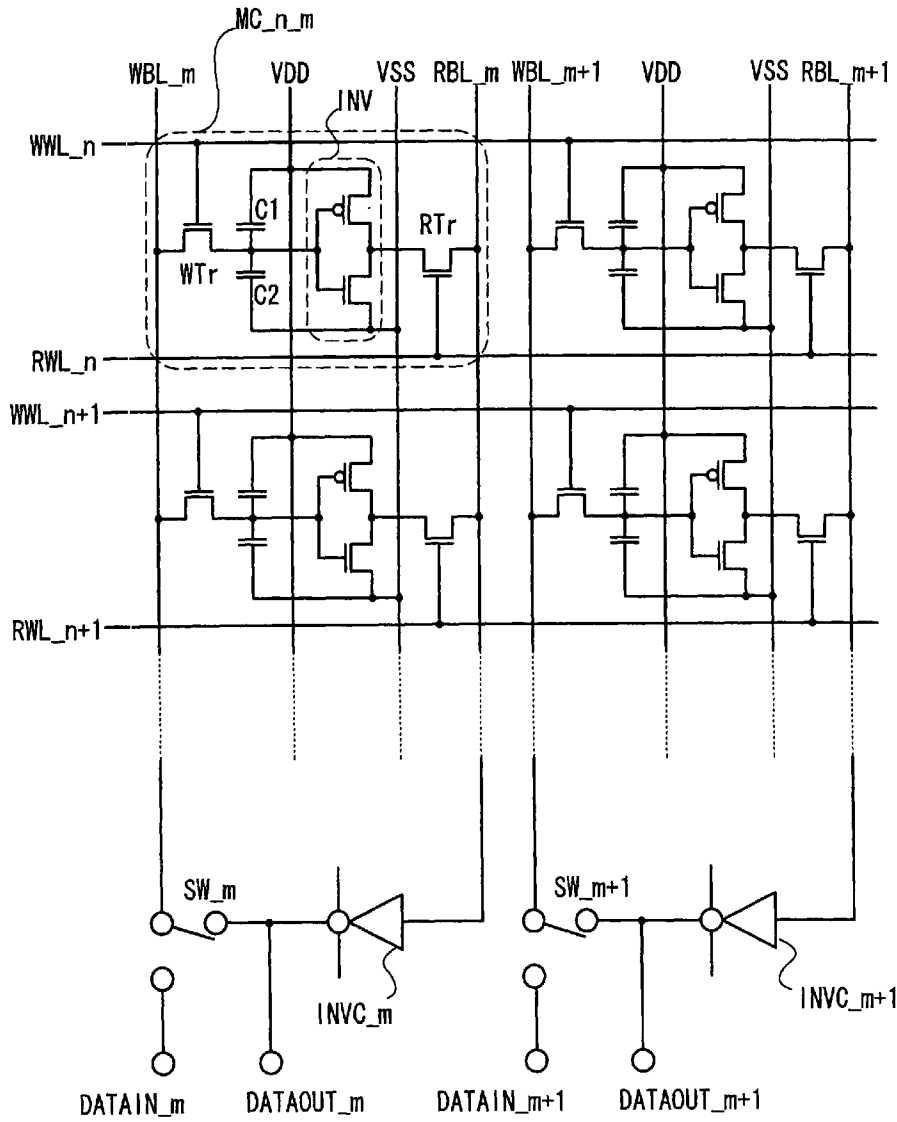
(57)摘要

使用如下儲存單元：使用截止電阻極高的電晶體作為寫入電晶體，該電晶體的汲極連接於寫入位元線，源極連接於反相器的輸入，讀出電晶體的汲極連接於讀出位元線，源極連接於反相器的輸出。可將電容器意圖性地設在寫入電晶體的源極中，但也可使用反相器的閘極電容或正極與負極之間的寄生電容等。因為利用累積在上述電容器中的電荷保持資料，可將反相器的電源之間的電位差設定為 0。由此，流過反相器的正負極之間的洩漏電流消失，可降低耗電量。

In a memory cell, a transistor with extremely high off-resistance is used as a write transistor; a drain and a source of the write transistor are connected to a write bit line and an input of an inverter, respectively; and a drain and a source of a read transistor are connected to a read bit line and an output of the inverter, respectively. Capacitors may be intentionally disposed to the source of the write transistor. Alternatively, parasitic capacitance may be used. Since the data retention is performed using charge stored on these capacitors, a potential difference between power sources for the inverter can be 0. This eliminates leakage current between the positive and negative electrodes of the inverter, thereby reducing power consumption.

指定代表圖：

圖 1



符號簡單說明：

SW_m . . . 開關

WBL_m . . . 寫入字線

INVC_m . . . 列反相器

SW_{m+1} . . . 開關

DATAIN_{m+1} . . . 資料登錄用端子

INVC_{m+1} . . . 列反相器

RWL_n . . . 讀出字線

WBL_{m+1} . . . 寫入位元線

WWL_n . . . 寫入字線

VDD . . . 高電位

VSS . . . 低電位

INV . . . 反相器

WTr . . . 寫入電晶體

RTr . . . 讀出電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)



※申請案號：100137137

G11C 11/47 (2006.01)

※申請日：100年10月13日

※IPC分類：

一、發明名稱：(中文/英文)

半導體儲存裝置及其驅動方法

Semiconductor memory device and driving method thereof

二、中文發明摘要：

使用如下儲存單元：使用截止電阻極高的電晶體作為寫入電晶體，該電晶體的汲極連接於寫入位元線，源極連接於反相器的輸入，讀出電晶體的汲極連接於讀出位元線，源極連接於反相器的輸出。可將電容器意圖性地設在寫入電晶體的源極中，但也可使用反相器的閘極電容或正極與負極之間的寄生電容等。因為利用累積在上述電容器中的電荷保持資料，可將反相器的電源之間的電位差設定為0。由此，流過反相器的正負極之間的洩漏電流消失，可降低耗電量。

三、英文發明摘要：

In a memory cell, a transistor with extremely high off-resistance is used as a write transistor; a drain and a source of the write transistor are connected to a write bit line and an input of an inverter, respectively; and a drain and a source of a read transistor are connected to a read bit line and an output of the inverter, respectively. Capacitors may be intentionally disposed to the source of the write transistor. Alternatively, parasitic capacitance may be used. Since the data retention is performed using charge stored on these capacitors, a potential difference between power sources for the inverter can be 0. This eliminates leakage current between the positive and negative electrodes of the inverter, thereby reducing power consumption.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

SW_m：開關

WBL_m：寫入字線

INVC_m：列反相器

SW_{m+1}：開關

DATAIN_{m+1}：資料登錄用端子

INVC_{m+1}：列反相器

RWL_n：讀出字線

WBL_{m+1}：寫入位元線

WWL_n：寫入字線

VDD：高電位

VSS：低電位

INV：反相器

WTr：寫入電晶體

RTr：讀出電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用半導體的儲存裝置。

【先前技術】

因為使用兩個反相器形成儲存單元的靜態隨機存取記憶體（SRAM）進行高速工作，所以在CPU內部或與其相鄰的部分被用於程式或資料的暫時儲存。另外，與動態隨機存取記憶體（DRAM）不同，SRAM在儲存資料時不需要進行刷新工作，因此具有等待時的耗電量少的特徵。因此，將SRAM還用於行動電話的資料儲存。

圖2A示出現有的SRAM的儲存單元。儲存單元連接到兩個位元線BL1及BL2和一個字線WL。儲存單元由兩個選擇電晶體STr1及STr2和兩個反相器INV1和INV2構成。選擇電晶體STr1及STr2的閘極與字線WL連接，而選擇電晶體STr1及STr2的汲極與位元線BL1及BL2連接。

另外，選擇電晶體STr1的源極與INV1的輸出及INV2的輸入連接，而選擇電晶體STr2的源極與INV2的輸出及INV1的輸入連接。就是說，反相器INV1的輸出與反相器INV2的輸入連接，而反相器INV2的輸出與反相器INV1的輸入連接。像這樣，兩個反相器連接的電路被稱為正反器電路。

使用互補型反相器，以減少耗電量。在互補型反相器中，將P型電晶體的閘極和N型電晶體的閘極連接並用作輸

入。另外，將P型電晶體的汲極和N型電晶體的汲極連接並用作輸出。再者，將P型電晶體的源極（反相器的正極）保持為高電位（VDD），並將N型電晶體的源極（反相器的負極）保持為低電位（VSS）。

圖2B示出互補型反相器的恆定特性。這裏，以 V_{th_N} 為N型電晶體的閾值，以 V_{th_P} 為P型電晶體的閾值。當輸入電位 V_{IN} 在 V_{SS} 與 $(V_{SS}+V_{th_N})$ 之間時，輸出電位 V_{OUT} 成為電位 V_{DD} 。另外，當輸入電位 V_{IN} 在 $(V_{DD}-|V_{th_P}|)$ 與 V_{DD} 之間時，輸出電位 V_{OUT} 成為電位 V_{SS} 。

另外，當輸入電位 V_{IN} 在 $(V_{SS}+V_{th_N})$ 與 $(V_{DD}-|V_{th_P}|)$ 之間時，P型電晶體和N型電晶體都導通，但是根據其電阻比而決定輸出電位 V_{OUT} 。因為P型電晶體和N型電晶體都導通，所以被稱為貫通電流的較大電流流過反相器的正極與負極之間。

在將資料寫入到SRAM的儲存單元時，藉由將適當的電位施加到字線WL，在選擇電晶體 $STr1$ 和選擇電晶體 $STr2$ 導通的狀態下對位元線BL1和位元線BL2施加相應於彼此相反的資料的電位。例如，將電位 V_{DD} 施加到位元線BL1，而將電位 V_{SS} 施加到位元線BL2。

結果，反相器 $INV1$ 的輸出成為電位 V_{SS} ，而反相器 $INV2$ 的輸出成為電位 V_{DD} 。這些輸出與藉由選擇電晶體（ $STr1$ 或 $STr2$ ）連接到每個反相器的輸出的位元線的電位相同。並且，這些電位分別輸入到另一反相器。像這樣，正反器電路成為一定程度的穩定狀態。

另外，在讀出時，藉由將適當的電位施加到字線 WL，在選擇電晶體 ST_{r1}和選擇電晶體 ST_{r2}導通的狀態下觀測位元線的電位的變化。此時，在選擇電晶體 ST_{r1}及 ST_{r2}的導通電阻過小時，有如下憂慮：因為位元線的電位影響到反相器的輸出電位，所以使正反器電路的穩定性降低，使得資料消失。

因此，在預先將位元線的電位設定為 VDD 與 VSS 的中間的值之後使選擇電晶體 ST_{r1}及 ST_{r2}導通，或者，將選擇電晶體 ST_{r1}及 ST_{r2}的導通電阻設定為等於或高於反相器內部的電晶體的導通電阻，以避免不穩定性。

最近，被要求減小電位 VDD 與電位 VSS 的差值（低電壓化），以進一步實現低耗電量化。圖 2B 所示的反相器的特性相當於 $V_{DD}-V_{SS} > V_{th_N} + |V_{th_P}|$ 時的特性，而圖 2C 的實線所示的反相器的特性相當於因低電壓化而成為 $V_{DD}-V_{SS} < V_{th_N} + |V_{th_P}|$ 時的特性。

這裏，在輸入電位 V_{IN} 在 VSS 與 $(V_{DD} - |V_{th_P}|)$ 之間時，輸出電位 V_{OUT} 成爲電位 VDD。另外，在輸入電位 V_{IN} 在 $(V_{SS} + V_{th_N})$ 與 VDD 之間時，輸出電位 V_{OUT} 成爲電位 VSS。

另外，在輸入電位 V_{IN} 在 $(V_{DD} - |V_{th_P}|)$ 與 $(V_{SS} + V_{th_N})$ 之間時，P 型電晶體和 N 型電晶體都截止，並根據其電阻比決定輸出電位 V_{OUT}。但是，因為上述電阻都大，所以這區域的輸出電位 V_{OUT} 極不穩定，且不能在短時間內回應。

例如，即使在外觀上輸入電位 V_{IN} 稍微高於 ($V_{DD}-|V_{th_P}|$)，輸出電位 V_{OUT} 也是與 V_{DD} 極近的值。這是因為 P 型電晶體的電阻相對小於 N 型電晶體的電阻的緣故，上述電晶體都處於亞閾值狀態。就是說，此時的 P 型電晶體的電阻為輸入電位 V_{IN} 為 ($V_{DD}-|V_{th_P}|$) 時的幾倍至幾十倍。因此，有時會發生如下情況：在某種負載連接於反相器的輸出，輸出電位與反相器的輸入無關地急劇變動。

因此，輸出穩定地成為 V_{DD} 或 V_{SS} 的輸入電位 V_{IN} 侷限於 V_{SS} 與 ($V_{DD}-|V_{th_P}|$) 之間及 ($V_{SS}+V_{th_N}$) 與 V_{DD} 之間。例如，在 $V_{DD}=+0.8V$ 、 $V_{SS}=0V$ 、 $V_{th_P}=-0.6V$ 、 $V_{th_N}=+0.6V$ 時，只有 $0.2V$ 的範圍。另一方面，在圖 2B 中，因為 $V_{DD}-V_{SS}=1.6V$ ，所以輸出電位 V_{OUT} 成為 V_{DD} 或 V_{SS} 的範圍分別有 $0.6V$ 。

再者，進行電晶體的微型化的結果，不能忽視通道部的雜質濃度的統計波動 (statistical fluctuation)，從而電晶體的閾值不均勻成為問題 (非專利文獻 1)。結果，使用通道長度為 $0.1\mu m$ 以下的電晶體的反相器的特性的不均勻性也變高。因此，實際上可以使用的輸入電位 V_{IN} 的範圍變得更窄。

例如，在 $V_{th_P}=-0.7V$ 且 $V_{th_N}=+0.7V$ 時，可以穩定地使用的輸入電位 V_{IN} 在 $0V$ 至 $+0.1V$ 和 $+0.7V$ 至 $+0.8V$ ，分別只有 $0.1V$ 的範圍。

另外，在 $V_{th_P}=-0.7V$ 且 $V_{th_N}=+0.5V$ 時，可以穩定地使用的輸入電位 V_{IN} 在 $0V$ 至 $+0.1V$ 和 $+0.5V$ 至 $+0.8V$ ，一共

有 0.4V 的範圍；但是，因為容許範圍互不相同，所以在以反相器的輸出為另一反相器的輸入的正反器電路中，實質上容許的輸入電位 V_{IN} 為 0V 至 +0.1V 和 +0.7V 至 +0.8V，分別有 0.1V 的範圍。

另外，在圖 2B 及圖 2C 所示的特性是處於穩態的，而在用於記憶體之寫入或讀出的短時間內，實際上可以使用的輸入電位 V_{IN} 的範圍更狹窄。

再者，因低電壓化而有如下問題：反相器中的導通的電晶體的導通電阻上升，這導致寫入或讀出的速度的下降。為了解決上述問題，例如，公開了控制反相器的電源的電位的方法（例如，專利文獻 1）。該方法如下：在寫入時，根據資料而改變反相器的電源的電位。

另外，在保持資料的狀態下，流過反相器的電流（從反相器的正極向負極流過的電流）取決於截止的電晶體的電阻。因為此時，閾值正常的電晶體的截止電阻為 $1 \times 10^{13} \Omega$ 以上，所以一個反相器的洩漏電流為 $1 \times 10^{-13} A$ 以下，但是，例如在 1G 位的記憶體中，因為具有 20 億個以上的反相器，所以浪費 $2 \times 10^{-4} A$ 的電流。

再者，作為微型化的結果，如上所述，在閾值的不均勻性增大時，構成反相器的電晶體中的截止電阻低的電晶體增加。在閾值下降 0.1V 時，截止電阻下降到 1/30 左右，而洩漏電流增加 30 倍左右。另外，還有如下現象：因為短通道效應，電晶體的亞閾值上升，結果，截止電阻下降。

另外，因為使閘極絕緣物薄膜化而可以抑制短通道效

應或雜質濃度的統計波動，但是，過剩的閘極絕緣物的薄膜化的結果，有時會增加閘極與通道之間的洩漏電流。

就是說，在被高集成化的SRAM中，每一位的洩漏電流比以前的SRAM增加，再加上，作為集成化的結果，在一個晶片中安裝有更多儲存單元的SRAM中，浪費更多量的洩漏電流以儲存資料。但是，關於上述儲存資料時的洩漏電流的削減，還沒提出有效的方法。

[專利文獻1] 美國專利申請公開2007/0274124

[專利文獻2] 美國專利申請公開2011/0089417

[專利文獻3] 美國專利申請公開2011/0101332

[非專利文獻1] K.Takeuchi et al. "Channel Engineering for the Reduction of Random-Voltage-Induced Threshold Voltage Variation", p. 841, IEDM, 1997

【發明內容】

本發明之一的目的在於：提供一種降低保持資料時的耗電量的半導體儲存裝置。另外，本發明之一的目的在於：提供一種可以縮短讀出或寫入時間的半導體儲存裝置。另外，本發明之一的目的在於：提供一種具有新的結構的儲存裝置或其驅動方法，尤其是，提供一種可以降低耗電量的儲存裝置或儲存裝置的驅動方法。

以下，將說明本發明，但是先簡單說明在本說明書中使用的詞語。首先，關於電晶體的源極和汲極，在本說明書中，在將一方稱為汲極時，將另一方稱為源極。就是說

，對它們的區別不取決於電位的高低。因此，在本說明書中，可以將源極替換為汲極。

另外，在本說明書中，即使表現為“連接”，也有如下情況：在實際上的電路中，沒有物理上的連接部分，而延伸有佈線。例如，還有如下情況：在絕緣閘極型場效應電晶體（MISFET）的電路中，一個佈線兼用作多個MISFET的閘極。在此情況下，在電路圖中，有時描繪為從一個佈線向閘極產生多個分枝。在本說明書中，即使在上述情況下，也有時使用“佈線連接於閘極”的表現。

另外，在本說明書中，在矩陣中指出特定的行、列或位置時，對符號加上表示座標的標記，例如，表示為“寫入電晶體 WTr_{n_m} ”、“位元線 BL_m ”、“反相器 INV_{n_m} ”等，但是，尤其是在不特定行、列或位置時、在將行、列或位置集合而表示或在其位置明確時，表示為“寫入電晶體 WTr ”、“位元線 BL ”、“反相器 INV ”，或者，有時簡單地表示為“寫入電晶體”、“位元線”、“反相器”等。

本發明的一個方式是一種半導體儲存裝置，包括：一個以上的位元線；一個以上的寫入字線；一個以上的讀出字線；以及一個以上的儲存單元，其中，儲存單元具有寫入電晶體、讀出電晶體以及反相器，寫入電晶體的最大電阻為 $1 \times 10^{18} \Omega$ 以上，較佳為 $1 \times 10^{24} \Omega$ 以上，寫入電晶體的汲極連接於位元線之一，讀出電晶體的汲極連接於位元線之一或另一位元線，寫入電晶體的源極連接於反相器的輸入

，讀出電晶體的源極連接於反相器的輸出，寫入電晶體的閘極連接於寫入字線，並且，讀出電晶體的閘極連接於讀出字線。

另外，本發明的一個方式是一種具有上述結構的半導體儲存裝置的驅動方法，包括如下步驟：在寫入資料後，將反相器的正極與反相器的負極的電位差設定為 $0.1V$ 以下，較佳為 $0.001V$ 以下。

另外，本發明的一個方式是一種具有上述結構的半導體儲存裝置的驅動方法，其中，施加到反相器的輸入的電位高於反相器的正極的電位或者低於反相器的負極的電位。

在上述結構中，電容器的電極之一也可以連接於寫入電晶體的源極。另外，反相器也可以是互補型反相器。讀出電晶體的導電型也可以與寫入電晶體的導電型不同。另外，讀出電晶體的導電型也可以是P通道型。

另外，寫入電晶體和讀出電晶體也可以設置在不同的層中。另外，寫入電晶體和構成反相器的電晶體也可以設置在不同的層中。或者，構成反相器的電晶體之一和構成反相器的電晶體之另一也可以設置在不同的層中。

再者，寫入電晶體的半導體種類也可以與讀出電晶體的半導體種類不同。另外，寫入電晶體的半導體種類也可以與構成反相器的電晶體之一的半導體種類不同。或者，寫入電晶體的半導體種類也可以與讀出電晶體的半導體種類相同。再者，寫入電晶體的半導體種類也可以與構成反

相器的電晶體之一的半導體種類相同。

藉由採用上述結構中的任一個，可以至少解決上述課題中的一個。以下，參照圖1與現有的SRAM比較起來說明本發明的效果的例子。圖1所示的電路是本發明的一個方式的技術思想的一部分。圖1示出第n行第m列、第(n+1)行第m列、第n行第m+1列以及第(n+1)行第(m+1)列的四個儲存單元，每個儲存單元具有一個反相器INV、寫入電晶體WTr以及讀出電晶體RTr。

電容器C1的電極中的一方及電容器C2的電極中的一方連接於寫入電晶體WTr的源極，電容器C1的電極中的另一方連接於反相器的正極，並且電容器C2的電極中的另一方連接於反相器的負極。另外，也可以意圖性地不設置電容器C1和電容器C2中的一方或兩者。

再者，寫入電晶體WTr的源極還加入反相器INV的閘極電容及其他佈線的寄生電容。包括電容器C1及電容器C2的上述電容（包括寄生電容）可以為 1×10^{-16} F以下，較佳為 1×10^{-17} F以下。另外，在以下說明中，將上述電容總稱為連接於寫入電晶體WTr的源極的電容，而將具有上述電容的電容器總稱為連接於寫入電晶體WTr的源極的電容器。

另外，讀出電晶體RTr既可呈與寫入電晶體WTr相同的導電型，又可呈與寫入電晶體WTr不同的導電型。例如，寫入電晶體WTr和讀出電晶體RTr都可呈N型，或者，寫入電晶體WTr和讀出電晶體RTr分別可呈N型和P型。

在寫入時，將寫入字線 WWL 的電位設定為適當的值，來使寫入電晶體 WTr 導通，此時，將寫入位元線 WBL 的電位設定為對應於資料的電位，以使寫入電晶體 WTr 的源極及連接於該源極的電容器的電位接近寫入位元線 WBL 的電位。

接著，藉由將寫入字線 WWL 設定為適當地電位，使寫入電晶體 WTr 成為電阻極高的狀態。就是說，將寫入電晶體 WTr 的電阻設定為 $1 \times 10^{18} \Omega$ 以上，較佳為 $1 \times 10^{24} \Omega$ 以上。在此狀態下，寫入電晶體 WTr 的源極的電位根據由連接於寫入電晶體 WTr 的源極的電容和寫入電晶體 WTr 的電阻決定的時間常數而變動。

例如，在寫入電晶體 WTr 的電阻為 $1 \times 10^{24} \Omega$ 且連接於寫入電晶體 WTr 的源極的電容為 $1 \times 10^{-17} \text{F}$ 時，時間常數為 1×10^7 秒 = 115 日。就是說，即使過了 10 日，寫入電晶體 WTr 的源極的電位也幾乎不變動。

作為滿足上述條件的寫入電晶體 WTr 的半導體材料，可以使用能隙為 3 電子伏特以上且施體或受體的濃度為 $1 \times 10^{12} \text{cm}^{-3}$ 以下的半導體材料。例如，可以使用金屬元素和氧的化合物，其中銮、鋅以及鎵中的任何一種占金屬元素整體的比率為 20% 以上。

在現有的 SRAM 中，在寫入時，尤其是在使用閾值不均勻性大的電晶體時，直到正反器電路轉移到穩定狀態為止，需要比理想的（不以閾值不均勻性為前提的）SRAM 的寫入時間長的時間。

另一方面，在圖 1 所示的半導體儲存裝置中，寫入時間為直到寫入電晶體 W_{Tr} 的源極的電位成為需要的值為止的時間，在大體上，以由寫入電晶體 W_{Tr} 的導通電阻和連接於寫入電晶體 W_{Tr} 的源極的電容得到的時間常數的 10 倍為基準，即可。不需要考慮到反相器 INV 被穩定化的時間。

另外，在現有的 SRAM 中，因為以反相器的輸出為另一方的反相器的輸入，所以在兩個反相器的特性不在一定範圍內時，有時不能進行寫入，但是在圖 1 的半導體儲存裝置中，不將反相器的輸出用於另一反相器，從而即使反相器的特性不均勻，寫入本身不正常的幾率也極低。

另外，在保持資料時，在圖 1 所示的半導體儲存裝置中將反相器的正極與負極的電位差設定為 $0.1V$ 以下，較佳為 $0.001V$ 以下，來可以顯著削減反相器的正極與負極之間的洩漏電流。在現有的 SRAM 中，因為正反器電路需要保持狀態，所以不可以將反相器的正極與負極之間的電位差設定為構成反相器的電晶體的閾值（或閾值的絕對值）以下，如果處於上述狀態，則資料消失。

在降低電晶體的閾值的絕對值時，可以降低反相器的正極與負極之間的電位差，但是在此情況下，因為電晶體的截止電流增加，所以保持資料時的耗電量增大，而不能用於手機等移動設備。在實際上，考慮到閾值的不均勻性等，不可將反相器的正極與負極之間的電位差設定為 $0.8V$ 以下。

現有的 SRAM 的一個儲存單元的洩漏電流（反相器的正極與負極的電位差為 0.8V 時）為 1×10^{-13} A 左右，但是圖 1 所示的半導體儲存裝置的一個儲存單元的洩漏電流（反相器的正極與負極的電位差為 0.1V 時）比 1×10^{-13} A 小一位數左右，並且在反相器的正極與負極的電位差為 0.001V 時進一步減小三位數左右。在反相器的正極和負極為同電位的理想情況下，沒有洩漏電流。

在讀出中，本發明的一個方式的效果顯著。例如，如上所述，在現有的 SRAM 中，在讀出時有較多限制以不使位元線的電位影響到正反器電路，但是在圖 1 所示的半導體儲存裝置中，讀出位元線 RBL 的電位幾乎不影響到儲存單元的資料保持，而不需要上述較多限制。

例如，讀出電晶體可以儘量減小導通電阻。由此，可以實現讀出的高速化。另外，不需要將位元線預先設定為固定電位。因為需要耗時間和電力以將位元線預先設定為固定電位，所以藉由消除上述操作，可以實現讀出的高速化和低耗電量化。

另外，由圖式可見，圖 1 所示的半導體儲存裝置在一個儲存單元中具有四個電晶體。因此，與一個儲存單元需要六個電晶體的現有的 SRAM 相比，可以提高集成度。

另外，因為在作為寫入電晶體 WTr 的半導體材料使用如上所述的金屬元素和氧的化合物（氧化物）時可以將半導體層形成為薄膜形狀，所以藉由將寫入電晶體 WTr 與構成儲存單元的另一電晶體重疊立體配置，可以削減儲存單

元的佔有面積。當然，也可以將寫入電晶體 WTr 以外的另一電晶體的半導體形成為薄膜狀並立體配置，以提高集成度。

另外，關於使用氧化物作為半導體材料的電晶體（尤其是截止狀態下的電阻極大的電晶體）和使用上述以外的半導體的電晶體組合而成的半導體裝置，可以參照專利文獻 2 或專利文獻 3。

【實施方式】

以下，參照圖式說明實施方式。但是，實施方式可以以多個不同方式來實施，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在以下實施方式所記載的內容中。

另外，作為電位，以下舉出具體數值，但是其目的是有助於理解本發明的技術思想。當然，上述數值根據電晶體或電容器的各種特性或者實施者的方便而改變。另外，以下實施方式所示的半導體儲存裝置也可以利用以下所示的方法以外的方法進行資料寫入或讀出。

實施方式 1

在本實施方式中，參照圖 3A 至 3F 說明圖 1 所示的半導體儲存裝置及其工作的例子。本實施方式的半導體裝置包

括：寫入字線 WWL；讀出字線 RWL；與寫入字線正交的寫入位元線 WBL；與讀出字線正交的讀出位元線 RBL；以及儲存單元。

在圖 1 中，示出第 n 行第 m 列、第 $(n+1)$ 行第 m 列、第 n 行第 $m+1$ 列以及第 $(n+1)$ 行第 $(m+1)$ 列的四個儲存單元、與該儲存單元有關的寫入字線 WWL、讀出字線 RWL、寫入位元線 WBL 以及讀出位元線 RBL。

每個儲存單元具有寫入電晶體 WTr、讀出電晶體 RTr、反相器 INV、電容器 C1 以及電容器 C2。也可以意圖性地不設置電容器 C1 和電容器 C2 中的一方或兩者。

寫入電晶體 WTr 的汲極連接於寫入位元線 WBL，讀出電晶體 RTr 的汲極連接於讀出位元線 RBL，寫入電晶體 WTr 的閘極連接於寫入字線 WWL，並且讀出電晶體 RTr 的閘極連接於讀出字線 RWL。再者，寫入電晶體 WTr 的源極連接於反相器 INV 的輸入，而讀出電晶體 RTr 的源極連接於反相器 INV 的輸出。這裏，作為反相器，使用互補型反相器。

另外，將資料登錄用端子 DATAIN 設置於寫入位元線 WBL 的一端。另外，也可以在各列中設置列反相器 INVC，將讀出位元線 RBL 連接於列反相器 INVC 的輸入，並且將寫入位元線 WBL 連接於列反相器 INVC 的輸出。在此情況下，如圖 1 所示，較佳設置開關 SW，該開關 SW 選擇將寫入位元線 WBL 連接於資料登錄用端子 DATAIN 或列反相器 INVC。另外，也可以將反相器的輸出連接於資料輸出用端子 DATAOUT。

讀出電晶體 RTr 和構成反相器的電晶體可以使用各種半導體。例如，讀出電晶體 RTr 和構成反相器的電晶體都可以使用同一種類的半導體材料。例如，可以使用單晶矽半導體基板而形成。

另外，也可以使用單晶矽半導體基板製造讀出電晶體 RTr 和構成反相器的電晶體的一部分，並使用薄膜的半導體層製造構成反相器的電晶體的其他部分。在此情況下，作為薄膜半導體層，既可使用單晶矽或多晶矽，又可使用矽以外的半導體如氧化物半導體。

使用多晶矽的電晶體的閾值的不均勻性大，而將上述使用多晶矽的電晶體用於具有正反器電路的現有的 SRAM 的儲存單元是困難的，但是在本實施方式中，因為儲存單元不具有正反器電路，並且構成反相器 INV 的電晶體的閾值也可以具有或多或少的不均勻性，所以也可以將使用多晶矽的電晶體用於儲存單元。

另外，作為用於寫入電晶體 WTr 的半導體，使用截止時的電阻可以為 $1 \times 10^{18} \Omega$ 以上，較佳為 $1 \times 10^{24} \Omega$ 以上的半導體。例如，可以使用能隙為 3 電子伏特以上且施體或受體的濃度為 $1 \times 10^{12} \text{cm}^{-3}$ 以下的半導體。例如，可以使用金屬元素和氧的化合物，其中銻、鋅以及鎵中的任何一種占金屬元素整體的比率為 20% 以上。

在圖 1 所示的半導體儲存裝置中，每一行的佈線個數（寫入字線 WWL 及讀出字線 RWL 的個數）比現有的 SRAM 多一個。但是，在將寫入電晶體 WTr 形成在與其他電晶體

不同的層中時，可以將寫入字線 WWL 形成在與讀出字線 RWL 不同的層中，由此不會由佈線個數的增加導致集成度的下降。

以下，參照圖 3A 至 3F 說明圖 1 的半導體儲存裝置的工作。在本說明書中的示出工作的電路圖中，對電晶體的符號加上 x 印來表示處於截止狀態的電晶體，並對電晶體的符號加上 ○ 印來表示處於導通狀態的電晶體。這裏，將 N 型電晶體的閾值設定為 +0.6V，並將 P 型電晶體的閾值設定為 -0.6V。

首先，說明寫入。在寫入的過程中，將讀出電晶體 RTr 的閘極（即，讀出字線 RWL）的電位設定為 0V。這裏，雖然將反相器 INV 的正極的電位設定為 +0.8V 並將負極的電位設定為 0V，但是也可以將正極和負極設定為同一電位（正極和負極都是 0V）。上述方法有效於耗電量的降低，但是需要考慮讀出時的反相器的輸入電位的變動。另外，在寫入時，將寫入電晶體 WTr 的閘極（即，寫入字線 WWL）的電位設定為 +2V。

這裏，說明寫入資料“1”的情況。為此，將寫入位元線 WBL 的電位設定為 +0.8V。連接於寫入電晶體的源極的電容器（電容器 C1 及電容器 C2 等）被充電到上述電位（參照圖 3A）。

然後，將寫入電晶體 WTr 的閘極的電位設定為 -2V，而將寫入電晶體 WTr 的電阻設定為 $1 \times 10^{18} \Omega$ 以上，較佳為 $1 \times 10^{24} \Omega$ 以上。結果，在極長時間內保持累積在連接於寫入

電晶體 WTr 的源極的電容器中的電荷（參照圖 3B）。藉由上述步驟，寫入工作結束。

此時，藉由將反相器的正極和負極的電位設定為同一電位（這裏，+0.8V），可以削減耗電量。另外，因為連接於寫入電晶體的源極的電容器形成在反相器 INV 的正極與負極之間，所以藉由使正極或負極的電位變動，寫入電晶體 WTr 的源極的電位變動。就是說，在正極或負極的電位下降時，寫入電晶體 WTr 的源極的電位下降，尤其是在所寫入的電位低時，有寫入電晶體 WTr 的電阻下降的憂慮。

因此，較佳的是，在寫入結束後，在使反相器 INV 的正極或負極的電位上升的狀態下將正極和負極的電位設定為同一電位。在上述例子中，在使負極的電位從 0V 上升到 +0.8V 的狀態下將正極和負極的電位設定為同一電位。藉由使用上述方法，可以將寫入電晶體 WTr 的電阻維持在高電阻。

在使用通常的個人電腦（連續啓動時間為幾小時至幾日）時，不需要考慮由於電荷從連接於寫入電晶體的源極的電容器消失導致的資料的消失。另外，關於手機等連續啓動時間為幾個月至幾年的電子裝置，較佳進行資料的刷新工作。

例如，在將寫入電晶體 WTr 的電阻設定為 $1 \times 10^{26} \Omega$ 以上時，可以保持資料 10 年以上。在能隙為 3 電子伏特以上的本質半導體中，室溫下的熱激發載子濃度為 $1 \times 10^{-7} \text{cm}^{-3}$ 左

右，從而電阻的上限被算出為 $1 \times 10^{30} \Omega$ 以上。就是說，藉由減低施體濃度，實質上可以永久保持資料。

接著，說明寫入資料“0”的情況。為此，在寫入電晶體 WTr 的閘極的電位為 +2V 的狀態下將寫入位元線 WBL 的電位設定為 -0.4V，使得連接於寫入電晶體的源極的電容器（電容器 C1 及電容器 C2 等）充電到上述電位（參照圖 3C）。然後，將寫入電晶體 WTr 的閘極的電位設定為 -2V（參照圖 3D）。藉由上述步驟，寫入工作結束。

在保持資料的過程中，較佳將寫入電晶體 WTr 的閘極的電位設定為 -2V。對於將寫入電晶體 WTr 的閘極的電位保持為固定電位，實質上不消耗電力。另外，藉由將反相器 INV 的正極和負極設定為同一電位，可以降低耗電量。

在讀出資料的過程中，將反相器 INV 的正極的電位設定為 +0.8V，並將負極的電位設定為 0V。此時，在儲存有資料“1”時，反相器 INV 的 N 型電晶體導通，而 P 型電晶體截止。結果，讀出位元線 RBL 的電位成為 0V（參照圖 3E）。另一方面，在儲存有資料“0”時，反相器 INV 的 P 型電晶體導通，而 N 型電晶體截止。結果，讀出位元線 RBL 的電位成為 +0.8V（參照圖 3F）。

另外，藉由將讀出電晶體的閘極的電位設定為 +2V，可以在更短時間內進行讀出。例如，對讀出位元線 RBL 的電位為 0V 且儲存單元儲存有資料“0”的情況進行考察。

在反相器 INV 中，P 型電晶體處於導通狀態，反相器的輸出為 +0.8V。另一方面，因為 P 型電晶體的閘極的電位

為 -0.4V 且源極（反相器 INV 的負極）的電位為 $+0.8\text{V}$ 。這裏，將實效的閘極電壓定義為 $(\{\text{閘極} - \text{源極}\} - \{\text{閾值}\}) / k$ 。N 型電晶體的常數 k 為 1，而 P 型電晶體的常數 k 為 -3，這反映出單晶矽中的電洞遷移率為電子遷移率的大約三分之一的事實。實效閘極電壓便於比較其導電型不同的電晶體。實效電壓越高，電晶體的電阻越低，在 P 型電晶體的實效電壓與 N 型電晶體的實效電壓相同時，P 型電晶體的電阻與 N 型電晶體的電阻大致相同。上述 P 型電晶體的實效的閘極電壓為 $+0.2\text{V}$ 。

另一方面，在將讀出電晶體 R_{Tr} 的閘極的電位設定為 $+2\text{V}$ 時，實效的閘極電壓為 $+1.4\text{V}$ 。像這樣，“兩個電晶體的實效閘極電壓大不相同”意味著“電阻大不相同”，明確地說，反相器 INV 的 P 型電晶體的電阻為讀出電晶體 R_{Tr} 的大約 7 倍。

在電阻差如上所述那樣大時，在讀出電晶體 R_{Tr} 導通的瞬間，反相器 INV 的輸出電位暫時從 $+0.8\text{V}$ 向 0V 大幅度下降。像這樣，雖然是暫時的，但是在輸出電位下降時，以輸出為另一反相器的輸入的正反器電路有電路不穩定化而使狀態反轉的可能性。

因此，在儲存單元中使用正反器電路的現有的 SRAM 為避免電路的不穩定化而採取如下措施：將反相器的正極的電位與負極的電位的中間電位預先施加到位元線；或者，將選擇電晶體的導通電阻設定為不大於反相器 INV 的 P 型電晶體的導通電阻等。

另一方面，在圖1所示的半導體儲存裝置中，因為儲存單元不使用正反器電路，所以即使反相器的輸出電位下降，電路也不會被不穩定化。另外，因為可以儘量降低讀出電晶體 R_{Tr} 的導通電阻，所以可以將讀出位元線 RBL 的電位設定為預定的值（即，反相器的輸出電位）的速度比現有的 SRAM 快。

根據圖3F可知，在讀出中，反相器 INV 的 P 型電晶體和讀出電晶體 R_{Tr} 串聯連接，但是讀出電晶體 R_{Tr} 的電阻為反相器 INV 的 P 型電晶體的 $1/7$ ，從而這個電路的電阻的大部分取決於反相器 INV 的 P 型電晶體的電阻。

另一方面，圖2A所示的現有的 SRAM 的儲存單元也具有同樣的電路結構（右側的反相器 $INV2$ 的 P 型電晶體和選擇電晶體 S_{Tr2} 的串聯電路）。即使反相器 $INV2$ 的 P 型電晶體的電阻與圖3F相同，也為避免電路的不穩定化而將選擇電晶體 S_{Tr2} 的電阻與反相器 $INV2$ 的 P 型電晶體的電阻相同，由此上述電路的電阻成為反相器 $INV2$ 的 P 型電晶體的電阻的兩倍。

就是說，在本實施方式的半導體儲存裝置中，可以在現有的 SRAM 的大約一半（正確地說， $(1+1/7)/2=0.57$ ）的時間內進行讀出。

另外，在上述討論中，現有的 SRAM 的儲存單元（參照圖2A）的反相器 $INV2$ 的 P 型電晶體的實效閘極電壓為 $+0.2V$ ，但是為此，需要將反相器 $INV2$ 的正極和負極的電位差設定為 $1.2V$ 。另一方面，在本實施方式的儲存裝置中

，只要將反相器 INV 的正極和負極的電位差設定為 0.8V，即可（參照圖 3A 至 3F）。

在本實施方式中，在資料為“1”時將寫入位元線 WBL 的電位設定為 0.8V，但是在資料為“0”時將寫入位元線 WBL 的電位設定為 -0.4V。在此情況下，反相器 INV 的 N 型電晶體的實效閘極電壓為 +0.2V，而 P 型電晶體的實效閘極電壓也為 +0.2V。

另外，在本實施方式中，在儲存資料時，將反相器 INV 的正極和負極設定為同一電位。在上述使用方法中，即使反相器 INV 的正極和負極之間的洩漏電流多，耗電量也幾乎不增大。

因此，藉由儘量降低構成反相器的電晶體的閾值的絕對值，可以提高電晶體的電流驅動能力。例如，作為構成上述反相器的電晶體的閾值，N 型電晶體的閾值為 +0.6V，P 型電晶體的閾值為 -0.6V，但是在 N 型電晶體的閾值和 P 型電晶體的閾值分別為 +0.3V 和 -0.3V 時，工作速度增快 50%。

在此情況下，反相器的正極和負極之間的洩漏電流增加 10000 倍。但是，在資料儲存期間（等待時間）比資料寫入或讀出期間長得多的用途（如手機等）中，可以在上述資料儲存期間中將反相器的正極和負極設定為同一電位，從而可以忽視由上述洩漏電流導致的耗電量的增大。

在現有的 SRAM 中，如上所述，因為反相器的 N 通道型電晶體的實效閘極電壓與 P 通道型電晶體不同，所以通常

將 P 通道型電晶體的通道寬度設定為 N 通道型電晶體的大約 3 倍，以將它們處於導通狀態下的電流設定為同一水準。但是，這意味著儲存單元的佔有面積的增大。

鑒於上述問題，在本實施方式的半導體儲存裝置的反相器中，如上所述，藉由將 N 通道型電晶體的實效閘極電壓設定為與 P 通道型電晶體相同，可以將它們處於導通狀態下的電流設定為同一水準。因此，不像現有的 SRAM 那樣，因為不需要將 P 通道型電晶體的通道寬度設定為比 N 通道型電晶體大得多，所以可以抑制儲存單元的面積，而有利於集成化。

例如，在本實施方式的半導體儲存裝置的反相器中，可以將 P 通道型電晶體的通道寬度設定為 N 通道型電晶體的 0.5 倍以上 2 倍以下。或者，可以將 P 通道型電晶體的通道寬度設定為與 N 通道型電晶體相等。或者，也可以將 P 通道型電晶體的通道寬度加工為最小線寬度。

另外，在現有的 SRAM 中，如果選擇電晶體的截止電阻也不充分，則在儲存資料時產生洩漏電流。就是說，從 P 通道型電晶體導通的儲存單元向 N 型電晶體導通的儲存單元，藉由位元線和連接於每個位元線的選擇電晶體流過洩漏電流。

但是，在本實施方式中，藉由在資料儲存期間中將反相器 INV 的正極和負極設定為同一電位，可以避免上述洩漏電流的產生。因此，也可以藉由儘量降低讀出電晶體 R_{Tr} 的閾值的絕對值來提高讀出電晶體 R_{Tr} 的電流驅動能力

另外，在本實施方式所示的半導體儲存裝置的驅動方法中，即使使用因短通道效應或雜質的統計波動等而增加截止電流的電晶體或閾值不均勻性增大的電晶體構成反相器 INV 或讀出電晶體 RTr，也幾乎不發生資料寫入或讀出的問題，並且在儲存資料時也可保持低耗電量。

在上述例子中，只在寫入和讀出時在反相器 INV 的正極和負極之間產生電位差 0.8V。但是，每次進行寫入、讀出以及資料儲存時都在反相器 INV 的正極和負極之間高頻率改變上述電位差的驅動方法有如下憂慮：恐怕耗電量會在反相器 INV 的正極和負極之間一直產生上述電位差的情況以上的程度增加。

因此，在以短間隔（例如，1 μ 秒以下）進行讀出及儲存或寫入及儲存時，較佳在反相器 INV 的正極和負極之間一直產生上述電位差。或者，也可以使用如下方法：在寫入或讀出結束後，邊在反相器 INV 的正極和負極之間維持上述電位差一段時間（例如，1 μ 秒以下）邊進行儲存，然後將電位差設定為 0。

另外，在上述例子中，將寫入及讀出時的反相器 INV 的正極和負極之間的電位差設定為 0.8V，但是作為電位差也可以採用上述以外的值。一般來說，因為在電位差增大時電流驅動能力增高，所以合適於寫入或讀出的高速化。但是，隨著電位差的增大，洩漏電流也增大，因此寫入或讀出時的耗電量增大。

在本實施方式所示的驅動方法中，只在寫入時及讀出時在反相器的正極和負極之間產生洩漏電流，但是在上述期間比其他期間（主要是資料儲存期間）充分短（較佳為一萬分之一以下）時，耗電量的增大不會過剩。

實施方式 2

以下，參照圖 1 及圖 4A 至 4C 說明本實施方式。在實施方式 1 所說明的寫入方法中，在進行寫入時，藉由對寫入字線 WWL 進行操作而使寫入電晶體 WTr 導通，由此連接於一個寫入字線 WWL 的所有寫入電晶體 WTr 導通，結果，累積在連接於上述行的所有寫入電晶體 WTr 的源極的電容器中的電荷消失。

在本實施方式中，說明一種方法，即在連接於寫入字線 WWL 的儲存單元中，只在需要改寫資料的列中改寫資料，而在其他列中自動地寫入與到此為止儲存的資料相同的資料。

圖 4A 至 4C 示出一個例子。這裏，將反相器 INV 的正極的電位設定為 +0.8V，將負極的電位設定為 0V。如圖 4A 所示，在第 n 行第 m 列的儲存單元中，反相器 INV_{n_m} 的輸入為 -0.4V，在第 n 行第 (m+1) 列的儲存單元中，反相器 INV_{n_m+1} 的輸入為 +0.8V。就是說，在第 n 行第 m 列的儲存單元中，儲存有資料“0”，在第 n 行第 (m+1) 列的儲存單元中，儲存有資料“1”。

接著，假設如下情況：將第 n 行第 (m+1) 列的儲存單

元的資料改寫為資料“0”，並且將第 n 行第 m 列的儲存單元的資料保持為資料“0”。這裏，在不改寫資料的第 m 列中，如圖4B所示，將列反相器 $INVC_m$ 的正極的電位設定為 $+0.8V$ ，將負極的電位設定為 $-0.4V$ ，並且利用開關 SW_m 將寫入字線 WBL_m 連接於列反相器 $INVC_m$ 。

另一方面，在改寫資料的第 $(m+1)$ 列中，將開關 SW_{m+1} 連接於資料登錄用端子 $DATAIN_{m+1}$ 。藉由將列反相器 $INVC_{m+1}$ 的正極和負極的電位都設定為同一電位（例如， $0V$ ），可以降低耗電量。另一方面，將資料登錄用端子 $DATAIN_{m+1}$ 的電位設定為對應於所改寫的資料的電位（這裏，為 $-0.4V$ ）。

然後，藉由將讀出字線 RWL_n 的電位設定為 $+2V$ ，使讀出電晶體 RTr_{n_m} 及讀出電晶體 RTr_{n_m+1} 導通。結果，藉由讀出位元線 RBL_m ，將第 n 行第 m 列的儲存單元的反相器 INV_{n_m} 的輸出電位（ $+0.8V$ ）輸入到列反相器 $INVC_m$ ，並且從列反相器 $INVC_m$ 輸出 $-0.4V$ 的電位。

因為寫入位元線 WBL_m 藉由開關 SW_m 連接於列反相器 $INVC_m$ 的輸出，所以寫入位元線 WBL_m 的電位成為 $-0.4V$ 。

另外，因為寫入位元線 WBL_{m+1} 藉由開關 SW_{m+1} 連接於資料登錄用端子 $DATAIN_{m+1}$ ，所以寫入位元線 WBL_{m+1} 的電位也成為 $-0.4V$ 。

然後，藉由將寫入字線 WWL_n 的電位設定為 $+2V$ ，使寫入電晶體 WTr_{n_m} 及寫入電晶體 WTr_{n_m+1} 導通。此時

，也可以將讀出字線 RWL_n 的電位設定為 $0V$ ，以降低耗電量。藉由上述步驟，使連接於各寫入電晶體 WTr 的源極的電容器充電到寫入位元線的電位。

藉由上述操作，第 n 行第 m 列的儲存單元的資料一直為“0”（正確地說，再次寫入與原來的資料相同的資料），而第 n 行第 $m+1$ 列的儲存單元的資料從“1”被改寫為“0”。

這裏，說明列反相器 $INVC$ 的工作。將輸入到列反相器 $INVC$ 的電位為 $+0.8V$ 和 $0V$ 中的任何一種，前者使 N 型電晶體導通，後者使 P 型電晶體導通。

但是，對於實效閘極電壓而言，在前者的情況下為 $+0.6V$ （=輸入電位（ $+0.8V$ ）-列反相器的負極電位（ $-0.4V$ ）- N 型電晶體的閾值（ $+0.6V$ ）），而在後者的情況下為 $+0.07V$ （=（輸入電位（ $0V$ ）-列反相器的正極電位（ $+0.8V$ ）- P 型電晶體的閾值（ $-0.6V$ ））/（ -3 ）），在通道寬度相等時， P 型電晶體的導通電阻比 N 型電晶體大10倍左右。

由此，較佳適當地擴大列反相器 $INVC$ 的 P 型電晶體的通道寬度，而降低 P 型電晶體的導通電阻，以能夠進行更高速度的回應。與儲存單元內的反相器不同，列反相器 $INVC$ 設置在列驅動器內，並且其個數也有限制，因此不需要大幅度擴大半導體儲存裝置的晶片面積。

實施方式 3

在本實施方式中，參照圖 5A 至 5C 說明圖 1 所示的半導體儲存裝置的變形例子。在圖 5A 所示的儲存單元中，使用相鄰的儲存單元的寫入位元線作為讀出位元線。就是說，位元線 BL_{m+1} 是第 n 行第 m 列的儲存單元的讀出位元線，並是第 n 行第 $(m+1)$ 列的儲存單元的寫入位元線。

在圖 5B 所示的儲存單元中，使用同一儲存單元的寫入位元線作為讀出位元線。就是說，位元線 BL_m 是第 n 行第 m 列的儲存單元的讀出位元線，並是同一儲存單元的寫入位元線。

在圖 5C 所示的儲存單元中，示出使用電阻負載型反相器而不使用互補型反相器的例子。就是說，使用電阻 R 代替圖 1 的第 n 行第 m 列的儲存單元的反相器 $INV_{n,m}$ 的 P 型電晶體。因為電阻 R 可以由薄膜形成，所以可以在其他電晶體等上層疊電阻 R 而提高集成度。

電阻負載型反相器的正極與負極之間的洩漏電流有時大於互補型反相器，但是藉由如實施方式 1 所示那樣在儲存資料時將反相器的正極和負極設定為同一電位，洩漏電流消失，從而只在資料儲存時，無論是互補型還是電阻負載型，耗電量都一樣。但是，在讀出時，電阻負載型反相器的工作速度比互補型反相器慢，並且耗電量也多於互補型反相器。

圖 5C 雖然示出使用電阻 R 代替圖 1 的反相器 $INV_{n,m}$ 的 P 型電晶體的例子，但是也可以使用電阻代替 N 型電晶體。另外，也可以使用二極體（包括二極體連接的電晶體）或

耗盡型電晶體代替電阻。

在圖 5A 所示的儲存單元中，也可以如實施方式 2 所示那樣只對某一行的所指定的儲存單元進行改寫，對除此以外的儲存單元一直保持已保持的資料。

例如，假設如下情況：當初，在圖 5A 的第 n 行第 m 列的儲存單元中，儲存有資料“0”，在第 n 行第 $(m+1)$ 列的儲存單元中，儲存有資料“1”，然後，只將第 n 行第 $(m+1)$ 列的儲存單元的資料改寫為資料“0”。

爲了進行上述操作，如圖 6A 所示那樣，在位元線 BL_m 、 BL_{m+1} 以及 BL_{m+2} 的一端設置開關 SW_m 、 SW_{m+1} 以及 SW_{m+2} 。在此所示的開關 SW 較佳由電晶體或二極體等構成。另外，上述開關是爲理解電路結構而使用的抽象表現，而有時會與實際上的電路結構不同。

例如，採用如下結構：開關 SW_{m+1} 的一個端子連接於列反相器 $INVC_m$ 的輸入，另一個端子連接於列反相器 $INVC_{m+1}$ 的輸出，並且最後一個端子連接於資料登錄輸出用端子 $DATA_{m+1}$ 。

在寫入之前，進行資料的讀出。在該過程中，採用如下結構：開關 SW 連接位元線 BL 和前一列的列反相器 $INVC$ 的輸入，以暫時儲存已儲存的資料（參照圖 6A）。

另外，將儲存單元的反相器 INV 的正極的電位設定爲 $+0.8V$ ，將負極的電位設定爲 $0V$ ，並且將讀出字線 RWL_n 的電位設定爲 $+2V$ ，使得讀出電晶體 $RTr_{n,m}$ 及 $RTr_{n,m+1}$ 導通。結果，位元線 BL_{m+1} 的電位成爲 $+0.8V$ ，而位元線

BL_{m+2} 的電位成爲 $0V$ 。

因爲上述電位是列反相器 $INVC$ 的輸入電位，所以在將列反相器的正極的電位設定爲 $+0.8V$ ，並將負極的電位設定爲 $-0.4V$ 時，列反相器 $INVC_m$ 和列反相器 $INVC_{m+1}$ 的輸出分別成爲 $-0.4V$ 和 $+0.8V$ 。另外，也可以將進行資料寫入的列的列反相器 $INVC_{m+1}$ 的正極和負極的電位設定爲同一電位，以降低耗電量。

接著，採用如下結構：進行寫入的列的開關 SW_{m+1} 連接位元線 BL_{m+1} 和資料登錄輸出用端子 $DATA_{m+1}$ ，而不進行寫入的列的開關 SW_m 連接位元線 BL_m 和列反相器 $INVC_m$ （參照圖 6B）。資料登錄輸出用端子 $DATA_{m+1}$ 的電位爲 $-0.4V$ 。

結果，位元線 BL_m 的電位成爲列反相器 $INVC_m$ 的輸出電位的 $-0.4V$ ，而位元線 BL_{m+1} 的電位成爲資料登錄輸出用端子 $DATA_{m+1}$ 的電位的 $-0.4V$ 。然後，藉由將讀出字線 RWL_n 的電位設定爲 $0V$ ，並將寫入字線 WWL_n 的電位設定爲 $+2V$ ，使讀出電晶體 $RTr_{n,m}$ 及 $RTr_{n,m+1}$ 截止，並使寫入電晶體 $WTr_{n,m}$ 及 $WTr_{n,m+1}$ 導通，以將連接於寫入電晶體 WTr 的源極的電容器的電位設定爲預定的電位。

藉由上述操作，連接於寫入電晶體 $WTr_{n,m}$ 的源極的電容器的電位爲與原來的相同的 $-0.4V$ ，而連接於寫入電晶體 $WTr_{n,m+1}$ 的源極的電容器的電位從原來的 $+0.8V$ 變成 $-0.4V$ 。像這樣，可以將改寫資料的儲存單元的資料設定爲預定的資料，並將不改寫資料的儲存單元的資料保持

為原來的資料。

圖 9A 示出開關 SW_{m+1} 的電路結構的例子。開關 SW_{m+1} 具有第一列電晶體 $CTr1_{m+1}$ 、第二列電晶體 $CTr2_{m+1}$ 、第三列電晶體 $CTr3_{m+1}$ 以及第四列電晶體 $CTr4_{m+1}$ ，其中第一列電晶體 $CTr1_{m+1}$ 和第二列電晶體 $CTr2_{m+1}$ 分別被第一列驅動線 $RL1$ 和第二列驅動線 $RL2$ 控制。

第三列電晶體 $CTr3_{m+1}$ 和第四列電晶體 $CTr4_{m+1}$ 都被寫入信號端子 WE_{m+1} 控制，但是因為第三列電晶體 $CTr3_{m+1}$ 的導電型與第四列電晶體 $CTr4_{m+1}$ 的導電型不同（在圖 9A 中，第三列電晶體 $CTr3_{m+1}$ 為 P 型，而第四列電晶體 $CTr4_{m+1}$ 為 N 型），所以在第三列電晶體 $CTr3_{m+1}$ 導通時第四列電晶體 $CTr4_{m+1}$ 截止，而在第四列電晶體 $CTr4_{m+1}$ 導通時第三列電晶體 $CTr3_{m+1}$ 截止。

在圖 6A 所示的階段中，採用如下結構：無論是否改寫儲存單元的資料，開關 SW_{m+1} 都連接位元線 BL_{m+1} 和列反相器 $INVC_m$ 的輸入。為此，控制第一列驅動線 $RL1$ 、第二列驅動線 $RL2$ 以及寫入信號端子 WE_{m+1} 的電位而使第一列電晶體 $CTr1_{m+1}$ 導通，並使第二列電晶體 $CTr2_{m+1}$ 及第三列電晶體 $CTr3_{m+1}$ 截止。結果，可以連接位元線 BL_{m+1} 和列反相器 $INVC_m$ 的輸入。

此時，第四列電晶體 $CTr4_{m+1}$ 導通，使得位元線 BL_{m+1} 與資料登錄輸出用端子 $DATA_{m+1}$ 連接。但是，位元線 BL_{m+1} 與列反相器 $INVC_{m+1}$ 絕緣。

在圖 9A 所示的電路中，將一個資料登錄輸出用端子 DATA_{m+1}兼用作資料登錄用端子和資料輸出用端子。爲了讀出資料，控制第二列驅動線 RL2 的電位而使第二列電晶體 CTr2_{m+1}導通。另外，使第一列電晶體 CTr1_{m+1}截止。結果，列反相器 INVC_{m+1}的輸出連接於資料登錄輸出用端子 DATA_{m+1}。

此時，第三列電晶體 CTr3_{m+1}導通或者截止（第四列電晶體 CTr4_{m+1}導通或者截止），但是無論如何都使位元線 BL_{m+1}與列反相器 INVC_{m+1}連接。另一方面，位元線 BL_{m+1}與列反相器 INVC_m絕緣。

爲了改寫資料，在將資料登錄輸出用端子 DATA_{m+1}的電位設定爲對應於進行改寫的資料的電位的同時，控制寫入信號端子 WE_{m+1}的電位而使第四列電晶體 CTr4_{m+1}導通。另外，控制第一列驅動線 RL1 及第二列驅動線 RL2 的電位而使第一列電晶體 CTr1_{m+1}和 second 列電晶體 CTr2_{m+1}均截止。另外，第三列電晶體 CTr3_{m+1}也截止。

結果，資料登錄輸出用端子 DATA_{m+1}和位元線 BL_{m+1}連接，從而位元線 BL_{m+1}的電位成爲對應於資料登錄輸出用端子 DATA_{m+1}的電位的電位。

另一方面，在不進行資料改寫時，使第三列電晶體 CTr3_{m+1}導通並使第一列電晶體 CTr1_{m+1}和 second 列電晶體 CTr2_{m+1}均截止。另外，第四列電晶體 CTr4_{m+1}截止。結果，列反相器 INVC_{m+1}和位元線 BL_{m+1}連接，從而

位元線 BL_{m+1} 的電位成爲其相位與列反相器 $INVC_{m+1}$ 的電位相同的電位。

另外，如圖 9B 所示，也可以採用不設置第二列電晶體 $CTr2$ 的結構。在該電路中，使第一列電晶體 $CTr1_{m+1}$ 導通，並使第三列電晶體 $CTr3_{m+1}$ 截止，以連接位元線 BL_{m+1} 與列反相器 $INVC_m$ 的輸入。此時，第四列電晶體 $CTr4_{m+1}$ 導通，使得位元線 BL_{m+1} 與資料登錄輸出用端子 $DATA_{m+1}$ 連接。

較佳對此時的資料登錄輸出用端子 $DATA_{m+1}$ 的電位進行測定，以讀出資料。這裏，所測定的電位是第 m 列的儲存單元的資料，該資料對應於其相位與本來的資料相反的資料。

在需要改寫資料時，使第一列電晶體 $CTr1_{m+1}$ 及第三列電晶體 $CTr3_{m+1}$ 截止。此時，第四列電晶體 $CTr4_{m+1}$ 導通，使得位元線 BL_{m+1} 與資料登錄輸出用端子 $DATA_{m+1}$ 連接。藉由將資料登錄輸出用端子 $DATA_{m+1}$ 的電位設定爲對應於資料的電位，可以改寫資料。

在不需要改寫資料時，使第一列電晶體 $CTr1_{m+1}$ 及第四列電晶體 $CTr4_{m+1}$ 截止。此時，第三列電晶體 $CTr3_{m+1}$ 導通。列反相器 $INVC_{m+1}$ 與位元線 BL_{m+1} 連接，並且以前的資料被寫入。

實施方式 4

參照圖 7A 至 8F 說明半導體儲存裝置的儲存單元的結構及製造方法的例子。圖 8A 至 8F 示出儲存單元的主要的層的平面結構，而圖 7A 至 7D 示出相當於沿圖 8A 的點 A 至點 B 連成的線的剖面的剖面結構。在本實施方式中，說明將一個位元線兼用作同一列的寫入位元線和讀出位元線的結構（圖 5B）的儲存單元。圖 8A 至 8F 示出四個儲存單元。

首先，使用已知的半導體加工技術，在矽、砷化鎵等的單晶半導體基板 101 的一表面形成元件分離絕緣物 102、p 型阱和 n 型阱（都未圖示）（參照圖 8A）。再者，形成 N 型雜質區 103N、P 型雜質區 103P 以及第一層佈線 104a 及 104b（參照圖 7A 及圖 8B）。

另外，較佳利用已知的自對準矽化物（SALICIDE：Self-ALigned SiliCIDE）技術在 N 型雜質區 103N 及 P 型雜質區 103P 的表面設置 100nm 至 500nm 厚的矽化物層。在設置有矽化物層時，即使不設置佈線等，也可以連接 N 型電晶體的汲極和 P 型電晶體的汲極。

另外，圖 7A 示出三個第一層佈線 104b，該三個第一層佈線 104b 示出圖 8B 所示的第一層佈線 104b 的多個剖面。第一層佈線 104a 被用作讀出字線，而第一層佈線 104b 被用作儲存單元的反相器的閘極。

另外，圖 8C 示出 N 型雜質區 103N 及 P 型雜質區 103P 的平面形狀。雖然具有 N 型雜質區 103N 和 P 型雜質區 103P 接觸的部分，但是藉由設置上述矽化物層而可以以上述部分實現優良的電連接。為了避免複雜，在圖 8C 以外的圖 8A 至

8F的圖式中未圖示N型雜質區103N和P型雜質區103P。

接著，形成第一層間絕緣物105，並且形成第一接觸插頭106a及106b（參照圖7B及圖8B）。

再者，形成埋入絕緣物107和第二層佈線108a至108d（參照圖7C及圖8D）。第二層佈線108a至108d也可以使用銅，以提高導電性。在此情況下較佳使用鑲嵌法製造。另外，由於第二層佈線108a至108d的上表面與後面形成的氧化物半導體接觸，所以較佳作為第二層佈線108a至108d使用適合於其目的的材料。例如，較佳使用如鈦、氮化鈦等其功函數比氧化物半導體的電子親和力小的材料。

這裏，第二層佈線108a被用作儲存單元的寫入電晶體的汲極，而第二層佈線108b被用作儲存單元的寫入電晶體的源極。另外，第二層佈線108c及108d分別是用來將電位供應到反相器的正極及負極的佈線。藉由將第二層佈線108c及108d配置為與字線正交，可以按每個儲存單元控制反相器。

然後，如圖7D所示，形成氧化物半導體層109。作為氧化物半導體，較佳使用銦占金屬元素整體的比率為20at%以上的氧化物半導體。在形成時，需要不使氫混入，在形成氧化物半導體膜時，較佳利用在氣圍中或靶材中氫或水被充分減少的濺射法。

再者，形成閘極絕緣物110。作為閘極絕緣物110的材料，可以使用氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化銻等。此外，較佳將其厚度設定為6nm至20nm，較佳為

10nm至16nm。

然後，形成第三層佈線111（參照圖8E）。第三層佈線111用作寫入字線。作為第三層佈線111的材料，較佳使用鎢、鎳、鈮、鐵、鉑等其功函數比氧化物半導體的電子親和力大的材料。或者，較佳使用功函數為5電子伏特以上的材料。或者，也可以僅在與閘極絕緣物110接觸的部分使用上述那樣的材料。然後，形成第二層間絕緣物112，並形成第二接觸插頭113（參照圖8E）。

再者，形成第四層佈線114（參照圖7D及圖8F）。第四層佈線114用作位元線。如上所述的儲存單元的面積為 $20F^2$ （但是， F 為最小加工線寬度），集成度比現有的SRAM（一個儲存單元的面積為 $40F^2$ 以上）非常高。

【圖式簡單說明】

在附圖中：

圖1是示出本發明的半導體儲存裝置的例子的圖；

圖2A至2C是示出現有的SRAM的儲存單元及反相器的特性的例子的圖；

圖3A至3F是說明本發明的半導體儲存裝置的驅動方法的例子的圖；

圖4A至4C是說明本發明的半導體儲存裝置的驅動方法的例子的圖；

圖5A至5C是說明本發明的半導體儲存裝置的例子的圖

；

圖 6A 和 6B 是說明本發明的半導體儲存裝置的驅動方法的例子的圖；

圖 7A 至 7D 是示出本發明的半導體儲存裝置的製造製程的例子的圖；

圖 8A 至 8F 是示出本發明的半導體儲存裝置的製造製程的例子的圖；

圖 9A 和 9B 是說明本發明的半導體儲存裝置的例子的圖。

【主要元件符號說明】

101：基板

102：元件分離絕緣物

103N：N型雜質區

103P：P型雜質區

104a：第一層佈線

104b：第一層佈線

105：第一層間絕緣物

106a：第一接觸插頭

106b：第一接觸插頭

107：埋入絕緣物

108a：第二層佈線

108b：第二層佈線

108c：第二層佈線

108d：第二層佈線

109：氧化物半導體層
110：閘極絕緣物
111：第三層佈線
112：第二層間絕緣物
113：第二接觸插頭
114：第四層佈線
WBL：寫入位元線
RBL：讀出位元線
WWL：寫入字線
RWL：讀出字線
WTr：寫入電晶體
RTr：讀出電晶體
INV：反相器
C1：電容器
C2：電容器
SW：開關
INVC：列反相器
DATAIN：資料登錄用端子
DATAOUT：資料輸出用端子
CTr1：第一列電晶體
CTr2：第二列電晶體
CTr3：第三列電晶體
CTr4：第四列電晶體
RL1：第一列驅動線

RL2：第二列驅動線

WE：寫入信號端子

RE：讀出信號端子

DATA：資料登錄輸出用端子

七、申請專利範圍：

1. 一種半導體裝置，包括：

第一反相器；

一或多個位元線；

一或多個寫入字線；

一或多個讀出字線；以及

一或多個儲存單元，

其中，該些儲存單元各者包括寫入電晶體、讀出電晶體以及第二反相器，

其中，該寫入電晶體的最大電阻為 $1 \times 10^{18} \Omega$ 以上，

其中，該寫入電晶體的源極和汲極之一者連接於該些位元線之一者，

其中，該讀出電晶體的源極和汲極之一者連接於該些位元線之另一者，

其中，該寫入電晶體的該源極和該汲極之另一者連接於該第二反相器的輸入，

其中，該讀出電晶體的該源極和該汲極之另一者連接於該第二反相器的輸出，

其中，該寫入電晶體的閘極連接於該寫入字線，

其中，該讀出電晶體的閘極連接於該讀出字線，

其中，該些位元線之該一者係組態成連接於該第一反相器的輸入，且

其中，該第一反相器的輸出連接於該些位元線之該另一者。

2. 一種半導體裝置，包括：

第一反相器；

第一位元線和第二位元線；

寫入字線；

讀出字線；以及

儲存單元，

其中，該儲存單元包括寫入電晶體、讀出電晶體以及第二反相器，

其中，該寫入電晶體的最大電阻為 $1 \times 10^{18} \Omega$ 以上，

其中，該寫入電晶體的源極和汲極之一者連接於該第一位元線，

其中，該讀出電晶體的源極和汲極之一者連接於該第二位元線，

其中，該寫入電晶體的該源極和該汲極之另一者連接於該第二反相器的輸入，

其中，該讀出電晶體的該源極和該汲極之另一者連接於該第二反相器的輸出，

其中，該寫入電晶體的閘極連接於該寫入字線，

其中，該讀出電晶體的閘極連接於該讀出字線，

其中，該第二位元線係組態成連接於該第一反相器的輸入，且

其中，該第一反相器的輸出係組態成連接於該第一位元線。

3. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其

中該寫入電晶體的該源極和該汲極之該另一者連接於電容器的電極之一。

4. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中該第二反相器是互補型反相器。

5. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中該讀出電晶體的導電型與該寫入電晶體的導電型不同。

6. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中該寫入電晶體和該讀出電晶體設置在不同的層中。

7. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中該寫入電晶體和包含在該第二反相器中的一個電晶體設置在不同的層中。

8. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中用於該寫入電晶體的半導體種類與用於該讀出電晶體的半導體種類不同。

9. 根據申請專利範圍第 1 項或第 2 項之半導體裝置，其中用於該寫入電晶體的半導體種類與用於包含在該第二反相器中的一個電晶體的半導體種類不同。

圖 2A

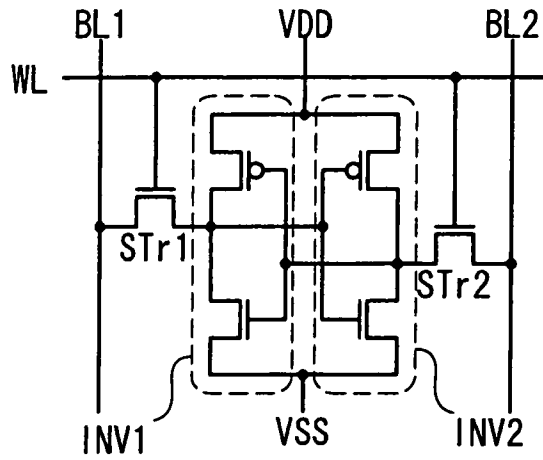


圖 2B

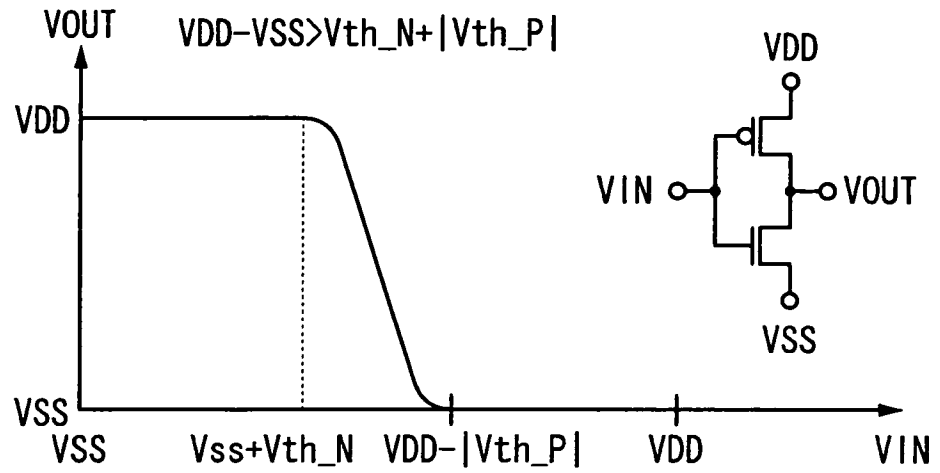


圖 2C

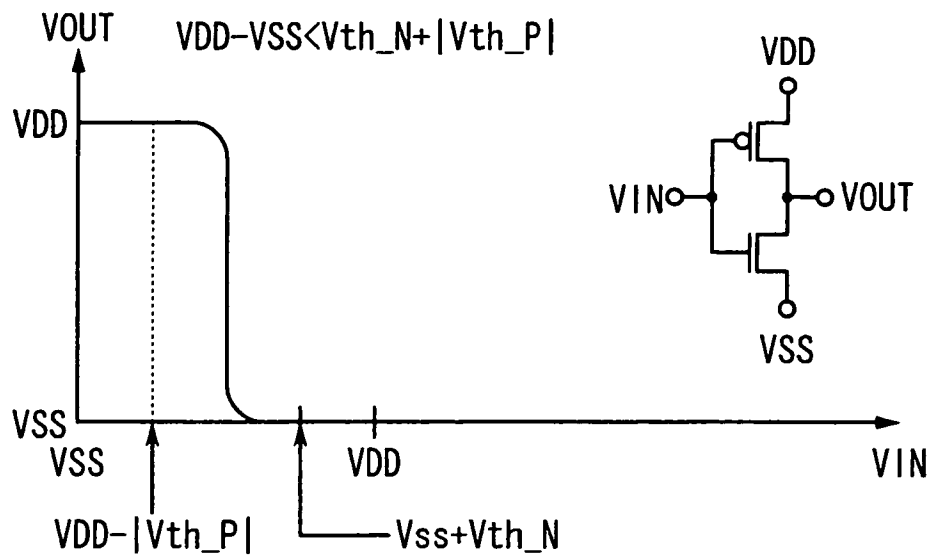


圖 3A

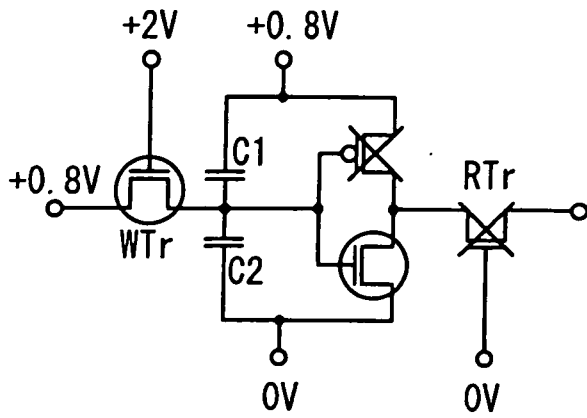


圖 3B

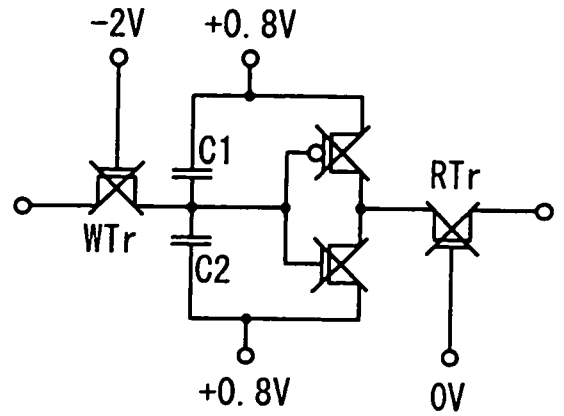


圖 3C

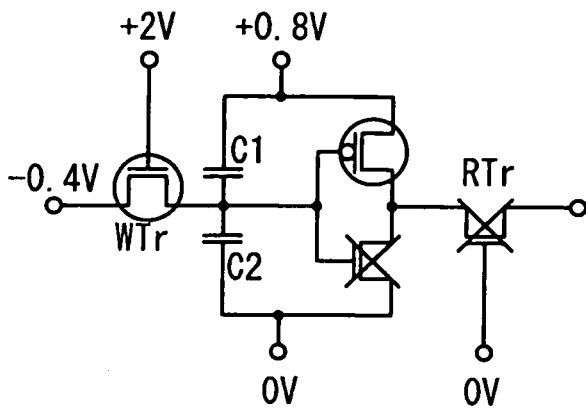


圖 3D

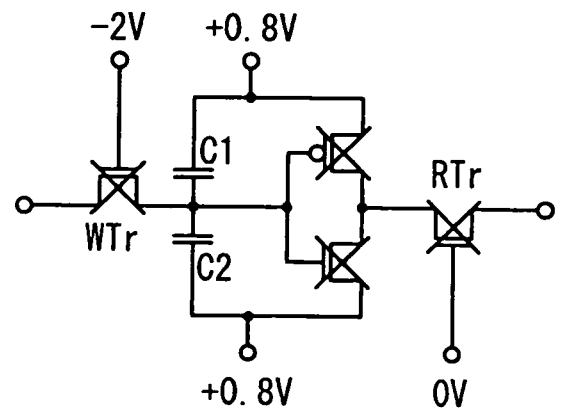


圖 3E

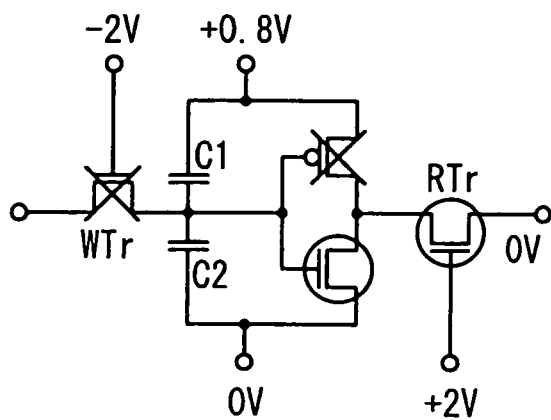


圖 3F

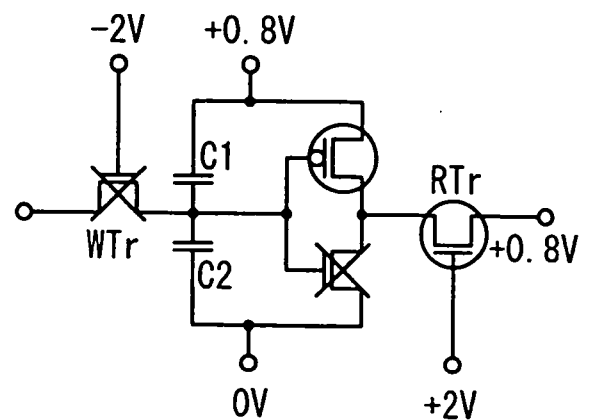


圖 4A

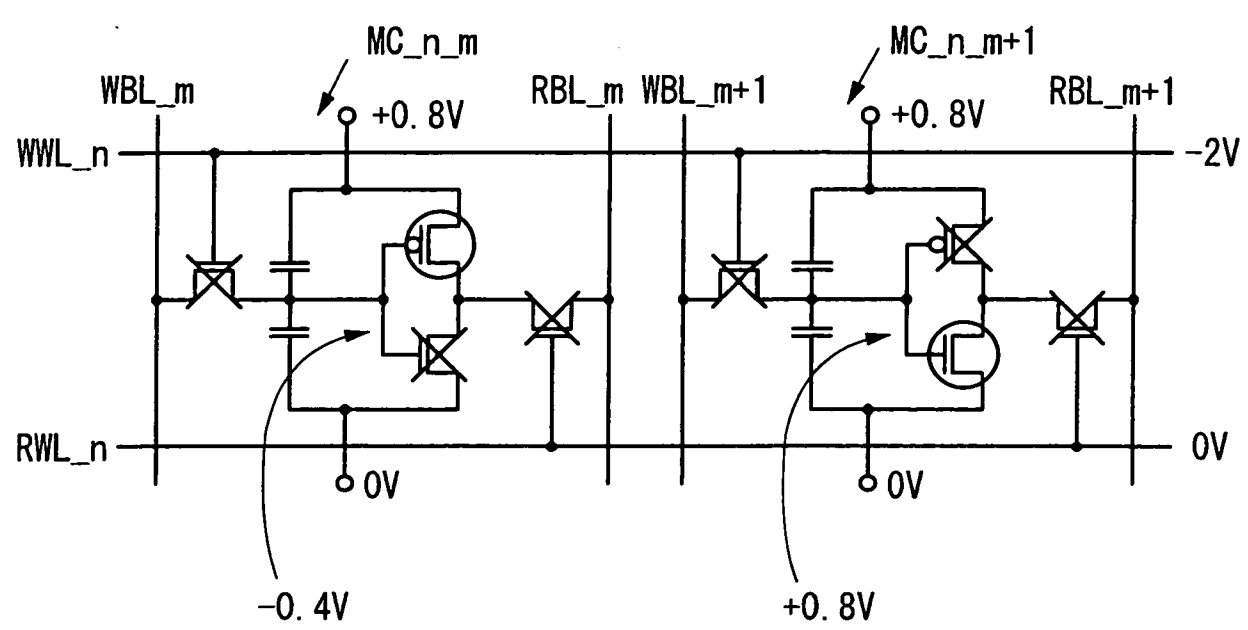


圖 4B

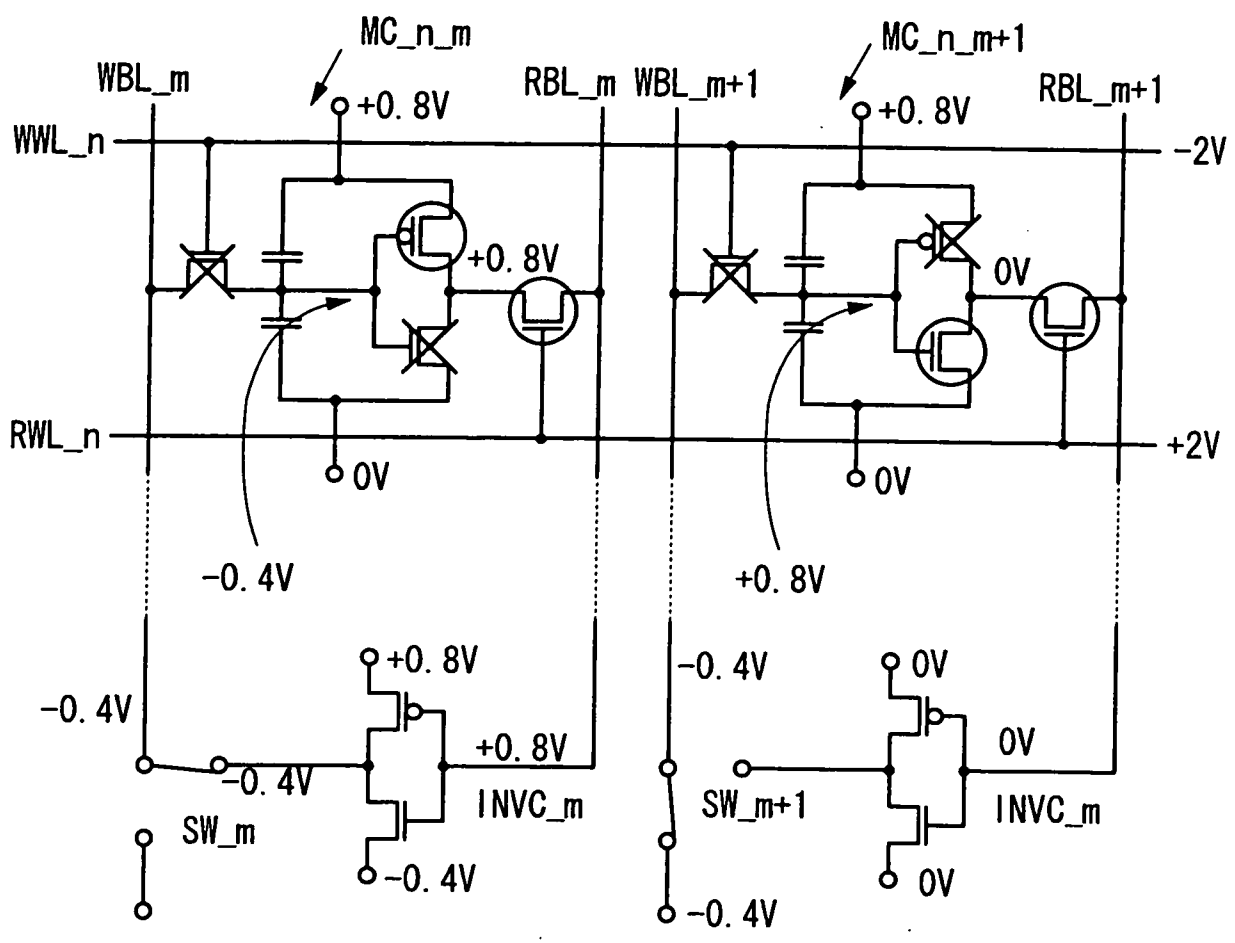


圖 4C

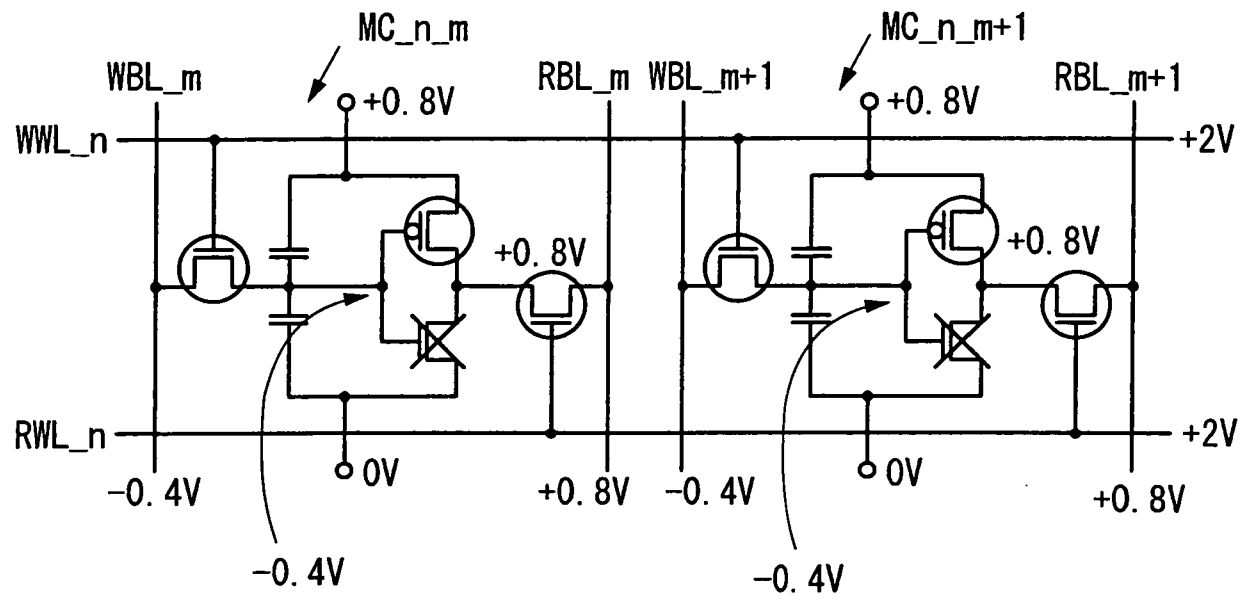


圖 5A

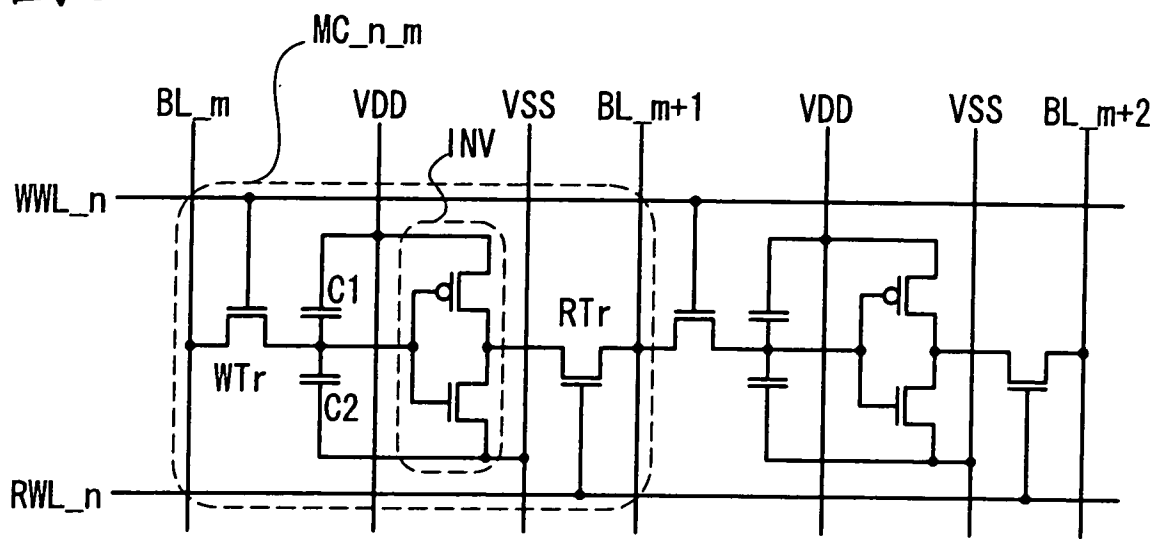


圖 5B

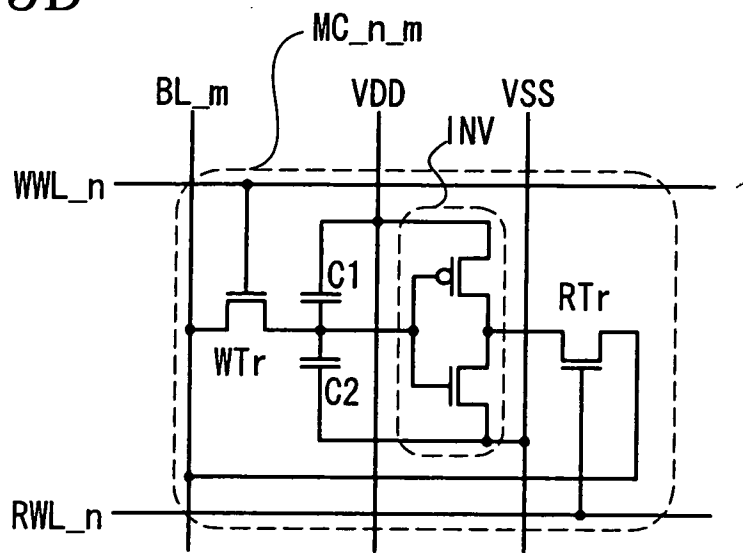


圖 5C

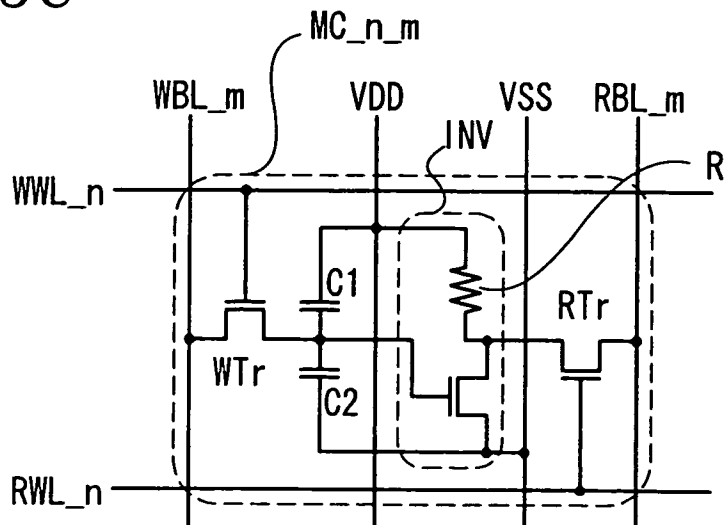


圖 6A

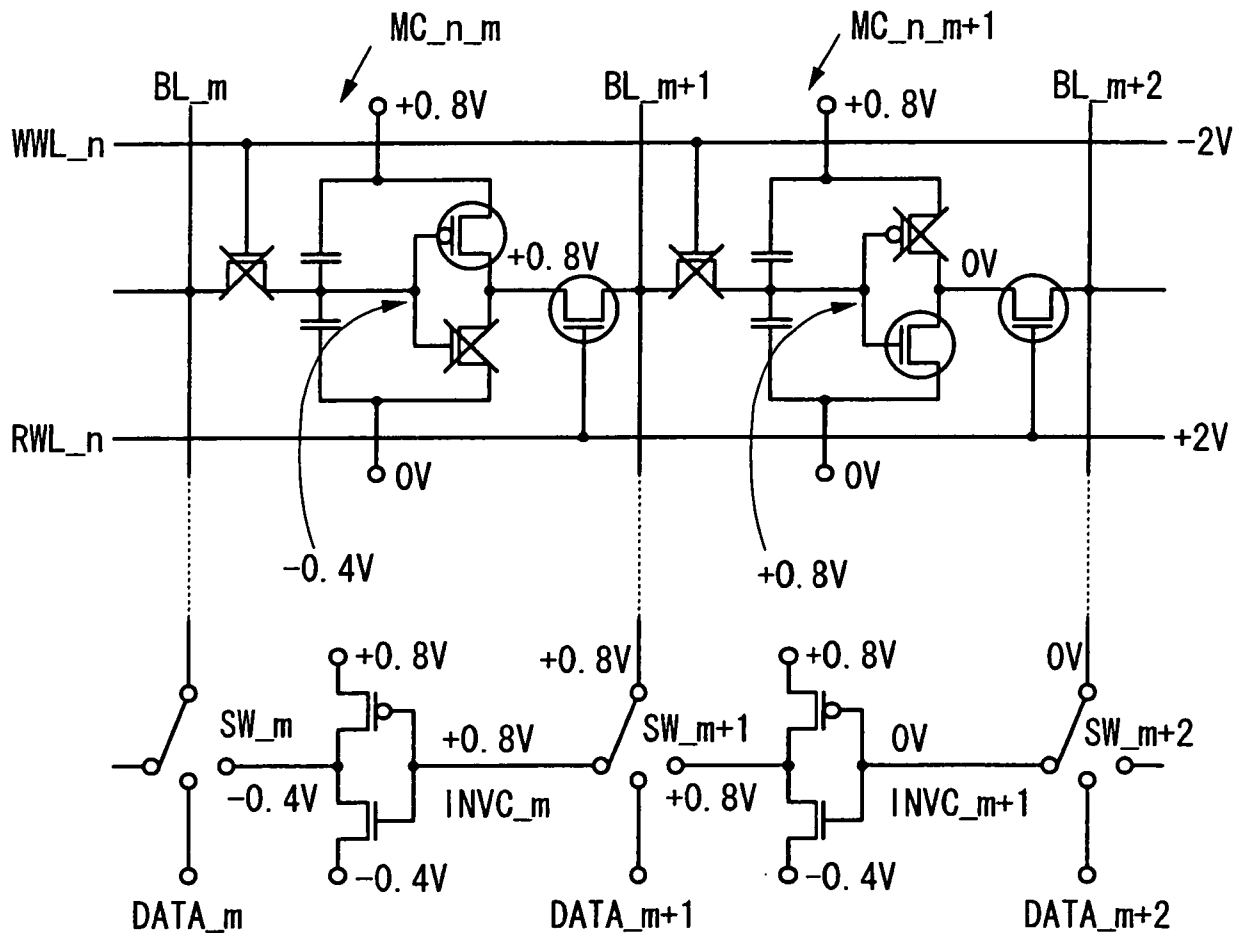


圖 6B

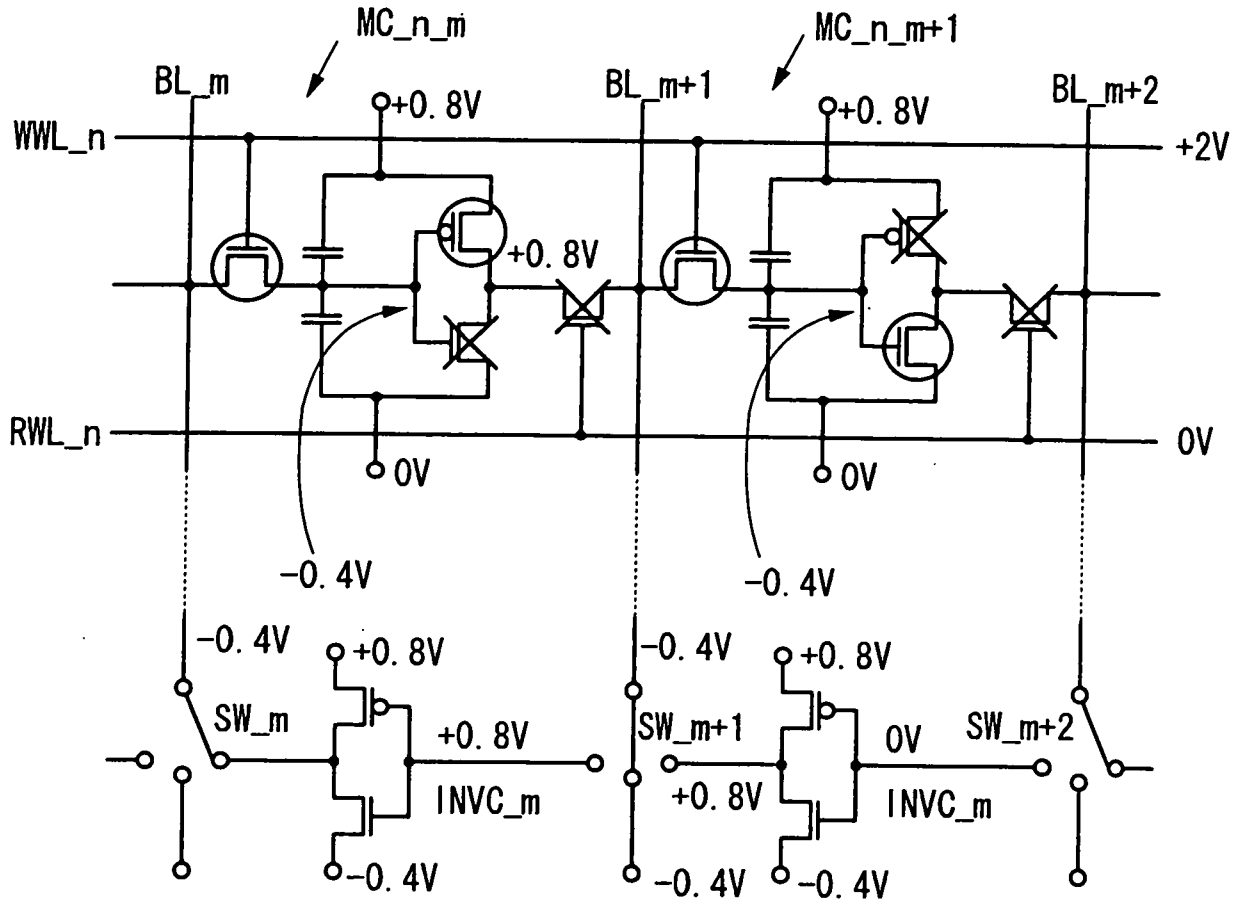


圖 7A

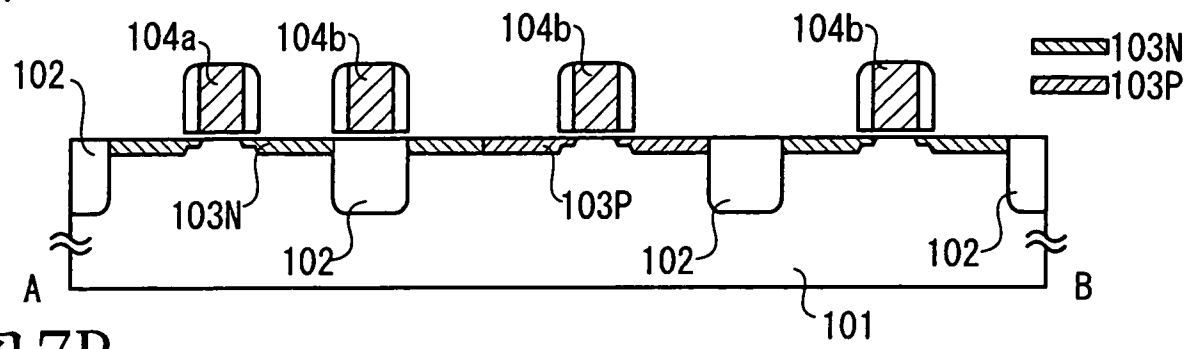


圖 7B

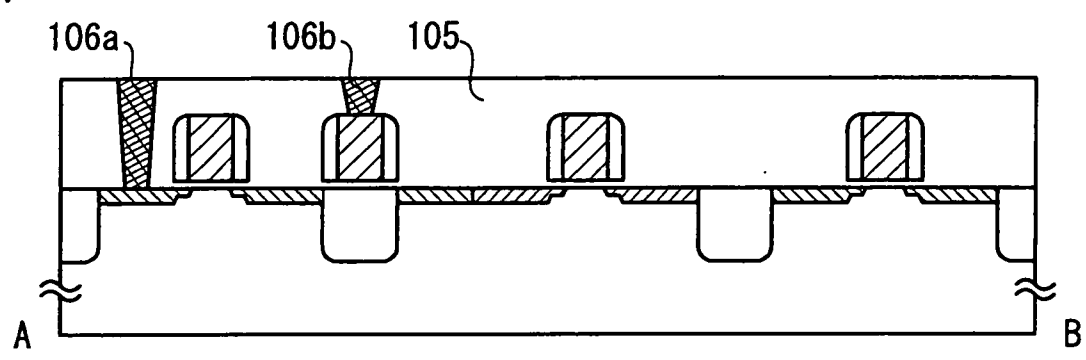


圖 7C

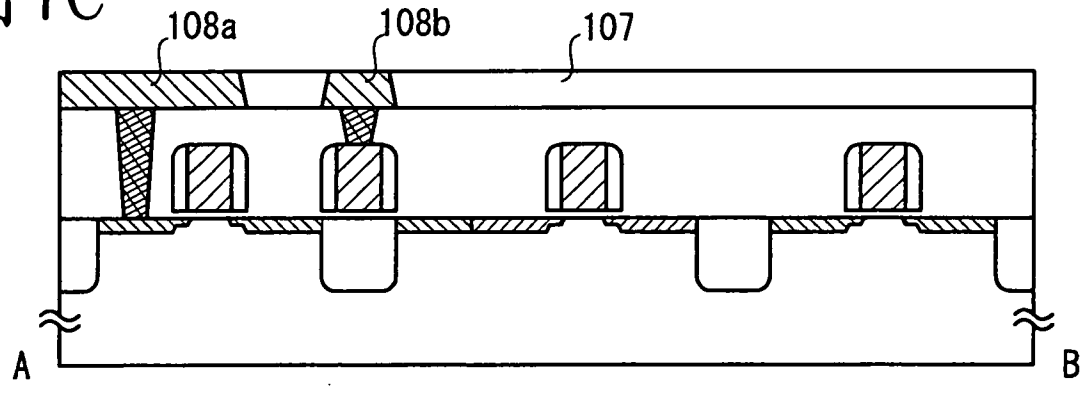


圖 7D

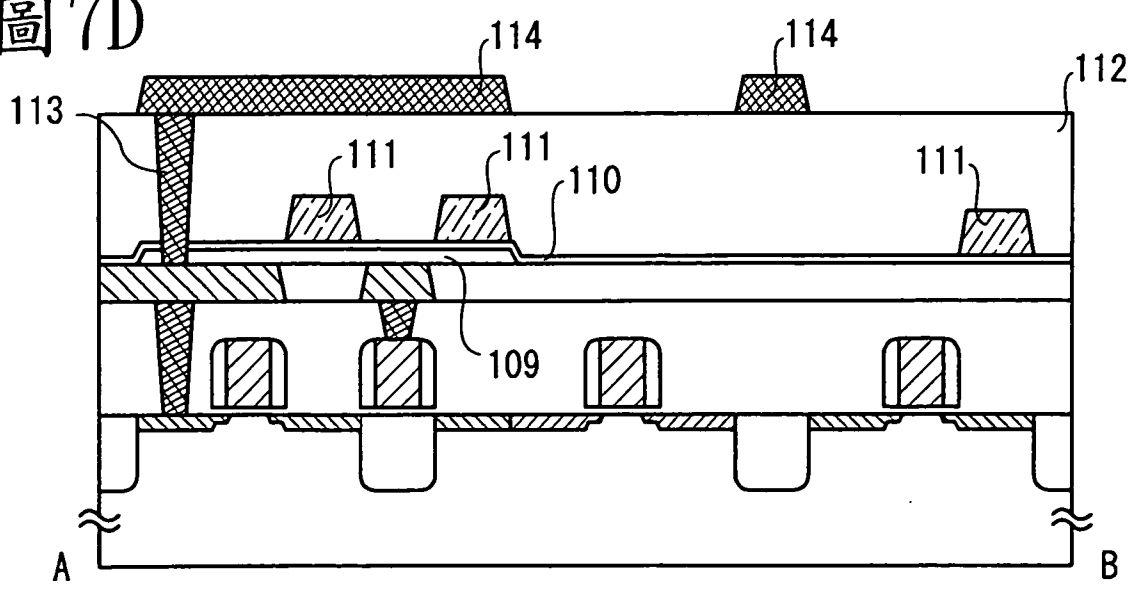


圖 8A

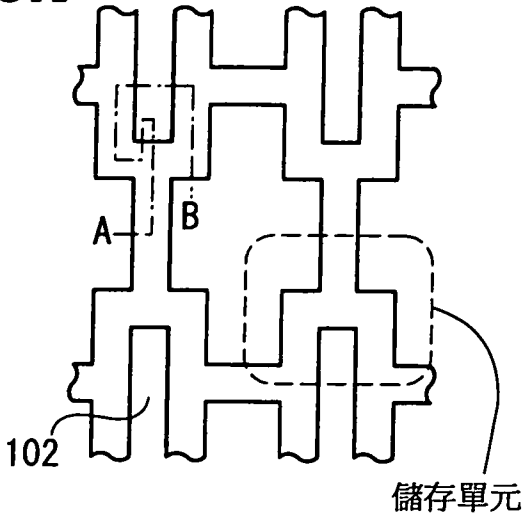


圖 8B

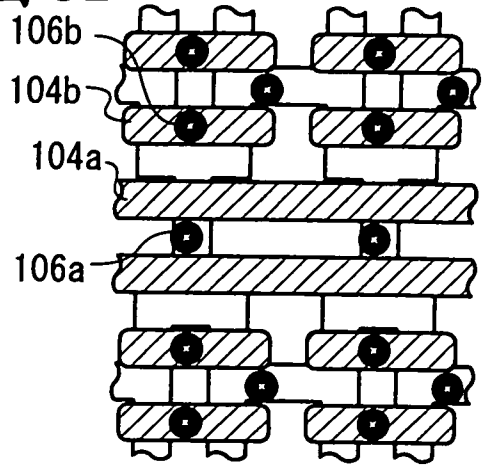


圖 8C

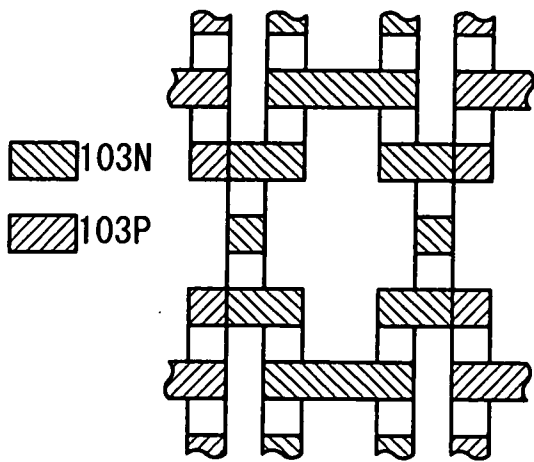


圖 8D

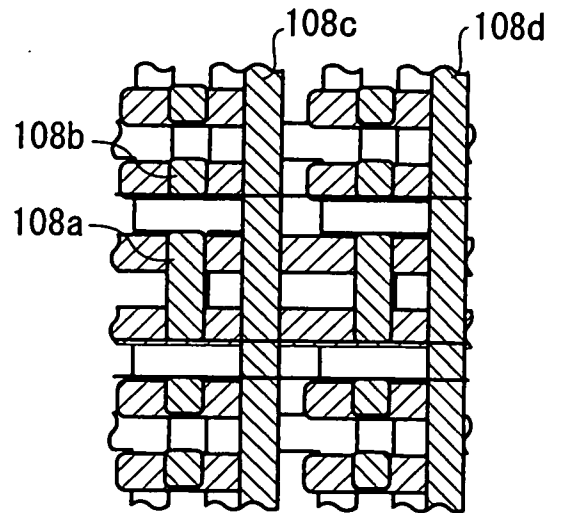


圖 8E

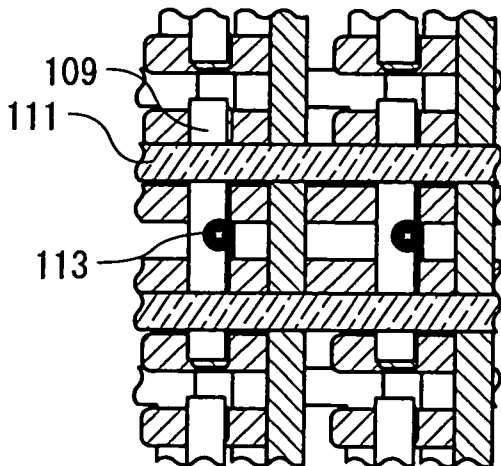


圖 8F

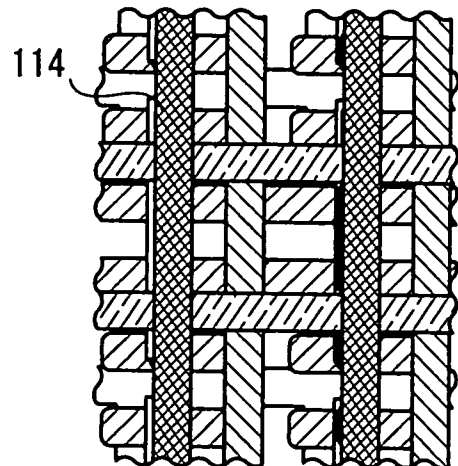


圖 9A

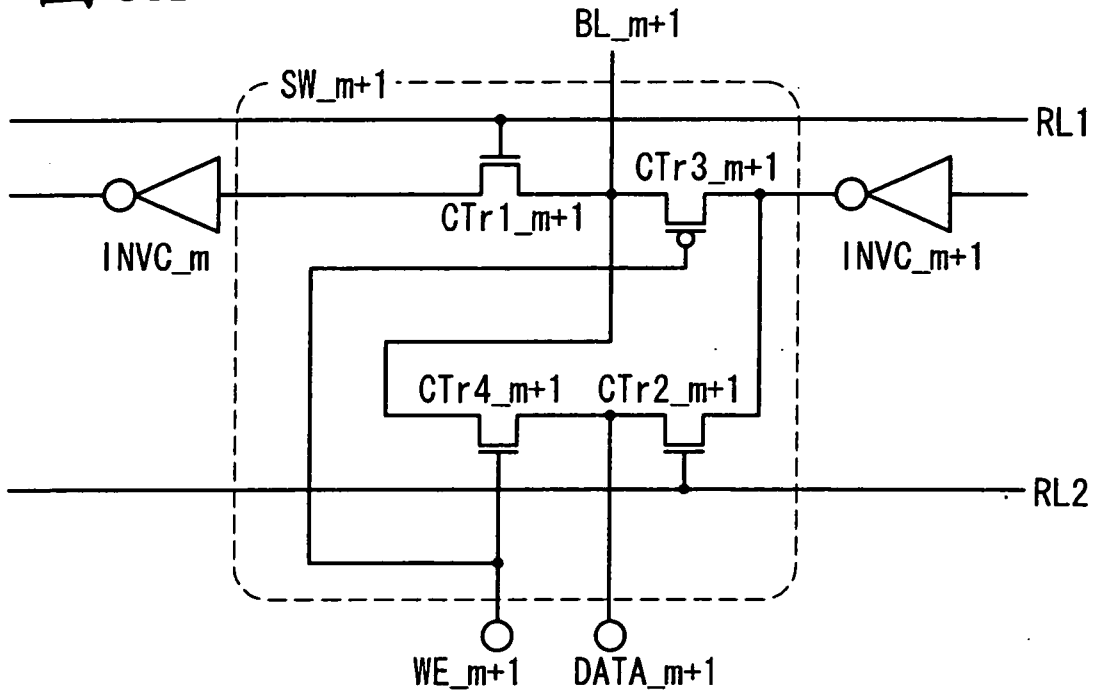


圖 9B

